

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5723469号
(P5723469)

(45) 発行日 平成27年5月27日(2015.5.27)

(24) 登録日 平成27年4月3日(2015.4.3)

(51) Int.Cl.		F I			
H03K 19/0175 (2006.01)		H03K 19/00		I O I F	
H03K 17/687 (2006.01)		H03K 17/687		F	
H03K 17/06 (2006.01)		H03K 17/06		C	

請求項の数 1 (全 11 頁)

(21) 出願番号	特願2014-141941 (P2014-141941)	(73) 特許権者	000153878
(22) 出願日	平成26年7月10日(2014.7.10)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-104103 (P2011-104103) の分割		神奈川県厚木市長谷398番地
原出願日	平成23年5月9日(2011.5.9)	(72) 発明者	伊藤 良明
(65) 公開番号	特開2014-209788 (P2014-209788A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成26年11月6日(2014.11.6)	審査官	宮島 郁美
審査請求日	平成26年7月11日(2014.7.11)		
(31) 優先権主張番号	特願2010-110995 (P2010-110995)		
(32) 優先日	平成22年5月13日(2010.5.13)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 バッファ回路

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、容量素子と、を有し、

前記第1のトランジスタのゲートは、入力端子と電気的に接続され、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第2のトランジスタのゲートは、第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第3のトランジスタのゲートは、前記入力端子と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第4のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接

続され、

前記第 5 のトランジスタのゲートは、前記入力端子と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、出力端子と電氣的に接続され

、
前記第 6 のトランジスタのゲートは、前記第 3 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの一方は、前記出力端子と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記容量素子の一对の電極のうち的一方は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記容量素子の一对の電極のうち他方は、前記第 5 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 の配線は、第 1 の電位を供給することができる機能を有し、

前記第 2 の配線は、第 2 の電位を供給することができる機能を有し、

前記第 1 の電位は、前記第 2 の電位よりも高く、

前記第 1 のトランジスタと、前記第 2 のトランジスタと、前記第 3 のトランジスタと、前記第 4 のトランジスタと、前記第 5 のトランジスタと、前記第 6 のトランジスタと、は P チャネル型トランジスタであることを特徴とするバッファ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バッファ回路と該バッファ回路を応用した装置、電子機器などに関する。

【背景技術】

【0002】

近年、液晶表示装置や発光装置などの表示装置が広く普及している。一方で、情報化社会の到来により、取り扱われる情報の絶対量が飛躍的に増加し、記憶装置などの開発も進められてきた。

【0003】

このような表示装置や記憶装置には、複数のトランジスタがマトリクス状に設けられている。マトリクス状に設けられた複数のトランジスタは、走査線により制御され、信号線によりデータが供給される。なお、このような同一基板上に形成されたトランジスタは、生産性の点から同一極性（単極性）であることが好ましい。

【0004】

このようなトランジスタがマトリクス状に設けられた基板上において、走査線に供給される信号は、シフトレジスタ回路（例えば、特許文献 1）やバッファ回路から供給される。

【0005】

しかし、従来の単極性のバッファ回路（例えば、図 2 に示されるもの）に設けられる、ソース及びドレインの一方が出力部に接続され、ソース及びドレインの他方が電源線（N チャネル型トランジスタの場合は高電位側の電源線 V_{dd} 、P チャネル型トランジスタの場合は低電位側の電源線 V_{ss} ）に接続されたトランジスタは、該トランジスタ自体の利得を増大させると、バッファ回路としての利得を減少させる方向に作用する。

【0006】

なお、バッファ回路の利得を確保するためにはこのトランジスタのサイズを十分に大きくすることができず、このトランジスタから流れる電流値により出力部の電圧のスルーレートが決まるので、スルーレートを向上させることが困難であるという問題がある。

10

20

30

40

50

【 0 0 0 7 】

なお、本明細書において、「スルーレート (S l e w R a t e) 」とは、出力電圧を立ち上がり (Nチャネル型トランジスタ) または立ち下がり (Pチャネル型トランジスタ) に要した時間で除したものをいい、立ち上がり特性 (Nチャネル型トランジスタ) または立ち下がり特性 (Pチャネル型トランジスタ) とも呼ばれるものである。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 4 - 2 6 0 7 8 8 号公報

【 発明の概要 】

10

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本発明の一態様は、スルーレートが高いバッファ回路を提供することを課題とする。

【 0 0 1 0 】

更には、このようなスルーレートが高いバッファ回路を同一極性のトランジスタにより構成することを課題とする。バッファ回路内のトランジスタを同一極性 (Nチャネル型トランジスタまたはPチャネル型トランジスタ) とすることで簡略な工程により作製することができ、生産性が高まるからである。

【 0 0 1 1 】

そして、上記課題を解決することが可能なバッファ回路を構成するに際し、可能な限り単純な構成とし、バッファ回路の占有面積を小さくすることを課題とする。

20

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明の一態様では、バッファ回路のスルーレートを高めるために、駆動能力を向上させ、高周波成分の利得を向上させる。

【 0 0 1 3 】

本発明の一態様であるバッファ回路は、少なくとも複数のトランジスタと、容量素子と、を有し、該バッファ回路の利得が、前記複数のトランジスタのすべての利得により決定されることを特徴とする。

【 0 0 1 4 】

30

本発明の一態様であるバッファ回路は、第 1 のトランジスタ乃至第 6 のトランジスタ、容量素子、入力部及び出力部を有し、第 1 のトランジスタの第 1 端子及び第 1 のトランジスタの第 3 端子は高電位側の電源線に接続され、第 1 のトランジスタの第 2 端子は第 2 のトランジスタの第 1 端子及び第 3 のトランジスタの第 3 端子に接続され、第 2 のトランジスタの第 2 端子は低電位側の電源線に接続され、第 2 のトランジスタの第 3 端子はバッファ回路の入力部に接続され、第 3 のトランジスタの第 1 端子は高電位側の電源線に接続され、第 3 のトランジスタの第 2 端子は第 4 のトランジスタの第 1 端子及び第 5 のトランジスタの第 3 端子に接続され、第 4 のトランジスタの第 2 端子は低電位側の電源線に接続され、第 4 のトランジスタの第 3 端子はバッファ回路の入力部に接続され、第 5 のトランジスタの第 1 端子は高電位側の電源線に接続され、第 5 のトランジスタの第 2 端子は第 6 のトランジスタの第 1 端子及びバッファ回路の出力部に接続され、第 6 のトランジスタの第 2 端子は低電位側の電源線に接続され、第 6 のトランジスタの第 3 端子はバッファ回路の入力部に接続され、前記第 1 のトランジスタの第 2 端子は容量素子を介してバッファ回路の出力部に接続され、前記第 1 のトランジスタ乃至第 6 のトランジスタはすべて Nチャネル型トランジスタである。なお、高電位側の電源線は第 1 の配線と呼んでもよいし、低電位側の電源線は第 2 の配線と呼んでもよい。第 1 の配線及び第 2 の配線は一定の電位とするとよい。

40

【 0 0 1 5 】

上記構成のバッファ回路において、前記第 1 のトランジスタ乃至第 6 のトランジスタはすべて酸化物半導体により設けられていることが好ましい。

50

【0016】

本発明の一態様であるバッファ回路は、第1のトランジスタ乃至第6のトランジスタ、容量素子、入力部及び出力部を有し、第1のトランジスタの第1端子は高電位側の電源線に接続され、第1のトランジスタの第2端子は第2のトランジスタの第1端子及び第4のトランジスタの第3端子に接続され、第1のトランジスタの第3端子はバッファ回路の入力部に接続され、第2のトランジスタの第2端子及び第2のトランジスタの第3端子は低電位側の電源線に接続され、第3のトランジスタの第1端子は高電位側の電源線に接続され、第3のトランジスタの第2端子は第4のトランジスタの第1端子及び第6のトランジスタの第3端子に接続され、第3のトランジスタの第3端子はバッファ回路の入力部に接続され、第4のトランジスタの第2端子は低電位側の電源線に接続され、第5のトランジスタの第1端子は高電位側の電源線に接続され、第5のトランジスタの第2端子は第6のトランジスタの第1端子及びバッファ回路の出力部に接続され、第5のトランジスタの第3端子はバッファ回路の入力部に接続され、第6のトランジスタの第2端子は低電位側の電源線に接続され、前記第1のトランジスタの第2端子は容量素子を介してバッファ回路の出力部に接続され、前記第1のトランジスタ乃至第6のトランジスタはすべてPチャネル型トランジスタである。なお、高電位側の電源線は第1の配線と呼んでもよいし、低電位側の電源線は第2の配線と呼んでもよい。第1の配線及び第2の配線は一定の電位とするとよい。

10

【0017】

なお、本明細書において「第1端子」は、ソース及びドレインの一方を指し、「第2端子」は、ソース及びドレインの他方を指す。そして、「第3端子」は、ゲートを指す。

20

【0018】

なお、本明細書において「利得」は、入力電圧に対する出力電圧の比である。

【0019】

なお、本明細書において「駆動能力」は、出力負荷に電流を出力する能力である。

【0020】

なお、本明細書において、「Nチャネル型トランジスタ」とは、ゲート電圧（ソースの電位に対するゲートの電位）が閾値電圧よりも高いときにオンするすべてのトランジスタをいう。「Pチャネル型トランジスタ」とは、ゲート電圧（ソースの電位に対するゲートの電位）が閾値電圧よりも低いときにオンするすべてのトランジスタをいう。従って、「Nチャネル型」または「Pチャネル型」という呼称は上記定義した事項以外の事柄を限定するものではない。

30

【0021】

なお、ここでスルーレートは、前記利得と前記駆動能力により決定されるものである。利得が大きくとも駆動能力が低いと、出力負荷（容量素子）に充電する時間を要する。一方で、駆動能力が高く、利得が小さい場合には、最終段のトランジスタの V_{gs} を十分に大きくするために時間を要し、高い駆動能力を発揮するまでに時間を要することになる。従って、スルーレートを向上させるためには、利得を増大させ、且つ駆動能力を十分に高くする。

【発明の効果】

40

【0022】

駆動能力が高く、高周波成分における利得が大きいバッファ回路を得ることができる。このようなバッファ回路はスルーレートも高いものとなる。

【0023】

更には、このようなスルーレートが高いバッファ回路を同一極性のトランジスタにより構成することが可能なため、簡略な工程により作製することができる。言い換えると、従来は困難であった同一極性のトランジスタのみで構成されるバッファ回路のスルーレートを向上させることを可能とする。

【0024】

そして、上記効果を有するバッファ回路を可能な限り単純な構成とし、バッファ回路の

50

占有面積を小さくすることも可能である。

【図面の簡単な説明】

【0025】

【図1】本発明の一態様である実施の形態1のバッファ回路を示す図。

【図2】一例としてのバッファ回路を示す図。

【図3】一例としてのバッファ回路を示す図。

【図4】本発明の一態様である実施の形態2のバッファ回路を示す図。

【発明を実施するための形態】

【0026】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0027】

(実施の形態1)

本実施の形態では、Nチャンネル型トランジスタを用いて構成された本発明の一態様であるバッファ回路について説明する。

【0028】

図1は、本発明の一態様であるバッファ回路100を示す図である。

【0029】

図1に示すバッファ回路100は、第1のトランジスタ乃至第6のトランジスタ、容量素子、入力部及び出力部を有し、第1のトランジスタ101では、第1端子及び第3端子が高電位側の電源線 V_{dd} に接続され、第2端子が第2のトランジスタ102の第1端子及び第3のトランジスタ103の第3端子に接続され、第2のトランジスタ102では、第2端子が低電位側の電源線 V_{ss} に接続され、第3端子がバッファ回路100の入力部 V_{in} に接続され、第3のトランジスタ103では、第1端子が高電位側の電源線 V_{dd} に接続され、第2端子が第4のトランジスタ104の第1端子及び第5のトランジスタ105の第3端子に接続され、第4のトランジスタ104では、第2端子が低電位側の電源線 V_{ss} に接続され、第3端子がバッファ回路100の入力部 V_{in} に接続され、第5のトランジスタ105では、第1端子が高電位側の電源線 V_{dd} に接続され、第2端子が第6のトランジスタ106の第1端子及びバッファ回路100の出力部 V_{out} に接続され、第6のトランジスタ106では、第2端子が低電位側の電源線 V_{ss} に接続され、第3端子がバッファ回路100の入力部 V_{in} に接続され、第1のトランジスタ101の第2端子は、容量素子107を介して出力部 V_{out} に接続されている。

【0030】

図1に示すバッファ回路100は、駆動能力が高く、高周波成分の利得を大きくすることができる。更には、図1に示すバッファ回路は、スルーレートも高いものとなる。更には、図1に示すバッファ回路100は、同一極性のトランジスタにより構成することが可能なため、簡略な工程により作製することができる。言い換えると、従来は困難であった同一極性のトランジスタのみで構成されるバッファ回路のスルーレートを向上させることを可能とする。そして、6のトランジスタと1の容量素子で構成することができるため、バッファ回路の占有面積は小さい。

【0031】

ここで、第1のトランジスタ101の利得を g_1 、第2のトランジスタ102の利得を g_2 、第3のトランジスタ103の利得を g_3 、第4のトランジスタ104の利得を g_4 、第5のトランジスタ105の利得を g_5 、第6のトランジスタ106の利得を g_6 、入力信号の角周波数を $s (= 2\pi f)$ (f は周波数)、容量素子107の静電容量を C で表すと、図1に示すバッファ回路100の利得は、以下の数式(1)で表される。

【0032】

10

20

30

40

【数 1】

$$G = - \left(\frac{g_4 g_5 (g_1 + sC)}{g_1 g_3 (g_5 + sC)} + \frac{g_6 (g_1 + sC)}{g_1 (g_5 + sC)} + \frac{g_2}{g_1} \right) \quad (1)$$

【0033】

すなわち、高周波成分では s が極めて大きい ($g_1, g_5 \ll sC$) ため、 $1/s = 0$ とすると、高周波成分の利得は以下の数式 (2) で表される。

【0034】

【数 2】

$$G_H = - \left(\frac{g_4 g_5}{g_1 g_3} + \frac{g_6}{g_1} + \frac{g_2}{g_1} \right) \quad (2)$$

10

【0035】

そして、低周波成分では s が極めて小さい ($g_1, g_5 \gg sC$) ため、 $s = 0$ とすると、低周波成分の利得は以下の数式 (3) で表される。

【0036】

【数 3】

$$G_L = - \left(\frac{g_4}{g_3} + \frac{g_6}{g_5} + \frac{g_2}{g_1} \right) \quad (3)$$

20

【0037】

ここで、上記数式 (1) は次のように導出される。第 1 のトランジスタ 101 の第 1 端子と第 2 端子の間に流れる電流を I_1 とし、第 3 のトランジスタ 103 の第 1 端子と第 2 端子の間に流れる電流を I_3 とし、第 5 のトランジスタ 105 の第 1 端子と第 2 端子の間に流れる電流を I_5 とし、容量素子 107 の一方の電極と他方の電極の間に流れる電流を I_7 とすると、これらは以下の数式 (4) ~ (7) で表される。

【0038】

【数 4】

$$I_1 = g_1(0 - V_a) = g_2(V_{in} - 0) + I_7 \quad (4)$$

30

【0039】

【数 5】

$$I_3 = g_3(V_a - V_b) = g_4(V_{in} - 0) \quad (5)$$

【0040】

【数 6】

$$I_5 = g_5(V_b - V_{out}) = g_6(V_{in} - 0) - I_7 \quad (6)$$

40

【0041】

【数 7】

$$I_7 = sC(V_a - V_{out}) \quad (7)$$

【0042】

なお、ここで V_a は、第 3 のトランジスタ 103 の第 3 端子に接続されたノードの電位であり、 V_b は、第 5 のトランジスタ 105 の第 3 端子に接続されたノードの電位である。上記数式 (4) ~ (7) を、 V_a と V_b を含まないように解くことで上記数式 (1) が導出される。

【0043】

50

図 1 に示すバッファ回路 100 を用いることで、高周波成分の利得を大きくすることができる。これは、第 5 のトランジスタ 105 の利得を大きくすることで、高周波成分においてバッファ回路 100 の利得を増大させるためである。

【0044】

ここで、本発明の一態様である図 1 に示すバッファ回路の技術的特徴を説明するために、他のバッファ回路について検討する。

【0045】

図 2 は、バッファ回路 200 を示す図である。

【0046】

図 2 に示すバッファ回路 200 は、第 1 のトランジスタ乃至第 4 のトランジスタ、容量素子、入力部及び出力部を有し、第 1 のトランジスタ 201 では、第 1 端子及び第 3 端子が高電位側の電源線 V_{dd} に接続され、第 2 端子が第 2 のトランジスタ 202 の第 1 端子及び第 3 のトランジスタ 203 の第 3 端子に接続され、第 2 のトランジスタ 202 では、第 2 端子が低電位側の電源線 V_{ss} に接続され、第 3 端子がバッファ回路 200 の入力部 V_{in} に接続され、第 3 のトランジスタ 203 では、第 1 端子が高電位側の電源線 V_{dd} に接続され、第 2 端子が第 4 のトランジスタ 204 の第 1 端子とバッファ回路 200 の出力部 V_{out} に接続され、第 4 のトランジスタ 204 では、第 2 端子が低電位側の電源線 V_{ss} に接続され、第 3 端子がバッファ回路 200 の入力部 V_{in} に接続され、第 1 のトランジスタ 201 の第 2 端子は、容量素子 207 を介して出力部 V_{out} に接続されている。

【0047】

ここで、第 1 のトランジスタ 201 の利得を g_1 、第 2 のトランジスタ 202 の利得を g_2 、第 3 のトランジスタ 203 の利得を g_3 、第 4 のトランジスタ 204 の利得を g_4 、入力信号の角周波数を s ($= 2\pi f$ (f は周波数))、容量素子 207 の静電容量を C で表すと、図 2 に示すバッファ回路 200 の利得は、以下の数式 (8) で表される。

【0048】

【数 8】

$$G = \frac{g_4(g_1 + sC)}{g_1(g_3 + sC)} + \frac{g_2}{g_1} \quad (8)$$

【0049】

すなわち、高周波成分では s が極めて大きい ($g_1, g_3 \ll sC$) ため、 $1/s = 0$ とすると、高周波成分の利得は以下の数式 (9) で表される。

【0050】

【数 9】

$$G_H = -\frac{g_2 + g_4}{g_1} \quad (9)$$

【0051】

そして、低周波成分では s が極めて小さい ($g_1, g_3 \gg sC$) ため、 $s = 0$ とすると、低周波成分の利得は以下の数式 (10) で表される。

【0052】

【数 10】

$$G_L = -\left(\frac{g_4}{g_3} + \frac{g_2}{g_1} \right) \quad (10)$$

【0053】

上記数式 (9) には第 3 のトランジスタ 203 の利得が含まれず、図 2 のバッファ回路 200 では、第 3 のトランジスタ 203 の利得が高周波成分の利得の増大に寄与しない。

すなわち、高電位側の電源線に接続された最終段のトランジスタが利得の増大に寄与しない。更には、上記数式(10)から、第3のトランジスタ203の利得を増大させると、バッファ回路の低周波成分での利得を減少させる方向に作用する。

【0054】

一方で、図1に示すバッファ回路100では、高電位側の電源線 V_{dd} に接続された最終段のトランジスタが利得の増大に寄与するため、該トランジスタのチャンネル長を大きくするなどして最終段のトランジスタの利得を増大させることでバッファ回路の利得を増大させることができる。

【0055】

図3は、バッファ回路300を示す図である。

10

【0056】

図3に示すバッファ回路300は、第1のトランジスタ乃至第6のトランジスタ、容量素子、入力部及び出力部を有し、第1のトランジスタ301では、第1端子及び第3端子が高電位側の電源線 V_{dd} に接続され、第2端子が第2のトランジスタ302の第1端子、第4のトランジスタ304の第3端子及び第5のトランジスタ305の第3端子に接続され、第2のトランジスタ302では、第2端子が低電位側の電源線 V_{ss} に接続され、第3端子は、バッファ回路300の入力部 V_{in} に接続され、第3のトランジスタ303では、第1端子が高電位側の電源線 V_{dd} に接続され、第2端子が第4のトランジスタ304の第1端子と第6のトランジスタ306の第3端子に接続され、第3端子がバッファ回路300の入力部 V_{in} に接続され、第4のトランジスタ304では、第2端子が低電位側の電源線 V_{ss} に接続され、第5のトランジスタ305では、第1端子が高電位側の電源線 V_{dd} に接続され、第2端子が第6のトランジスタ306の第1端子及びバッファ回路300の出力部 V_{out} に接続され、第6のトランジスタ306では、第2端子が低電位側の電源線 V_{ss} に接続され、第1のトランジスタ301の第2端子は、容量素子307を介してバッファ回路300の出力部 V_{out} に接続されている。

20

【0057】

ここで、第1のトランジスタ301の利得を g_1 、第2のトランジスタ302の利得を g_2 、第3のトランジスタ303の利得を g_3 、第4のトランジスタ304の利得を g_4 、第5のトランジスタ305の利得を g_5 、第6のトランジスタ306の利得を g_6 、入力信号の角周波数を s ($=2\pi f$ (f は周波数))、容量素子307の静電容量を C で表すと、図3に示すバッファ回路300の高周波成分の利得は、以下の数式(11)で表される。

30

【0058】

【数11】

$$G_H = -\frac{g_3(g_2 + g_6)}{g_1g_3 - g_4g_6} \quad (11)$$

【0059】

一方で、低周波成分の利得は、以下の数式(12)で表される。

【0060】

40

【数12】

$$G_L = -\left(\frac{g_2g_4g_6}{g_1g_3g_5} + \frac{g_2}{g_1} + \frac{g_6}{g_5} \right) \quad (12)$$

【0061】

上記数式(11)には第5のトランジスタ305の利得が含まれず、図3のバッファ回路300では、第5のトランジスタ305の利得が高周波成分の利得の増大に寄与しない。すなわち、高電位側の電源線に接続された最終段のトランジスタが利得の増大に寄与しないことになる。一方で、上述したように、図1に示すバッファ回路100では、高電位

50

側の電源線に接続された最終段のトランジスタが利得の増大に寄与するため、該トランジスタのチャンネル長を大きくするなどして最終段のトランジスタの利得を増大させることでバッファ回路の利得を増大させることができる。

【 0 0 6 2 】

以上本実施の形態にて説明したように、本発明の一態様である図 1 に示すバッファ回路は、新しく、従来のバッファ回路に対して有利な効果を有するものである。このバッファ回路は表示装置の駆動回路に用いることができ、バッファ回路と画素部とを同一の基板上に形成することもできる。

【 0 0 6 3 】

(実施の形態 2)

本実施の形態では、Pチャネル型トランジスタを用いて構成された本発明の一態様であるバッファ回路について説明する。

【 0 0 6 4 】

図 4 は、本発明の一態様であるバッファ回路 4 0 0 を示す図である。

【 0 0 6 5 】

図 4 に示すバッファ回路 4 0 0 は、第 1 のトランジスタ乃至第 6 のトランジスタ、容量素子、入力部及び出力部を有し、第 1 のトランジスタ 4 0 1 では、第 1 端子が高電位側の電源線 V_{dd} に接続され、第 2 端子が第 2 のトランジスタ 4 0 2 の第 1 端子及び第 4 のトランジスタ 4 0 4 の第 3 端子に接続され、第 3 端子がバッファ回路 4 0 0 の入力部 V_{in} に接続され、第 2 のトランジスタ 4 0 2 では、第 2 端子及び第 3 端子が低電位側の電源線 V_{ss} に接続され、第 3 のトランジスタ 4 0 3 では、第 1 端子が高電位側の電源線 V_{dd} に接続され、第 2 端子が第 4 のトランジスタ 4 0 4 の第 1 端子及び第 6 のトランジスタ 4 0 6 の第 3 端子に接続され、第 3 端子がバッファ回路 4 0 0 の入力部 V_{in} に接続され、第 4 のトランジスタ 4 0 4 では、第 2 端子が低電位側の電源線 V_{ss} に接続され、第 5 のトランジスタ 4 0 5 では、第 1 端子が高電位側の電源線 V_{dd} に接続され、第 2 端子が第 6 のトランジスタ 4 0 6 の第 1 端子及びバッファ回路の出力部 V_{out} に接続され、第 3 端子がバッファ回路 4 0 0 の入力部 V_{in} に接続され、第 6 のトランジスタ 4 0 6 では、第 2 端子が低電位側の電源線 V_{ss} に接続され、第 1 のトランジスタ 4 0 1 の第 2 端子は、容量素子 4 0 7 を介して出力部 V_{out} に接続されている。

【 0 0 6 6 】

図 4 に示すバッファ回路 4 0 0 は、駆動能力が高く、高周波成分の利得を大きくすることができる。更には、このようなバッファ回路は、スルーレートも高いものとなる。更には、同一極性のトランジスタにより構成することが可能なため、簡略な工程により作製することができる。言い換えると、従来は困難であった同一極性のトランジスタのみで構成されるバッファ回路のスルーレートを高くすることを可能とする。そして、6 のトランジスタと 1 の容量素子で構成することができるため、バッファ回路の占有面積を小さくすることも可能である。

【 0 0 6 7 】

以上本実施の形態にて説明したように、本発明の一態様である図 4 に示すバッファ回路は、新しく、従来のバッファ回路に対して有利な効果を有するものである。このバッファ回路は表示装置の駆動回路に用いることができ、バッファ回路と画素部とを同一の基板上に形成することもできる。

【符号の説明】

【 0 0 6 8 】

- 1 0 0 バッファ回路
- 1 0 1 第 1 のトランジスタ
- 1 0 2 第 2 のトランジスタ
- 1 0 3 第 3 のトランジスタ
- 1 0 4 第 4 のトランジスタ
- 1 0 5 第 5 のトランジスタ

10

20

30

40

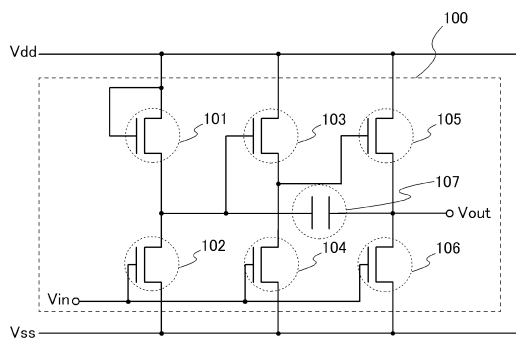
50

- 1 0 6 第 6 のトランジスタ
- 1 0 7 容量素子
- 2 0 0 バッファ回路
- 2 0 1 第 1 のトランジスタ
- 2 0 2 第 2 のトランジスタ
- 2 0 3 第 3 のトランジスタ
- 2 0 4 第 4 のトランジスタ
- 2 0 7 容量素子
- 3 0 0 バッファ回路
- 3 0 1 第 1 のトランジスタ
- 3 0 2 第 2 のトランジスタ
- 3 0 3 第 3 のトランジスタ
- 3 0 4 第 4 のトランジスタ
- 3 0 5 第 5 のトランジスタ
- 3 0 6 第 6 のトランジスタ
- 3 0 7 容量素子
- 4 0 0 バッファ回路
- 4 0 1 第 1 のトランジスタ
- 4 0 2 第 2 のトランジスタ
- 4 0 3 第 3 のトランジスタ
- 4 0 4 第 4 のトランジスタ
- 4 0 5 第 5 のトランジスタ
- 4 0 6 第 6 のトランジスタ
- 4 0 7 容量素子

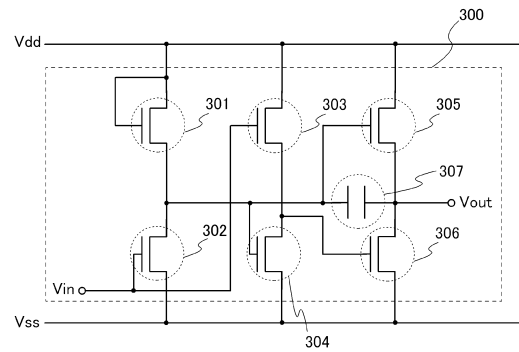
10

20

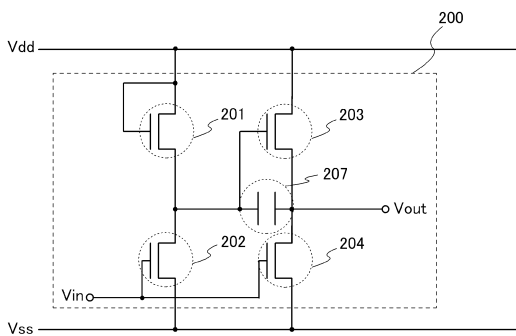
【 図 1 】



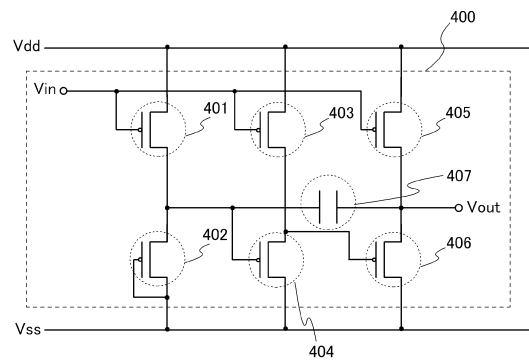
【 図 3 】



【 図 2 】



【 図 4 】



フロントページの続き

- (56)参考文献 特開2009-188748(JP,A)
特開昭59-231916(JP,A)
特開昭55-156427(JP,A)
特開2009-219081(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K17/00-17/70, 19/00, 19/01-19/082, 19/094-19/096