



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0150650
(43) 공개일자 2022년11월11일

(51) 국제특허분류(Int. Cl.) H01L 21/033 (2006.01) H01L 21/311 (2006.01) H01L 21/768 (2006.01) H01L 23/528 (2006.01) (52) CPC특허분류 H01L 21/0337 (2013.01) H01L 21/0332 (2013.01) (21) 출원번호 10-2021-0057891 (22) 출원일자 2021년05월04일 심사청구일자 없음	(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동) (72) 발명자 최정혁 경기도 수원시 영통구 웰빙타운로 70 (이의동, 광교 호반베르디움) 8703동 803호 권다솔 경기도 수원시 영통구 삼성로 129 (매탄동) (74) 대리인 특허법인씨엔에스
--	--

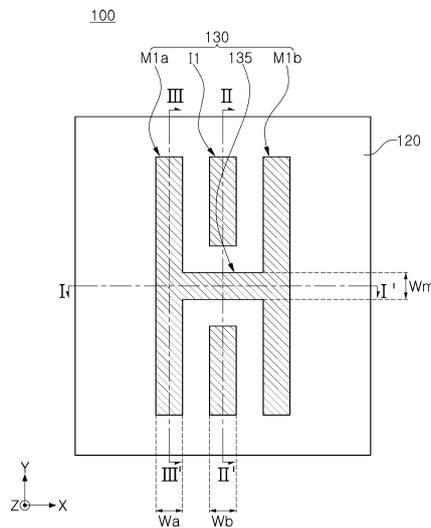
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

본 발명의 실시예에 따른 반도체 장치 제조 방법은, 하부 구조물을 제공하는 단계; 상기 하부 구조물 상에, 유전체 층 및 제1 중간 개구부를 갖는 마스크 층을 순차적으로 형성하는 단계; 상기 마스크 층 내에, 상기 제1 중간 개구부와 적어도 일부가 중첩되도록 제1 방향으로 연장되는 제1 개구부를 형성하는 단계; 상기 제1 중간 개구부 및 상기 제1 개구부 각각의 내에서 일부 영역에 위치하도록, 상기 마스크 층의 측벽 상에 스페이서층을 형성하는 단계; 상기 마스크 층 내에, 상기 제1 방향을 따라 상기 제1 중간 개구부에 의해 서로 이격되는 제2 개구부들을 형성하는 단계; 상기 마스크 층을 이용하여 상기 유전체 층을 패터닝하는 단계; 및 상기 유전체 층이 패터닝된 영역에 금속 물질을 매립하여 금속 물질층을 형성하는 단계를 포함하고, 상기 제1 방향에서, 상기 제1 중간 개구부는 제1 폭을 갖고, 상기 스페이서층은 상기 제1 폭의 절반보다 작은 제2 폭을 가진다.

대표도 - 도1



(52) CPC특허분류

H01L 21/31144 (2013.01)

H01L 21/76877 (2013.01)

H01L 23/528 (2013.01)

명세서

청구범위

청구항 1

하부 구조물을 제공하는 단계;

상기 하부 구조물 상에, 유전체 층 및 제1 중간 개구부를 갖는 마스크 층을 순차적으로 형성하는 단계;

상기 마스크 층 내에, 상기 제1 중간 개구부와 적어도 일부가 중첩되도록 제1 방향으로 연장되는 제1 개구부를 형성하는 단계;

상기 제1 중간 개구부 및 상기 제1 개구부 각각의 내에서 일부 영역에 위치하도록, 상기 마스크 층의 측벽 상에 스페이서층을 형성하는 단계;

상기 마스크 층 내에, 상기 제1 방향에서 상기 제1 중간 개구부에 의해 서로 이격되는 제2 개구부들을 형성하는 단계;

상기 마스크 층을 이용하여 상기 유전체 층을 패터닝하는 단계; 및

상기 유전체 층이 패터닝된 영역에 금속 물질을 매립하여 금속 물질층을 형성하는 단계를 포함하고,

상기 제1 방향에서, 상기 제1 중간 개구부는 제1 폭을 갖고, 상기 스페이서층은 상기 제1 폭의 절반보다 작은 제2 폭을 갖는 반도체 장치 제조 방법.

청구항 2

제1 항에 있어서,

상기 금속 물질층은, 상기 제1 방향으로 연장된 제1 금속 배선 및 상기 제1 금속 배선으로부터 상기 제1 방향과 수직한 제2 방향으로 연장된 중간 금속 배선을 포함하는 반도체 장치 제조 방법.

청구항 3

제1 항에 있어서,

상기 제1 개구부는 복수개로 형성되고, 상기 복수의 제1 개구부들은 상기 제1 중간 개구부가 상기 제1 개구부들 사이에 배치되도록 형성되고,

상기 제2 개구부들은 서로 인접한 상기 제1 개구부들 내의 상기 스페이서층들 사이에 형성되는 반도체 장치 제조 방법.

청구항 4

제3 항에 있어서,

상기 금속 물질층은, 상기 제1 방향으로 연장되며 서로 이격되어 배치된 제1 금속 배선들 및 상기 제1 금속 배선들 사이를 연결하는 중간 금속 배선을 포함하는 반도체 장치 제조 방법.

청구항 5

제1 항에 있어서,

상기 제2 개구부들 각각의 상기 제1 방향과 수직한 제2 방향에서의 폭은, 상기 제2 방향에서 상기 제1 개구부

내의 상기 스페이서층을 제외한 영역의 폭과 동일한 반도체 장치 제조 방법.

청구항 6

제1 항에 있어서,

상기 제2 개구부들 각각의 상기 제1 방향과 수직한 제2 방향에서의 폭은, 상기 제2 방향에서 상기 제1 개구부 내의 상기 스페이서층을 제외한 영역의 폭보다 큰 반도체 장치 제조 방법.

청구항 7

제1 항에 있어서,

상기 마스크 층 내에, 상기 제1 중간 개구부의 상기 제1 폭보다 작은 상기 제1 방향에서의 제3 폭을 갖는 제2 중간 개구부를 더 형성하는 단계를 더 포함하는 반도체 장치 제조 방법.

청구항 8

제7 항에 있어서,

상기 제1 중간 개구부의 상기 제1 폭은, 상기 제2 중간 개구부의 상기 제3 폭의 1.5 배 이상인 반도체 장치 제조 방법.

청구항 9

유전체 층 상에, 제1 중간 개구부를 갖는 마스크 층을 형성하는 단계;

상기 마스크 층 내에, 상기 제1 중간 개구부와 적어도 일부가 중첩되도록 제1 방향으로 연장되며, 상기 제1 방향과 수직한 제2 방향에서 상기 제1 중간 개구부의 상기 제1 방향에서의 제1 폭보다 작거나 같은 제2 폭을 갖는 제1 개구부를 형성하는 단계;

상기 제1 중간 개구부 및 상기 제1 개구부가 서로 연결되도록, 상기 제1 중간 개구부 및 상기 제1 개구부 내의 일부 영역에 스페이서층을 형성하는 단계;

상기 마스크 층을 이용하여 상기 유전체 층을 패터닝하는 단계; 및

상기 유전체 층이 패터닝된 영역에, 상기 제1 방향을 따라 연장되는 제1 금속 배선 및 상기 제1 금속 배선으로부터 상기 제2 방향으로 연장되는 중간 금속 배선을 포함하는 금속 물질층을 형성하는 단계를 포함하는 반도체 장치 제조 방법.

청구항 10

마스크 층 내에 중간 개구부를 형성하는 단계;

상기 마스크 층 내에, 제1 방향으로 연장되며, 상기 제1 방향과 수직한 제2 방향을 따라 이격되고 상기 중간 개구부와 적어도 일부가 중첩하는 제1 개구부들을 형성하는 단계;

상기 중간 개구부 및 상기 제1 개구부들 각각의 내부에 적어도 일부의 빈 공간을 포함하도록, 상기 중간 개구부 및 상기 제1 개구부들 내에 스페이서층을 형성하는 단계; 및

상기 마스크 층 내에 상기 제1 방향을 따라 상기 중간 개구부에 의해 서로 이격되는 제2 개구부들을 형성하는 단계를 포함하고,

상기 중간 개구부는 인접한 상기 제1 개구부들 사이에 배치되며,

상기 중간 개구부의 상기 제1 방향에서의 폭은 상기 스페이서층의 상기 제1 방향에서의 폭의 2배보다 큰 반도체 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0003] 반도체 장치에 대한 고성능, 고속화 및/또는 다기능화 등에 대한 요구가 증가되면서, 반도체 장치의 집적도가 증가되고 있다. 반도체 장치의 고집적화 경향에 따라, 트랜지스터의 크기가 축소되고 있다. 이와 같이 크기가 축소된 트랜지스터와 전기적으로 연결되는 배선들의 크기도 축소되고 있으나, 배선들의 저항 증가와 배선들 간의 정전 용량의 증가로 인해 고속 동작의 구현에 어려움이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제 중 하나는, 동일한 평면 상에서 서로 이격된 금속 배선 사이를 연결하는 중간 금속 배선을 형성하여 전기적 특성이 향상된 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 예시적인 실시예들에 따른 반도체 장치 제조 방법은, 하부 구조물을 제공하는 단계; 상기 하부 구조물 상에, 유전체 층 및 제1 중간 개구부를 갖는 마스크 층을 순차적으로 형성하는 단계; 상기 마스크 층 내에, 상기 제1 중간 개구부와 적어도 일부가 중첩되도록 제1 방향으로 연장되는 제1 개구부를 형성하는 단계; 상기 제1 중간 개구부 및 상기 제1 개구부 각각의 내에서 일부 영역에 위치하도록, 상기 마스크 층의 측벽 상에 스페이서층을 형성하는 단계; 상기 마스크 층 내에, 상기 제1 방향을 따라 상기 제1 중간 개구부에 의해 서로 이격되는 제2 개구부들을 형성하는 단계; 상기 마스크 층을 이용하여 상기 유전체 층을 패터닝하는 단계; 및 상기 유전체 층이 패터닝된 영역에 금속 물질을 매립하여 금속 물질층을 형성하는 단계를 포함하고, 상기 제1 방향에서, 상기 제1 중간 개구부는 제1 폭을 갖고, 상기 스페이서층은 상기 제1 폭의 절반보다 작은 제2 폭을 가질 수 있다.

[0008] 예시적인 실시예들에 따른 반도체 장치 제조 방법은, 유전체 층 상에, 제1 중간 개구부를 갖는 마스크 층을 형성하는 단계; 상기 마스크 층 내에, 상기 제1 중간 개구부와 적어도 일부가 중첩되도록 제1 방향으로 연장되며, 상기 제1 방향과 수직한 제2 방향에서 상기 제1 중간 개구부의 상기 제1 방향에서의 제1 폭보다 작거나 같은 제2 폭을 갖는 제1 개구부를 형성하는 단계; 상기 제1 중간 개구부 및 상기 제1 개구부가 서로 연결되도록, 상기 제1 중간 개구부 및 상기 제1 개구부 내의 일부 영역에 스페이서층을 형성하는 단계; 상기 마스크 층을 이용하여 상기 유전체 층을 패터닝하는 단계; 및 상기 유전체 층이 패터닝된 영역에, 상기 제1 방향을 따라 연장되는 제1 금속 배선 및 상기 제1 금속 배선으로부터 상기 제2 방향으로 연장되는 중간 금속 배선을 포함하는 금속 물질층을 형성하는 단계를 포함할 수 있다.

[0009] 예시적인 실시예들에 따른 반도체 장치 제조 방법은, 마스크 층 내에 중간 개구부를 형성하는 단계; 상기 마스크 층 내에, 제1 방향으로 연장되며, 상기 제1 방향과 수직한 제2 방향을 따라 이격되고 상기 중간 개구부와 적어도 일부가 중첩하는 제1 개구부들을 형성하는 단계; 상기 중간 개구부 및 상기 제1 개구부들 각각의 내부에 적어도 일부의 빈 공간을 포함하도록, 상기 중간 개구부 및 상기 제1 개구부들 내에 스페이서층을 형성하는 단계; 및 상기 마스크 층 내에 상기 제1 방향을 따라 상기 중간 개구부에 의해 서로 이격되는 제2 개구부들을 형성하는 단계를 포함하고, 상기 중간 개구부는 인접한 상기 제1 개구부들 사이에 배치되며, 상기 중간 개구부의

상기 제1 방향에서의 폭은 상기 스페이서층의 상기 제1 방향에서의 폭의 약 2배보다 클 수 있다.

발명의 효과

- [0011] 본 발명의 실시예들에 따르면, 동일한 평면 상에서 서로 평행하게 배치되며 서로 이격된 금속 배선들 사이를 연결하는 금속 부분을 형성하여 전기적 특성이 향상된 반도체 장치가 제공될 수 있다.
- [0012] 본 발명의 다양하면서도 유의한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시예를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0014] 도 1은 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도이다.
- 도 2a 및 도 2b는 예시적인 실시예들에 따른 반도체 장치를 도시하는 단면도들이다.
- 도 3a 내지 도 3c는 예시적인 실시예들에 따른 반도체 장치를 도시하는 단면도들이다.
- 도 4 내지 도 9는 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도들이다.
- 도 10a 내지 도 17c는 예시적인 실시예들에 따른 반도체 장치 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.
- 도 18은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 나타내는 흐름도이다.
- 도 19는 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 나타내는 흐름도이다.
- 도 20a 내지 도 20e는 예시적인 실시예들에 따른 반도체 장치 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.
- 도 21a 내지 도 21d는 예시적인 실시예들에 따른 반도체 장치 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 다음과 같이 설명한다.
- [0016] 도 1은 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도이다. 도 2a 및 도 2b는 예시적인 실시예들에 따른 반도체 장치를 도시하는 단면도들이다. 도 2a는 도 1의 I-I' 단면을 도시하고, 도 2b는 도 1의 II-II' 단면을 도시한다.
- [0017] 도 1 내지 도 2b를 참조하면, 반도체 장치(100)는 하부 구조물(LS), 하부 구조물(LS) 상에 배치된 제1 금속 물질층(130), 하부 구조물(LS) 상에서 제1 금속 물질층(130)의 각 부분들 사이에 배치되는 유전체 층(120)을 포함할 수 있다. 반도체 장치(100)는 제1 금속 물질층(130) 및 유전체 층(120) 상에 배치되는 제1 절연층(140), 제1 절연층(140) 상에 배치되는 제2 절연층(150), 제1 절연층(140) 상에서 제2 절연층(150) 내부에 배치되는 제2 금속 물질층(160), 및 제1 절연층(140)을 관통하며 제1 금속 물질층(130)의 적어도 일부 및 제2 금속 물질층(160)의 적어도 일부를 전기적으로 연결하는 관통 비아(V1)를 더 포함할 수 있다. 도 1은 제1 금속 물질층(130)의 레벨에서의 평면을 도시한다.
- [0018] 하부 구조물(LS)은 상부 영역에서 하부 절연층(110)을 관통하며 제1 금속 물질층(130)의 적어도 일부와 전기적으로 연결되는 하부 관통 비아(V0)를 포함할 수 있다.
- [0019] 하부 구조물(LS)은 반도체 기판을 포함할 수 있다. 상기 하부 구조물은 반도체 기판 상에 집적 회로를 구성하는 트랜지스터들을 포함할 수 있다. 상기 집적 회로를 구성하는 트랜지스터들은, 평면형(planar) MOSFET(Metal Oxide Semiconductor FET), 활성 영역이 핀(fin) 구조를 갖는 FinFET, 수직으로 적층된 복수의 채널들을 포함하는 MBCFET™(Multi Bridge Channel FET) 또는 게이트-올-어라운드(Gate-All-Around) 트랜지스터, 또는 VFET(Vertical FET)을 포함할 수 있다. 또한, 상기 집적 회로는 디램(DRAM), 낸드(NAND) 플래시 등과 같은 메

모리 소자들을 포함할 수도 있다.

- [0020] 제1 금속 물질층(130)은 제1 금속 배선들(M1a, M1b), 제1 금속 배선들(M1a, M1b) 사이를 연결하는 중간 금속 배선(135), 서로 이격되어 배치된 제2 금속 배선들(I1)을 포함할 수 있다. 제1 금속 배선들(M1a, M1b) 및 중간 금속 배선(135)은 서로 동일한 평면 상에 배치될 수 있다. 제1 금속 배선들(M1a, M1b), 중간 금속 배선(135), 및 제2 금속 배선들(I1)은 서로 동일한 평면 상에 배치될 수 있다.
- [0021] 제1 금속 물질층(130)은 y 방향으로 연장되며 x 방향에서 서로 이격되어 배치되는 복수의 제1 금속 배선들(M1a, M1b)을 포함할 수 있다. 중간 금속 배선(135)은 인접한 제1 금속 배선들(M1a, M1b) 사이에서 제1 금속 배선들(M1a, M1b)을 서로 연결할 수 있다. 중간 금속 배선(135)은, 도시된 것과 같이, 제1 금속 배선들(M1a, M1b)의 y 방향을 따른 중심부와 인접한 영역에 배치될 수 있으나, 이에 한정하지 않는다. 다른 실시예에서, 중간 금속 배선(135)의 제1 금속 배선들(M1a, M1b)과의 평면 상의 배치 관계는 달라질 수 있다. 제2 금속 배선들(I1)은 y 방향에서 서로 이격되어 배치될 수 있다. 제2 금속 배선들(I1)은 인접한 제1 금속 배선들(M1a, M1b) 사이에 배치될 수 있다.
- [0022] 중간 금속 배선(135)은 y 방향으로 연장된 제1 금속 배선들(M1a, M1b) 중 적어도 하나로부터 x 방향을 따라 연장될 수 있다. 중간 금속 배선(135)은 제1 금속 배선(M1a, M1b)으로부터 돌출된 형태를 가질 수 있다. 중간 금속 배선(135)은 제1 금속 배선들(M1a, M1b) 사이에 배치될 수 있다. 중간 금속 배선(135)은 제2 금속 배선들(I1)의 사이에 배치될 수 있다. 동일한 평면 상에서, 중간 금속 배선(135)은 한 방향으로 연장된 복수의 제1 금속 배선들(M1a, M1b) 사이를 전기적으로 연결하므로, 제1 금속 배선들(M1a, M1b) 간의 연결 거리를 감소시킬 수 있다. 제1 금속 배선들(M1a, M1b) 간의 연결 거리를 감소시켜 제1 금속 물질층(130)의 저항을 감소시킬 수 있다. 제1 금속 배선들(M1a, M1b) 간의 연결 거리를 감소시켜 제1 금속 물질층(130)을 포함한 반도체 장치(100) 내의 금속 배선 구조물들이 차지하는 면적을 감소시킬 수 있다. 상기 금속 배선 구조물들은 제1 금속 물질층(130) 및 상기 하부 구조물(LS)의 상면에 수직한 방향(z 방향)에서 서로 다른 높이에 배치된 금속 물질층들, 예를 들어 제2 금속 물질층(160)을 포함하는 구조물일 수 있다.
- [0023] 제1 금속 배선들(M1a, M1b) 각각의 x 방향에서의 폭(Wa) 및 제2 금속 배선들(I1) 각각의 x 방향에서의 폭(Wb)은 실질적으로 동일할 수 있다. 제1 금속 배선들(M1a, M1b) 각각의 x 방향에서의 폭(Wa) 및 중간 금속 배선(135)의 y 방향에서의 폭(Wm)은 실질적으로 동일할 수 있다. 제2 금속 배선들(I1) 각각의 x 방향에서의 폭(Wb) 및 중간 금속 배선(135)의 y 방향에서의 폭(Wm)은 실질적으로 동일할 수 있다.
- [0024] 제1 금속 물질층(130), 제2 금속 물질층(160), 하부 관통 비아(V0), 및 관통 비아(V1)는 각각 도전성 물질을 포함할 수 있다. 제1 금속 물질층(130)은, 예를 들어, 루테튬(Ru), 몰리브덴(Mo), 코발트(Co), 알루미늄(Al), 또는 구리(Cu) 등의 금속 물질을 포함할 수 있다. 제2 금속 물질층(160)은 제1 금속 물질층(130)과 동일하거나 서로 다른 금속 물질을 포함할 수 있다.
- [0025] 제1 금속 물질층(130)의 기술적인 특징은 제1 금속 물질층(130)과 다른 높이에 배치된 제2 금속 물질층(160)에서 동일하게 적용될 수 있으나, 이에 한정하지 않는다. 예시적인 실시예에서, 제1 금속 물질층(130)은 하나의 표준 셀을 이룰 수 있다.
- [0026] 유전체 층(120)은 금속 간 절연층으로 지칭될 수 있다. 유전체 층(120)은, 예를 들어, 실리콘 산화물, 실리콘 질화물, 또는 저유전(low-k) 절연 물질 등을 포함할 수 있다.
- [0027] 하부 절연층(110), 제1 절연층(140), 제2 절연층(150)은 각각 절연 물질을 포함할 수 있다.
- [0029] 이하에서, 도 1 내지 도 2b를 참조하여 설명한 것과 동일한 설명은 생략된다.
- [0030] 도 3a 내지 도 3c는 예시적인 실시예들에 따른 반도체 장치를 도시하는 단면도들이다. 도 3a는 도 1의 I-I'과 대응되는 영역의 단면을 도시하고, 도 3b는 도 1의 II-II'과 대응되는 영역의 단면을 도시하고, 도 3c는 도 1의 III-III'과 대응되는 영역의 단면을 도시한다.
- [0031] 도 3a 내지 도 3c를 참조하면, 예시적인 실시예에 따른 반도체 장치(100a)의 하부 구조물(LS)은 반도체 기판(5), 반도체 기판(5) 상에 배치된 활성 영역(ACT), 소자 분리막(10), 소스/드레인 영역(SD), 게이트 구조물(GATE), 복수의 채널층들(15)을 포함할 수 있다. 하부 구조물(LS)은 콘택 플러그(CNT)를 더 포함할 수 있다.
- [0032] 반도체 기판(5)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체 또는 II-VI족 화합물 반도체를 포

함할 수 있다. 예를 들어, IV족 반도체는 실리콘(Si), 저마늄(Ge) 또는 실리콘 저마늄(SiGe)을 포함할 수 있다.

- [0033] 활성 영역(ACT)은 반도체 기판(5) 내에서 소자 분리막(10)에 의해 정의되며, 제1 방향, 예를 들어 y 방향으로 연장되도록 배치될 수 있다. 활성 영역(ACT)은 반도체 기판(5)으로부터 돌출된 구조를 가질 수 있다. 활성 영역(ACT)의 상단은 소자 분리막(10)의 상면으로부터 소정 높이로 돌출되도록 배치될 수 있다. 활성 영역(ACT)은 반도체 기판(5)의 일부로 이루어질 수도 있고, 반도체 기판(5)으로부터 성장된 에피택셜층을 포함할 수도 있다. 다만, 게이트 구조물(GATE)의 양측에서는 반도체 기판(5) 상의 활성 영역(ACT)이 일부 리세스되며, 리세스된 활성 영역(ACT) 상에 소스/드레인 영역들(SD)이 배치될 수 있다. 실시예들에 따라, 활성 영역(ACT)은 불순물들을 포함할 수 있고, 활성 영역들(ACT) 중 적어도 일부는 서로 다른 도전형의 불순물들을 포함할 수 있으나, 이에 한정되지는 않는다. 활성 영역(ACT)은 x 방향에서 서로 이격되어 복수개로 배치될 수 있다.
- [0035] 소자 분리막(10)은 반도체 기판(5) 상에서 활성 영역들(ACT)을 한정할 수 있다. 소자 분리막(10)은 실리콘 산화물 등과 같은 절연성 물질로 형성될 수 있다.
- [0036] 소자 분리막(10) 상에 소스/드레인 영역들(SD)을 덮는 층간 절연 층(60)이 배치될 수 있다.
- [0038] 소스/드레인 영역들(SD)은 게이트 구조물(GATE)의 양측에서, 활성 영역(ACT) 상에 배치될 수 있다. 소스/드레인 영역들(SD)은 트랜지스터의 소스 영역 또는 드레인 영역으로 제공될 수 있다. 소스/드레인 영역(SD)은 활성 영역(ACT)의 상부를 일부 리세스하여 배치될 수 있으나, 실시예들에서 리세스 여부 및 리세스 깊이는 다양하게 변경될 수 있다. 소스/드레인 영역들(SD)은 실리콘(Si)을 포함하는 반도체층일 수 있으며, 에피택셜층으로 이루어질 수 있다. 소스/드레인 영역들(SD)은 서로 다른 종류 및/또는 농도의 불순물들을 포함할 수 있다. 예를 들어, 소스/드레인 영역들(SD)은 n형으로 도핑된 실리콘(Si) 및/또는 p형으로 도핑된 실리콘 저마늄(SiGe)을 포함할 수 있다. 예시적인 실시예들에서, 소스/드레인 영역들(SD)은 서로 다른 농도의 원소 및/또는 도핑 원소를 포함하는 복수의 영역들을 포함할 수 있다.
- [0039] 게이트 구조물(GATE)은 활성 영역(ACT) 및 복수의 채널층들(15)의 상부에서 활성 영역(ACT) 및 복수의 채널층들(15)과 교차하여 일 방향, 예를 들어 x 방향으로 연장되도록 배치될 수 있다. 게이트 구조물(GATE)과 교차되는 활성 영역(ACT) 및 복수의 채널층들(15)에는 트랜지스터들의 채널 영역이 형성될 수 있다. 게이트 구조물(GATE)은 게이트(27) 및 게이트(27) 상의 절연성 캡핑층(30)을 포함할 수 있다. 게이트(27)는 게이트 유전체(20), 게이트 유전체(20) 상의 게이트 전극(25)을 포함할 수 있다.
- [0040] 게이트 전극(25)은 활성 영역(ACT)의 상부에서 복수의 채널층들(15)의 사이를 채우며 복수의 채널층들(15)의 상부로 연장되어 배치될 수 있다. 게이트 전극(25)은 게이트 유전체(20)에 의해 복수의 채널층들(15)로부터 이격될 수 있다.
- [0041] 게이트 전극(25)은 도전성 물질을 포함할 수 있으며, 예를 들어, 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 또는 텅스텐 질화물(WN)과 같은 금속 질화물, 및/또는 알루미늄(Al), 텅스텐(W), 또는 몰리브덴(Mo) 등의 금속 물질 또는 도핑된(doped) 폴리실리콘과 같은 반도체 물질을 포함할 수 있다.
- [0043] 복수의 채널층들(15)은 활성 영역들(ACT) 상에 반도체 기판(5)의 상부면과 수직인 수직 방향으로 적층되고 서로 이격될 수 있다. 게이트들(27)은 복수의 채널층들(15)과 중첩하며, 복수의 채널층들(15)의 상부면 및 하부면들을 덮을 수 있다. 복수의 채널층들(15)은 소스/드레인 영역(SD)과 연결되면서, 활성 영역(ACT)의 상면과는 이격될 수 있다. 복수의 채널층들(15)은 x 방향에서 활성 영역(ACT)과 동일하거나 유사한 폭을 가질 수 있으며, y 방향에서 게이트 구조물(GATE)과 동일하거나 유사한 폭을 가질 수 있다. 복수의 채널층들(15)은 반도체 물질로 이루어질 수 있으며, 예를 들어, 실리콘(Si), 실리콘 저마늄(SiGe), 및 저마늄(Ge) 중 적어도 하나를 포함할 수 있다.
- [0044] 복수의 채널층들(15) 상에서 게이트(27) 및 절연성 캡핑층(30)의 측면을 덮는 절연성의 게이트 스페이서들(35)이 배치될 수 있다.
- [0046] 예시적인 실시예에서, 절연성 내측 스페이서들(40)은 소스/드레인 영역들(SD) 및 게이트(27) 사이에 배치될 수

있다.

- [0047] 콘택 플러그들(CNT) 중 몇몇은 소스/드레인 영역들(SD) 상에서 소스/드레인 영역들(SD)과 접촉하면서 전기적으로 연결될 수 있고, 다른 몇몇은 게이트 전극(25) 상에서 게이트 전극(25)과 접촉하며 전기적으로 연결될 수 있다.
- [0049] 도 4는 예시적인 실시예들에 따른 반도체 장치를 도시한다. 도 4는 도 1의 I-I'과 대응되는 영역의 단면을 도시한다.
- [0050] 도 4를 참조하면, 반도체 장치(100b)는, 게이트 구조물(GATE)이 활성 영역(ACT)의 3면, 예를 들어 활성 영역(ACT)의 상면 및 x 방향을 따른 측면들을 둘러싸는 FinFET을 포함할 수 있다. 도 3의 실시예에서와 달리, 반도체 장치(100b)는 복수의 채널층들을 포함하지 않을 수 있으며, 게이트 전극(25)과 교차되는 활성 영역(ACT)에 트랜지스터의 채널 영역이 형성될 수 있다.
- [0052] 도 5는 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도이다.
- [0053] 도 5를 참조하면, 반도체 장치(100c)에서 제1 금속 물질층(130)은 제1 금속 배선들(M1a, M1b), 제1 금속 배선들(M1a, M1b) 사이를 연결하는 중간 금속 배선(135), 서로 이격되어 배치된 제2 금속 배선들(I1), 및 파워 배선들(MP)을 포함할 수 있다. 파워 배선들(MP)은 제1 금속 배선들(M1a, M1b)의 폭(Wa) 및 제2 금속 배선들(I1)의 폭(Wb)보다 큰 폭(Wp)을 가질 수 있다. 파워 배선들(MP)은 중간 금속 배선(135)의 폭(Wm)보다 큰 폭(Wp)을 가질 수 있다.
- [0054] 본 실시예에 따른 반도체 장치(100b)는 도 10a 내지 도 17c를 참조하여 설명하는 반도체 장치 제조 방법과 유사하게 형성될 수 있다. 파워 배선들(MP)은 도 11a 내지 도 11c를 참조하여 설명하는 제1 개구부들(OP1) 형성 단계에서, 파워 배선들(MP)과 대응되는 영역에 제1 개구부들(OP1)보다 큰 폭을 갖는 제3 개구부를 더 형성하여 형성될 수 있다. 상기 제3 개구부는 제1 개구부들(OP1)과 x 방향으로 이격되도록 형성될 수 있다.
- [0056] 도 6은 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도이다.
- [0057] 도 6을 참조하면, 반도체 장치(100d)에서 제1 금속 물질층(130)은 제1 금속 배선들(M1a, M1b, M1c), 서로 인접한 제1 금속 배선들(M1a, M1b) 사이를 연결하는 중간 금속 배선(135), 서로 이격되어 배치된 제2 금속 배선들(I1a), 서로 이격되어 배치된 제3 금속 배선들(I2a)을 포함할 수 있다.
- [0058] 제2 금속 배선들(I1a) 사이에는 중간 금속 배선(135)이 배치되며, 제3 금속 배선들(I2a) 사이에는 중간 금속 배선(135)이 배치되지 않을 수 있다. 제3 금속 배선들(I2a)은 y 방향을 따라 유전체 층(120)에 의해서 분리될 수 있다. 제3 금속 배선들(I2a) 사이에는 유전체 층(120)만이 배치될 수 있다. 제3 금속 배선들(I2a)은 인접한 제1 금속 배선들(M1b, M1c) 사이에 배치될 수 있다. 제3 금속 배선들(I2a)은 y 방향에서 서로 이격되어 배치될 수 있다.
- [0059] 인접한 제2 금속 배선들(I1a) 간의 거리(D1)는 인접한 제3 금속 배선들(I2a) 간의 거리(D2)보다 클 수 있다.
- [0061] 도 7은 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도이다.
- [0062] 도 7을 참조하면, 반도체 장치(100e)에서 제1 금속 물질층(130)은 제1 금속 배선들(M1a, M1b, M1c), 서로 인접한 제1 금속 배선들(M1a, M1b, M1c) 사이를 각각 연결하는 중간 금속 배선들(135a, 135b), 서로 이격되어 배치된 제2 금속 배선들(I1a, I1b)을 포함할 수 있다.
- [0063] 동일 평면 상에 배치되는 제1 금속 물질층(130)은 3개 이상의 제1 금속 배선들(M1a, M1b, M1c)을 포함할 수 있으며, 서로 다른 제1 금속 배선들(M1a, M1b, M1c) 각각을 연결하도록 복수의 중간 금속 배선들(135a, 135b)을 포함할 수 있다. 중간 금속 배선들(135a, 135b)은 y 방향에서 동일한 레벨에 위치한 것으로 도시되어 있으나, 이에 한정하지 않으며, 제1 금속 배선들(M1a, M1b, M1c)의 배치 및 중간 금속 배선들(135a, 135b)의 배치는 변경될 수 있다. 예를 들어, 중간 금속 배선들(135a, 135b)은 x 방향을 따라 동일한 레벨에 배치되도록 정렬된 것

이 아닌, 서로 쉬프트된 형태를 가질 수 있다.

- [0065] 도 8은 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도이다.
- [0066] 도 8을 참조하면, 반도체 장치(100f)에서 제1 금속 물질층(130)은 제1 금속 배선들(M1a, M1b), 서로 인접한 제1 금속 배선들(M1a, M1b) 사이를 연결하는 중간 금속 배선들(135u) 및 제1 금속 배선들(M1a, M1b) 사이에 배치된 제2 금속 배선(I1)을 포함할 수 있다.
- [0067] 중간 금속 배선(135u)은 제1 금속 배선들(M1a, M1b) 각각의 상부 영역 사이에 배치될 수 있다. 중간 금속 배선(135u)은 서로 인접한 제1 금속 배선들(M1a, M1b) 각각의 상단과 접촉하도록 배치될 수 있다. 제1 금속 배선들(M1a, M1b) 및 중간 금속 배선(135u)은 'ㄷ'자 형상을 이룰 수 있다.
- [0068] 이와 같은 제1 금속 물질층(130)의 형상은 도 14a 내지 도 14c를 참조하여 설명하는 제1 개구부들(OP1) 형성 단계에서, 제1 개구부(OP1)들 각각의 상단이 중간 개구부(OPM)와 중첩되도록 제1 개구부(OP1)의 형성 위치를 조절하여 형성될 수 있다.
- [0070] 도 9는 예시적인 실시예들에 따른 반도체 장치를 도시하는 평면도이다.
- [0071] 도 9를 참조하면, 반도체 장치(100g)에서 제1 금속 물질층(130)은 제1 금속 배선들(M1a, M1b), 서로 인접한 제1 금속 배선들(M1a, M1b) 사이를 연결하는 중간 금속 배선들(135) 및 제1 금속 배선들(M1a, M1b) 사이에 배치된 제2 금속 배선들(I1s)을 포함할 수 있다.
- [0072] 제1 금속 배선들(M1a, M1b)은 y 방향에서의 상단이 서로 다른 레벨에 배치될 수 있다. 제1 금속 배선들(M1a, M1b)은 x 방향에서 서로 중첩되지 않는 영역을 포함하도록 배치될 수 있다.
- [0073] 중간 금속 배선(135)이 제1 금속 배선들(M1a, M1b) 각각의 중심 영역과 접촉하도록 배치되지 않을 수 있다. 중간 금속 배선(135)은 인접한 한 쌍의 제1 금속 배선들(M1a, M1b) 중 하나의 제1 금속 배선(M1a)의 하부 부분과 접촉할 수 있고, 다른 하나의 제1 금속 배선(M1b)의 상부 부분과 접촉할 수 있다.
- [0074] 제1 금속 배선들(M1a, M1b) 및 중간 금속 배선(135u)은, 예를 들어, 'ㄹ'자 또는 'S'자 형상을 이룰 수 있다.
- [0075] 제2 금속 배선들(I1s)은 제1 금속 배선들(M1a, M1b) 각각의 폭(Wc)보다 큰 폭을 가질 수 있다. 제2 금속 배선들(I1s)의 폭(Wd)은, 예를 들어, 제1 금속 배선들(M1a, M1b)의 폭(Wc)의 약 1.2배 내지 약 1.7배 범위일 수 있다. 도 21c를 참조하여 설명하는 제2 개구부(OP2c, OP2d) 형성 단계에서, 제1 개구부들(OP1d, OP1e)이 x 방향에서 서로 중첩되지 않은 영역이 존재함에 따라, 제2 개구부들(OP2c, OP2d)이 상대적으로 더 넓게 형성되므로 제2 금속 배선들(I1s)의 폭이 상대적으로 커질 수 있다.
- [0076] 제2 금속 배선들(I1s)은 y 방향을 따라 일렬로 정렬되지 않을 수 있으며, x 방향을 따라 쉬프트된 형태를 가질 수 있다. 제2 금속 배선들(I1s) 각각의 가장 인접한 제1 금속 배선들(M1a, M1b)과의 거리들(d3, d4)은 실질적으로 동일할 수 있다.
- [0078] 도 10a 내지 도 17c는 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 공정 순서대로 도면들이다. 도 10a 내지 도 17c는 도 1의 예시적인 반도체 장치의 제조 방법을 도시한다.
- [0079] 도 12a, 도 13a, 도 14a, 도 15a, 도 16a, 도 17a, 도 18a, 및 도 19a는 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 도시하는 평면도이다. 도 12b, 도 12c, 도 13b, 도 13c, 도 14b, 도 14c, 도 15b, 도 15c, 도 16b, 도 16c, 도 17b, 및 도 17c는 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 도시하는 단면도들이다. 도 12b, 도 13b, 도 14b, 도 15b, 도 16b, 및 도 17b는, 각각 도 12a, 도 13a, 도 14a, 도 15a, 도 16a, 및 도 17a의 IV-IV' 단면을 도시한다. 도 12c, 도 13c, 도 14c, 도 15c, 도 16c, 및 도 17c는 각각 도 12a, 도 13a, 도 14a, 도 15a, 도 16a, 및 도 17a의 V-V' 단면을 도시한다.
- [0081] 도 10a 내지 도 10c를 참조하면, 하부 구조물을 제공하는 단계(S10, 도 18 및 도 19 참조) 및 유전체 층 상에 배치된 마스크 층 내에 중간 개구부를 형성하는 단계(S20, 도 18 및 도 19 참조)를 도시한다.

- [0082] 먼저 반도체 기판을 포함하는 하부 구조물(LS)을 제공할 수 있다. 하부 구조물(LS)은 반도체 기판 상에 집적 회로를 구성하는 트랜지스터들을 포함할 수 있다.
- [0083] 다음으로 하부 구조물(LS) 상에 유전체 층(120)을 형성할 수 있다. 유전체 층(120)은, 예를 들어, 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산화물보다 유전율이 낮은 저유전(low-k) 절연 물질 등을 포함할 수 있다.
- [0084] 다음으로, 유전체 층(120) 상에 하부 마스크 층(210)을 형성할 수 있다. 하부 마스크 층(210)은 하나의 층으로 도시되어 있으나, 이에 한정하지 않으며 복수개의 층으로 이루어질 수 있다. 하부 마스크 층(210)은 유전체 층(120)과 식각 선택비를 갖는 물질을 포함할 수 있다. 다음으로, 하부 마스크 층(210) 내에 포토레지스트 공정 및 식각 공정을 통해 중간 개구부(OPM)를 형성할 수 있다. 중간 개구부(OPM)는 도 1 내지 도 2b를 참조하여 설명하는 금속 물질층(130)의 중간 금속 배선(135)이 배치된 영역과 대응되는 영역에 형성될 수 있다. 중간 개구부(OPM)는 y 방향에서, 후술하는 제1 개구부(OP1, 도 12a 참조)의 x 방향에서의 폭(W2, 도 12a 참조)보다 큰 폭(W1)을 갖도록 형성할 수 있다. 중간 개구부(OPM)는 y 방향에서, 후술하는 스페이서층(215, 도 13a 참조)의 폭(t, 도 13a 참조)의 약 2배보다 큰 폭을 가질 수 있다. 중간 개구부(OPM)의 y 방향에서의 폭(W1)은, 예를 들어, 후술하는 스페이서층의 폭의 약 2.5배 내지 약 4배 범위일 수 있다. 중간 개구부(OPM)의 y 방향에서의 폭(W1)은, 예를 들어, 후술하는 스페이서층의 폭의 약 3배 내지 약 4배 범위일 수 있다. 즉, 중간 개구부(OPM)는 후술하는 스페이서층(215, 도 13a 참조) 형성 단계(S40, 도 18 참조) 후에, 중간 개구부(OPM) 내에 빈 공간을 포함할 수 있을 정도의 폭(W1)을 갖도록 형성될 수 있다.
- [0086] 도 11a 내지 도 11c를 참조하면, 후술하는 제1 개구부(OP1, 도 12a 내지 도 12c 참조)를 형성하기 위한 제1 상부 마스크 층을 형성하는 단계를 도시한다.
- [0087] 중간 개구부(OPM)를 갖는 하부 마스크 층(210) 상에 제1 상부 마스크 층(220)을 형성할 수 있다. 제1 상부 마스크 층(220)은 하나의 층으로 도시되어 있으나, 이에 한정하지 않으며 복수 개의 층으로 이루어질 수 있다. 다음으로, 제1 상부 마스크 층(220) 상에 제1 감광성 절연 패턴층(225)을 형성할 수 있다. 제1 감광성 절연 패턴층(225)은 후술하는 제1 개구부들(OP1, 도 12a 내지 도 12c 참조)이 형성되는 위치와 대응되도록 개구부들을 포함할 수 있다. 제1 감광성 절연 패턴층(225)을 마스크 패턴으로 이용하여 제1 상부 마스크 층(220)을 식각할 수 있다.
- [0089] 도 12a 내지 도 12c를 참조하면, 마스크 층 내에 제1 개구부들을 형성하는 단계(S30, 도 18 및 도 19 참조)를 도시한다.
- [0090] 패턴닝된 제1 상부 마스크 층(220)을 이용하여 하부 마스크 층(210)을 식각하여, 하부 마스크 층(210) 내에 제1 개구부(OP1)를 형성할 수 있다. 제1 개구부(OP1)는 중간 개구부(OPM)의 적어도 일부와 중첩되도록 형성될 수 있다. 제1 개구부들(OP1)은 후속 공정에 의하여 도 1의 제1 금속 배선들(M1a, M1b)이 형성되는 영역일 수 있다.
- [0091] 제1 개구부들(OP1)은 하부 마스크 층(210) 내에 y 방향을 따라 연장되도록 형성될 수 있다. 제1 개구부들(OP1)은 x 방향에서 서로 이격되어 형성될 수 있다. 제1 개구부들(OP1)의 y 방향을 따른 길이(L)는 중간 개구부(OPM)의 y 방향을 따른 폭(W1)보다 클 수 있다. 제1 개구부들(OP1)의 x 방향을 따른 폭(W2)은 중간 개구부(OPM)의 y 방향을 따른 폭(W1)보다 작거나 같을 수 있다. 중간 개구부(OPM)의 y 방향을 따른 폭(W1)이 제1 개구부들(OP1)의 x 방향을 따른 폭(W2)과 크거나 같으므로, 후술하는 스페이서층(215, 도 13a 내지 도 13c)을 형성하는 단계(S40, 도 18 참조)에서 스페이서층(215)이 중간 개구부(OPM) 전체를 막지 않도록 형성될 수 있다. 예시적인 실시예에서, 제1 개구부들(OP1)은 중간 개구부(OPM)가 제1 개구부들(OP1) 사이에 배치되도록 형성될 수 있다. 중간 개구부(OPM)는 제1 개구부들(OP1) 각각의 중심부와 인접하도록 형성될 수 있으나, 이에 한정하지 않는다. 예를 들어, 중간 개구부(OPM)는 평면 상에서 제1 개구부들(OP1) 각각의 상단과 중첩하도록 배치될 수 있다. 중간 개구부(OPM)가 제1 개구부들(OP1) 각각의 상단과 중첩하도록 배치되도록 제1 개구부들(OP1)을 형성하는 경우, 도 8을 참조하여 설명한 반도체 장치가 형성될 수 있다.
- [0092] 다음으로, 제1 상부 마스크 층(220)은 제거될 수 있다.
- [0094] 도 13a 내지 도 13c를 참조하면, 마스크 층(210)의 측벽 상에 스페이서층(215)을 형성하는 단계(S40, 도 18 및

도 19 참조)를 도시한다.

- [0095] 스페이서층(215)은 중간 개구부(OPM) 및 제1 개구부들(OP1) 각각의 내에서 일부 영역에 위치하도록, 하부 마스크 층(210)의 측벽 상에 형성될 수 있다. 스페이서층(215)은 중간 개구부(OPM) 및 제1 개구부(OP1)가 서로 연결되도록, 중간 개구부(OPM) 및 제1 개구부(OP1)의 일부 영역 내에 형성될 수 있다. 스페이서층(215)은 제1 개구부들(OP1) 및 중간 개구부(OPM) 내에 형성될 수 있다.
- [0096] 스페이서층(215)은 제1 개구부들(OP1) 및 중간 개구부(OPM) 각각에 의해 노출되는 하부 마스크 층(210)의 측벽 상에 형성되며, 제1 개구부들(OP1) 및 중간 개구부(OPM) 각각이 빈 공간(S1, S2)을 포함하도록 형성될 수 있다. 제1 개구부들(OP1) 내에 스페이서층(215)이 배치된 영역을 제외한 제1 공간(S1)이 형성될 수 있다. 스페이서층(215)의 폭(t)은 중간 개구부(OPM)의 y 방향에서의 폭(W1)의 절반보다 작을 수 있다. 중간 개구부(OPM)의 y 방향을 따른 폭(W1)이 스페이서층(215)의 y 방향을 따른 폭(t)의 약 2배보다 크므로, 스페이서층(215) 형성 후에 중간 개구부(OPM) 내부에 제2 공간(S2)이 형성될 수 있다. 제1 개구부들(OP1)의 제1 공간들(S1)은 중간 개구부(OPM)의 제2 공간(S2)과 서로 연결될 수 있다.
- [0097] 스페이서층(215)은 제1 개구부들(OP1) 및 중간 개구부(OPM) 각각에 의해 노출되는 하부 마스크 층(210)의 측벽 및 유전체 층(120) 상면을 따라 스페이서 물질을 적층하고, 일부 식각하여 유전체 층(120)의 상면이 노출되도록 형성될 수 있다. 스페이서층(215)은 하부 마스크 층(210)과 식각 선택비를 갖는 물질을 포함할 수 있다. 스페이서층(215)은, 예를 들어, 실리콘 산화물, 실리콘 질화물, 티타늄 산화물 또는 알루미늄 산화물 등을 포함할 수 있다.
- [0099] 도 14a 내지 도 14c를 참조하면, 제2 개구부를 형성하기 위한 제2 상부 마스크 층을 형성하는 단계를 도시한다.
- [0100] 제1 개구부의 제1 공간(S1) 및 중간 개구부의 제2 공간(S2)을 갖는 하부 마스크 층(210) 상에 제2 상부 마스크 층(230)을 형성할 수 있다. 제2 상부 마스크 층(230)은 하나의 층으로 도시되어 있으나, 이에 한정하지 않으며 복수 개의 층으로 이루어질 수 있다. 다음으로, 제2 상부 마스크 층(230) 상에 제2 감광성 절연 패턴층(235)을 형성할 수 있다. 제2 감광성 절연 패턴층(235)은 후술하는 제2 개구부들(OP2, 도 15a 내지 도 15c 참조)이 형성되는 위치와 대응되도록 개구부를 포함할 수 있다. 감광성 절연 패턴층(235)의 개구부는 y 방향을 따라 연장될 수 있다. 감광성 절연 패턴층(235)의 x 방향을 따른 폭은 x 방향을 따라 인접한 스페이서층(215) 간의 거리보다 클 수 있다. 제2 감광성 절연 패턴층(235)을 마스크 패턴으로 이용하여 제2 상부 마스크 층(230)을 식각할 수 있다.
- [0102] 도 15a 내지 도 15c를 참조하면, 마스크 층(210) 내에 제2 개구부(OP2)를 형성하는 단계(S45, 도 19 참조)를 도시한다. 상기 제2 상부 마스크 층(230)을 형성하는 단계 및 제2 개구부(OP2)를 형성하는 단계(S45)는 실시예에 따라 생략될 수 있다.
- [0103] 제2 개구부들(OP2)은 하부 마스크 층(210) 내에 y 방향을 따라 서로 이격되어 형성될 수 있다. 패턴닝된 제2 상부 마스크 층(230)을 이용하여 하부 마스크 층(210)을 식각하여 제2 개구부들(OP2)을 형성할 수 있다. 제2 개구부들(OP2)은 후속 공정에 의하여 도 1의 제2 금속 배선들(I1)이 형성되는 영역일 수 있다.
- [0104] 제2 개구부들(OP2) y 방향을 따라 중간 개구부(OPM)에 의해 서로 이격되어 형성될 수 있다. 제2 개구부들(OP2)은 y 방향을 따라 상기 중간 개구부(OPM) 내에 형성된 스페이서층(215)에 의해 서로 이격될 수 있다.
- [0105] 예시적인 실시예에서, 제2 개구부들(OP2)은 서로 인접한 제1 개구부들(OP1) 사이에 배치되도록 형성될 수 있다. 제2 개구부들(OP2)은 제1 개구부들(OP1) 내에 배치된 스페이서층(215)들 사이에 배치되도록 형성될 수 있다. 제2 개구부들(OP2)은 스페이서층(215)에 의하여 자기정렬(self-align)될 수 있다.
- [0106] 예시적인 실시예에서, 제2 개구부들(OP2)의 x 방향에서의 폭(Wb)은 제1 개구부들(OP1) 내의 스페이서층(215)을 제외한 영역, 즉 제1 공간(S1)의 x 방향에서의 폭(Wa)과 실질적으로 동일할 수 있다.
- [0107] 제2 개구부들(OP2) 형성 후에, 제2 상부 마스크 층(230)은 제거될 수 있다.
- [0109] 도 16a 내지 도 16c를 참조하면, 하부 마스크 층(210)을 이용하여 유전체 층(120)을 패턴닝하는 단계(S50, 도

18 참조)를 도시한다.

- [0110] 스페이서층(215) 및 하부 마스크 층(210)을 마스크로 이용하여 유전체 층(120)은 식각될 수 있다. 유전체 층(120)은 도 15 a 내지 도 15c를 참조하여 설명한 제1 중간 개구부(OPM), 제1 개구부들(OP1), 및 제2 개구부들(OP2)을 따라 패터닝될 수 있다. 유전체 층(120)은 도 15a 내지 도 15c를 참조하여 설명한 제1 중간 개구부(OPM)의 제2 공간(S2), 제1 개구부들(OP1)의 제1 공간(S1), 및 제2 개구부들(OP2)을 따라 패터닝될 수 있다.
- [0111] 유전체 층(120)은 제1 중간 개구부(OPM)의 제2 공간(S2)과 대응되는 영역이 제거되어 유전체 층(120)의 중간 개구부(TM)를 형성하고, 제1 개구부(OP1)의 제1 공간(S1)과 대응되는 영역이 제거되어 유전체 층(120)의 제1 개구부(T1)를 형성하고, 제2 개구부(OP2)와 대응되는 영역이 유전체 층(120)의 제2 개구부(T2)를 형성할 수 있다.
- [0113] 도 17a 내지 도 17c를 참조하면, 유전체 층(120)이 패터닝 된 영역에 금속 물질을 매립하여 금속 물질층을 형성하는 단계(S50, 도 18 및 도 19 참조)를 도시한다.
- [0114] 도 16a 내지 도 16c를 참조하여 설명한, 유전체 층(120)의 개구부들 내에 금속 물질을 매립하여 금속 물질층(130)을 형성할 수 있다. 금속 물질층(130)은, 예를 들어, 루테튬(Ru), 몰리브덴(Mo), 코발트(Co), 알루미늄(Al), 또는 구리(Cu) 등의 금속 물질을 포함할 수 있다.
- [0115] 금속 물질층(130)은 x 방향에서 서로 이격되어 배치된 제1 금속 배선들(M1a, M1b), 제1 금속 배선들(M1a, M1b) 사이를 연결하는 중간 금속 배선(135), 및 y 방향에서 서로 이격되어 배치된 제2 금속 배선들(I1)을 포함할 수 있다.
- [0116] 이하에서, 도 10a 내지 도 17c를 참조하여 설명한 것과 동일한 것은 생략될 수 있다.
- [0118] 도 20a 내지 도 20e는 예시적인 실시예들에 따른 반도체 장치 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다. 도 20a 내지 도 20e는 도 6의 예시적인 반도체 장치 제조 방법을 도시한다.
- [0119] 도 20a를 참조하면, 하부 마스크 층(210) 내에 중간 개구부(OPM1, OPM2)를 형성하는 단계(S20, 도 18 및 도 19 참조)를 도시한다.
- [0120] 도 10a 및 도 10b를 참조하여 설명한 것과 동일한 방법에 의하여 하부 마스크 층(210) 내에 서로 다른 폭을 갖는 중간 개구부들(OPM)을 형성할 수 있다. 예시적인 실시예에서, 중간 개구부(OPM)는 서로 다른 폭을 갖는 제1 중간 개구부(OPM1) 및 제2 중간 개구부(OPM2)를 포함할 수 있으나, 이에 한정하지 않는다. 다른 실시예에서, 하부 마스크 층(210)은 실질적으로 동일한 폭을 갖는 복수의 중간 개구부들(OPM)을 포함할 수 있다. 중간 개구부(OPM)는 제1 중간 개구부(OPM1) 및 제1 중간 개구부(OPM1)의 폭(W1)보다 작은 폭(W3)을 갖는 제2 중간 개구부(OPM2)를 포함할 수 있다.
- [0121] 제1 중간 개구부(OPM1)의 y 방향을 따른 제1 폭(W1)은, 예를 들어, 제2 중간 개구부(OPM2)의 y 방향을 따른 제3 폭(W3)의 약 1.5배 이상일 수 있다. 제1 중간 개구부(OPM1)의 y 방향을 따른 제1 폭(W1)은, 예를 들어, 제2 중간 개구부(OPM2)의 y 방향을 따른 제3 폭(W3)의 약 1.5배 이상 약 3배 이하일 수 있다. 제2 중간 개구부(OPM2)의 제3 폭(W3)은, 예를 들어, 제1 중간 개구부(OPM1)의 제1 폭(W1)의 약 2/3 이하일 수 있다.
- [0122] 제1 중간 개구부(OPM1)는 도 6을 참조하여 설명하는 금속 물질층(130)의 중간 금속 배선(135)이 배치된 영역과 대응되는 영역에 형성될 수 있다. 제1 중간 개구부(OPM1)는 y 방향에서, 후술하는 스페이서층(215, 도 20c 참조)의 y 방향에서의 폭(t, 도 20c 참조)의 약 2배보다 큰 폭을 갖도록 형성할 수 있다. 제1 중간 개구부(OPM1)는 y 방향에서, 후술하는 제1 개구부(OP1)의 x 방향에서의 폭(W2, 도 20b 참조)보다 큰 폭(W1)을 갖도록 형성할 수 있다. 제1 중간 개구부(OPM1)는 후술하는 스페이서층(215, 도 20c 참조) 형성 단계 후에, 제1 중간 개구부(OPM1) 내에 빈 공간을 포함할 수 있을 정도의 폭을 갖도록 형성할 수 있다. 제2 중간 개구부(OPM2)는 후술하는 스페이서층(215, 도 20c 참조) 형성 단계 후에 제2 중간 개구부(OPM2) 전체에 스페이서 물질이 채워질 정도의 폭을 갖도록 형성할 수 있다. 제2 중간 개구부(OPM2)는 스페이서층(215)의 y 방향에서의 폭(t)의 약 2배 이하의 폭을 갖도록 형성할 수 있다.
- [0123] 도 20b를 참조하면, 하부 마스크 층(210) 내에 제1 개구부들(OP1a, OP1b, OP1c)을 형성하는 단계(S30, 도 18 및 도 19 참조)를 도시한다.

- [0124] 도 12a 내지 도 12c를 참조하여 설명한 것과 동일한 방법에 의하여 하부 마스크 층(210) 내에 제1 개구부들(OP1a, OP1b, OP1c)을 형성할 수 있다. 제1 개구부들(OP1a, OP1b, OP1c)은 후속 공정에 의하여 도 6의 제1 금속 배선들(M1a, M1b, M1c)이 형성되는 영역일 수 있다.
- [0125] 제1 개구부들(OP1a, OP1b, OP1c)은 하부 마스크 층(210) 내에 y 방향을 따라 연장되도록 형성될 수 있다. 제1 개구부들(OP1a, OP1b, OP1c)은 x 방향에서 서로 이격되어 형성될 수 있다. 제1 개구부들(OP1a, OP1b, OP1c)의 y 방향을 따른 길이(L)는 제1 중간 개구부(OPM1)의 y 방향을 따른 폭(W1) 및 제2 중간 개구부(OPM2)의 y 방향을 따른 폭(W3)보다 클 수 있다. 제1 개구부들(OP1a, OP1b, OP1c)의 x 방향을 따른 폭(W2)은 제1 중간 개구부(OPM1)의 y 방향을 따른 폭(W1)보다 작거나 같을 수 있다. 제1 중간 개구부(OPM1)의 y 방향을 따른 폭(W1)이 제1 개구부들(OP1a, OP1b, OP1c)의 x 방향을 따른 폭(W2)과 크거나 같으므로, 후술하는 스페이서층(215, 도 20c 참조)을 형성하는 단계에서 스페이서층(215)이 제1 중간 개구부(OPM1) 전체를 막지 않도록 형성될 수 있다. 제1 개구부들(OP1a, OP1b, OP1c)의 x 방향을 따른 폭(W2)은 제2 중간 개구부(OPM2)의 y 방향을 따른 폭(W3)보다 클 수 있다. 제2 중간 개구부(OPM2)의 제3 폭(W3)은 제1 중간 개구부(OPM1)의 제1 폭(W1)의 약 2/3 이하이므로, 후술하는 스페이서층(215, 도 20c 참조)을 형성하는 단계에서 제2 중간 개구부(OPM2) 내의 전체 영역이 스페이서층(215)에 의해 막힐 수 있다.
- [0127] 도 20c를 참조하면, 마스크 층(210)의 측벽 상에 스페이서층(215)을 형성하는 단계(S40, 도 18 및 도 19 참조)를 도시한다.
- [0128] 제1 개구부들(OP1a, OP1b, OP1c) 내에 스페이서층(215)이 형성될 수 있다. 스페이서층(215)은 도 13a 내지 도 13c를 참조하여 설명한 것과 유사한 방법에 의하여 형성될 수 있다.
- [0129] 스페이서층(215)은 제1 중간 개구부(OPM1) 및 제1 개구부들(OP1a, OP1b, OP1c) 각각의 내에서 일부 영역에 위치하며, 제2 중간 개구부(OPM2) 내의 전체 영역에 위치하도록, 하부 마스크 층(210)의 측벽 상에 형성될 수 있다. 스페이서층(215)은 제1 중간 개구부(OPM1) 및 제1 개구부(OP1)가 서로 연결되도록, 제1 중간 개구부(OPM1) 및 제1 개구부(OP1)의 일부 영역 내에 형성될 수 있다. 스페이서층(215)은 제2 중간 개구부(OPM2) 및 제1 개구부(OP1)가 서로 연결되지 않도록, 제2 중간 개구부(OPM2)의 전체 영역 내에 형성될 수 있다.
- [0131] 스페이서층(215)은 제1 개구부들(OP1a, OP1b, OP1c), 제1 중간 개구부(OPM1), 및 제2 중간 개구부(OPM2) 각각에 의해 노출되는 하부 마스크 층(210) 측벽을 따라 형성되며, 제1 개구부들(OP1a, OP1b, OP1c) 및 제1 중간 개구부(OPM1) 각각이 적어도 일부의 빈 공간(S1a, S1b, S1c, S2)을 포함하도록 형성할 수 있다. 제1 개구부들(OP1a, OP1b, OP1c) 내에 스페이서층(215)이 배치된 영역을 제외한 제1 공간(S1a, S1b, S1c)이 형성될 수 있다. 스페이서층(215)의 폭(t)은 제1 중간 개구부(OPM)의 y 방향에서의 폭(W1)의 절반보다 작을 수 있다. 제1 중간 개구부(OPM1)의 y 방향을 따른 폭(W1)이 스페이서층(215)의 y 방향을 따른 폭(t)의 약 2배보다 크므로, 스페이서층(215) 형성 후에 제1 중간 개구부(OPM1) 내부에 제2 공간(S2)이 형성될 수 있다. 제2 중간 개구부(OPM2)의 y 방향을 따른 폭(W3)이 스페이서층(215)의 y 방향을 따른 폭(t)의 약 2배 이하이므로, 제2 중간 개구부(OPM2)는 스페이서층(215)에 의하여 전체 영역이 채워질 수 있다. 하나의 제1 중간 개구부(OPM1)와 중첩하며 서로 인접하는 제1 개구부들(OP1a, OP1b)의 제1 공간들(S1)은 제1 중간 개구부(OPM1)의 제2 공간(S2)과 서로 연결될 수 있다. 하나의 제2 중간 개구부(OPM2)와 중첩하며 서로 인접하는 제1 개구부들(OP1b, OP1c)은 x 방향을 따라 이격될 수 있다. 하나의 제2 중간 개구부(OPM2)와 중첩하며 서로 인접하는 제1 개구부들(OP1b, OP1c)은 스페이서층(215)에 의해 이격될 수 있다.
- [0133] 도 20d를 참조하면, 마스크 층(210) 내에 제2 개구부들(OP2a, OP2b)을 형성하는 단계(S45, 도 19 참조)를 도시한다. 제2 개구부(OP2)를 형성하는 단계(S45)는 실시예에 따라 생략될 수 있다.
- [0134] 하부 마스크 층(210) 내에 y 방향에서 서로 이격되는 제2 개구부들(OP2a) 및 y 방향에서 서로 이격되는 제4 개구부들(OP2b)을 형성할 수 있다. 제2 개구부들(OPM2a) 및 제4 개구부들(OP2b)은 도 15a 내지 도 15c를 참조하여 설명한 것과 유사한 방법에 의하여 형성될 수 있다. 제2 개구부들(OP2a)은 후속 공정에 의하여 도 6의 제2 금속 배선들(I1a)이 형성되는 영역일 수 있다. 제4 개구부들(OP2b)은 후속 공정에 의하여 도 6의 제3 금속 배선들(I1b)이 형성되는 영역일 수 있다.

- [0135] 제2 개구부들(OP2a) y 방향을 따라 제2 공간(S2)을 포함하는 제1 중간 개구부(OPM1)에 의해 서로 이격되어 형성될 수 있다. 제4 개구부들(OP2b)은 제2 중간 개구부(OPM2) 전체를 채우는 스페이서층(215)에 의해 서로 이격될 수 있다. 제4 개구부들(OP2b) 간의 거리(D2)는 제2 개구부들(OP2a) 간의 거리(D1)보다 작을 수 있다.
- [0136] 예시적인 실시예에서, 제2 개구부들(OP2a)은 서로 인접한 제1 개구부들(OP1a, OP1b) 사이에 배치되도록 형성될 수 있다. 제4 개구부들(OP2b)은 서로 인접한 제1 개구부들(OP1b, OP1c) 사이에 배치되도록 형성될 수 있다. 제2 개구부들(OP2a)은 제1 개구부들(OP1a, OP1b) 내에 배치된 스페이서층(215)들 사이에 배치되도록 형성될 수 있다. 제4 개구부들(OP2b)은 제1 개구부들(OP1b, OP1c) 내에 배치된 스페이서층(215)들 사이에 배치되도록 형성될 수 있다. 제2 개구부들(OP2a) 및 제4 개구부들(OP2b)은 스페이서층(215)에 의하여 자기정렬(self-align)될 수 있다.
- [0137] 도 20e를 참조하면, 하부 마스크 층(210)을 이용하여 유전체 층(120)을 패터닝하는 단계(S50, 도 18 참조)를 도시한다.
- [0138] 유전체 층(120)은 도 20d를 참조하여 설명한 제1 중간 개구부(OPM1), 제1 개구부들(OP1a, OP1b, OP1c), 제2 개구부들(OP2a), 제4 개구부들(OP2b)을 따라 패터닝될 수 있다. 유전체 층(120)은 도 20d를 참조하여 설명한 제1 중간 개구부(OPM1)의 제2 공간(S2), 제1 개구부들(OP1a, OP1b, OP1c)의 제1 공간(S1a, S1b, S1c), 및 제2 개구부들(OP2)을 따라 패터닝될 수 있다.
- [0139] 유전체 층(120)은 제1 중간 개구부(OPM1)의 제2 공간(S2)에 의해 제거되어 유전체 층(120)의 중간 개구부(TM)를 형성하고, 제1 개구부(OP1a, OP1b, OP1c)의 제1 공간(S1a, S1b, S1c)에 의해 제거되어 유전체 층(120)의 제1 개구부들(T1a, T1b, T1c)을 형성하고, 제2 개구부들(OP2a)에 의해 제거되어 유전체 층(120)의 제2 개구부(T2a)를 형성하며, 제4 개구부들(OP2b)에 의해 제거되어 유전체 층(120)의 제3 개구부(T2b)를 형성할 수 있다.
- [0140] 다음으로, 도 6을 함께 참조하면, 패터닝된 유전체 층(120)들의 개구부에 금속 물질을 매립하여 금속 물질층(130)을 형성할 수 있다.
- [0142] 도 21a 내지 도 21d는 예시적인 실시예들에 따른 반도체 장치 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다. 도 21a 내지 도 21d는 도 9의 예시적인 반도체 장치 제조 방법을 도시한다.
- [0143] 도 21a를 참조하면, 도 10a 내지 도 10c를 참조하여 설명하는 중간 개구부(OPM) 형성 후에, 제1 개구부들(OP1d, OP1e)을 형성할 수 있다. 제1 개구부들(OP1d, OP1e)은 도 12a 내지 도 12c를 참조하여 설명한 것과 유사한 방법에 의하여 형성될 수 있다.
- [0144] 예시적인 실시예에서, 하나의 중간 개구부(OPM)와 중첩하는 제1 개구부들(OP1d, OP1e)은 하부 영역의 적어도 일부가 중간 개구부(OPM)와 중첩하는 제1 개구부(OP1d)와 상부 영역의 적어도 일부가 중간 개구부(OPM)와 중첩하는 제1 개구부(OP1e)를 형성할 수 있다. 서로 인접하는 제1 개구부들(OP1d, OP1e) 각각의 상단이 y축 방향에서 서로 다른 레벨에 배치될 수 있다. 제1 개구부들(OP1d, OP1e)은 중간 개구부(OPM)가 제1 개구부들(OP1d, OP1e) 사이에 배치되도록 형성될 수 있다.
- [0146] 도 21b를 참조하면, 마스크 층(210)의 측벽 상에 스페이서층(215)을 형성하는 단계(S40, 도 18 및 도 19 참조)를 도시한다.
- [0147] 스페이서층(215)은 중간 개구부(OPM) 및 제1 개구부들(OP1d, OP1e) 각각의 내에서 일부 영역에 위치하도록, 하부 마스크 층(210)의 측벽 상에 형성될 수 있다. 스페이서층(215)은 중간 개구부(OPM) 및 제1 개구부(OP1d, OP1e)가 서로 연결되도록, 중간 개구부(OPM) 및 제1 개구부들(OP1d, OP1e)의 일부 영역 내에 형성될 수 있다.
- [0148] 스페이서층(215)은 도 13a 내지 도 13c를 참조하여 설명한 것과 유사한 방법에 의하여 형성될 수 있다. 스페이서층(215)은 제1 개구부들(OP1d, OP1e) 및 중간 개구부(OPM) 각각에 의해 노출되는 하부 마스크 층(210)의 측벽 상에 형성되며, 제1 개구부들(OP1d, OP1e) 및 중간 개구부(OPM) 각각이 빈 공간(S1d, S1e, S2)을 포함하도록 형성될 수 있다. 제1 개구부들(OP1d, OP1e) 내에 스페이서층(215)이 배치된 영역을 제외한 제1 공간(S1d, S1e)이 형성될 수 있다. 중간 개구부(OPM) 내에 제2 공간(S2)이 형성될 수 있다. 제1 개구부들(OP1d, OP1e)의 제1 공간들(S1d, S1e)은 중간 개구부(OPM)의 제2 공간(S2)과 서로 연결될 수 있다.

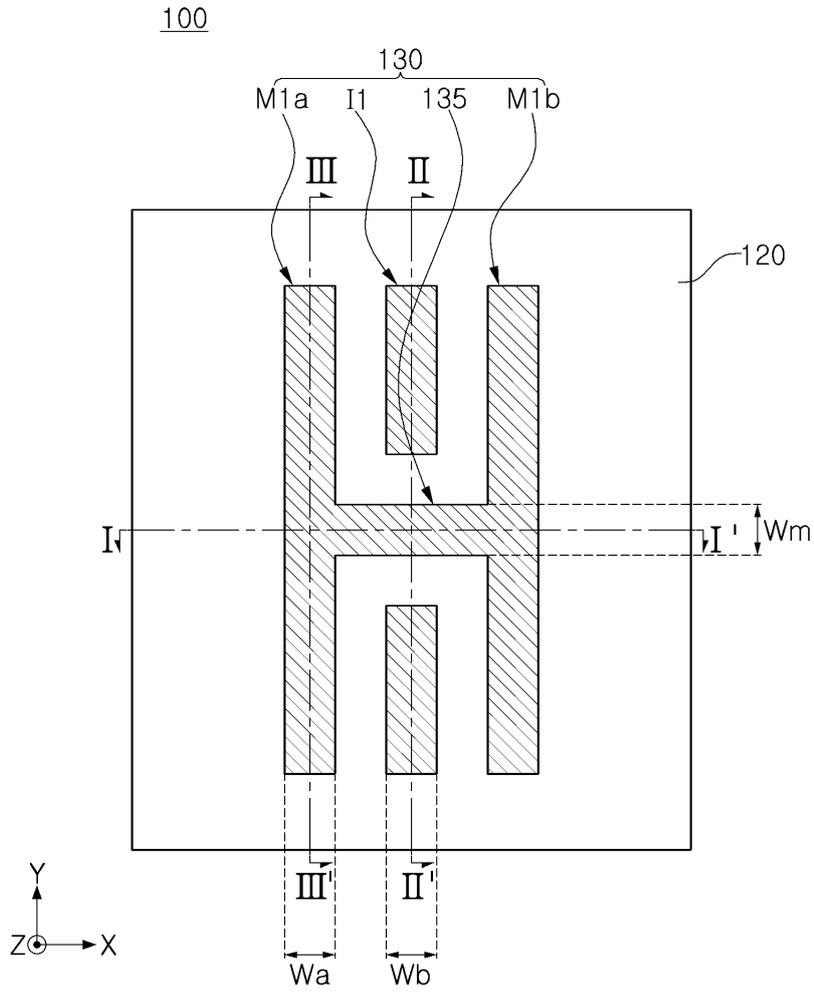
- [0150] 도 21c를 참조하면, 하부 마스크 층(210)에 y 방향을 따라 서로 이격된 제2 개구부들(OP2c, OP2d)를 형성할 수 있다. 제2 개구부들(OP2c, OP2d)은 도 15a 내지 도 15c를 참조하여 설명한 것과 유사한 방법에 의하여 형성될 수 있다. 제2 개구부들(OP2c, OP2d)은 후속 공정에 의하여 도 9의 제2 금속 배선들(I1s)이 형성되는 영역일 수 있다.
- [0151] 제2 개구부들(OP2c, OP2d) 각각의 x 방향에서의 폭(Wd)은 제1 개구부들(OP1d, OP1e) 내의 스페이서층(215)을 제외한 영역의 폭(Wc)보다 클 수 있다. 즉, 제2 개구부들(OP2c, OP2d)의 폭(Wd)은 제1 개구부들(OP1d, OP1e)의 제1 공간(S1d, S1e)의 폭(Wc)보다 클 수 있다.
- [0153] 도 21d를 참조하면, 유전체 층(120)은 도 21c를 참조하여 설명한 중간 개구부(OPM), 제1 개구부들(OP1d, OP1e), 제2 개구부들(OP2c, OP2d)을 따라 패터닝될 수 있다. 유전체 층(120)은 도 22c를 참조하여 설명한 중간 개구부(OPM)의 제2 공간(S2), 제1 개구부들(OP1d, OP1e)의 제1 공간(S1d, S1e), 및 제2 개구부들(OP2c, OP2d)을 따라 패터닝될 수 있다.
- [0154] 유전체 층(120)은 중간 개구부(OPM)의 제2 공간(S2)과 대응되는 영역이 제거되어 유전체 층(120)의 중간 개구부(TM)를 형성하고, 제1 개구부(OP1d, OP1e)의 제1 공간(S1d, S1e)과 대응되는 영역이 제거되어 유전체 층(120)의 제1 개구부들(T1d, T1e)을 형성하고, 제2 개구부들(OP2c, OP2d)과 대응되는 영역이 제거되어 유전체 층(120)의 제2 개구부들(T2c, T2d)을 형성할 수 있다. 유전체 층(120)의 제2 개구부들(T2c, T2d)은 x 방향을 따라 서로 쉬프트되어 배치될 수 있다. 유전체 층(120)의 제2 개구부들(T2c, T2d)의 폭(Wd)은 유전체 층(120)의 제1 개구부들(T1d)의 폭(Wc)보다 클 수 있다.
- [0155] 다음으로, 도 9를 함께 참조하면, 패터닝된 유전체 층(120)들의 개구부에 금속 물질을 매립하여 금속 물질층(130)을 형성할 수 있다.
- [0157] 본 발명은 상술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

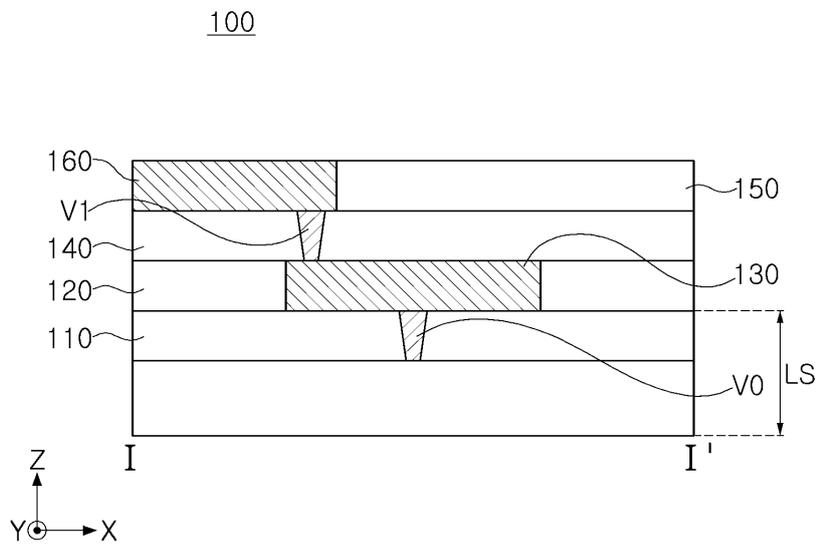
- [0159] LS: 하부 구조물
- 120: 유전체 층
- 130: 제1 금속 물질층
- M1a, M1b, M1c: 제1 금속 배선들
- I1: 제2 금속 배선들
- 135: 중간 금속 배선
- OPM: 중간 개구부
- OP1: 제1 개구부
- OP2: 제2 개구부

도면

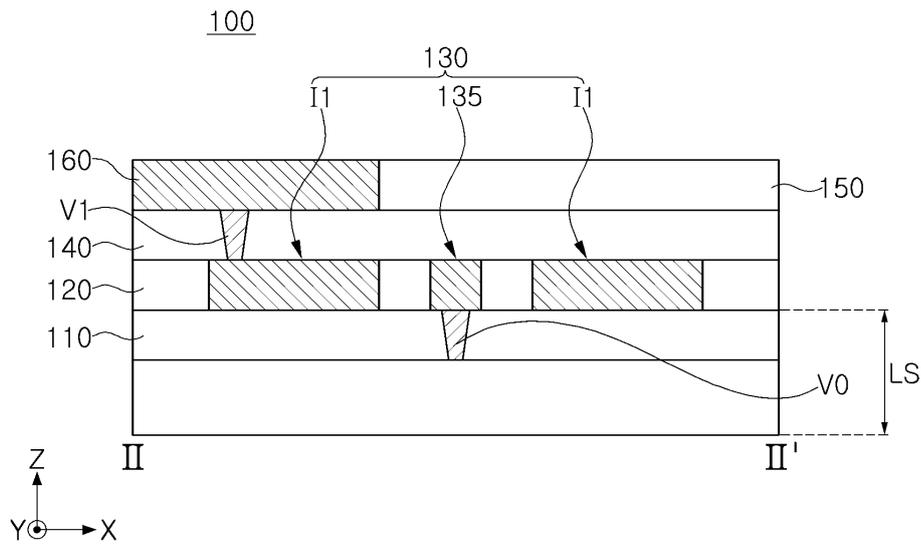
도면1



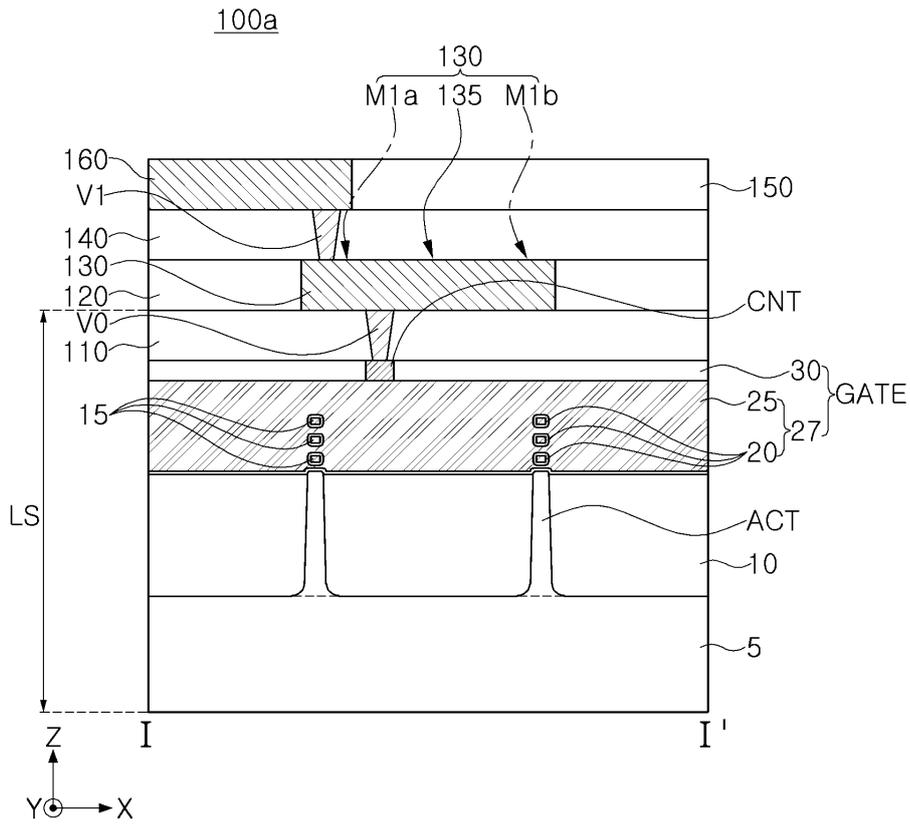
도면2a



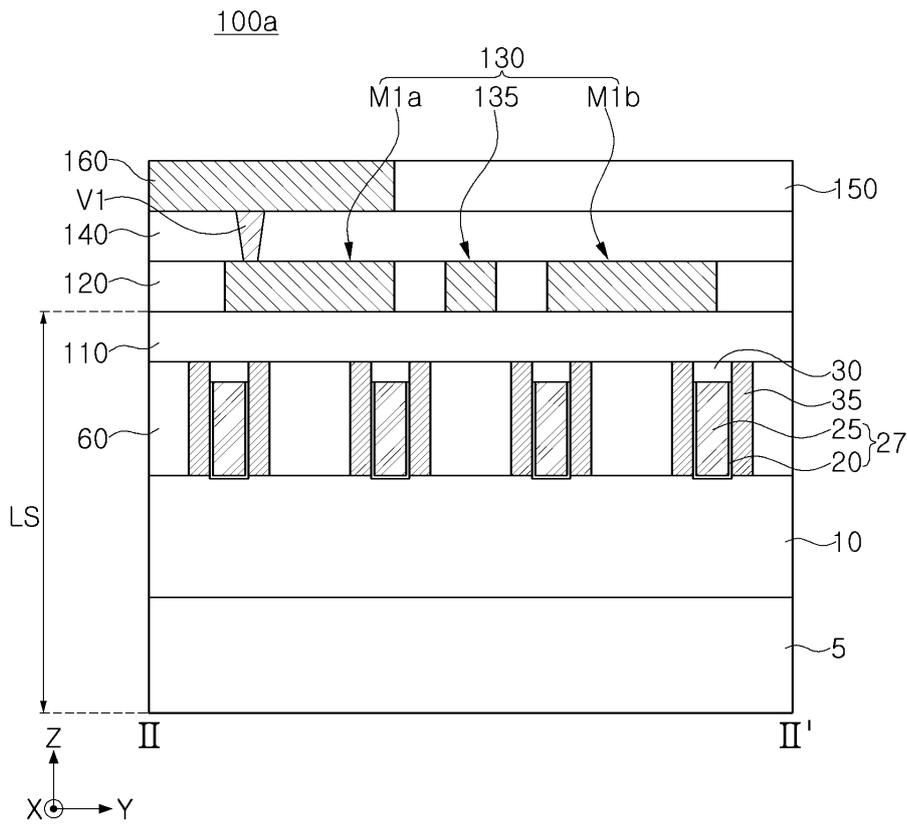
도면2b



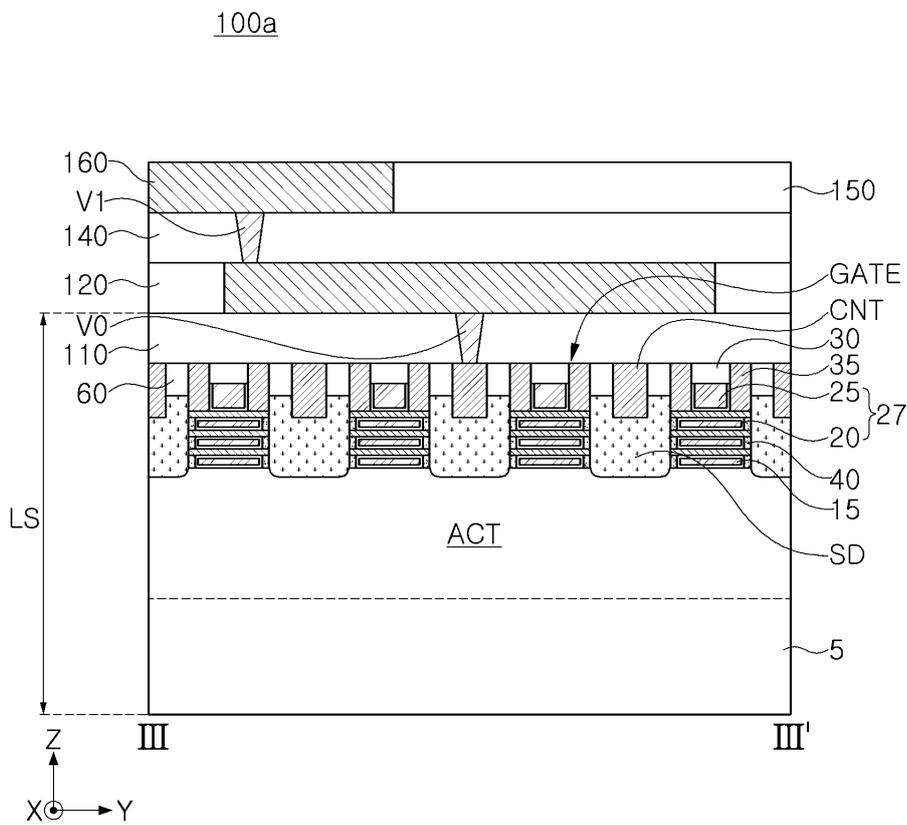
도면3a



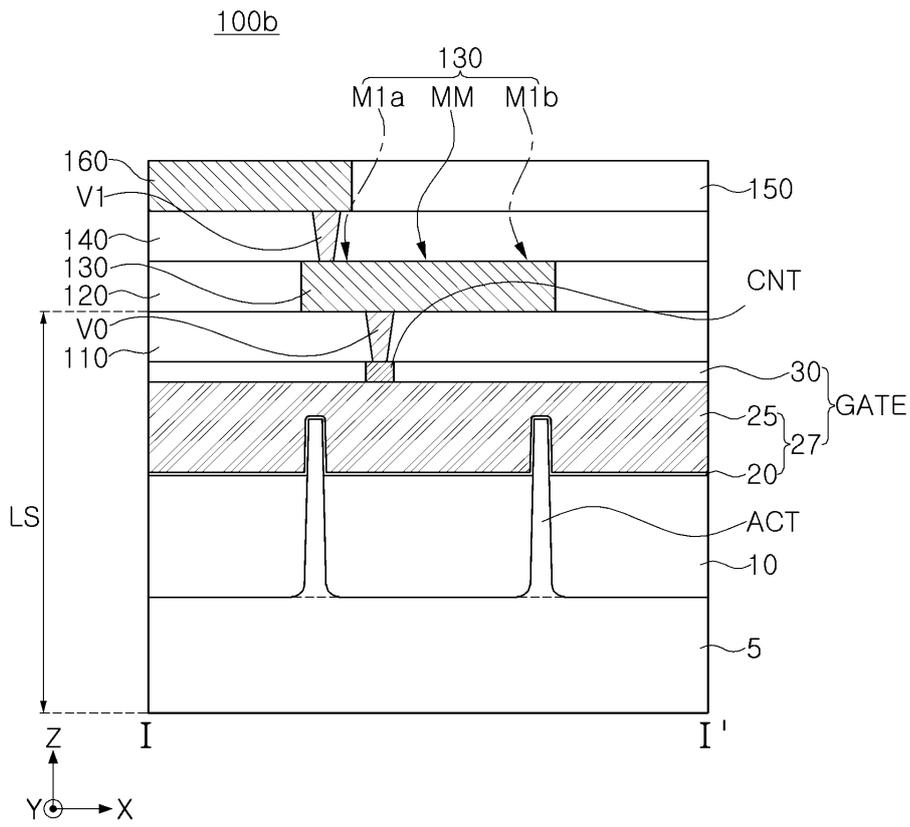
도면3b



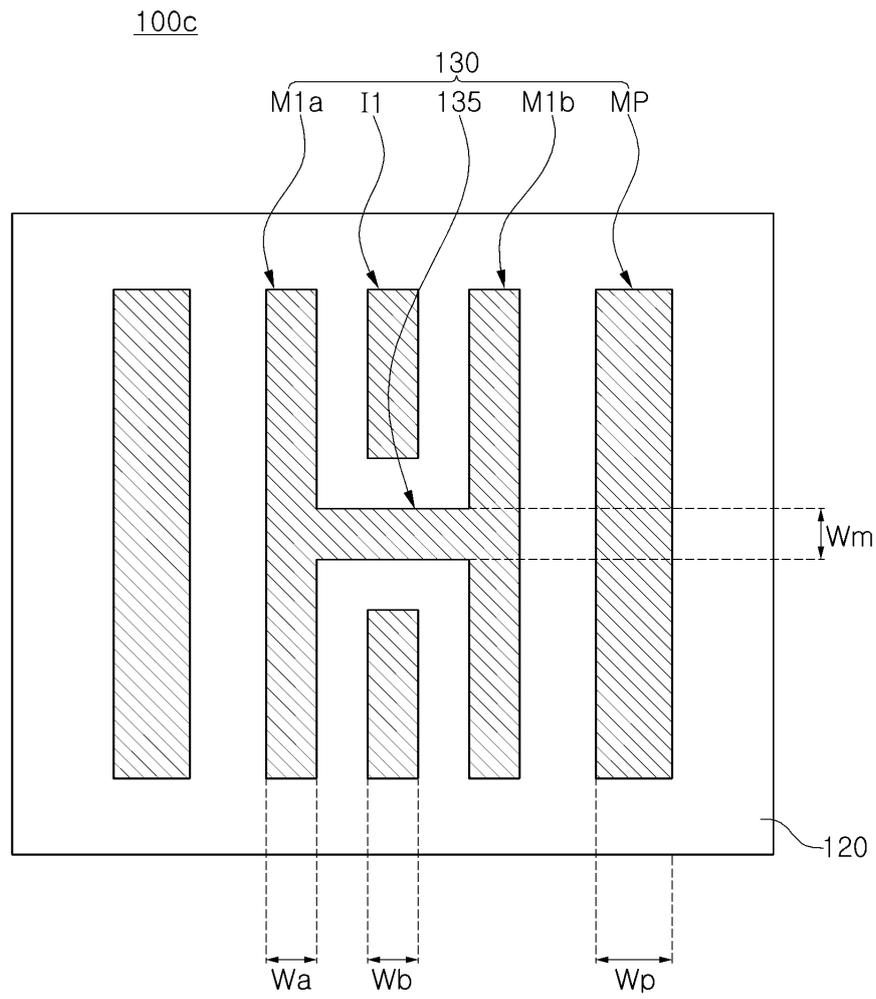
도면3c



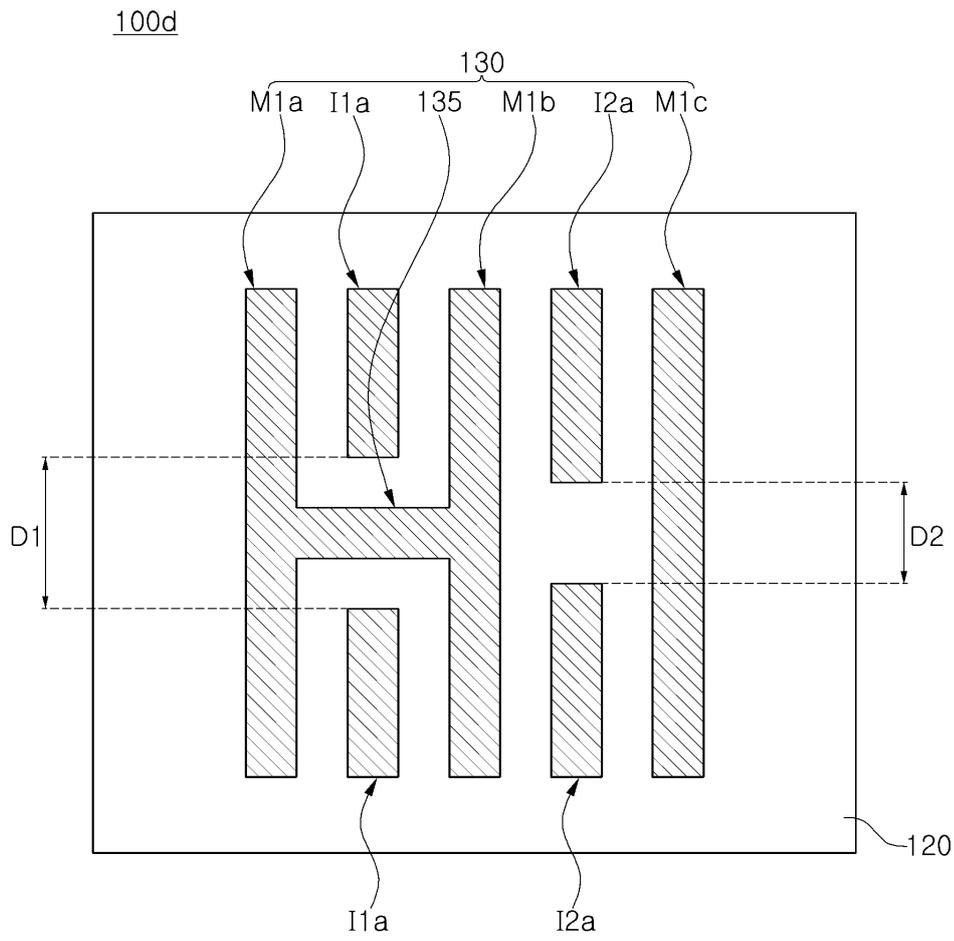
도면4



도면5

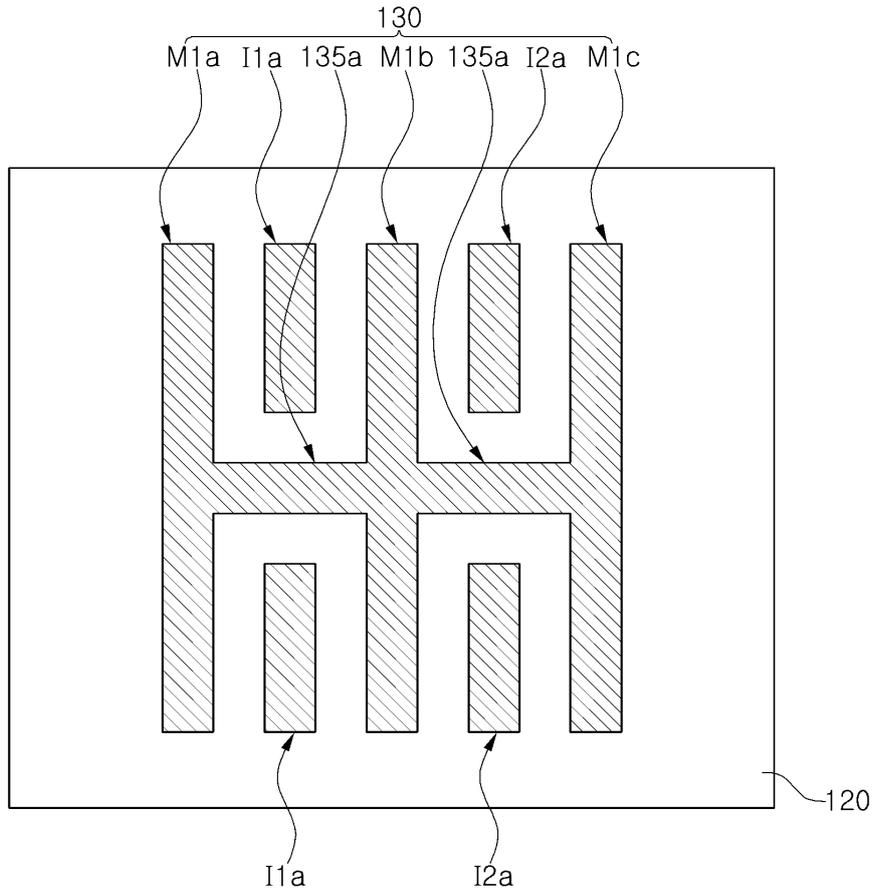


도면6



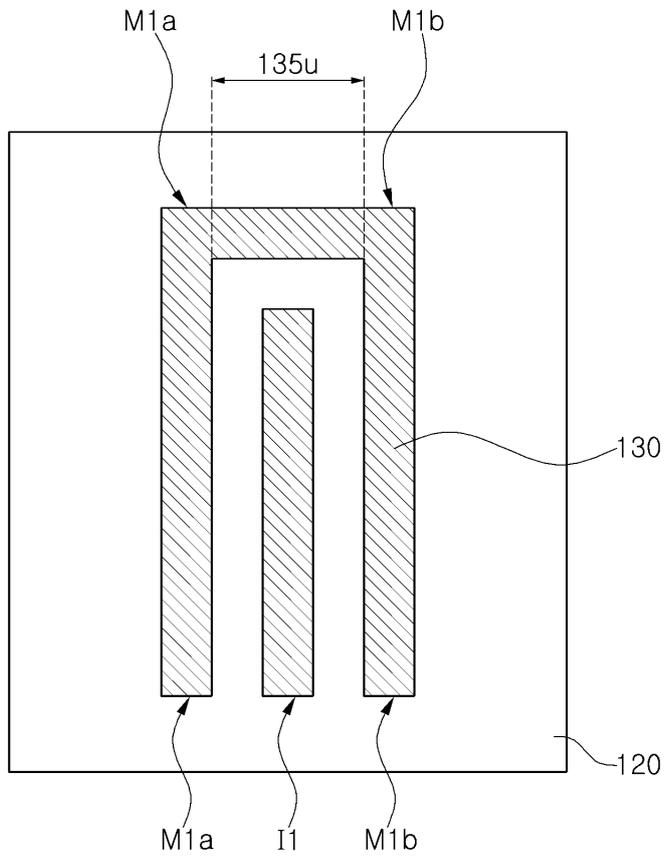
도면7

100e



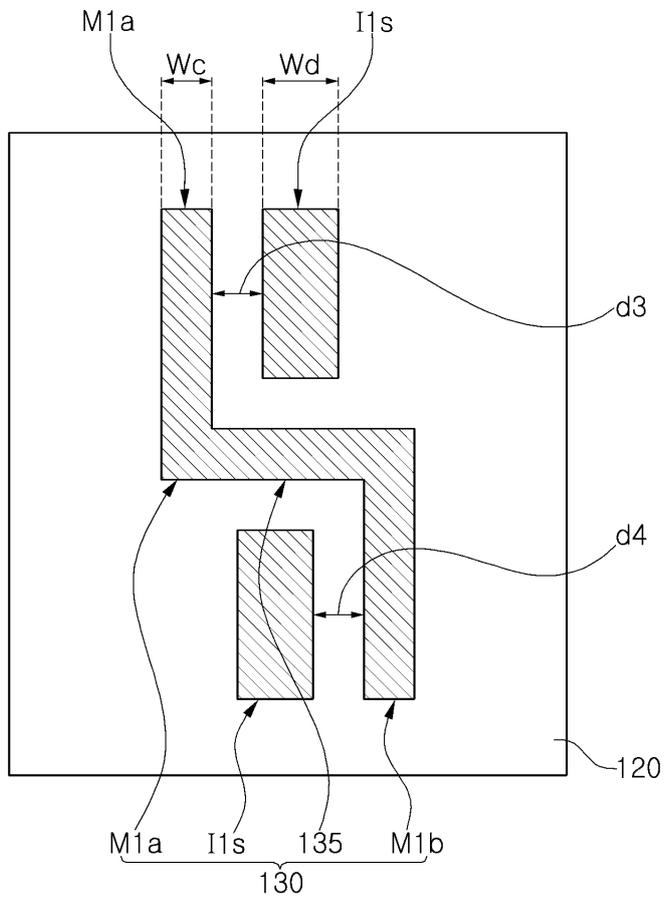
도면8

100f

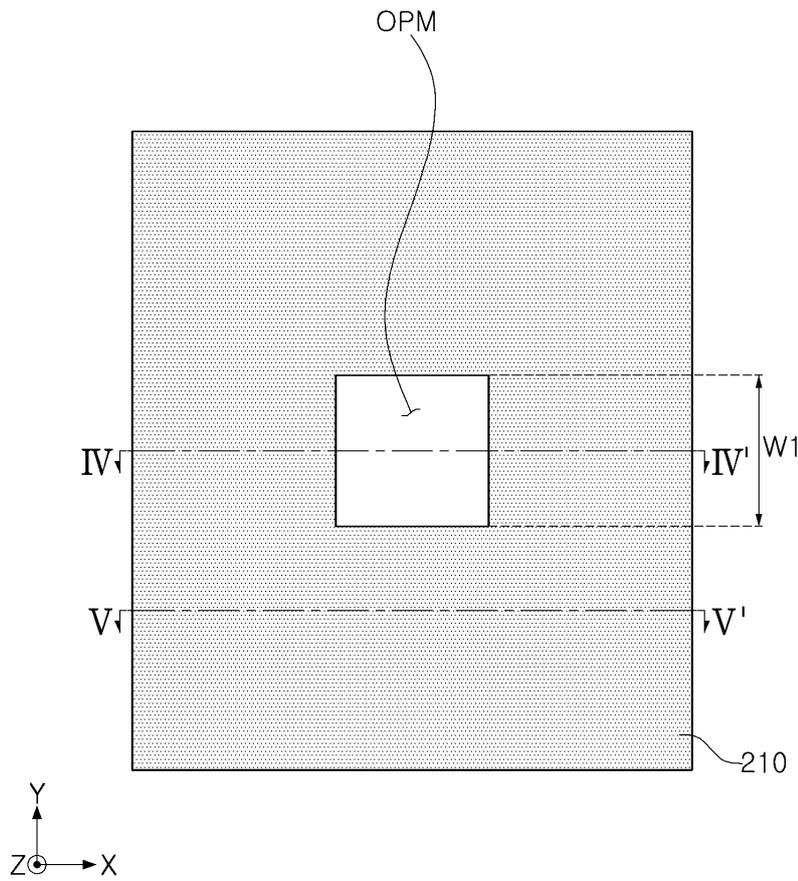


도면9

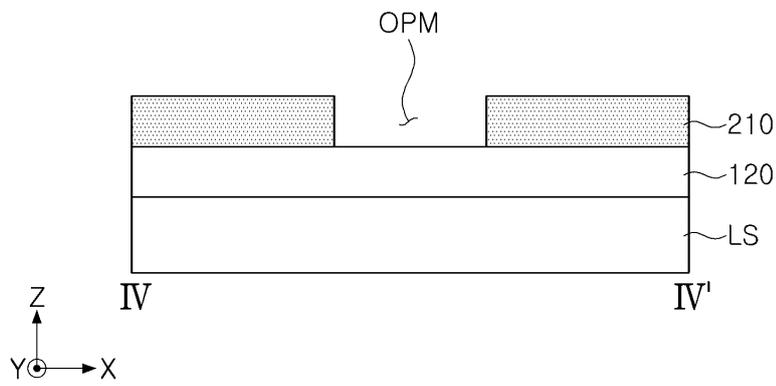
100g



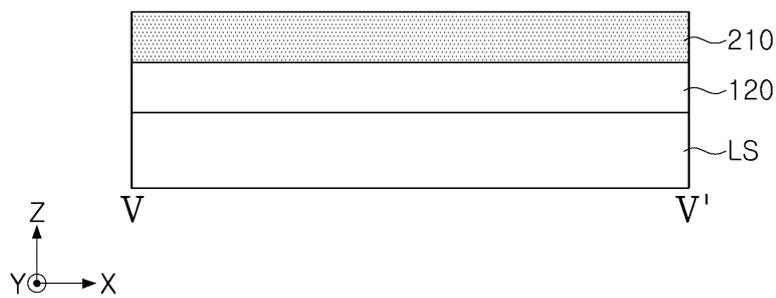
도면10a



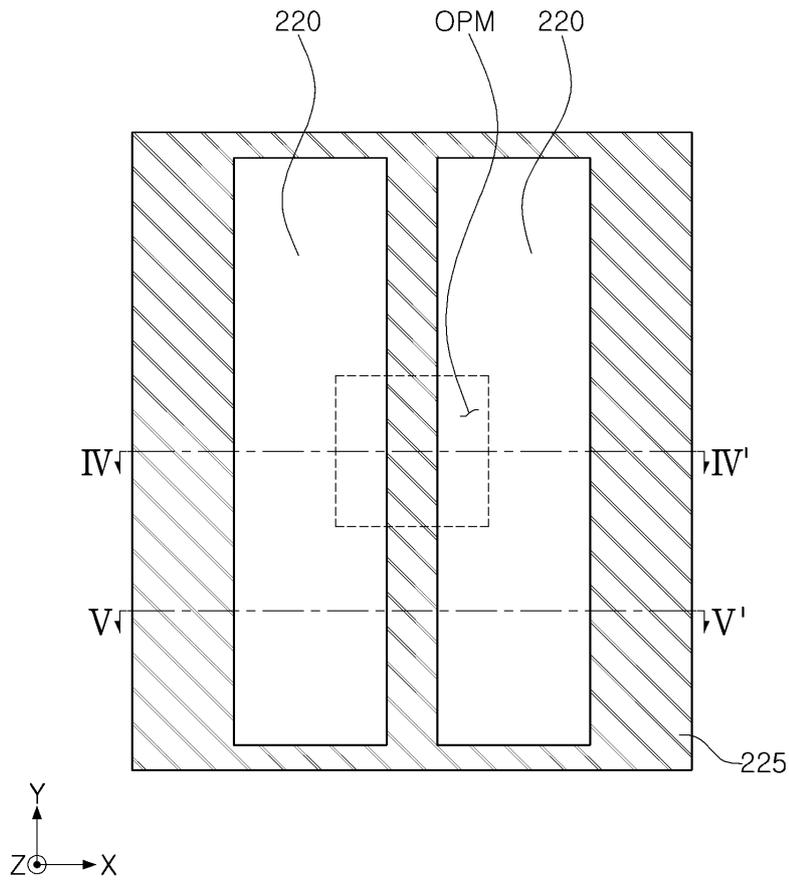
도면10b



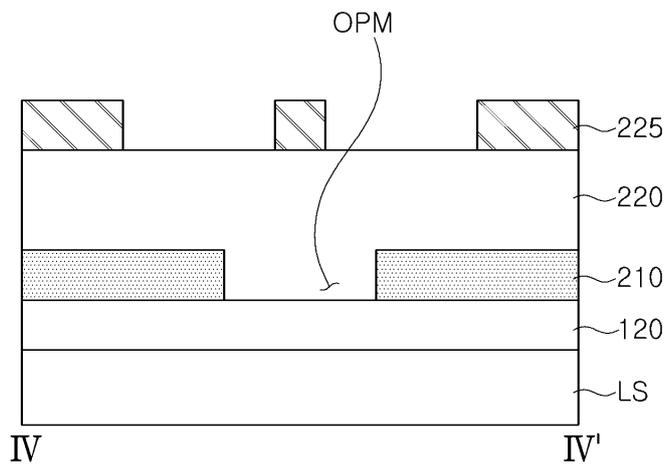
도면10c



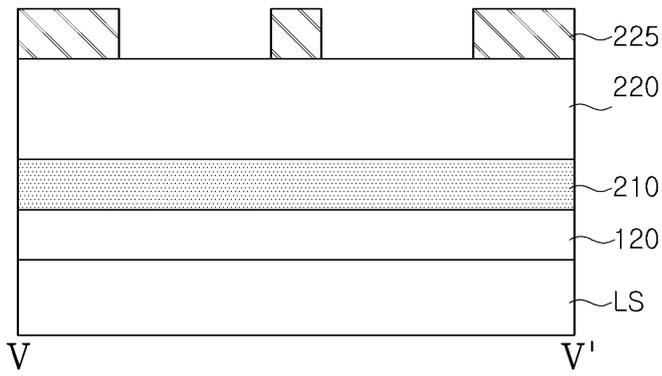
도면11a



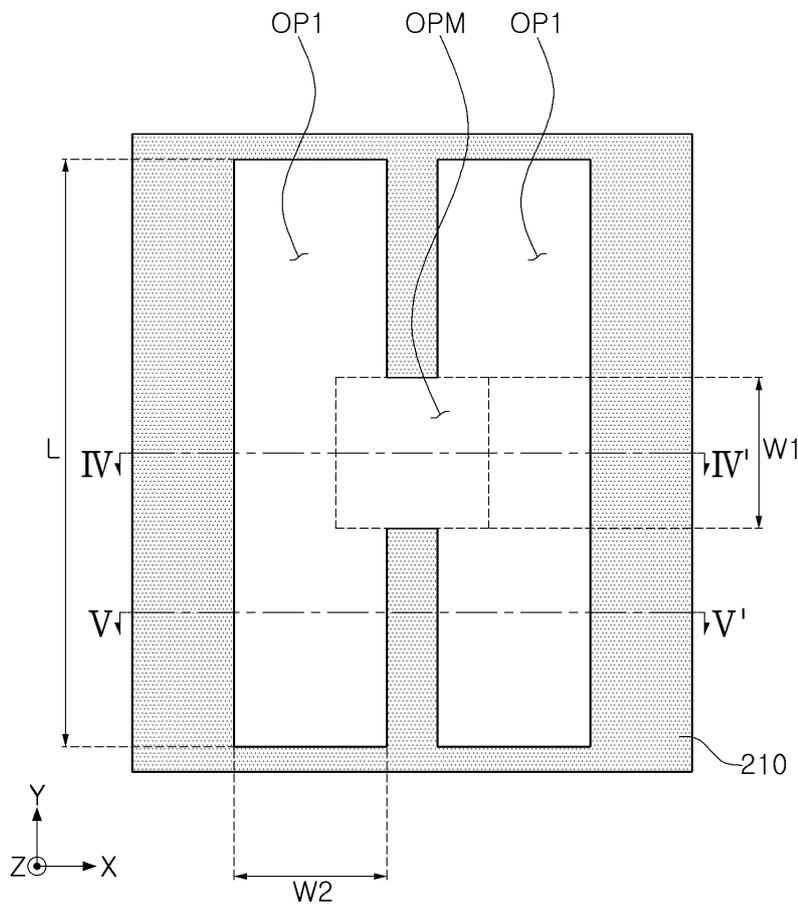
도면11b



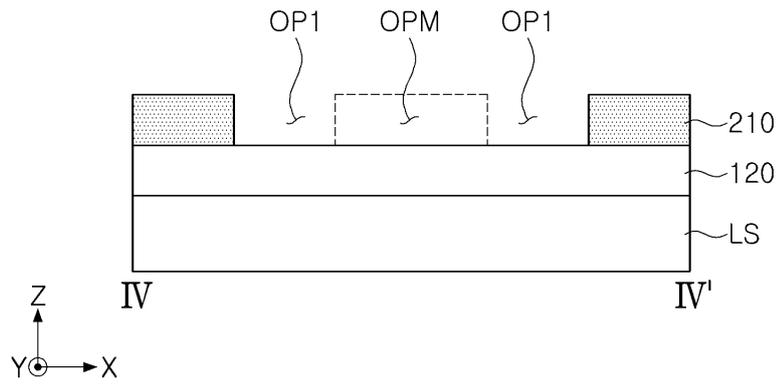
도면11c



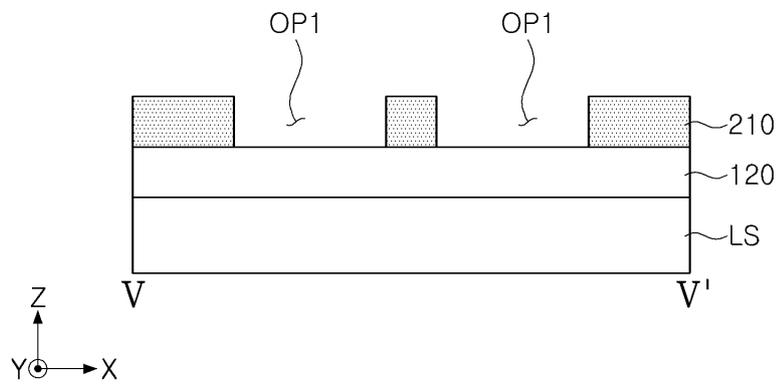
도면12a



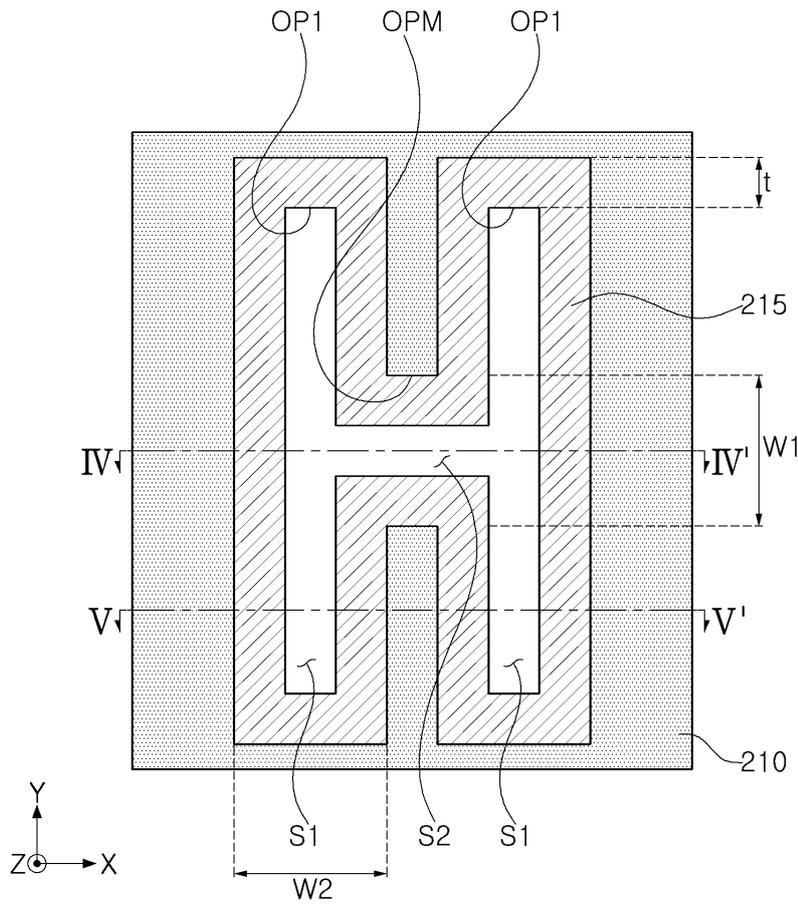
도면12b



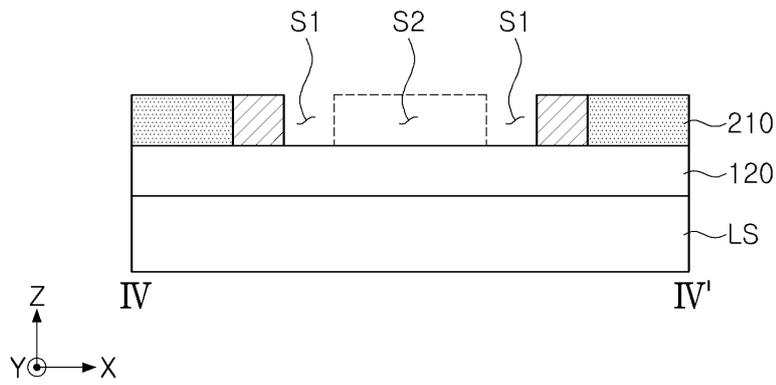
도면12c



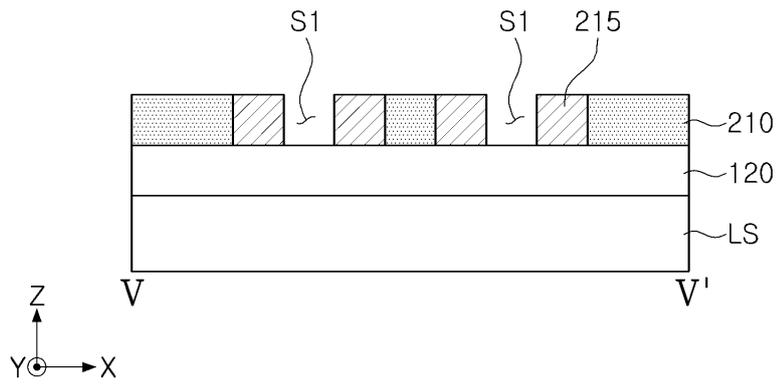
도면13a



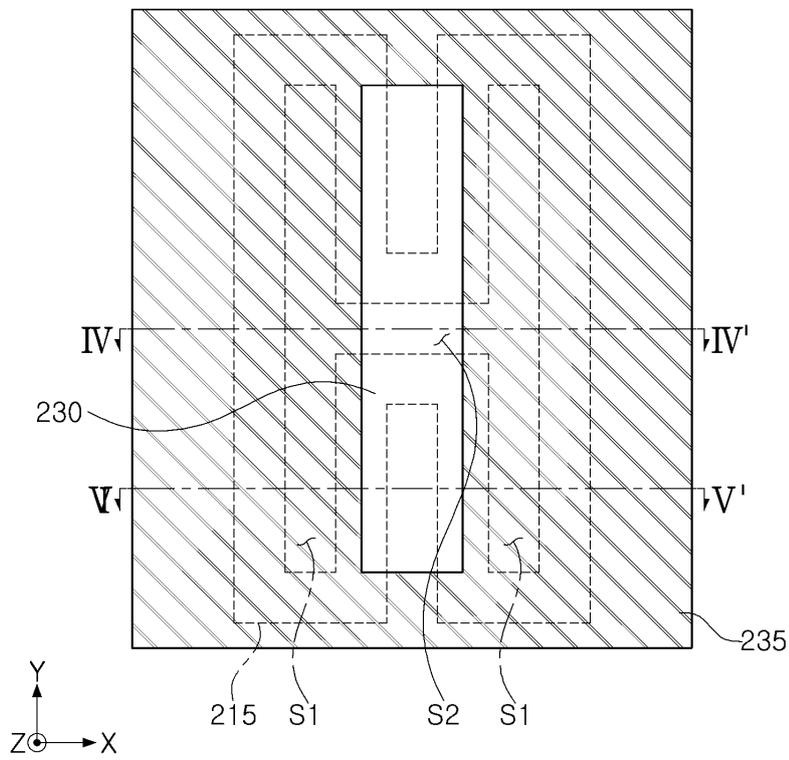
도면13b



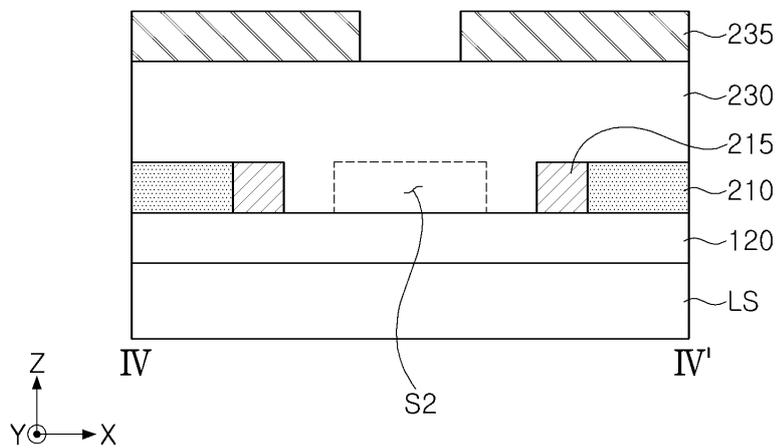
도면13c



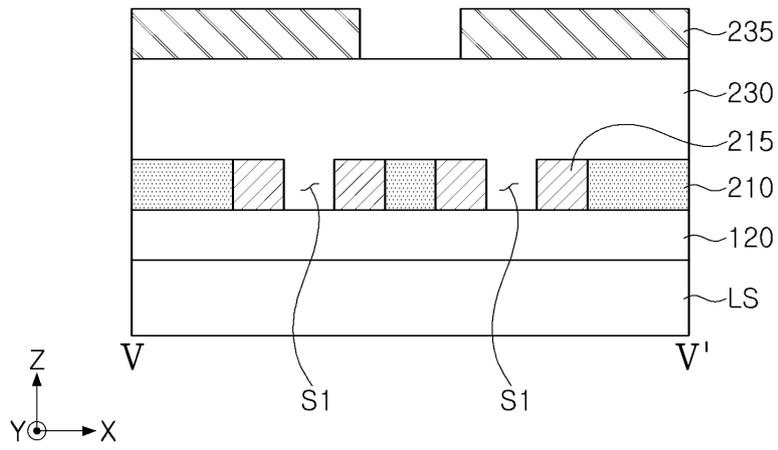
도면14a



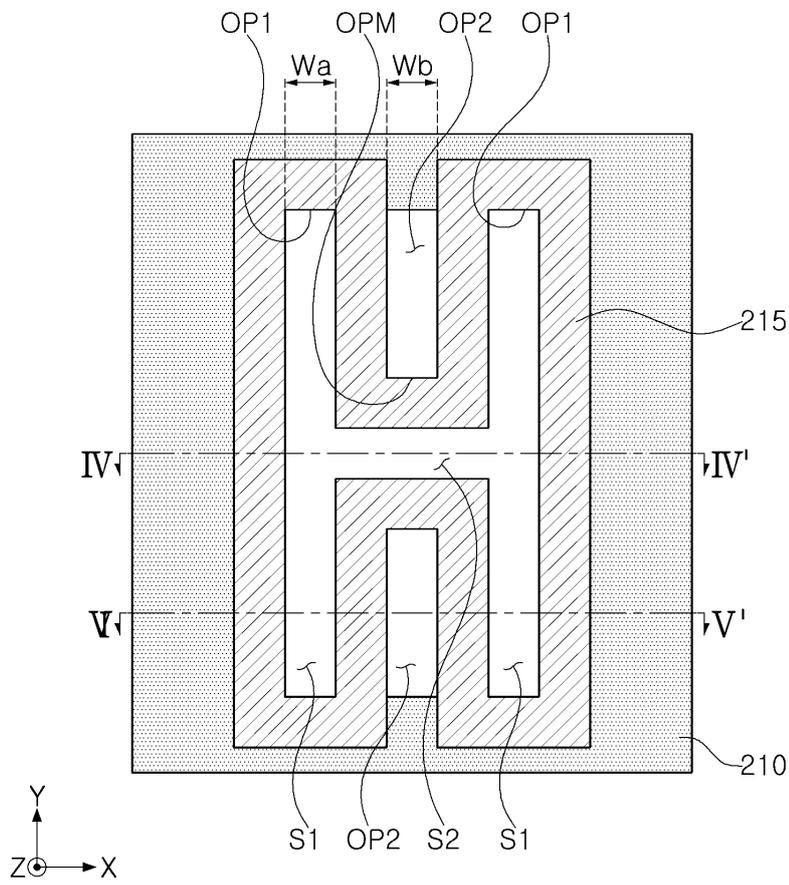
도면14b



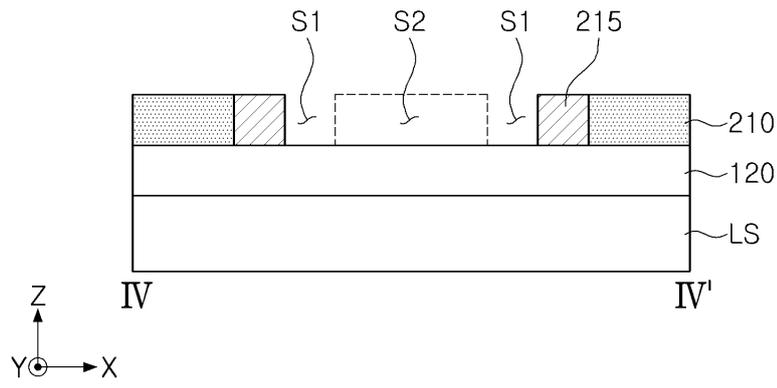
도면14c



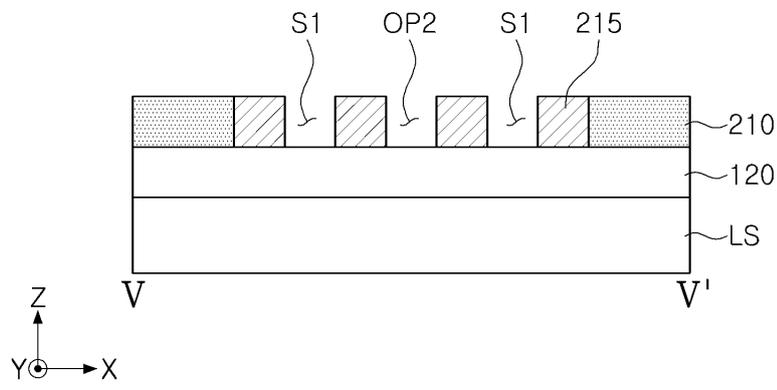
도면15a



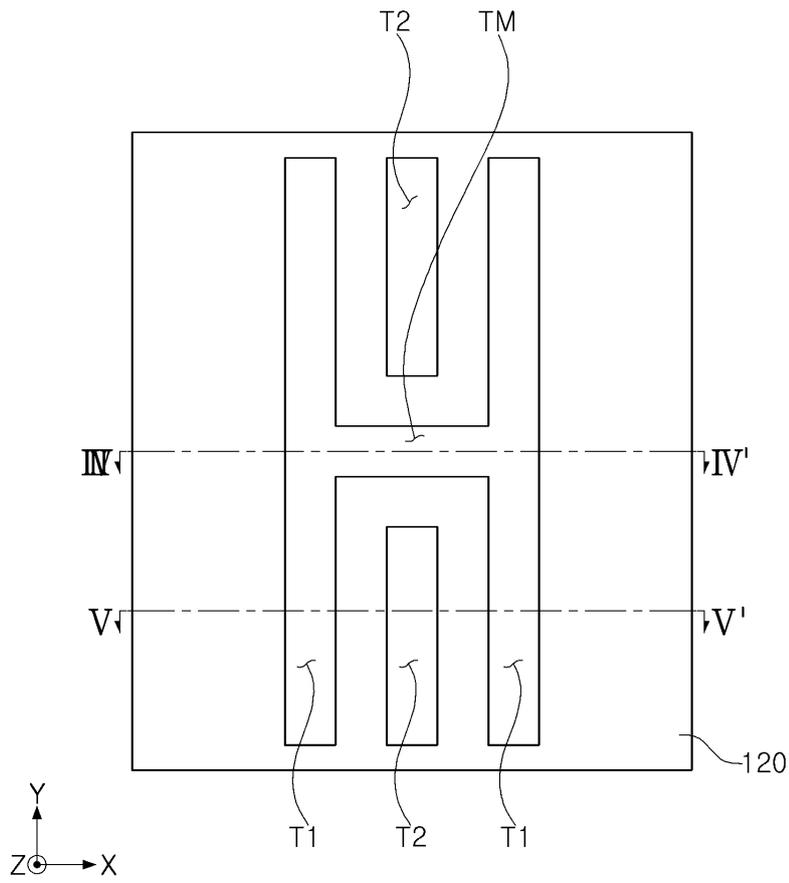
도면15b



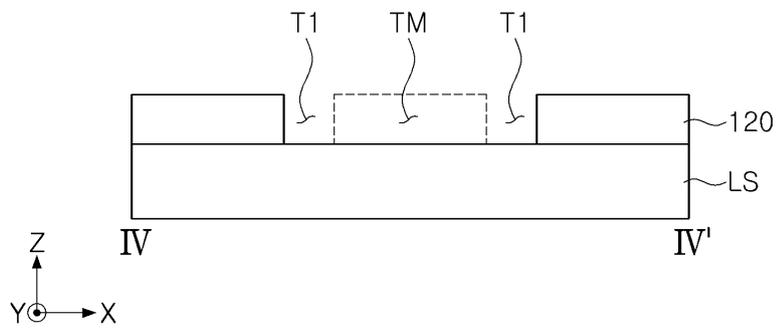
도면15c



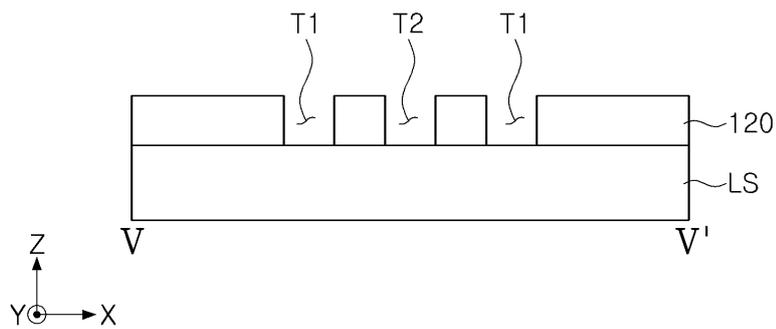
도면16a



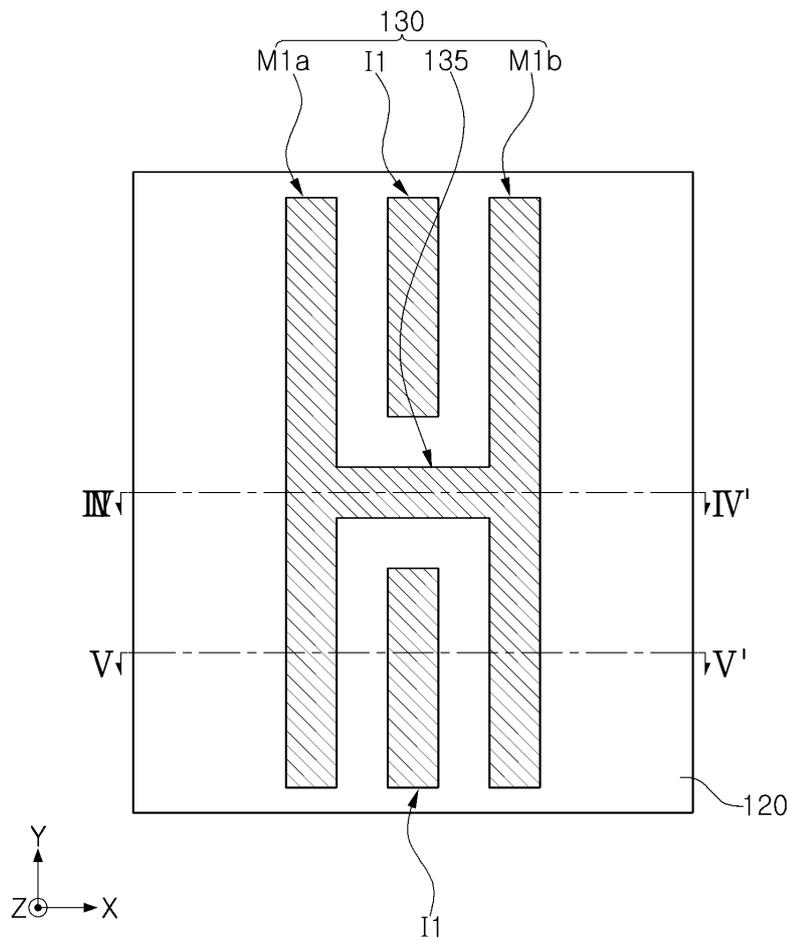
도면16b



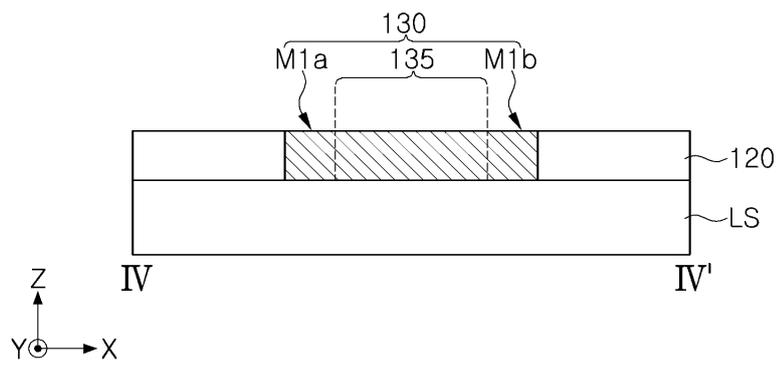
도면16c



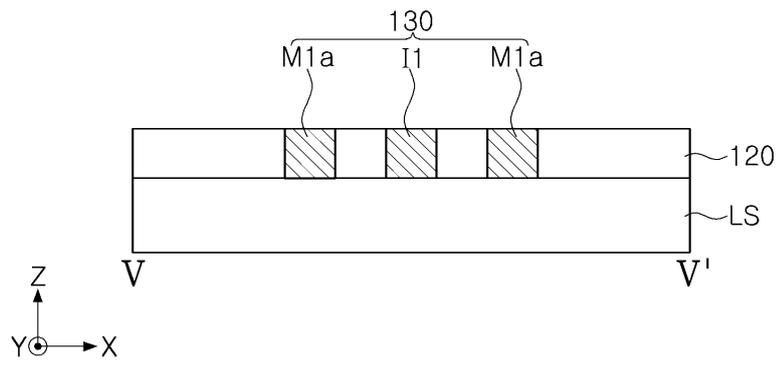
도면17a



도면17b

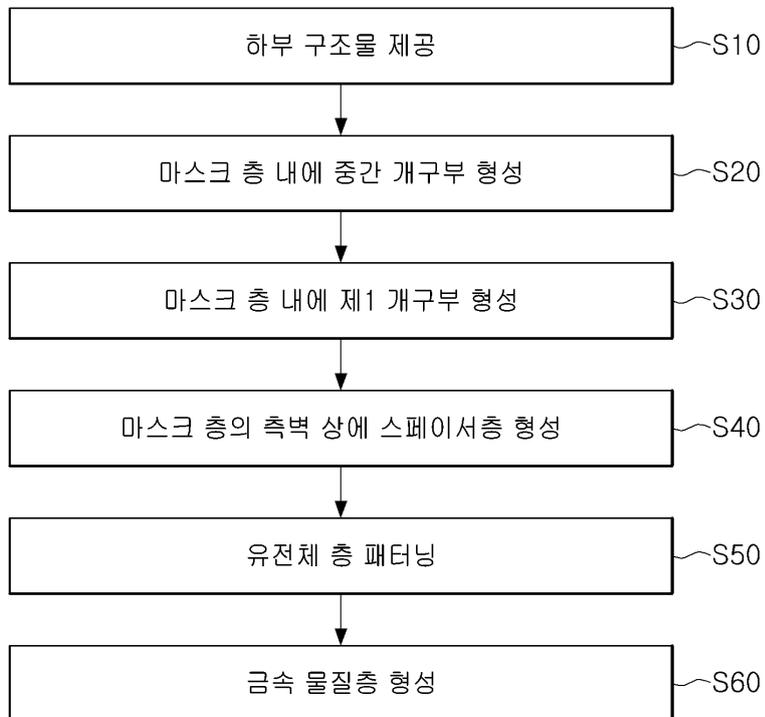


도면17c



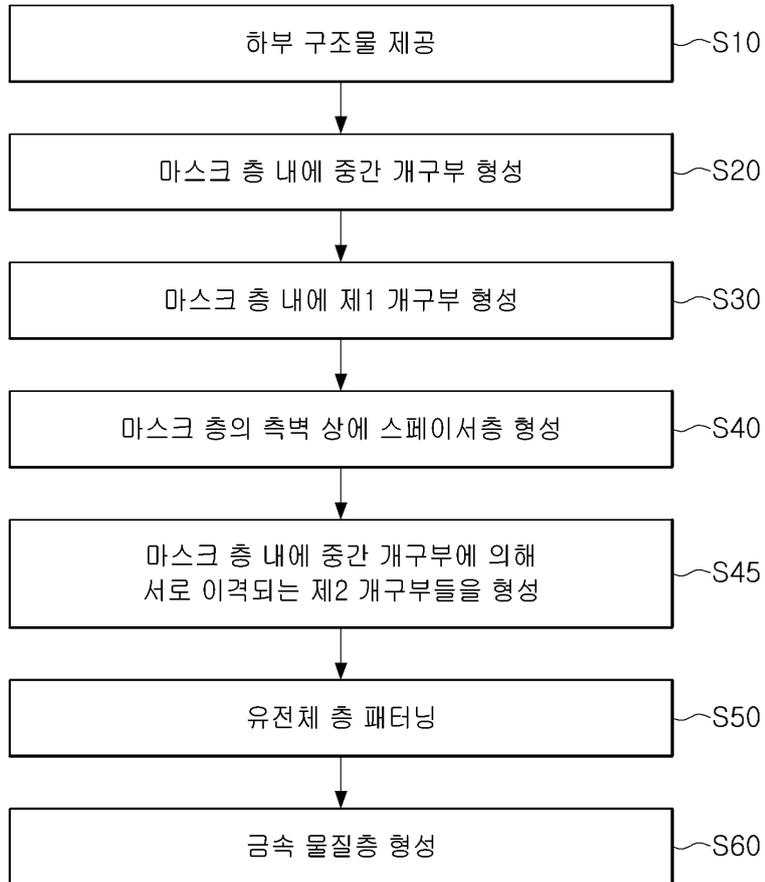
도면18

S1

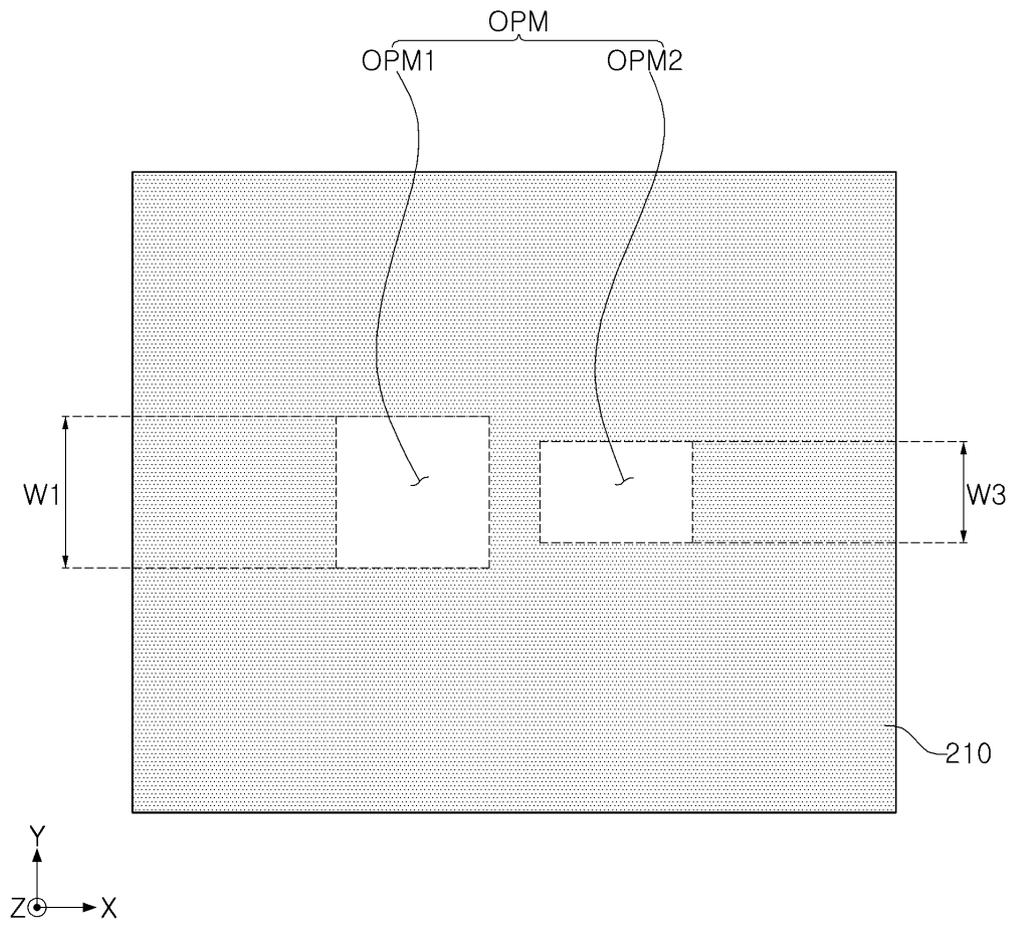


도면19

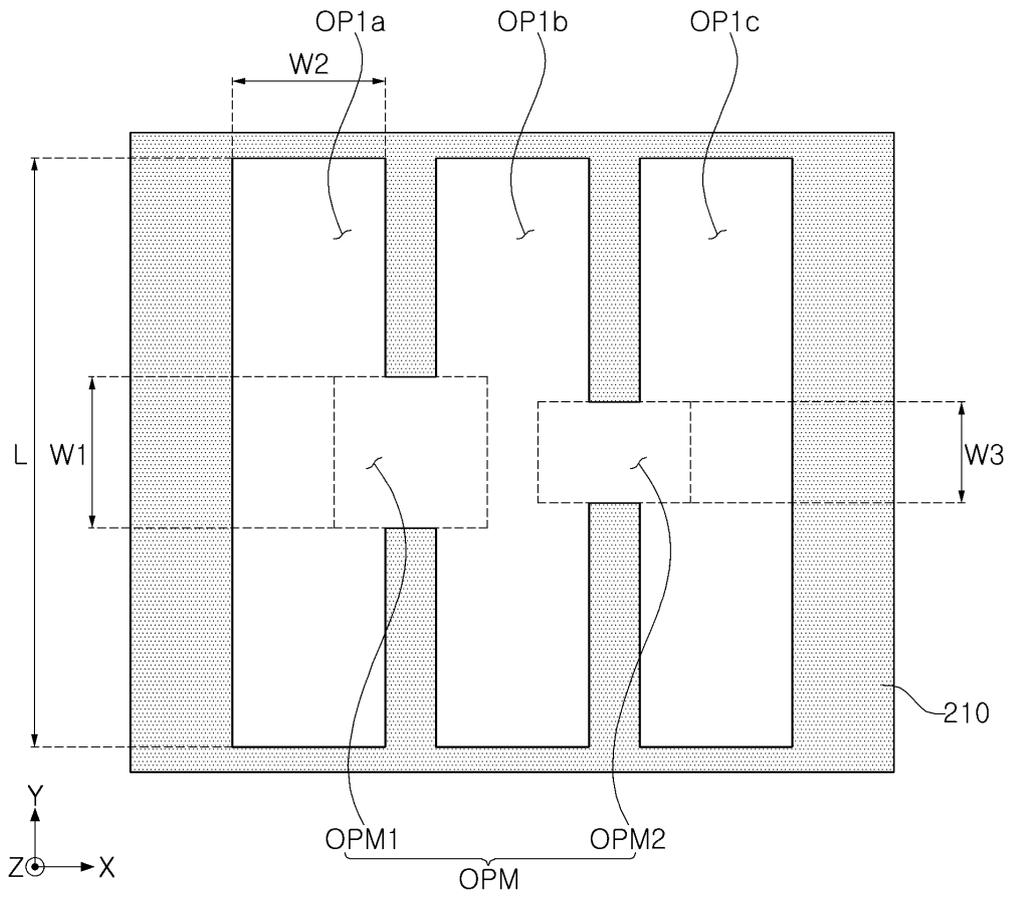
S2



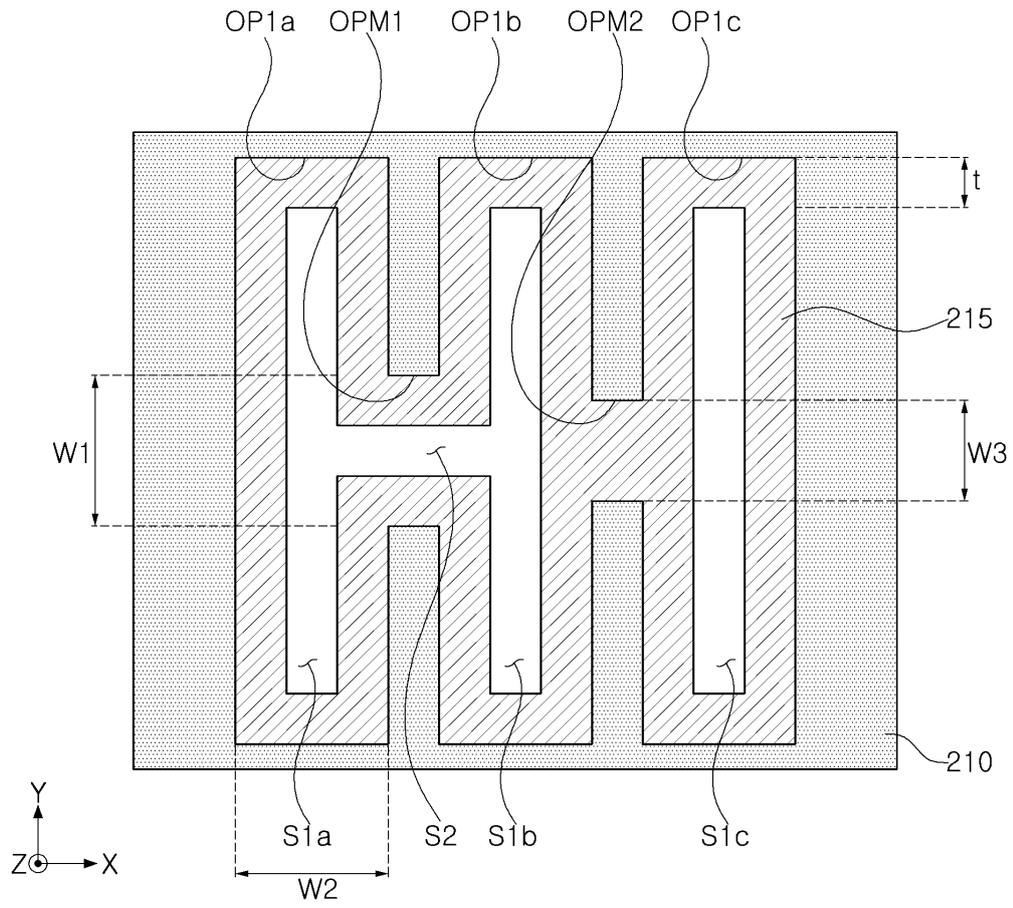
도면20a



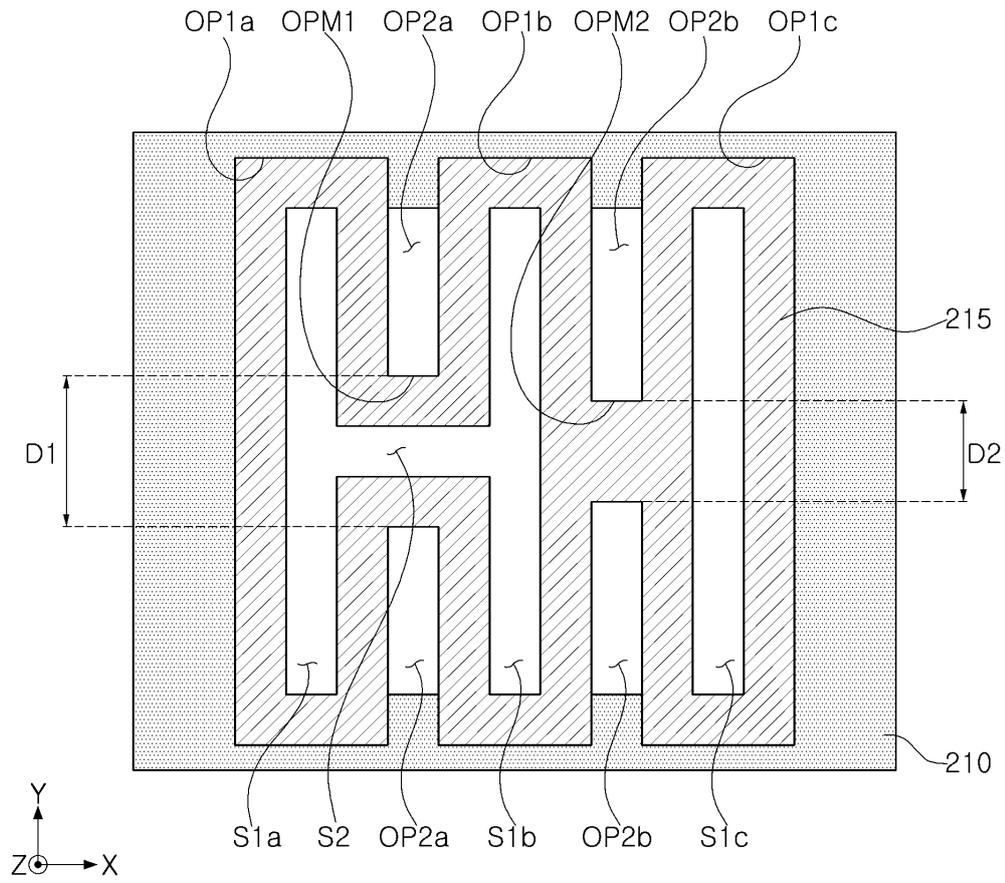
도면20b



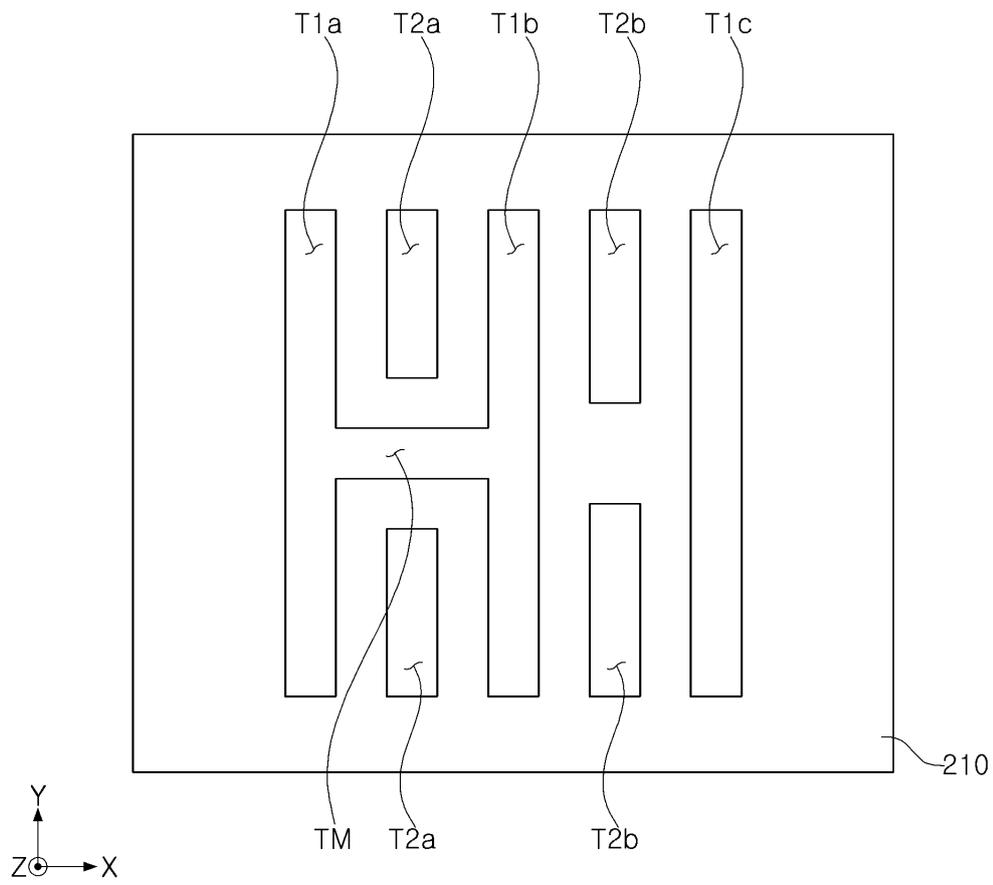
도면20c



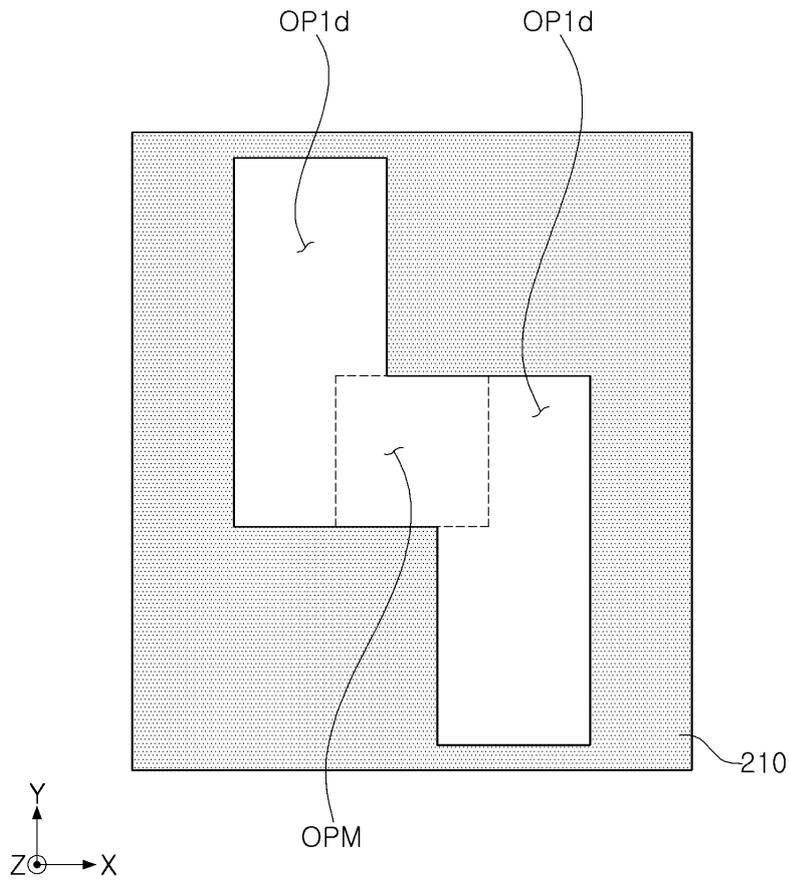
도면20d



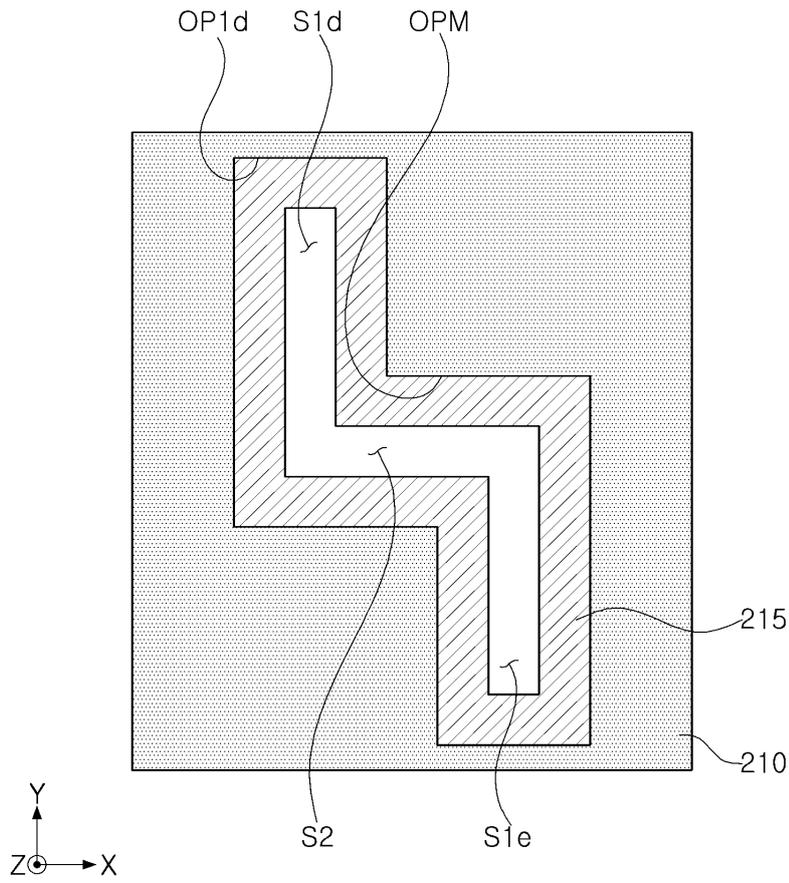
도면20e



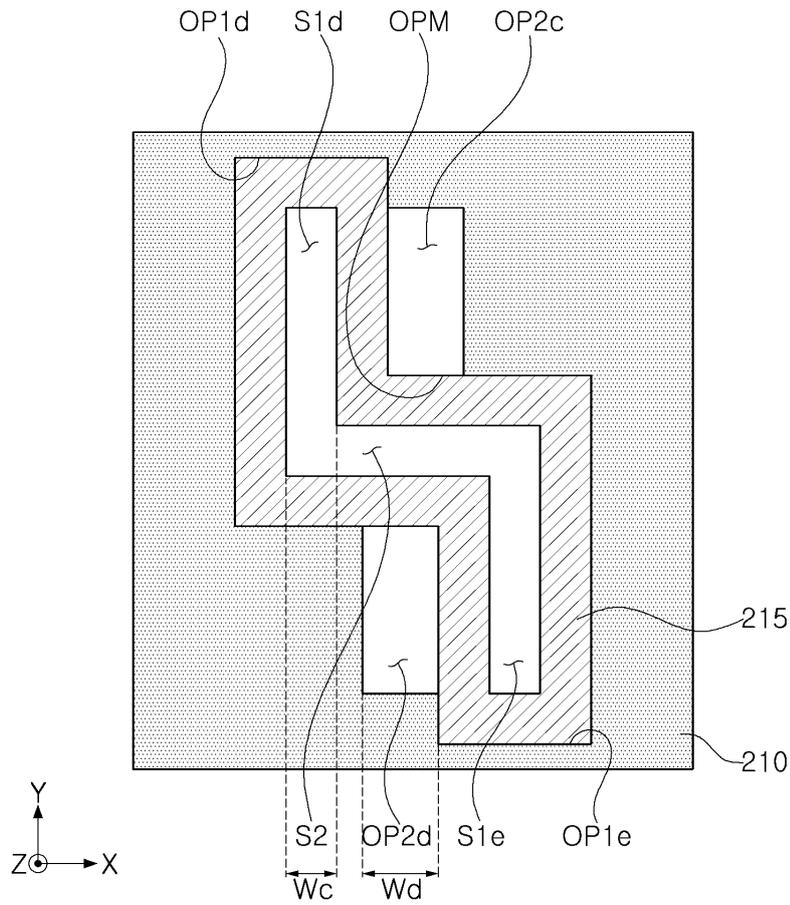
도면21a



도면21b



도면21c



도면21d

