

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/417 (2006.01)

G11C 11/419 (2006.01)

G11C 7/12 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610004969.1

[43] 公开日 2006年8月2日

[11] 公开号 CN 1811986A

[22] 申请日 2006.1.12

[21] 申请号 200610004969.1

[30] 优先权

[32] 2005. 1. 13 [33] KR [31] 3109/05

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴哲成

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邸万奎 黄小临

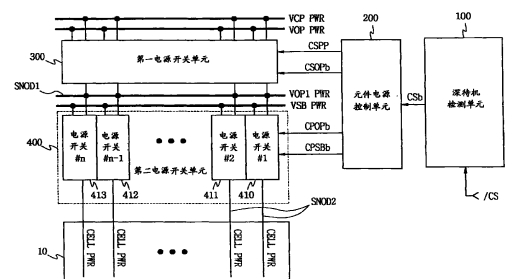
权利要求书 3 页 说明书 13 页 附图 11 页

[54] 发明名称

半导体存储元件的电源开关电路及其电源电压施加方法

[57] 摘要

一种半导体存储器装置中的电源(电压)开关电路,能够减小待机工作模式中的漏泄电流,并且缩短待机模式被切换到工作模式时的唤醒时间。该电源(电压)开关电路包括第一、第二和第三电源开关,分别响应于第一、第二或第三被施加开关控制信号,选择性地输出动态选择的第一、第二和第三电源电压之一作为元件电源电压。第二电源电压高于第一电源电压,第三电源电压低于第一电源电压。元件电源控制单元控制第一、第二和第三开关控制信号的状态,使得在待机状态中以第三(最低)电源电压施加元件电源电压,并且在待机状态被切换到工作状态时,在预定义的时间段内,以第二(最高)电源电压供应元件电源电压,然后以第一电源电压供应元件电源电压。



1. 一种半导体装置，包括：
 - 5 第一电源开关，被配置成响应于第一被施加开关控制信号而选择性地输出第一电源电压作为装置电源电压；
 - 第二电源开关，被配置成响应于第二被施加开关控制信号而选择性地输出第二电源电压作为装置电源电压；
 - 第三电源开关，被配置成响应于第三被施加开关控制信号而选择性地输出第三电源电压作为装置电源电压；
- 10 第一电源电压低于第二电源电压，并且第三电源电压低于第一电源电压。
 2. 根据权利要求1所述的装置，还包括装置电源控制单元，用于控制第一、第二和第三开关控制信号的状态，使得在待机状态中以第三电源电压施加装置电源电压，并且当所述装置从待机状态切换到工作状态时，在预定义的时间段内，以第二电源电压供应装置电源电压，并且接下来以第一电源电
 - 15 压供应装置电源电压。
 3. 根据权利要求1所述的装置，其中所述装置是半导体存储器装置。
 4. 根据权利要求1所述的装置，其中所述装置包括处理器。
 5. 根据权利要求1所述的装置，其中所述装置包括数字信号处理器(DSP)。
- 20 6. 根据权利要求1所述的装置，还包括存储元件电源控制单元，用于控制第一、第二和第三开关控制信号的状态，使得在待机状态中以第三电源电压向存储元件施加装置电源电压，并且当所述装置从待机状态切换到工作状态时，在预定义的时间段内以第二电源电压向存储元件施加装置电源电压，并且接下来以第一电源电压向存储元件施加装置电源电压。
- 25 7. 根据权利要求1所述的装置，还包括深待机检测单元，其被配置成接收外部启用信号，并且确定由外部启用信号表示的非工作状态的持续时间是否超过预定义的时间，并且生成用于控制第一、第二和第三被施加开关控制信号的深待机检测信号。
8. 根据权利要求7所述的装置，其中当非工作持续时间超过预定义的时间时，深待机检测信号使得存储元件电源控制单元能够让所述装置进入待机
- 30 状态。

9. 根据权利要求1所述的装置,其中第一电源电压由包含所述装置的芯片中的内部电源电压产生电路作为工作电压提供。

10. 根据权利要求1所述的装置,其中所述装置是静态随机存取存储器(SRAM)装置。

5 11. 根据权利要求4所述的装置,其中装置电源电压被施加到静态随机存取存储器(SRAM)装置中存储元件的负载MOS晶体管的源极。

12. 根据权利要求1所述的装置,还包括:

第一P型开关,其源极连接到第一电源电压,并且其栅极用于接收第一开关控制信号;以及

10 第二P型开关,其源极连接到第二电源电压,并且其栅极用于接收第二开关控制信号。

13. 根据权利要求12所述的装置,还包括第三P型开关,其源极连接到第三电源电压,并且其栅极用于接收第三开关控制信号。

15 14. 根据权利要求1所述的装置,还包括被形成为包括六个晶体管的三维存储元件的存储元件。

15. 根据权利要求1所述的装置,其中在所述装置的存储元件阵列中的每条位线的两端施加装置电源电压。

16. 一种半导体存储器装置,包括:

20 双电压电源开关电路,连接到存储元件阵列的每条位线的每一端,每个电路包括:

第一电源开关单元,被配置成响应于第一被施加开关控制信号,选择性地第一电源电压和第二电源电压中所选择的一个输出到第一开关输出级,第二电源电压高于第一电源电压;

25 第二电源开关单元,被配置成响应于第二被施加开关控制信号,将第一开关输出级的所选输出电压和第三电源电压之一输出到第二开关输出级,作为存储元件电源电压。

17. 根据权利要求16所述的装置,其中第三电源电压低于第一电源电压;并且还包括:

30 存储元件电源控制单元,用于控制第一和第二开关控制信号的状态,使得在待机状态中以第三电源电压施加存储元件电源电压,并且当所述装置从待机状态切换到工作状态时,在预定义的时间段内以第二电源电压供应存储

元件电源电压，并且接下来以第一电源电压供应存储元件电源电压。

18. 一种半导体存储器装置，包括：

存储元件阵列，具有多个存储元件；以及

5 存储元件电源控制单元，用于控制存储元件电源电压，使得在待机状态中以第三电源电压施加存储元件电源电压，并且当待机状态被切换到工作状态时，在预定义的时间段内以第二电源电压供应存储元件电源电压，并且接下来以第一电源电压供应存储元件电源电压。

19. 根据权利要求 18 所述的装置，其中第二电源电压高于第一电源电压，并且第三电源电压低于第一电源电压。

10 20. 根据权利要求 18 所述的装置，还包括深待机检测单元，被配置成接收芯片选择信号，并且确定芯片的非工作持续时间是否超过预定义的时间，并且在芯片的非工作持续时间超过预定义的时间时，生成深待机检测信号，以便使得元件电源控制单元能够控制向待机状态的切换。

15 21. 根据权利要求 20 所述的装置，其中存储元件电源电压被选择性地施加到存储元件阵列中的元件组。

22. 一种用于在半导体存储器装置中施加元件电源电压的方法，所述方法包括以下步骤：

在待机状态内施加低于工作电压的电压作为元件电源电压；

20 当待机状态被切换到工作状态时，在预定义的时间段内施加高于工作电压的电压作为元件电源电压；以及

在预定义的时间过去时，施加工作电压作为元件电源电压。

23. 根据权利要求 22 所述的方法，其中工作电压被提供给静态随机存取存储器(SRAM)元件的负载晶体管。

半导体存储元件的电源开关电路及其电源电压施加方法

5 技术领域

本发明涉及半导体存储器中的存储元件(memory cell)电源,更具体地说,涉及一种易失性半导体存储器装置如静态随机存取存储器(SRAM)中的存储元件电源开关电路,以及用于施加存储元件电源电压的方法。

10 背景技术

随着基于处理器的系统如个人计算机和电子通信设备实现了更高的性能、更高的速度和更高的集成度,易失性半导体存储器装置如静态随机存取存储器(SRAM)的性能相应地得以提高。在用于移动电子设备如手持电话或笔记本电脑的半导体存储器装置中,低功耗是尤其期望的。从而,半导体制造
15 造商不断努力减小存储器装置的工作电流和待机电流,以便提供面向移动的低功率解决方案。

为了减小 SRAM 中的待机电流,这样的技术在本技术领域内是公知的,即在待机状态(即,不是执行数据输入和输出的工作状态)中施加小于正常工作电压的电压。在这种技术中,当待机状态被切换到工作状态时,存储器装置
20 的电流特性可能由于非常大的负载电容而被恶化。这样,当发生工作模式之间的转变时,从待机电压(相对小于工作电压)转变到工作电压需要较长的时间(和电流)。这样,虽然上述现有技术可以减小待机电流,但是可能降低装置电流特性,并且现有技术对于在若干领域中的应用不是最优的。

图1是示出传统SRAM(静态随机存取存储器)的(存储器)元件核心电路的
25 示意电路图。在图1中,示出了一个代表性位线对(BL、BLB)。应当注意的是,与同一位线对(BL、BLB)相关联的多个存储元件以及与其它位线对相关联的多个存储元件可以形成存储元件组(block);并且多个存储元件组可以形成一个存储元件阵列。

参照图1,多个(n个)存储元件2(包括MC #n)连接在这对位线BL和BLB
30 之间。每个单元(unit)存储元件2的电路可以如在本技术领域内所公知的那样被实现为包括六个晶体管(T1到T6)的完全CMOS SRAM元件。每个SRAM

元件包括存取晶体管 T1 和 T2 以及负载晶体管 T3 和 T4。如果 SRAM 元件的元件间距(例如,宽度)减至接近于照相平版印刷工艺的分辨率限制,则可以以三维的形式将这六个晶体管布置在不同层(例如,非相同层)上。

在图 1 中,示出了响应于控制信号 PEQ 的预充电晶体管 P1 和 P2(分别用于对位线 BL 和 BLB 进行预充电)以及均衡晶体管 P3(用于在位线 BL 和 BLB 的两者上都保持相同的电压电平)。此外,字线 W/L1 和 W/Ln 中的每一个连接到对应的单元存储元件 2 内的存取晶体管 T1 和 T2 中的每一个的栅极。用于在位线对和数据线对(DL 和 DLb)之间电气连接和断开的列选择门 PG1 和 PG2 分别连接到位线 BL 和互补位线 BLB。列选择门 PG1 和 PG2 在待机模式中
5 中都响应于列选择信号 Yi 和 Yib 而被关断,并且相反地,可以在执行读或写数据的存取工作模式期间(响应于列选择信号 Yi 和 Yib)而被导通或关断。
10

在图 1 中,工作电压 VDD(作为存储元件电源电压)被施加到(组成单元存储元件 2 的晶体管 T1 到 T6 当中的)P 型 MOS 负载晶体管 T3 和 T4 的源极,以便执行数据存储操作。在存储元件的存取工作模式中,应当以预定的电平提供被施加到负载晶体管 T3 和 T4 的工作电压 VDD,但是在待机模式中,可以以低于工作电压的电压电平提供该电压(以便减小流过负载晶体管 T3 和 T4 的漏泄电流)。然而,如果紧接在待机模式变至工作模式之后,被施加到负载晶体管 T3 和 T4 的存储元件电源电压就从(较低)待机电压变至(较高)工作电压,则负载电容由于元件功率负载的变化而变得非常大。这增加了元件唤醒
15 时间,并且降低了半导体存储器装置的工作特性。
20

此外,如果该装置进入待机模式(在施加低于工作电压的待机电压时),例如,每当包括多个存储元件的存储元件组在相对短的时间段内未被选择时,则工作稳定性由于太频繁的唤醒而得不到保证。

从而,需要这样的技术,其用于减小待机电流而不会降低装置的工作特性,并且用于在待机模式被切换到工作模式时,缩短唤醒时间,以便使元件电源电压快速地恢复到工作电压的稳定电平,而不会降低工作特性。
25

发明内容

本发明的各个实施例利用发明人的以下认识,即与在工作时间段的开头连续地施加工作电压作为元件电源电压的传统情况相比,如果在工作时间段的开头短暂地施加高电压作为元件电源电压,然后施加工作电压,则可以显
30

著缩短唤醒时间，并且可以提高半导体存储器装置的性能。

本发明的各个方面提供了这样的技术和半导体存储器装置，其减小了待机电流，而不会降低装置的工作特性，并且在待机模式被切换到工作模式时，缩短唤醒时间，以便使存储元件电源电压(从较低的待机电平)快速地恢复到
5 (较高的)工作电压的稳定电平，而不会降低工作特性。

本发明的实施例，只有在待机模式持续了相对长的时间时，才施加待机电压作为存储元件电源电压。

本发明的另一方面提供了一种半导体存储器装置，其能够减小(或最小化)待机工作模式中的电流消耗，而不会降低存储器装置(性能)特性。

10 本发明的其它方面提供了一种半导体存储器装置中的存储元件电源开关电路，以及用于施加元件电源电压的方法，其能够抑制待机工作模式中的漏泄电流，并且在从待机模式转变到工作(存取)模式时缩短唤醒时间。

本发明另外的方面提供了一种半导体存储器装置中的元件电源开关电路以及用于施加元件电源电压的方法，其能够根据待机模式和工作模式中的每
15 一个而控制元件电源电压(被施加到具有完全 CMOS 存储元件的静态随机存取存储器(SRAM)中的负载 P 型 MOS 晶体管)为最优电平。

本发明的其它方面提供了一种半导体存储器装置中的元件电源开关电路以及用于施加元件电源电压的方法，其能够使用双功率模式开关结构减小待
20 机电流，并且减小(在从待机模式转变到工作状态时)元件电源电压的唤醒时间。

本发明的另一方面提供了一种半导体存储器装置中的元件电源开关电路以及用于施加元件电源电压的方法，其通过只有在待机模式持续了相对长的时间时才施加待机电压作为元件电源电压，能够减小待机电流而不会降低装置的工作特性。

25 本发明的另一方面提供了这样的技术，其用于缩短唤醒时间，以便使元件电源电压快速地恢复到工作电压的稳定电平，而不会降低工作特性(在从待机模式切换到工作模式时)。

根据本发明的一个实施例，提供了一种半导体装置，包括：第一电源开关(例如，图 6 中的 P1)，被配置成响应于第一被施加开关控制信号(CSOPb)
30 而选择性地输出第一电源电压(VOP)作为装置电源电压；第二电源开关(P2)，被配置成响应于第二被施加开关控制信号(CSPP)而选择性地输出第二电源电

压(VCP)作为装置电源电压；以及第三电源开关(P10)，被配置成响应于第三被施加开关控制信号(CPSBb)而选择性地输出第三电源电压(VSB)作为装置电源电压。第一电源电压低于第二电源电压，并且第三电源电压低于第一电源电压。

5 该装置还可以包括装置电源控制单元，用于控制第一、第二和第三开关控制信号的状态，使得在待机状态中以第三(最低)电源电压施加装置电源电压，并且当该装置从待机状态切换到工作状态时，在预定义的时间段内，以第二电源电压供应装置电源电压，并且接下来以第一电源电压供应装置电源电压。

10 该装置还可以包括深待机检测单元，其被配置成接收外部启用信号(例如，存储器“芯片选择”信号)，并且确定由外部启用信号表示的非工作状态的持续时间是否超过预定义的时间，并且生成用于控制第一、第二和第三被施加开关控制信号的深待机检测信号。

 根据本发明的另一实施例，提供了一种半导体存储器装置中的存储元件
15 电源开关电路。该元件电源开关电路包括：第一电源开关单元，用于响应于第一被施加开关控制信号，选择性地输出第一电源电压或第二电源电压到第一开关输出级作为存储元件电源电压，第二电源电压高于第一电源电压；第二电源开关单元，用于响应于第二被施加开关控制信号，输出第一开关输出级的输出电压或者第三电源电压到第二开关输出级作为元件电源电压，第三
20 电源电压低于第一电源电压；以及元件电源控制单元，用于控制第一和第二开关控制信号的状态，使得在待机状态中以第三电源电压施加元件电源电压，并且在待机状态被切换到工作状态时，在预定义的时间段内以第二电源电压供应元件电源电压，然后以第一电源电压供应元件电源电压。

 根据本发明的另一方面，提供了一种半导体存储器装置，其包括：存储
25 元件阵列，具有多个存储元件；双模式电源开关电路，连接到存储元件阵列的一端；以及单模式元件电源开关电路，连接到存储元件阵列的另一端，用于响应于第三被施加开关控制信号，输出第一电源电压作为元件电源电压，其中双模式电源开关电路包括：第一电源开关单元，用于响应于第一被施加开关控制信号，选择性地输出第一电源电压或第二电源电压到第一开关输出级作为元件电源电压，第二电源电压高于第一电源电压；第二电源开关单元，
30 用于响应于第二被施加开关控制信号，输出第一开关输出级的输出电压或者

第三电源电压到第二开关输出级作为元件电源电压，第三电源电压低于第一电源电压；以及元件电源控制单元，用于控制第一和第二开关控制信号的状态，使得在待机状态中以第三电源电压施加元件电源电压，并且在待机状态被切换到工作状态时，在预定义的时间段内以第二电源电压供应元件电源电压，然后以第一电源电压供应元件电源电压。

优选地，该电路还可以包括深待机检测单元，用于接收芯片选择信号，确定非工作状态的持续时间是否超过预定义的时间，并且在非工作持续时间超过预定义的时间时，生成深待机检测信号，以便使得元件电源控制单元能够控制待机状态中的操作。

第一电源电压可以由芯片中的内部电源电压产生电路作为工作电压提供，并且半导体存储器装置可以是静态随机存取存储器。元件电源电压可以被施加为形成静态随机存取存储器的存储元件的负载 MOS 晶体管的源极电压。

此外，第一电源开关单元可以包括：第一 P 型 MOS 晶体管，其源极连接到第一电源电压，漏极连接到第一开关输出级，并且栅极用于接收第一开关控制信号；以及第二 P 型 MOS 晶体管，其源极连接到第二电源电压，漏极连接到第一开关输出级，并且栅极用于接收第一开关控制信号。

第二电源开关单元可以包括与第一电源开关单元相同的元件。

存储元件可以是包括六个元件晶体管(这六个元件晶体管在不同层上形成)的三维存储元件，并且元件电源电压可以通过存储元件阵列的两端而提供给整个存储元件阵列。

根据该电路的结构，有可能抑制待机操作中的漏泄电流，并且缩短待机模式被切换到工作模式时的唤醒时间。通过只在待机模式持续了相对长的时间的深待机模式中才施加待机电压作为元件电源电压，还有可能减小待机电流而不会降低装置的工作特性。

附图说明

通过参照附图详细描述本发明的优选实施例，本发明的上述和其它特征对于本领域的普通技术人员而言将会变得更加清楚，在附图中示出了本发明的优选实施例。然而，本发明不应当被解释为仅局限于这里阐述的实施例。相反，这些实施例是作为教导示例而提供的。在附图中，相同的附图标记表

示相同的元件，并且：

图 1 是典型的 SRAM 装置的存储元件核心电路图；

图 2 是根据本发明第一示例性实施例的存储元件电源开关电路的方框图；

5 图 3 是图解图 2 的电路中的存储元件电源开关操作的时序图；

图 4 是根据本发明第二示例性实施例的存储元件电源开关电路的方框图；

图 5 是根据本发明第三示例性实施例的存储元件电源开关电路的方框图；

10 图 6 是示出(图 2、4 和 5 的)第一和第二电源开关单元 300 和 400 的实现示例的电路图；

图 7 是图解图 5 的存储元件电源控制单元 201 的实现示例的电路图；

图 8 是图解图 7 的电路中的存储元件电源开关操作的时序图；

图 9 图解根据本发明实施例的深待机检测单元的示例性实现；

15 图 10 是图解图 9 的电路中的存储元件电源开关操作的时序图；以及

图 11 是为了图解根据本发明实施例的漏泄电流减小效果而注解的晶体管特性图。

具体实施方式

20 图 2 是根据本发明第一实施例的存储元件电源开关单元的方框图。在图 2 中，示意性地示出了用于控制存储元件中的存储元件功率的双功率模式开关结构。图 2 的存储元件电源开关电路可以在半导体存储器装置芯片上形成。

参照图 2，该电路包括深待机检测单元 100、元件电源控制单元 200、第一电源开关单元 300、第二电源开关单元 400、以及存储元件阵列 10。

25 第一电源开关单元 300 分别响应于由元件电源控制单元 200 施加的第一开关控制信号 CSPP 和 CSOPb，选择性地输出工作电压 VOP PWR 或高电源电压 VCP PWR(高于工作电压 VOP PWR)之一到第一开关输出级 SNOD1。

30 第二电源开关单元 400 包括多个电源开关 410 到 413，用于(响应于由元件电源控制单元 200 施加的第二开关控制信号 CPOPb 和 CPSBb)，选择性地输出在待机模式期间供应的低电源电压 VSB PWR(低于工作电压 VOP PWR)或者电源电压 VOP1 PWR(在第一开关输出级 SNOD1 处)中的任一个(一个或

另一个),到第二开关输出级 SNOD2。输出到第二开关输出级 SNOD2 的电源电压被提供作为用于存储元件阵列 10 中的存储元件的元件电源电压(图 1 中的 VDD)。

5 深待机检测单元 100 接收芯片选择信号/CS,并且确定待机持续时间是否超过预定义的时间,并且当待机持续时间超过预定义的时间时,生成用于存储元件电源控制的深待机检测信号 CSb。深待机检测单元 100 在半导体存储器装置工作时遇到的相对短非工作时间的持续时间内禁用(disable)深待机检测信号 CSb。在相对短的非工作时间的情况下,元件功率保持在工作电压,因为这将抑制工作电流的增大,所以是可取的。

10 元件电源控制单元 200 响应于深待机检测信号 CSb,分别输出第一开关控制信号 CSPP 和 CSOPb 到第一电源开关单元 300,并且输出第二开关控制信号 CPOPb 和 CPSBb 到第二电源开关单元 400(以便高效地控制元件功率)。

第一开关控制信号 CSPP 在待机时间段内被启用(enable)。如果第一开关控制信号 CSPP 被启用,则第一电源开关单元 300 执行(电源)开关操作,使得
15 在第一开关输出级 SNOD1 处出现高电源电压 VCP PWR(高于工作电压)。第一开关控制信号 CSPP 在半导体存储器装置的数据存取时间段——即工作时间段——内被禁用。

第一开关控制信号 CSOPb 在半导体存储器装置的工作时间段内被启用。如果第一开关控制信号 CSOPb 被启用,则第一电源开关单元 300 执行(电源)
20 开关操作,以便在第一开关输出级 SNOD1 处出现工作电压 VOP PWR。第一开关控制信号 CSOPb 在待机时间段内被禁用。

第二开关控制信号 CPOPb 在半导体存储器装置的工作时间段内被启用。如果第二开关控制信号 CPOPb 被启用,则第二电源开关单元 400 执行(电源)开关操作,以便在第二开关输出级 SNOD2 处出现(第一开关输出级 SNOD1
25 处的)电源电压 VOP1 PWR。第二开关控制信号 CPOPb 在待机时间段内被启用。

第二开关控制信号 CPSBb 在待机时间段内被启用。如果第二开关控制信号 CPSBb 被启用,则第二电源开关单元 400 执行(电源)开关操作,以便在第二开关输出级 SNOD2 处出现(低于工作电压 VOP PWR 的)低电源电压 VSB
30 PWR。第二开关控制信号 CPSBb 在工作时间段内被启用。

图 3 是图解图 2 的电路中的存储元件电源开关的操作(例如,存储元件电

源开关操作)的时序图。在图3中示出了图2的电路中的各个信号的时序。参照图3,清楚地示出了第一开关控制信号CSPP和CSOPb以及第二开关控制信号CPOPb和CPSBb的波形的时序关系。在图3中,时间段T1表示应用于本发明实施例的深待机时间段;并且时间段T2表示数据存取模式,即半导体存储器装置的工作时间段。当半导体存储器装置从深待机时间段T1转变到工作时间段T2时,元件功率的唤醒时间越短,则半导体存储器装置的性能就越好。这里,“唤醒时间”是指元件电源电压从待机电压电平达到工作电压VOP PWR的电平的可测量时间。从图3的时序图可以看出,如果芯片在预定义的

5 时间内未被选择(即,如果待机时间段持续了相当长的时间),则深待机检测信号CSb被启用,以便进入深待机模式。在深待机模式中,作为待机电源电压(例如,1.0到1.2V)施加元件电源电压。如果芯片随后被选择,则禁用深待机检测信号CSb,并且终止深待机时间段T1中的元件电源施加操作,并且启动工作时间段T2中的元件电源施加操作。在工作时间段T2的开头,在第一开关控制信号CSPP和CSOPb与第二开关控制信号CPOPb和CPSBb之间存在

10 有意的开关时间延迟,以便缩短唤醒时间,这在本发明中是优选的。这样,即使在工作时间段T2开始之后第二开关控制信号CPOPb和CPSBb被启用或禁用,第一开关控制信号CSPP和CSOPb在工作时间段T2的第一时钟周期内也仍然保持被启用或禁用,从而在工作时间段T2的第一时钟周期内存在延迟时间段tdly(表示开关时间的延迟)。从而,在延迟时间段内作为高于工作电压的电压VCP PWR提供元件电源电压CELL PWR(以便缩短唤醒时间)。在延迟时间段tdly内施加的较高电压VCP PWR使得保持在待机电压VSB PWR的元件电源节点能够快速达到工作电压VOP PWR的(较高)电平。如果第一开关控制信号CSPP和CSOPb中的每一个此时在工作时间段T2内被禁用或

15 启用,则快速地将元件电源节点设置为工作电压VOP PWR的电平,而没有由于传统的电压电平下降而造成的迟滞。一般而言,如果在工作时间段的开头短暂地施加高电压作为元件电源电压,然后施加工作电压,则与在工作时间段的开头持续地施加工作电压作为元件电源电压的传统情况相比,显著缩短了唤醒时间,并且提高了半导体存储器装置的性能。

如前所述,执行如图3所进一步示出的元件电源开关操作的图2的元件

20 电源开关电路在待机模式持续了相对长(例如,预定)时间时施加待机电压作为元件电源电压,从而减小待机电流而不降低装置的工作特性;并且在待机模

25

30

式被切换到工作模式时，将元件电源电压快速地恢复到工作电压的稳定电平，而不会降低工作特性，从而最小化“唤醒时间”。

现在将描述本发明的其它示例性实施例，这些实施例具有与第一实施例共同的基本概念，但是加以了修改或扩展。在其它示例性实施例的情况下，
5 如同在第一实施例的情况下一样，当待机状态被切换到工作状态时，在预定义的时间期间(在较短的唤醒时间内)施加高于工作电压的电压作为元件电源电压。

图 4 是根据本发明第二实施例的存储元件电源开关电路的方框图。参照图 4，存储元件电源开关块 500 为双模式电源开关结构，并且包括存储元件
10 电源控制单元 200、第一电源开关单元 300 和第二电源开关单元 400，并且可操作地与存储元件阵列 10 集成在一起(与图 2 所示类似)。此外，在图 4 中，元件电源开关电路包括双模式电源开关结构(每个包括存储元件电源开关块 500)，其连接在存储元件阵列 10 的每一端，以便在存储元件阵列 10 的两端执行(镜像)如参照图 3 所述的元件电源施加操作，从而导致更短的唤醒时间。

类似地，图 5 示出了根据本发明第三示例性实施例的元件电源开关电路
15 的方框图。在图 5 的情况下，仅仅除了在存储元件阵列 10 的两端提供(镜像)第二电源开关单元 400 和第三电源开关单元 450(其基本上与第二电源开关单元 400 相同)之外，本发明的第三示例性实施例类似于第二示例性实施例。这样，在图 5 中，双模式电源开关结构(例如，图 4 的存储元件电源开关块 500)
20 连接到存储元件阵列 10 的一端，而单模式电源开关结构(包括第三电源开关单元 450，其基本上与第二电源开关单元 400 相同)连接到存储元件阵列 10 的另一端。这里，第三电源开关单元 450 由第二元件电源控制单元 202 控制。图 5 所示的配置也实现了较短的唤醒时间。这里，被施加到第三电源开关单元 450 的第三开关控制信号 CPOP2b 在待机时间段内保持被禁用，而在待机
25 模式被切换到工作模式时变得被启用。从而，在待机状态中，第三电源开关单元 450 阻止(抑制)工作电压 VOP PWR，但是在存储器装置从待机模式切换到工作模式时，提供工作电压 VOP PWR 作为元件电源电压，以获得短唤醒时间。

在图 5 中，块选择信号 Si 被公共施加到第二元件电源控制单元 202 和第一
30 元件电源控制单元 201。响应于块选择信号 Si，当存储元件阵列块从待机模式切换到工作模式时，以存储元件阵列块为单元施加存储元件电源电压。

这将限制峰值电流，并且抑制噪声。从而，不同于存储元件电源电压在同一时间被施加到阵列中的所有存储元件的情况，存储元件电源电压快速地稳定到(例如，升至)工作电压 VOP PWR。这里，即使块选择信号 Si 被禁用，也将工作电压 VOP PWR 而非待机电源电压施加到已被施加了工作电压作为元件电源电压的所选存储元件阵列块，直至该电路进入深待机模式的时间。这是因为如果每当存在相对短于深待机时间段的待机时间段时都执行唤醒操作，则唤醒操作的次数大大增加，从而导致恶化的工作稳定性。应当清楚，块选择信号 Si 也可以适用于如上所述的第一和第二实施例。

图 6 是示出(图 2、4 和 5)的第一和第二电源开关单元 300 和 400 的实现示例的电路图。第一电源开关单元 300(例如，301)由两个 P 型场效应(FET，例如，MOSFET)晶体管 P1 和 P2 组成，并且包括在第二电源开关单元 400 内的电源开关#1 410 类似地由两个 P 型 MOS 晶体管 P10 和 P11 组成。当分别以低和高状态施加第一开关控制信号 CSPP 和 CSOPb 时，P 型晶体管 P2 被导通，并且 P 型 MOS 晶体管 P1 被关断，使得第一开关输出级的节点电压 VOP1 变成高电压 VCP(高于工作电压)。当第二电源开关单元 400 中的 P 型 MOS 晶体管 P11 被导通时，施加高电压 VCP 作为存储元件 2 的元件电源电压。虽然在图 6 中第一和第二电源开关单元 300 和 400 采用 P 型 MOS 晶体管实现，但是应当清楚，它们可以采用 N 型 MOS 晶体管或 CMOS 传输门、以及各种其它形式的开关实现。

图 7 是图解存储元件电源控制单元(例如，图 5 的 201)的实现示例的电路图。参照图 7，存储元件电源控制单元 201 包括锁存器 L1(由交叉耦接的或非门 NOR1 和 NOR2 组成)、多个反相器、以及反相器链 INVC1(由多个反相器 IN3-IN7 组成)。在图 7 的示例性存储元件电源控制单元中，即使待机模式被切换到工作模式，(由块选择信号 Si 识别和选择的)第一元件阵列块被选择，然后工作电压被施加到所选存储元件阵列块，电源开关操作也被锁存器 L1 禁止，直至该电路进入深待机模式。

图 8 示出了图解图 7 的电路中的存储元件电源开关操作的时序图。当深待机检测信号 CSb 转变到低电平，并且以高电平施加块选择信号 Si 时，在锁存器 L1(图 7 所示)的输出节点 n10 处输出高电平信号。结果，在图 7 的电路中，当块选择信号 Si 从高电平转变到低电平时，输出节点 n10 保持在高状态。

图 9 是图解根据本发明实施例的深待机检测单元的实现示例的电路图。

图 10 是图解图 9 的电路中的存储元件电源开关操作的时序图，其中示出了图 9 所示的各个信号的波形。

在图 9 中，深待机检测单元 100 由接收器 111(例如，非反相缓冲器)、环形计数器 112、短脉冲生成器 113、与非门 ND2、以及流水线(pipeline)块 114 和 115 组成。

参照图 9 和 10，深待机检测单元 100 响应接收和缓冲外部芯片选择信号 /CS 的接收器 111 的输出信号 CSNb。这样，如果芯片被禁用，则芯片选择信号 /CS 变为高(H)电平，并且接收器 111 的输出信号 CSNb 变为高电平。如果以高电平施加输出信号 CSNb，则环形计数器 112(由与非门 ND1 和多个反相器 IN1-IN19 组成)被激活。环形计数器 112 的输出节点 n20 的输出(来自最后反相器，例如 IN19)被施加到短脉冲生成器 113，并且还反馈回到与非门 ND1 的第二输入。一旦(在节点 n20 处)接收到环形计数器 112 的输出，则短脉冲生成器 113 生成内部时钟 DCLK 和 DCLKb，(如图 10 所示)。内部时钟 DCLK 和 DCLKb 被提供作为用于导通流水线块 114 和 115(图 9)的控制门的时钟。

每个流水线块(例如，114 和 115)包括第一传输门 G1 和第一(反相器)锁存器 L1 和第一反相器、以及第二传输门 G2 和第二(反相器)锁存器 L2 和第二反相器 I2、以及对应的重置晶体管 N1 和 N2。当分别以高和低电平提供内部时钟 DCLK 和 DCLKb 时，被施加到第一流水线块 114 中的第一传输门 G1 的输入端的输出信号 CSNb 通过第一传输门 G1 而被施加到第一反相器锁存器 L1。输出信号 CSNb 由第一反相器锁存器 L1 反相，进一步由第一反相器 I1 反相，并且被施加到第二传输门 G2。当分别以低和高电平提供内部时钟 DCLK 和 DCLKb 时，第二传输门 G2 被导通，并且将输出信号 CSNb 施加到第二反相器锁存器 L2。由于通过经由第二锁存器 L2 连接的第二反相器 I2 输出的信号 CSB_P1 经由单个流水线块 114 延迟，因此它被称作“1-流水线处理”延迟输出。与非门 ND2 组合通过对输出信号 CSNb 进行“1-流水线处理”而获得的 CSB_P1、通过对输出信号 CSNb 进行“2-流水线处理”而获得的 CSB_P2、……、以及通过对输出信号 CSNb 进行“n-流水线处理”而获得的 CSB_Pn、以及输出信号 CSNb，以在节点 n30 处生成组合输出。节点 n30 处的组合输出作为第三输入被施加到环形计数器 112 的与非门 ND1、以及反相器 IN22。反相器 IN22 将 n30 的组合输反相出，以生成处于高电平的深待机检测信号 CSb。当待机

状态持续的时间超过预定义的时间(例如,由 n 个流水线延迟块 114 到 115 之和定义)时,生成深待机检测信号 CSb。

当该电路进入深待机模式时,节点 n30 处的组合输出变为低状态,从而阻止环形计数器 112 的操作。如果芯片被启用(/CS=L),则接收器 111 的输出 CSNb 返回到低状态,并且深待机检测信号 CSb 在短时间内转变到低状态。此外,在每个流水线块 114 到 115 中锁存的逻辑电平被初始化为低状态(通过内部 NMOS 重置晶体管 N1 和 N2)。

图 11 是为了图解根据本发明的至少一个示例性实施例的漏泄电流减小效果而注解的晶体管特性图。在图 11 中,横轴表示漏极-源极电压 VDS,而纵轴表示漏泄电流量。点 P2 表示现有技术,点 P1 表示本发明实施例的成绩。有利地,漏泄电流量从现有技术点 P2 显著地降至独创的点 P1。这样,根据本发明的半导体存储器装置具有较低的电池功耗特性,因此它有益地适用于便携式电子设备。

如上所述,根据本发明的各个实施例,在待机模式中施加低于工作电压的电压,从而最小化或减小流过存储元件中的晶体管的电流。此外,当待机模式被切换到工作模式时,使用双功率模式开关,从而缩短唤醒时间。从而,减小了待机电流,并且缩短了唤醒时间,而不会降低存储器装置特性。具体地说,在用 6 个晶体管存储元件作为存储元件结构的静态随机存取存储器(SRAM)中,使用本发明的存储元件电源开关电路施加被施加到存储元件中的 P 型 MOS 晶体管的较低存储元件电源电压,从而容易地获得低功率实现,而不会降低装置性能。

通过在半导体存储器装置的操作期间遇到的短非工作时间内不施加待机电压而保持所供应的工作电压,获得了稳定的操作。这样,由于通过使用深待机检测单元而自动检测特定(延长、预定)时间段内持续的(深)待机状态,因此防止在短时间段内的短待机状态(非工作状态)中施加待机电压作为存储元件电源电压。

本领域的技术人员应当理解,这里公开的概念适用于各种省电应用,并且可以以很多不同方式实现。所建议的电源开关单元中的开关数目或者元件电源控制单元和深待机检测单元的细节仅仅是本发明示例性实施例中的实现示例,并且可能存在其它电路设计者可获得的方法。从而,详细实现是作为用于实现本发明的示例而公开的,而它们并不限制本发明的范围。

虽然描述了本发明的详细实施例，但是在不脱离所附权利要求中限定的本发明的范围的情况下，可以对本发明进行各种变动。例如，这些实施例可以被修改成在待机模式而非深待机模式中实现不同的存储元件电源开关操作。

- 5 如上所述，根据本发明的示例性实施例，有可能抑制待机(非工作)模式中的漏泄电流，并且缩短待机模式被切换到工作模式时的唤醒时间。通过只有当待机模式持续了相对长的时间时才施加待机电压作为电源电压，还有可能减小待机电流，而不会降低存储器装置(或其它装置)的工作特性。还有可能在待机模式被切换到工作模式时，将电源电压快速地恢复到工作电压的稳定
- 10 电平，而不会降低工作特性。从而，本发明有益地适用于在待机操作中要求低功率特性的面向移动的静态随机存取存储器(SRAM)。

对相关申请的交叉引用

本申请在 35 U.S.C. § 119 下要求 2005 年 1 月 13 日提交的韩国专利申请 No. 10-2005-0003109 的优先权，通过引用将其全文合并于此。

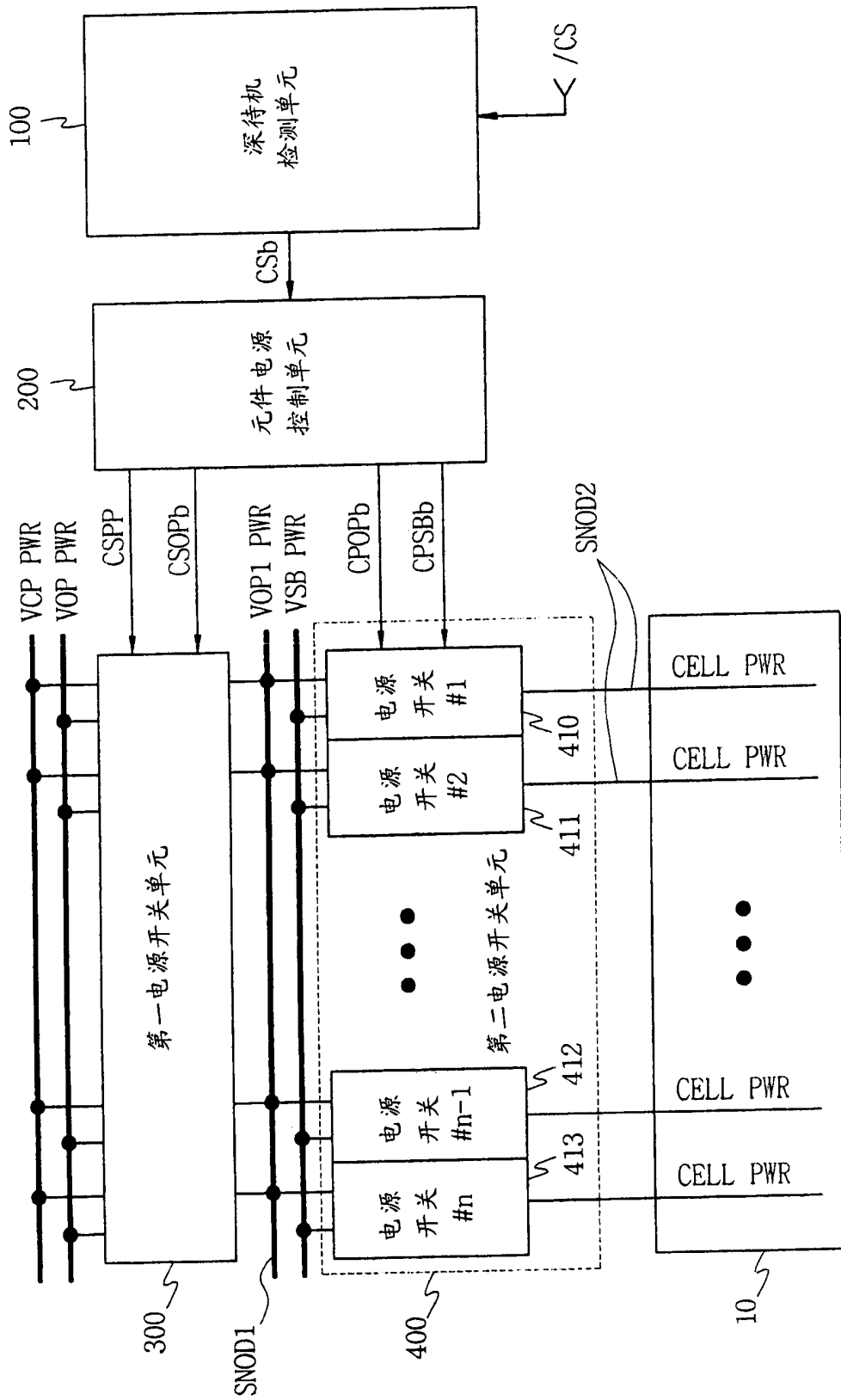


图 2

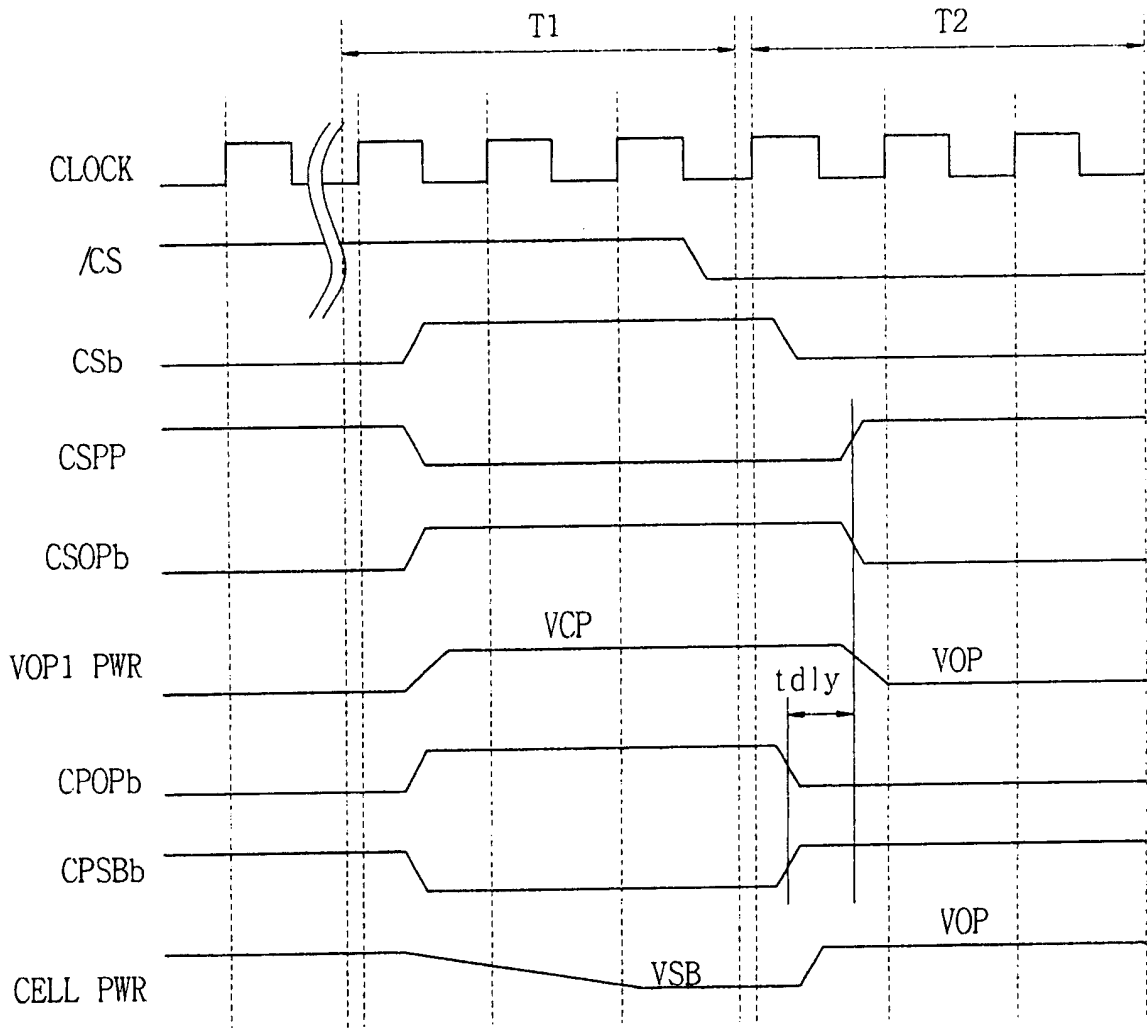


图 3

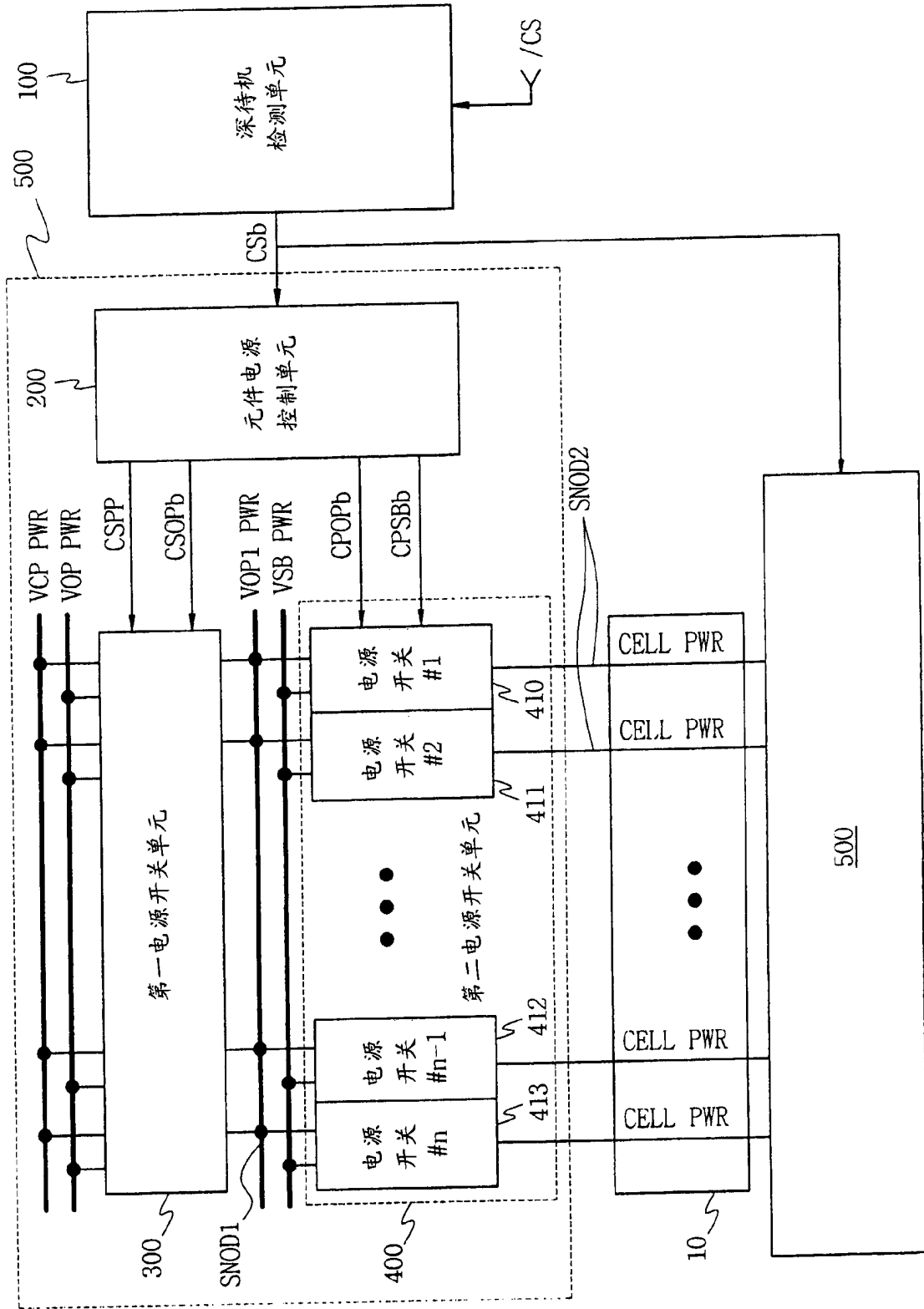


图 4

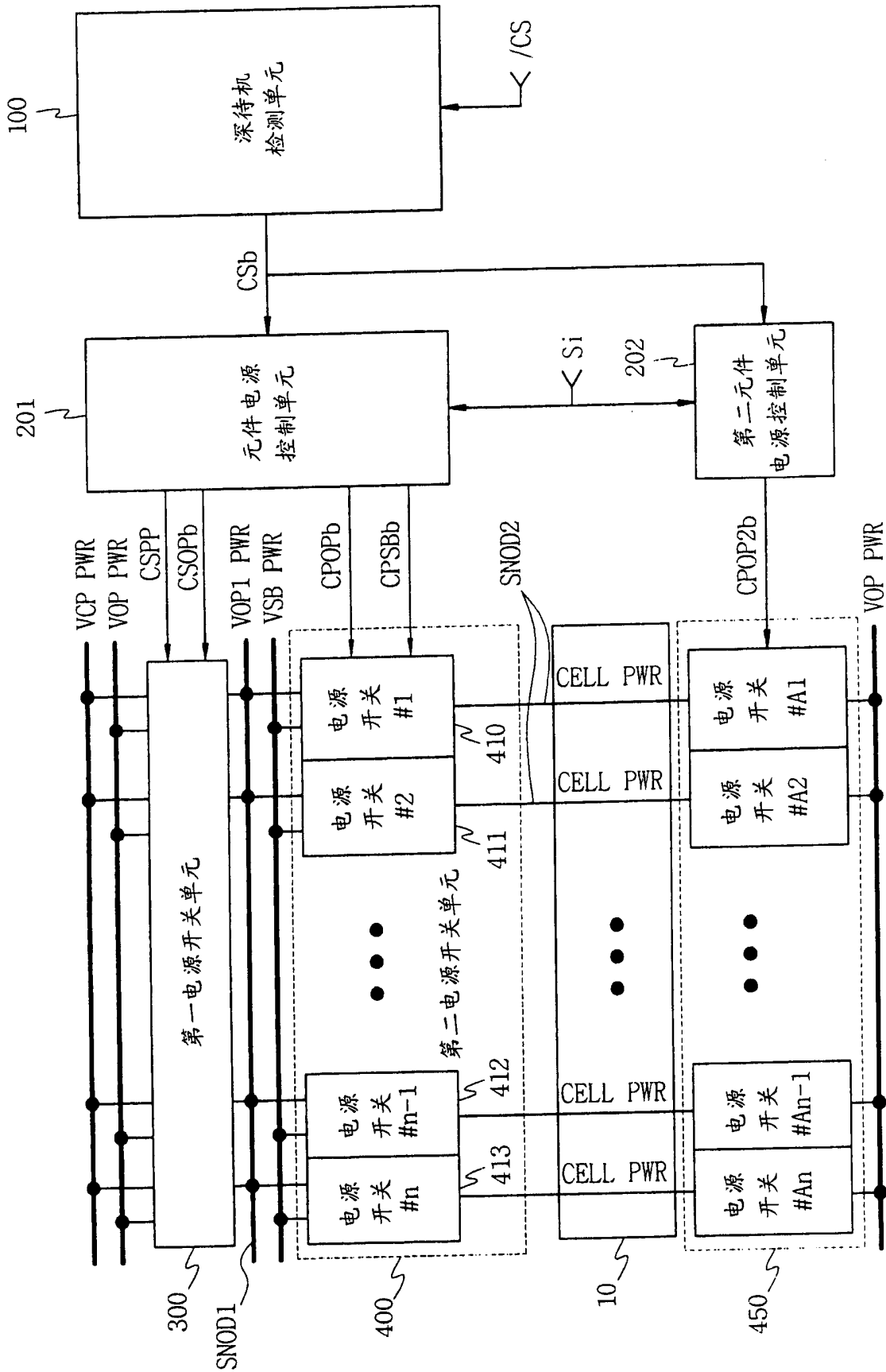


图 5

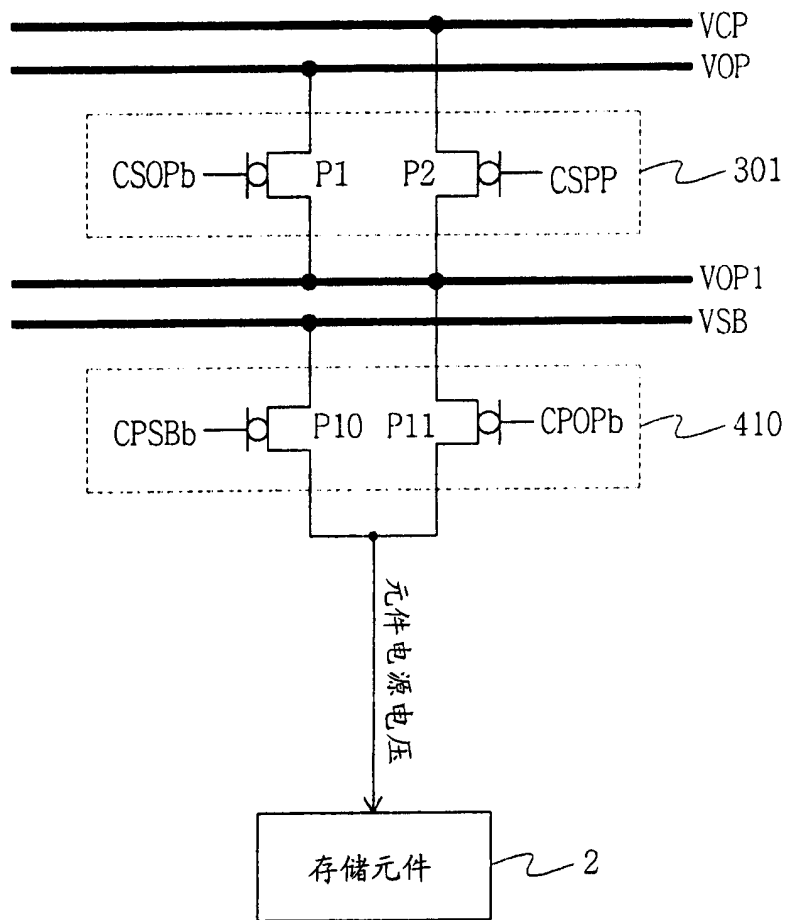


图 6

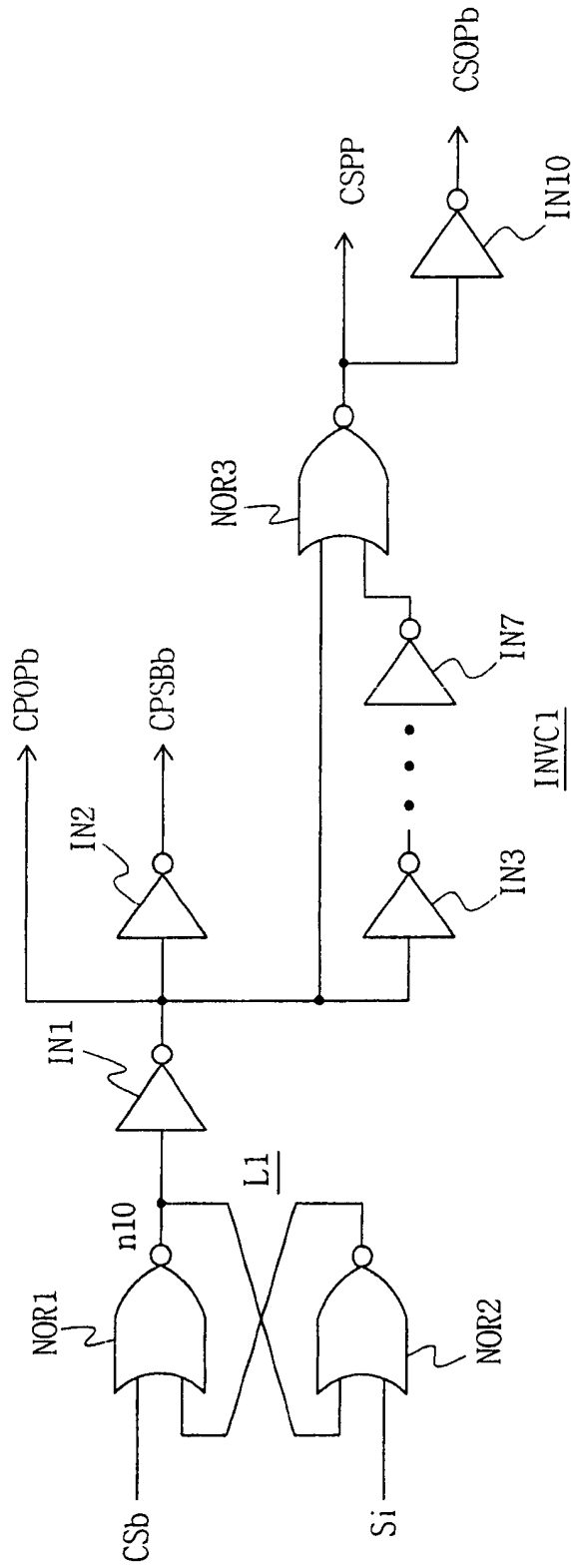


图 7

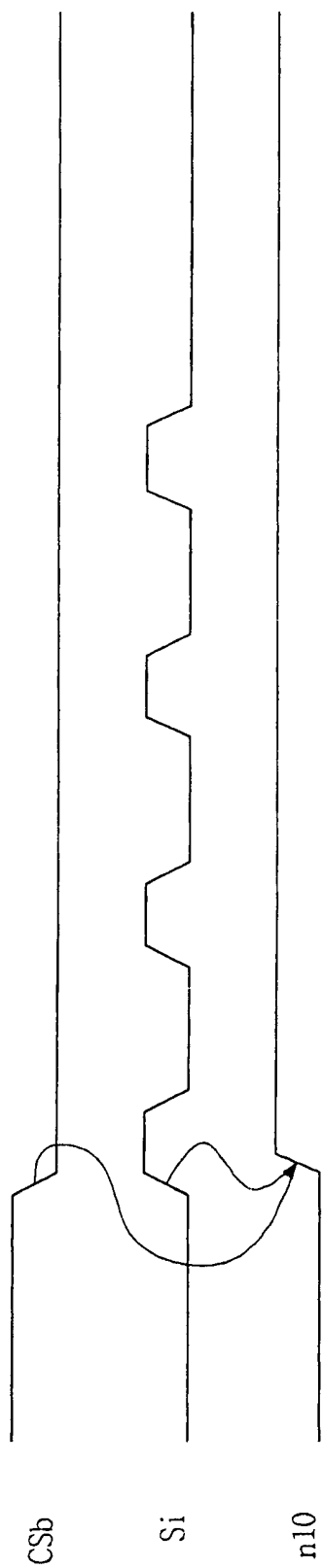


图 8

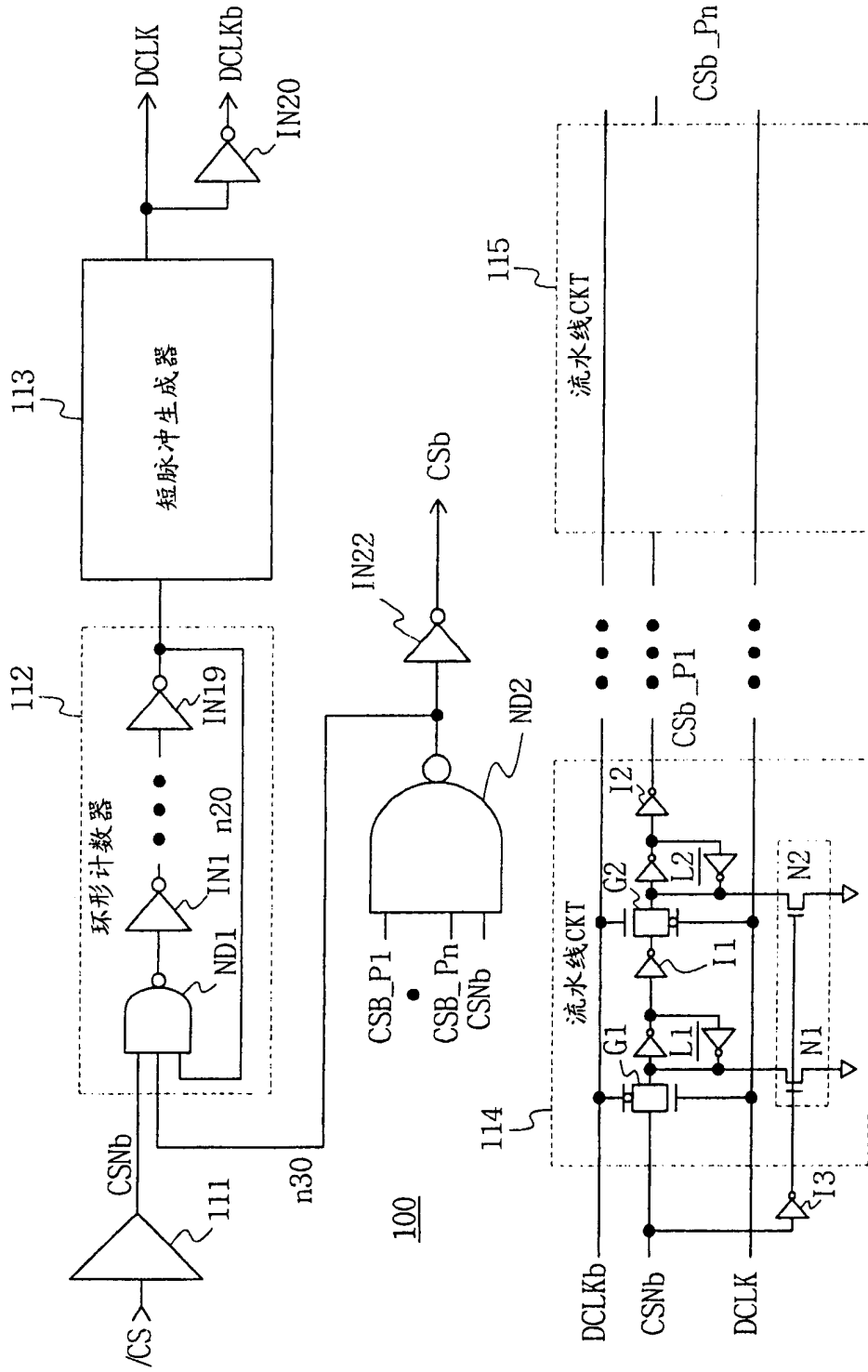


图 9

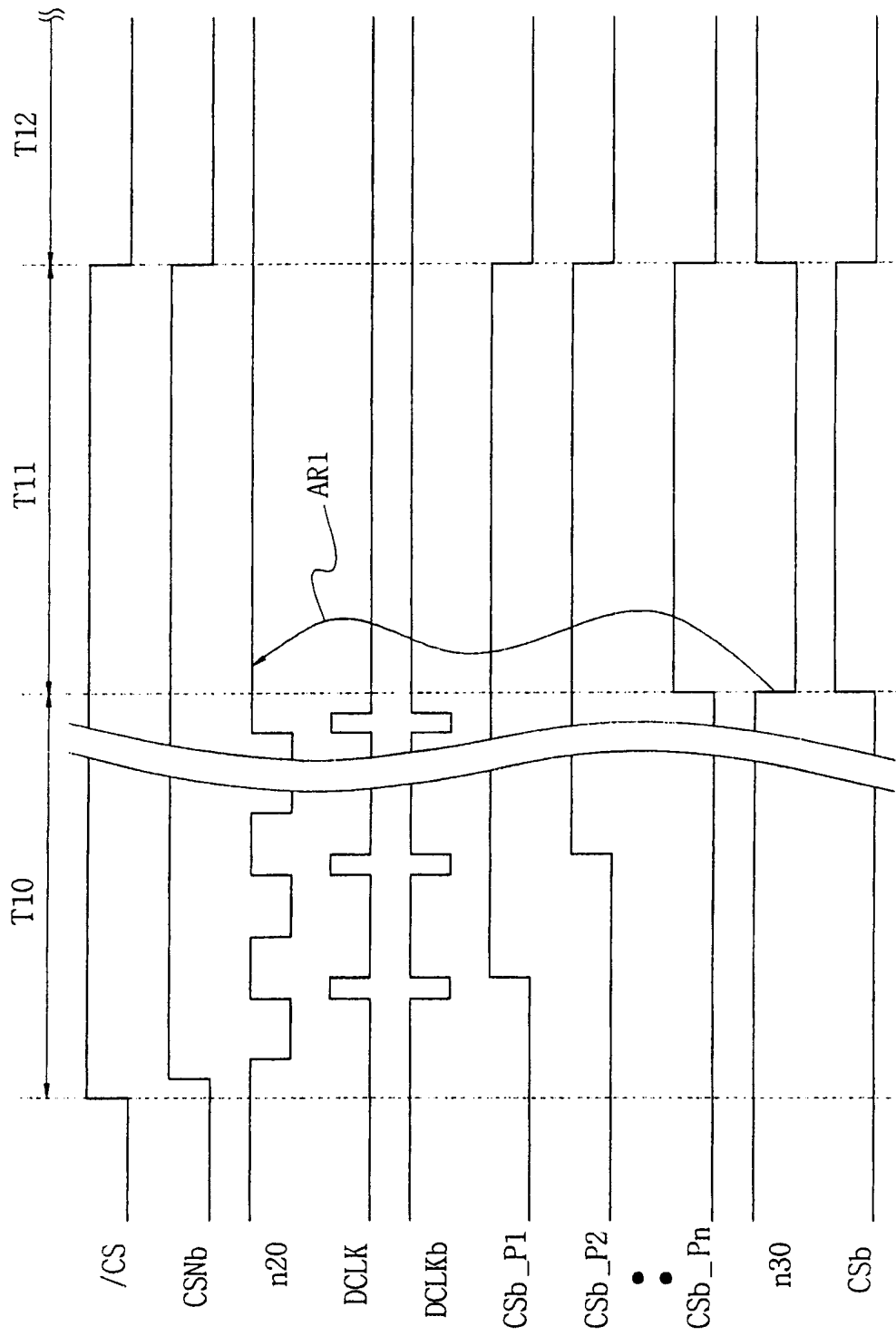


图 10

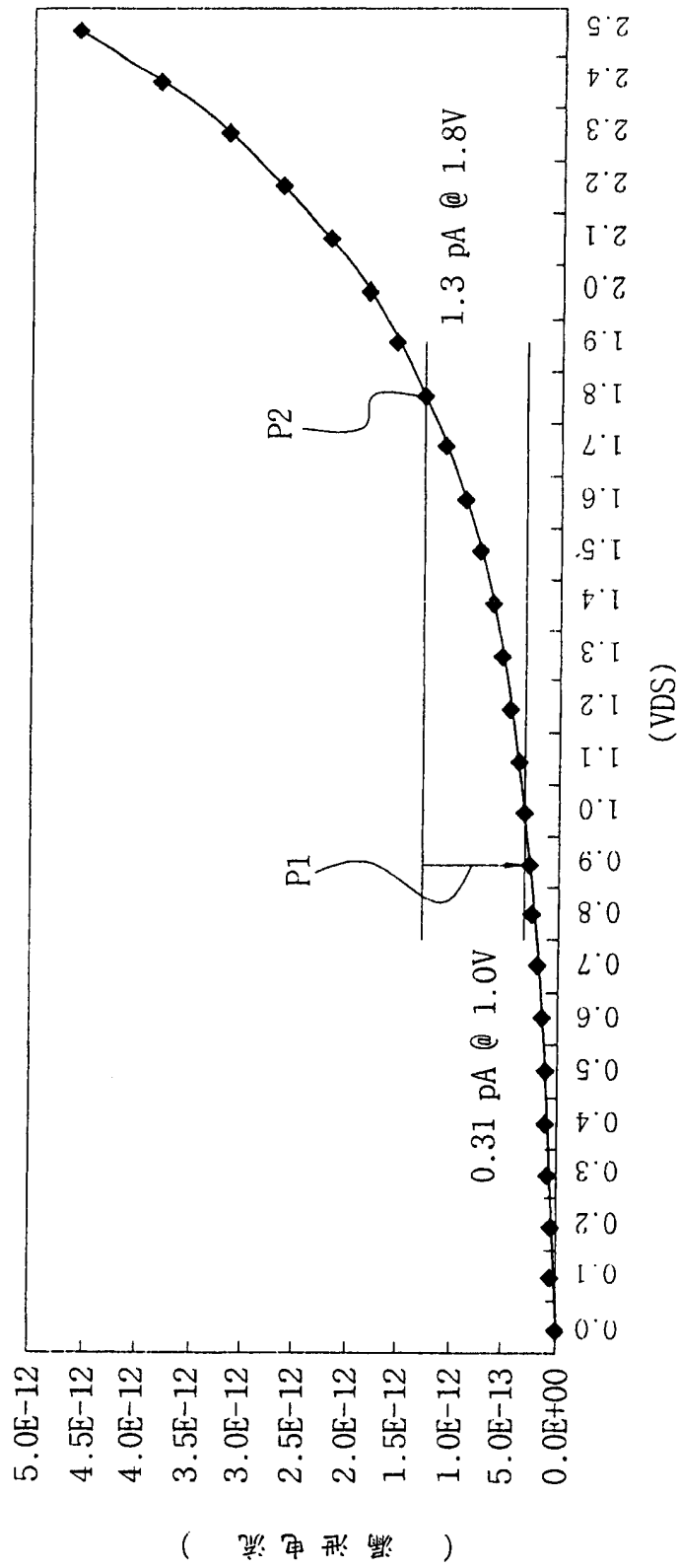


图 11