

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5173402号  
(P5173402)

(45) 発行日 平成25年4月3日(2013.4.3)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.	F I		
<b>HO3K 5/14 (2006.01)</b>	HO3K 5/14		
<b>HO1L 25/00 (2006.01)</b>	HO1L 25/00	B	
<b>GO1R 31/28 (2006.01)</b>	GO1R 31/28	G	
<b>HO1L 25/04 (2006.01)</b>	HO1L 25/04	Z	
<b>HO1L 25/18 (2006.01)</b>	HO5K 1/18	S	

請求項の数 17 (全 29 頁) 最終頁に続く

(21) 出願番号	特願2007-337605 (P2007-337605)	(73) 特許権者	000190688
(22) 出願日	平成19年12月27日(2007.12.27)		新光電気工業株式会社
(65) 公開番号	特開2009-10913 (P2009-10913A)		長野県長野市小島田町80番地
(43) 公開日	平成21年1月15日(2009.1.15)	(74) 代理人	100099759
審査請求日	平成22年10月8日(2010.10.8)		弁理士 青木 篤
(31) 優先権主張番号	特願2007-142563 (P2007-142563)	(74) 代理人	100092624
(32) 優先日	平成19年5月29日(2007.5.29)		弁理士 鶴田 準一
(33) 優先権主張国	日本国(JP)	(74) 代理人	100102819
			弁理士 島田 哲郎
		(74) 代理人	100122965
			弁理士 水谷 好男
		(74) 代理人	100119987
			弁理士 伊坪 公一

最終頁に続く

(54) 【発明の名称】 遅延回路および遅延時間調整方法

(57) 【特許請求の範囲】

【請求項1】

配線基板の各配線の信号伝播の遅延時間を調整するための遅延回路であって、  
 該遅延回路は、配線基板の各配線の入力端に接続される、任意の遅延時間にプログラム可能な遅延素子を備え、  
 各前記遅延素子は、  
 計測モード時において、遅延時間を設定すべき配線基板の配線に向けて、伝播時間計測用信号を送信する信号生成器と、  
 前記計測モード時において、前記遅延時間を設定すべき配線基板の配線において反射した前記伝播時間計測用信号を受信する受信手段と、  
 計測モード時において、前記受信手段が前記伝播時間計測用信号を受信した時刻と、前記信号生成器が前記伝播時間計測用信号を送信した時刻と、の時間差を計測し、その時間差の半分の時間を、前記遅延時間を設定すべき配線基板の配線についての信号伝播時間とする計測手段と、  
 前記配線基板の各前記配線について計測された信号伝播時間のうち最大の信号伝播時間と、前記遅延時間を設定すべき配線基板の配線について計測された信号伝播時間と、の時間差を、前記遅延時間を設定すべき配線基板の配線の遅延時間として確定する確定手段と、  
 前記確定された遅延時間を当該遅延素子の遅延時間としてプログラミングする計算手段と、を有することを特徴とする遅延回路。

## 【請求項 2】

各前記遅延素子は、前記計測モード時において受信した前記伝播時間計測用信号を反射する信号反射手段を有し、

前記計測モード時においては、前記遅延時間を設定すべき配線基板の配線の入力端子に接続された前記遅延素子内の前記信号生成器から発信された伝播時間計測用信号を、前記配線の出力端子に接続された信号反射手段によって反射させる請求項 1 に記載の遅延回路。

## 【請求項 3】

配線基板の各配線の信号伝播の遅延時間を調整するための遅延回路であって、

該遅延回路は、

配線基板の各配線についてその入力端、出力端または入力端および出力端のそれぞれに接続される、任意の遅延時間にプログラム可能な遅延素子と、

遅延時間を設定すべき配線基板上に設けられた計測用基準配線の信号伝播時間を計測する計測素子と、

を備え、

前記計測素子は、

計測モード時において、前記計測素子に接続された前記計測用基準配線に向けて、伝播時間計測用信号を送信する信号生成器と、

前記計測モード時において、前記計測用基準配線において反射した前記伝播時間計測用信号を受信する受信手段と、

計測モード時において、前記受信手段が前記伝播時間計測用信号を受信した時刻と、前記信号生成器が前記伝播時間計測用信号を送信した時刻と、の時間差を計測し、その時間差の半分の時間を、前記計測用基準配線についての信号伝播時間とする計測手段と、

遅延時間を設定すべき配線基板の配線の設計長さと前記計測用基準配線の長さとの比から前記計測用基準配線についての信号伝播時間を用いて推定された前記配線基板の各前記配線についての信号伝播時間のうちの最大の信号伝播時間と、前記遅延時間を設定すべき配線基板の配線について推定された信号伝播時間と、の時間差を、前記遅延時間を設定すべき配線基板の配線の遅延時間として当該遅延素子をプログラムする計算手段と、を有することを特徴とする遅延回路。

## 【請求項 4】

前記遅延回路は、遅延時間を設定すべき配線基板の配線の設計長さと前記計測用基準配線の長さとの比から前記計測用基準配線についての信号伝播時間を用いて推定された前記配線基板の各前記配線についての信号伝播時間のうちの最大の信号伝播時間と、前記遅延時間を設定すべき配線基板の配線について推定された信号伝播時間と、の時間差を、前記遅延時間を設定すべき配線基板の配線の遅延時間として確定する確定手段をさらに備える請求項 3 に記載の遅延回路。

## 【請求項 5】

前記確定手段によって確定された遅延時間を規定するパラメータは、記憶素子に記憶される請求項 1 または 4 に記載の遅延回路。

## 【請求項 6】

前記計測手段によって計測された前記配線基板の各配線についての前記信号伝播時間は、インタフェースを介して外部に読み出し可能である請求項 1 に記載の遅延回路。

## 【請求項 7】

前記計測手段によって計測された前記計測用基準配線についての前記信号伝播時間は、インタフェースを介して外部に読み出し可能である請求項 3 に記載の遅延回路。

## 【請求項 8】

前記インタフェースは、JTAG インタフェースである請求項 6 又は 7 のいずれか一項に記載の遅延回路。

## 【請求項 9】

前記配線基板は、複数の半導体パッケージが搭載された実装基板であり、

10

20

30

40

50

前記配線基板の各配線は、前記半導体パッケージ間を接続する、前記実装基板の各配線である請求項 1 ~ 8 のいずれか一項に記載の遅延回路。

【請求項 10】

前記配線基板は、複数の半導体チップが搭載された半導体パッケージであり、  
前記配線基板の各配線は、前記半導体チップ間を接続する、前記半導体パッケージの各配線である請求項 1 ~ 8 のいずれか一項に記載の遅延回路。

【請求項 11】

配線基板の各配線の信号伝播の遅延時間を調整する遅延時間調整方法であって、  
計測モード時において、遅延時間を設定すべき配線基板の配線の、遅延回路が接続されるべき端子から、前記遅延時間を設定すべき配線基板の配線に向けて、伝播時間計測用信号を送信する送信ステップと、

前記計測モード時において、前記遅延時間を設定すべき配線基板の配線において反射した前記伝播時間計測用信号を受信する受信ステップと、

計測モード時において、前記受信ステップで前記伝播時間計測用信号を受信した時刻と、前記送信ステップで前記伝播時間計測用信号を送信した時刻と、の時間差を算出し、その時間差の半分の時間を、前記遅延時間を設定すべき配線基板の配線についての信号伝播時間として計測する計測ステップと、

前記配線基板の各前記配線について計測された信号伝播時間のうち最大の信号伝播時間と、前記遅延時間を設定すべき配線基板の配線について計測された信号伝播時間と、の前記時間差を、前記遅延時間を設定すべき配線基板の配線の遅延時間として確定する計算ステップと、

前記配線基板の配線に接続される前記遅延回路として設けられた、任意の遅延時間にプログラム可能な遅延素子に、前記遅延時間をプログラムする設定ステップと、  
を備えることを特徴とする遅延時間調整方法。

【請求項 12】

配線基板の各配線の信号伝播の遅延時間を調整する遅延時間調整方法であって、  
計測モード時において、遅延時間を設定すべき配線基板上に設けられた計測用端子から、前記計測用端子に接続された計測用基準配線に向けて、伝播時間計測用信号を送信する送信ステップと、

前記計測モード時において、前記計測用基準配線において反射した前記伝播時間計測用信号を受信する受信ステップと、

計測モード時において、前記受信ステップで前記伝播時間計測用信号を受信した時刻と、前記送信ステップで前記伝播時間計測用信号を送信した時刻と、の時間差を計測し、その時間差の半分の時間を、前記計測用基準配線についての信号伝播時間として計測する計測ステップと、

前記遅延時間を設定すべき配線基板の配線の設計長さと同記計測用基準配線の長さとの比から前記計測用基準配線についての信号伝播時間を用いて推定された前記配線基板の各前記配線についての信号伝播時間のうちの最大の信号伝播時間と、前記遅延時間を設定すべき配線基板の配線について推定された信号伝播時間と、の時間差を、前記遅延時間を設定すべき配線基板の配線の遅延時間として確定する計算ステップと、

前記配線基板の配線に接続される遅延回路として設けられた、任意の遅延時間にプログラム可能な遅延素子に、前記遅延時間をプログラムする設定ステップと、  
を備えることを特徴とする遅延時間調整方法。

【請求項 13】

前記計測用基準配線を、遅延時間を設定すべき配線が設けられた配線基板上に形成する形成ステップをさらに備える請求項 12 に記載の遅延時間調整方法。

【請求項 14】

前記計測用基準配線は、その一端は前記計測用端子に接続され、他の一端は抵抗を介して接地される請求項 13 に記載の遅延時間調整方法。

【請求項 15】

10

20

30

40

50

前記計測用基準配線は、その一端は前記計測用端子に接続され、他の一端は開放される請求項 1 3 に記載の遅延時間調整方法。

【請求項 1 6】

前記配線基板は、複数の半導体パッケージが搭載された実装基板であり、前記配線基板の各配線は、前記半導体パッケージ間を接続する、前記実装基板の各配線である請求項 1 1 又は 1 2 に記載の遅延時間調整方法。

【請求項 1 7】

前記配線基板は、複数の半導体チップが搭載された半導体パッケージであり、前記配線基板の各配線は、前記半導体チップ間を接続する、前記半導体パッケージの各配線である請求項 1 1 又は 1 2 に記載の遅延時間調整方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、実装基板や半導体パッケージなどの配線基板の各配線の信号伝播の遅延時間を調整するための遅延回路および遅延時間調整方法に関する。

【背景技術】

【0002】

実装基板や半導体パッケージなどに用いられる配線基板の各配線において、送信側で信号を同時に送信したにもかかわらず、配線間の負荷の種類やパターンの長さの違いなどによって、受信側に信号がばらついて到着してしまう「スキュー」が発生する。このようなスキューを解消するための、信号伝播の遅延時間を調整する種々の手段が開発されている。例えば、最長の配線パターンの配線長に合わせるため、ミアンダパターンを挿入することによって他の配線パターンの配線長を調整する方法がある。

【0003】

また例えば、半導体集積回路を収容する半導体集積回路パッケージにおいて、半導体集積回路の入出力ピンと、この入出力ピンと接続される半導体集積回路パッケージのピンとの間に、電気的な遅延時間を有する遅延素子を着脱可能に収容するための遅延素子収容部を設け、必要な遅延時間を有する遅延素子を遅延素子収容部へ実装し、これにより遅延時間を調整する方法がある（例えば、特許文献 1 参照）。

【0004】

また例えば、半導体集積回路チップの入出力バッファ上に絶縁材を充填しその上部に放熱用リード線を配置した構造の半導体集積回路パッケージが提案されている（例えば、特許文献 2 参照）。これによれば、放熱用リード線からの放熱量を調節することにより遅延時間を調整している。

【0005】

また例えば、配線パターンに適当な容量性負荷を与え、必要とする遅延時間を得る方法が提案されている（例えば、特許文献 3 および 4 参照）。

【0006】

また例えば、配線パターン周囲の絶縁体の誘電率を変えることにより遅延時間を調整する方法が提案されている（例えば、特許文献 5 参照）。

【0007】

また例えば、固定抵抗による遅延時間調整方法が提案されている（例えば、特許文献 6 参照）。

【0008】

【特許文献 1】特開平 5 - 1 7 5 4 1 5 号公報

【特許文献 2】特開平 8 - 1 2 5 0 7 3 号公報

【特許文献 3】特開平 5 - 6 3 3 1 5 号公報

【特許文献 4】特許第 3 4 1 5 8 3 0 号明細書

【特許文献 5】特開 2 0 0 4 - 3 5 6 2 5 1 号公報

【特許文献 6】特開平 1 1 - 1 3 5 9 2 0 号公報

10

20

30

40

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0009】

ミアンダパターンを挿入して遅延時間を調整する方法は、ミアンダパターンが基板の上に大きなスペースを必要とすることから高密度実装の半導体集積回路には不利である。

## 【0010】

また、上記特許文献1（すなわち特開平5-175415号公報）に記載された技術によれば、遅延時間ごとの遅延素子を準備しておく必要がある。また、遅延素子を遅延素子収容部に装着して半導体集積回路パッケージ内部に内蔵してしまうと、その後、遅延時間を変更することができない。また、遅延素子を遅延素子収容部に装着する構造ゆえ、半導体集積回路パッケージを小型化することも困難である。さらには、遅延素子を遅延素子収容部に装着するために2箇所の電氣的接点が存在し、この電氣的接点が接触不良を起こす可能性もある。

10

## 【0011】

また、上記特許文献2（すなわち特開平8-125073号公報）に記載された技術によれば、設定した遅延時間を一定に保つためには、放熱用リード線からの放熱量を一定にする必要があるが、このため半導体集積回路パッケージ周辺の温度を一定に保つ機構が必要となり、したがって、この技術を小型機器に適用するのは難しい。また、半導体集積回路チップの動作状況によりチップの発熱量が大幅に変化する用途への適用も困難を伴う。

## 【0012】

また、上記特許文献3（すなわち特開平5-63315号公報）に記載された技術によれば、遅延パッドの削除は容易であるものの付加は難しいので、一旦設定された遅延時間を減らすことはできても増やすことは難しい。また、容量性負荷が基板内に収まるよう設計しなければならず、そのための工程管理にコストがかかる。また、高密度実装の半導体集積回路には不向きである。

20

## 【0013】

また、上記特許文献4（すなわち特許第3415830号明細書）によれば、遅延時間を調整するために容量性負荷をレーザ切断により分離するため、一旦設定された遅延時間を減らすことはできても増やすことは不可能である。また、遅延時間を測定するための設備および容量性負荷を外部から切断するためのレーザ装置も必要である。

30

## 【0014】

また、上記特許文献5（すなわち特開2004-356251号公報）に記載された技術によれば、所望の遅延時間を得るために絶縁材料を選択しなければならず、また、所望の遅延時間を得るための工程管理にコストがかかる。また、製造後は遅延時間を変更もしくは調整することができない。

## 【0015】

また、上記特許文献6（すなわち特開平11-135920号公報）に記載された技術によれば、波形観測端子とクロック入力回路がスタブ構造となるため、このスタブ構造により信号の反射が発生して信号品質が悪化する。また、クロック出力回路の出力インピーダンスとクロック経路の特性インピーダンスとをマッチングさせることが不可能であるので、高周波信号伝送には不向きである。

40

## 【0016】

したがって本発明の目的は、上記問題に鑑み、実装基板や半導体パッケージなどの配線基板の各配線の信号伝播の遅延時間を容易に調整および変更することができ、なおかつ配線基板の小型化および高密度実装にも対応可能な遅延回路および遅延時間調整方法を提供することにある。

## 【課題を解決するための手段】

## 【0017】

上記目的を実現するために、本発明による遅延時間調整方法によれば、遅延時間を設定すべき配線基板の各配線について予め計測された信号伝播時間に基づいて、配線基板の各

50

配線の入力端および出力端のそれぞれに遅延回路として設けられた任意の遅延時間にプログラム可能な遅延素子に対し、その遅延時間をプログラムすることで、配線基板の各配線の信号伝播の遅延時間を調整する。

**【 0 0 1 8 】**

より詳しくは、本発明の第1の態様による遅延時間調整方法は、計測モード時において、遅延時間を設定すべき配線基板の各配線の、遅延回路が接続されるべき端子から、遅延時間を設定すべき配線基板の配線に向けて、伝播時間計測用信号を送信する送信ステップと、計測モード時において、遅延時間を設定すべき配線基板の配線において反射した伝播時間計測用信号を受信する受信ステップと、計測モード時において、受信手段が伝播時間計測用信号を受信した時刻と、信号生成器が伝播時間計測用信号を送信した時刻と、の時間差を算出し、その時間差の半分の時間を、遅延時間を設定すべき配線基板の配線についての信号伝播時間として計測する計測ステップと、配線基板の各配線について計測された信号伝播時間のうち最大の信号伝播時間と、遅延時間を設定すべき配線基板の配線について計測された信号伝播時間と、の時間差を、遅延時間を設定すべき配線基板の配線の遅延時間として確定する計算ステップと、配線基板の当該配線に接続される遅延回路として設けられた、任意の遅延時間にプログラム可能な遅延素子に、計算ステップによって確定された遅延時間をプログラムする設定ステップと、を備える。

10

**【 0 0 1 9 】**

本発明の第2の態様による遅延時間調整方法は、計測モード時において、遅延時間を設定すべき配線基板上に設けられた計測用端子から、計測用端子に接続された計測用基準配線に向けて、伝播時間計測用信号を送信する送信ステップと、計測モード時において、計測用基準配線において反射した伝播時間計測用信号を受信する受信ステップと、計測モード時において、受信ステップで伝播時間計測用信号を受信した時刻と、送信ステップで伝播時間計測用信号を送信した時刻と、の時間差を計測し、その時間差の半分の時間を、計測用基準配線についての信号伝播時間として計測する計測ステップと、遅延時間を設定すべき配線基板の配線の設計長さと計測用基準配線の長さとの比から計測用基準配線についての信号伝播時間を用いて推定された配線基板の各配線についての信号伝播時間のうちの最大の信号伝播時間と、遅延時間を設定すべき配線基板の配線について推定された信号伝播時間と、の時間差を、遅延時間を設定すべき配線基板の配線の遅延時間として確定する計算ステップと、配線基板の配線に接続される遅延回路として設けられた、任意の遅延時間にプログラム可能な遅延素子に、遅延時間をプログラムする設定ステップと、を備える。

20

30

**【 0 0 2 0 】**

また、本発明によれば、配線基板の各配線の信号伝播の遅延時間を調整するための遅延回路は、遅延時間の設定を指示するインタフェースと、任意の遅延時間にプログラム可能な遅延素子と、を備え、遅延素子の遅延時間が、インタフェースから指示により設定される。このインタフェースは、例えば JTAG (Joint Test Action Group) インタフェースである。JTAGインタフェースについては後述する。

**【 0 0 2 1 】**

より詳しくは、本発明の第1の態様による遅延回路は、配線基板の各配線についてその入力端および出力端のそれぞれに接続される、任意の遅延時間にプログラム可能な遅延素子を備える。そして、各遅延素子は、計測モード時において、遅延時間を設定すべき配線基板の配線に向けて、伝播時間計測用信号を送信する信号生成器と、計測モード時において、遅延時間を設定すべき配線基板の配線において反射した伝播時間計測用信号を受信する受信手段と、計測モード時において、受信手段が伝播時間計測用信号を受信した時刻と、信号生成器が伝播時間計測用信号を送信した時刻と、の時間差を計測し、その時間差の半分の時間を、遅延時間を設定すべき配線基板の配線についての信号伝播時間とする計測手段と、配線基板の各配線について計測された信号伝播時間のうち最大の信号伝播時間と、遅延時間を設定すべき配線基板の配線について計測された信号伝播時間と、の時間差を、遅延時間を設定すべき配線基板の配線の遅延時間として当該遅延素子をプログラムする

40

50

計算手段と、を有する。

【 0 0 2 2 】

本発明の第 1 の態様による遅延回路は、遅延時間を設定すべき配線を実装した配線基板上に設けられる。そして、本発明の第 1 の態様による遅延回路が設けられた配線基板と、これと同様に本発明の第 1 の態様による遅延回路が設けられた配線基板とを、各遅延回路を介して互いに接続することで、一方の配線基板の配線についての信号伝播時間を計測し、この計測した信号伝播時間を用いて適切な遅延時間を設定する。

【 0 0 2 3 】

本発明の第 2 の態様による遅延回路は、配線基板の各配線についてその入力端および出力端のそれぞれに接続される、任意の遅延時間にプログラム可能な遅延素子と、遅延時間を設定すべき配線基板上に設けられた計測用基準配線の信号伝播時間を計測する計測素子と、を備える。そして、計測素子は、計測モード時において、計測素子に接続された計測用基準配線に向けて、伝播時間計測用信号を送信する信号生成器と、計測モード時において、計測用基準配線において反射した伝播時間計測用信号を受信する受信手段と、計測モード時において、受信手段が伝播時間計測用信号を受信した時刻と、信号生成器が伝播時間計測用信号を送信した時刻と、の時間差を計測し、その時間差の半分の時間を、計測用基準配線についての信号伝播時間とする計測手段と、遅延時間を設定すべき配線基板の配線の設計長さとの比から計測用基準配線についての信号伝播時間を用いて推定された配線基板の各配線についての信号伝播時間のうちの最大の信号伝播時間と、遅延時間を設定すべき配線基板の配線について推定された信号伝播時間と、の時間差を、遅延時間を設定すべき配線基板の配線の遅延時間として当該遅延素子をプログラムする計算手段と、を有する。

【 0 0 2 4 】

本発明の第 2 の態様による遅延回路は、遅延時間を設定すべき配線を実装した配線基板上に設けられる。その上で、本発明の第 2 の態様による遅延回路が設けられた配線基板上には、計測用基準配線をさらに設ける。そして、計測用基準配線についての信号伝播時間を計測し、この計測した信号伝播時間を用いて適切な遅延時間を設定する。

【 0 0 2 5 】

上述の本発明の第 1 および第 2 の態様においては、配線基板が、例えば複数の半導体パッケージが搭載された実装基板である場合には、上記配線基板の各配線は、半導体パッケージ間を接続する、実装基板の各配線が相当する。なお、この場合、各半導体パッケージには半導体チップが搭載されるので、上記配線基板の各配線は、結局のところ、半導体チップ間を接続する、実装基板の各配線が相当することになる。

【 0 0 2 6 】

また別の例として、配線基板が、複数の半導体チップが搭載された半導体パッケージである場合には、上記配線基板の各配線は、半導体チップ間を接続する、半導体パッケージの各配線が相当する。

【 発明の効果 】

【 0 0 2 7 】

本発明によれば、配線基板の各配線の信号伝播の遅延時間を電気的な手法により設定することができるので、遅延時間を容易に調整することができるとともに何度も変更することができる。また、本発明によれば、配線基板のスキューを簡単に計測することができ、その計測結果に基づいて、高精度の遅延回路を容易に構成することができる。またさらに、配線基板の小型化および高密度実装にも対応可能な遅延回路を実現することができる。

【 0 0 2 8 】

また、本発明によれば、遅延回路の遅延時間を調整および変更する処理の実行を指示する回路を配線基板上に設けてこれを遅延回路内の J T A G インタフェースに接続すれば、J T A G インタフェースを介して遅延回路の遅延時間を容易に設定もしくは変更することができる。

【 0 0 2 9 】

10

20

30

40

50

本発明によれば、上記特許文献1（すなわち特開平5 - 175415号公報）に記載された技術のように遅延時間ごとに遅延素子を準備しておく必要はなく、また、遅延素子を遅延素子収容部に装着するための電氣的接点も存在しないので接点不良を起こす心配がない。

【0030】

また、本発明によれば、上記特許文献2（すなわち特開平8 - 125073号公報）に記載された技術のように遅延時間の調整を放熱用リード線の放熱量を調整することによって行っていないので、配線基板周辺の温度を一定に保つ機構は不要であり、周囲の温度変化の影響も受けにくい。

【0031】

また、本発明によれば、上記特許文献3（すなわち特開平5 - 63315号公報）および上記特許文献4（すなわち特許第3415830号明細書）に記載された技術のような容量性負荷やミアンダパターンなどの受動素子を配線基板上に実装する必要がなくなるので、配線スペースを有効利用することができ、高密度実装の配線基板にも適用できる。

【0032】

また、本発明の第1の態様によれば、遅延回路が設けられた配線基板と、これと同様に遅延回路が設けられた配線基板とを、各遅延回路を介して互いに接続することで、一方の配線基板の配線についての信号伝播時間を計測し、この計測した信号伝播時間を用いて適切な遅延時間を設定するので、遅延時間を調整もしくは変更するための特別な治具や測定装置を外部に必要としない。

【0033】

また、本発明の第2の態様によれば、遅延時間を設定すべき配線を実装した配線基板上に遅延回路と計測用基準配線が設けられるので、本発明の第1の態様のように遅延回路が設けられた配線基板同士を各遅延回路を介して互いに接続する必要はなく、配線基板の遅延時間をさらに容易に調整することができる。また、配線基板上における配線の信号伝播時間は周囲の熱により変動するが、本発明の第2の態様によれば、計測用基準配線が、遅延時間を設定すべき配線を実装した配線基板上に設けられるので、計測用基準配線の信号伝播時間と遅延時間を設定すべき配線の信号伝播時間との間では、熱による変動率はほぼ同じであると言え、したがって、周囲の熱の変化の影響を受けにくい遅延時間の設定が可能である。

【発明を実施するための最良の形態】

【0034】

上述のように、本発明においては、配線基板が、例えば複数の半導体パッケージが搭載された実装基板である場合には、配線基板に設けられた遅延時間を設定すべき各配線は、半導体パッケージ間を接続する、実装基板の各配線が相当する。この場合、各半導体パッケージには半導体チップが搭載されるので、上記配線基板の各配線は、結局のところ、半導体チップ間を接続する、実装基板の各配線が相当することになる。また、配線基板が、例えば複数の半導体チップが搭載された半導体パッケージである場合には、配線基板に設けられた遅延時間を設定すべき各配線は、半導体チップ間を接続する、半導体パッケージの各配線が相当する。つまり、遅延時間を設定すべき配線基板の各配線は、配線基板が実装基板であっても半導体パッケージであっても、半導体チップ間を接続する各配線を意味する。

【0035】

以降、異なる図面において同じ参照符号が付されたものは同じ機能を有する構成要素であることを意味するものとする。

【0036】

図1は、本発明の第1の実施例による遅延回路の、配線基板上における実装例を示す図である。以下、図1～3については、配線基板に設けられた遅延時間を設定すべき各配線を、配線基板上における半導体チップ間を接続する各配線としてまとめて説明する。

【0037】

本発明の第1の実施例による遅延回路1は、遅延時間の設定を指示するインタフェース11と、任意の遅延時間にプログラム可能な遅延素子12と、を備え、遅延素子12の遅延時間が、インタフェース11から指示により設定される。インタフェース11は、JTAG (Joint Test Action Group) インタフェースである。JTAGは、ICチップの検査方式の1つであるバウンダリスキャンテスト (Boundary Scan Test : 境界走査試験) の標準方式である。JTAGにおけるバウンダリスキャンテストでは、検査対象のICのTAP (Test Access Port) 端子をデジチェーン接続し、複数のICを順番に読み出して検査することができる。

【0038】

遅延素子12は、JTAGチェーンで直列に接続される。遅延回路の遅延時間を調整および変更する処理の実行を指示する回路を配線基板上に設けてこれを遅延回路1内のJTAGインタフェース11に接続すれば、JTAGインタフェース11を介して遅延回路1内の遅延素子12の遅延時間を容易に設定もしくは変更することができる。遅延素子12は、配線基板100上における半導体チップ2間を接続する各配線についてその入力端および出力端のそれぞれに接続される。図示の例では、配線基板100上に半導体チップ2が実装され、その入力端子を参照符号122、出力端子を参照符号124で表す。遅延素子12は、半導体チップ2の入力バッファ121と入力端子122との間、半導体チップ2の出力ドライバ123と出力端子124との間に、それぞれ設けられる。

【0039】

図2は、本発明の第1の実施例による遅延回路を示す基本ブロック図である。なお、図2では、図1で示したような半導体チップとの接続線については表していない。

【0040】

図2に示すように、遅延回路1は、遅延時間の設定を指示するJTAGインタフェース11と、任意の時間にプログラム可能な遅延素子12と、遅延時間を規定するパラメータを記憶する記憶素子13と、遅延回路1の動作を統括制御する制御回路14と、インタフェース15と、切替器16と、を備える。

【0041】

図1を参照して説明したように、遅延素子12はJTAGチェーンで直列に接続され、また、各遅延素子12は、半導体チップの各配線ごとに設けられている。なお、図示された遅延素子の個数は本発明を限定するものではなく、その他の個数であってもよい。

【0042】

記憶素子13には、遅延素子12ごとの遅延時間を規定するパラメータが記憶されている。遅延時間を規定するパラメータの取得処理については後述する。配線基板に電源が投入されると、遅延回路1にも電源が供給され、制御回路14は、JTAGインタフェースを介して記憶素子13から遅延素子12ごとの遅延時間を規定するパラメータを読み出し、各遅延素子12の遅延時間を設定する。

【0043】

ここで、半導体チップ間の各配線の信号伝播時間を計測する計測モード時における遅延時間を規定するパラメータの取得処理について説明する。複数の半導体チップを配線基板に実装する場合、関連する半導体チップ間を接続する配線の配線長の違いによりスキューが発生する。通常、スキューについては、配線基板の設計作業において計算して求めることが可能であり、その計算結果に基づいて遅延時間が設定される。これに対し、本発明では、遅延素子内に設けた計測手段を用いてスキューを実際に計測し、その計測結果に基づいて遅延時間を設定する。図3は、図2に示す本発明の第1の実施例による遅延回路内の遅延素子を示す基本ブロック図である。なお、図3では、図1で示したような半導体チップとの接続線については表していない。

【0044】

半導体チップ間を接続する各配線の信号伝播時間を計測する計測モード時においても、本発明の第1の実施例による遅延回路内の遅延素子12は、配線基板上における半導体チップ間を接続する各配線についてその入力端および出力端のそれぞれに接続される。

10

20

30

40

50

## 【 0 0 4 5 】

まず、遅延時間を設定すべき半導体チップ間の配線の「一方の」端子（以下、便宜上「第1の端子」と称する。）側に接続された遅延素子12内の出力切替器24を、遅延素子12内の制御回路21の制御により、遅延タップ切替器25側から信号生成器22側へ切り替える。これにより、遅延時間を設定すべき半導体チップ間の配線の第1の端子に接続された遅延素子12の出力端子からは、信号生成器22が生成する伝播時間計測用信号が出力されることになる。

## 【 0 0 4 6 】

一方、遅延時間を設定すべき半導体チップ間の配線の「もう一方の」端子（以下、便宜上「第2の端子」と称する。）側に接続された遅延素子12については、この遅延素子12内の入力切替器23を、遅延素子12内の制御回路21の制御により、抵抗Rを經由してグランドへ接続される側へ切り替える。ここで、抵抗Rの抵抗値は、配線基板上の配線パターンの特定インピーダンスに対して十分に高い値とする。これにより、遅延時間を設定すべき半導体チップ間の配線の第2の端子に接続された遅延素子12に入力された信号については該信号を反射する信号反射手段の機能が構成されることになる。

## 【 0 0 4 7 】

遅延時間を設定すべき半導体チップ間の配線の第1の端子側に接続された遅延素子12内の出力切替器24、および、遅延時間を設定すべき半導体チップ間の配線の第2の端子側に接続された遅延素子12内の入力切替器23、を上述のようにそれぞれ切り替えた状態において、遅延時間を設定すべき半導体チップ間の配線の第1の端子側に接続された遅延素子12内の制御回路21は、信号生成器22に対し、伝播時間計測用信号を生成するよう制御する。伝播時間計測用信号は例えばパルス信号である。同時にこのタイミングにおいて、制御回路21は、遅延時間計測器27に対し、伝播時間計測信号が生成されたことを通知する。この通知を受け、遅延時間計測器27はタイムカウントを開始する。

## 【 0 0 4 8 】

第1の端子側に接続された遅延素子12内の信号生成器22が生成した伝播時間計測用信号は、第1の端子を經由して、遅延時間を設定すべき半導体チップ間の配線上を伝播し、第2の端子を經由した後、該第2の端子側に接続された遅延素子12に到達する。すると、第2の端子側に接続された遅延素子12に入力された伝播時間計測用信号は上記信号反射手段で反射され、遅延時間を設定すべき半導体チップ間の配線上を再び伝播し、第1の端子を經由した後、該第1の端子側に接続された遅延素子12に到達する。

## 【 0 0 4 9 】

第1の端子側に接続された遅延素子12は、半導体チップ間の配線を經由して第2の端子側に接続された遅延素子12内の信号反射手段によって反射されて戻ってきた伝播時間計測用信号を、遅延時間計測器27において受信する。遅延時間計測器27は、受信したタイミングでタイムカウントを停止する。これにより、遅延時間計測器27が伝播時間計測用信号を受信した時刻と、信号生成器22が伝播時間計測用信号を送信した時刻と、の時間差が計測されたことになる。この計測データは、制御回路21へ送付される。制御回路21は、受信した計測データを計測データレジスタ32へ書き込む。

## 【 0 0 5 0 】

上記処理は、半導体チップ間を接続する関連する各配線について実行される。各配線ごとの計測データが、対応する遅延素子内の計測データの取得に係る構成要素によって取得され、それぞれ遅延素子内の計測データレジスタ32へ書き込まれる。各遅延素子12内の計測データレジスタ32に書き込まれた各計測データは、図2を参照して説明したJTAGインタフェース11によって制御レジスタ31を利用しながら図3における「DATA出力」線を經由して読み出される。

## 【 0 0 5 1 】

読み出された計測データは、上述のように遅延時間計測器27が伝播時間計測用信号を受信した時刻と、信号生成器22が伝播時間計測用信号を送信した時刻と、の時間差を示すものであるが、この時間差の半分の時間が、遅延時間を設定すべき半導体チップ間の配

10

20

30

40

50

線についての信号伝播時間ということになる。図1の制御回路14は、インタフェース15を介して得られた半導体チップ間の各配線について計測された信号伝播時間のうち最大の信号伝播時間を把握する。そして、図2の制御回路14は、この最大の信号伝播時間と、遅延時間を設定すべき半導体チップ間の配線について計測された信号伝播時間と、の時間差を、遅延時間を設定すべき配線の遅延時間として確定する。

【0052】

半導体チップ間を接続する各配線について確定された遅延時間を規定する各パラメータは、遅延回路1内の記憶素子13に記憶され、以上で計測モードが完了する。

【0053】

計測モード完了後は通常モードへ戻る。通常モード時においては、配線基板に電源が投入されると、遅延回路1にも電源が供給され、制御回路14は、記憶素子13から遅延素子12ごとの遅延時間を規定するパラメータを読み出し、各遅延素子12の遅延時間を設定する。以下に通常モードの処理について説明する。

【0054】

通常モード時においては、各遅延素子12において、制御回路21の制御により入力切替器23は、抵抗Rを経由してグランドへ接続される側から、遅延要素26および遅延タップ切替器25が接続される側へ接続を切り替える。また同じく、制御回路21の制御により出力切替器24は、信号生成器22側から遅延タップ切替器25側へ接続を切り替える。

【0055】

また、図1のJTAGインタフェース11からの指示により、記憶素子13に記憶された各遅延素子12の遅延時間に関するパラメータが読み出されて、切替器16およびインタフェース15を介してDATA線を経由して、対応の遅延素子12へ送付される。各遅延素子12においては、制御回路21は、受信した遅延時間に関するパラメータに基づいて、遅延タップ切替器25を制御するが、必要な遅延時間を得ることができる個数だけの遅延要素26が選択されるよう遅延タップ切替器25のタップを切り替える。なお、各遅延要素26は、そのそれぞれが所定の遅延量を電氣的に生成するものであり、一例を挙げるとLC受動素子などがある。なお、図示された遅延要素の個数は本発明を限定するものではなく、その他の個数であってもよい。この遅延要素26が生成する遅延量の値を小さくした上でこの遅延要素26の個数を多くすれば、遅延時間をより高精度に設定することができる。

【0056】

以上の一連の処理により、配線基板上における遅延時間を設定すべき配線である半導体チップ間の各配線について計測された信号伝播時間に基づいて、半導体チップ間の各配線の入力端および出力端のそれぞれに遅延回路として設けられた各遅延素子について、それぞれに最適な遅延時間がプログラムされた(設定された)ことになる。

【0057】

なお、JTAGインタフェース11の入力ピンを適宜利用して、計測された半導体チップ間の各配線についての信号伝播時間や、設定された半導体チップ間の各配線についての遅延時間を、JTAGインタフェース11を介して外部に読み出すことも可能である。

【0058】

次に、本発明の第1の実施例による遅延回路の配線基板への実装について説明する。ここでは、一例として、半導体基板(シリコン)上にLC受動素子からなる遅延要素を含む遅延回路が形成された半導体チップの形式で遅延回路チップが設けられるものとする。なお、本発明の第1の実施例による遅延回路を、半導体チップ内に設けてもよい。

【0059】

図4は、本発明の第1の実施例による遅延回路の配線基板への実装の第1の例を例示する断面図である。図示の例では、半導体パッケージ300の一方の面に本発明の第1の実施例による遅延回路チップ1が実装され、もう一方の面には半導体チップ2が実装される。遅延回路チップ1および半導体チップ2の入出力端子は、各チップの bumps 42の1つ

10

20

30

40

50

で構成される。また、半導体パッケージ300の入出力端子は、ランド40上のはんだボール41で構成される。半導体チップ2が実装された半導体パッケージ300における半導体チップ2からの電氣的配線50は、遅延回路チップ1を介してはんだボール41に接続されており、図中破線で示される。なお、この図において、参照符号43は封止樹脂を示し、参照符号44はパッドを示す。

#### 【0060】

図5は、本発明の第1の実施例による遅延回路の配線基板への実装の第2の例を例示する断面図である。図示の例では、本発明の第1の実施例による遅延回路チップ1が、半導体チップ2が実装された半導体パッケージ300の内部に実装されており、すなわち半導体パッケージである配線基板内部に埋め込まれている。その他の構成は図4を参照して説明した遅延回路の配線基板への実装の第1の例と同様である。すなわち、遅延回路チップ1および半導体チップ2の入出力端子は、遅延回路チップ1の電極45、および半導体チップの bumps 42の1つで構成される。また、半導体パッケージ300の入出力端子は、ランド40上のはんだボール41で構成される。半導体チップ2が実装された半導体パッケージ300における半導体チップ2からの電氣的配線50は、遅延回路チップ1を介してはんだボール41に接続されており、図中破線で示される。なお、この図において、参照符号43は封止樹脂を示し、参照符号44はパッドを示す。

10

#### 【0061】

図6は、本発明の第1の実施例による遅延回路の配線基板への実装の第3の例を例示する断面図である。図示の例は、本発明の第1の実施例による遅延回路チップをパッケージオンパッケージで実装したものである。すなわち、本発明の第1の実施例による遅延回路チップ1が半導体パッケージ300D上に実装され、半導体チップ2が半導体パッケージ300C上に実装される。半導体パッケージ300Cと半導体パッケージ300Dとは、それらの入出力端子として構成されるランド40上のはんだボール41を介して接続される。その他の構成は図4を参照して説明した遅延回路の配線基板への実装の第1の例と同様である。すなわち、半導体チップ2が実装された半導体パッケージ300Cにおける半導体チップ2からの電氣的配線50は、図中破線で示され、半導体パッケージ300C、300D間を接続するはんだボール41、半導体パッケージ300Dの電氣的配線50、および遅延回路チップ1を介してランド40上のはんだボール41へ繋がる。なお、この図において、参照符号43は封止樹脂を示し、参照符号44はパッドを示す。

20

30

#### 【0062】

図7は、本発明の第1の実施例による遅延回路の配線基板への実装の第4の例を例示する断面図である。図示の例は、半導体パッケージ300に複数の半導体チップを実装したものである。半導体パッケージ300に半導体チップ2Aおよび2Bが実装される。本発明の第1の実施例による遅延回路チップ1Aおよび1Bは、それぞれ半導体チップ2Aおよび2Bの入出力端に設けられるが、図示の例では、半導体パッケージ300の半導体チップ2Aおよび2Bが実装された側とは反対側の面に本発明の第1の実施例による遅延回路チップ1Aおよび1Bが実装される。遅延回路チップ1Aおよび1Bならびに半導体チップ2Aおよび2Bの入出力端子は、各チップの bumps 42の1つで構成される。また、半導体パッケージ300の入出力端子は、ランド40上のはんだボール41で構成される。半導体チップ2が実装された半導体パッケージ300における半導体チップ2からの電氣的配線50は、遅延回路チップ1を介して、図中破線で示される。なお、この図において、参照符号43は封止樹脂を示し、参照符号44はパッドを示す。配線50aは、半導体チップ2Aおよび2B間を接続する、半導体パッケージ300の配線であり、遅延回路チップ1Aおよび1Bを介して、半導体チップ2Aおよび2Bの入出力端子間を接続している。遅延回路チップ1Aおよび1Bにより、配線50aの信号伝播の遅延時間が調整される。配線50bは、半導体パッケージ300と他の半導体パッケージとを接続するための、半導体パッケージ300の配線であり、実装基板上の配線を介して、他の半導体パッケージに接続されるものである。この配線50bは図4の配線50に相当する。また、遅延回路チップ1Aおよび1Bを介して、半導体チップ2Aおよび2Bの入出力端子と、半

40

50

導体パッケージの入出力端子であるはんだボール41と、が接続される。

【0063】

次に、配線基板が、複数の半導体パッケージが搭載された実装基板である場合について図8および9を参照して説明する。ここでは、一例として、本発明の第1の実施例による遅延回路を遅延回路チップとする。図8は、本発明の第1の実施例による遅延回路が、複数の半導体パッケージが搭載された実装基板に実装され、半導体パッケージ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

【0064】

ここでは、一例として、半導体パッケージ300Aおよび半導体パッケージ300Bが実装基板200に実装され、半導体パッケージ300Aには半導体チップ2Aが実装され、半導体パッケージ300Bには半導体チップ2Bが実装される場合を考える。なお、図示した実装基板200に実装される半導体パッケージの個数および半導体チップの個数は、本発明を限定するものではなく、その他の個数であってもよい。

【0065】

半導体パッケージ300A上の半導体チップ2Aと半導体パッケージ300B上の半導体チップ2Bとは、実装基板200に設けられた配線51および52によって電氣的に接続される。これらの配線51および52の間では、配線長の違いによりスキューが発生する。したがって、遅延時間を調整するために、半導体パッケージ300A上の半導体チップ2Aの入力端および出力端には、本発明の第1の実施例による遅延回路チップ1Aが設けられ、半導体パッケージ300B上の半導体チップ2Bの入力端および出力端には、本発明の第1の実施例による遅延回路チップ1Bが設けられる。

【0066】

本発明の第1の実施例では、計測モード時において、遅延回路チップ1Aおよび1B内のそれぞれの遅延素子(図示せず)内に設けた計測手段(図示せず)を用いて既に説明したようにスキューを実際に計測し、その計測結果に基づいて遅延時間を設定する。図8の例では、半導体パッケージ300A上の遅延回路チップ1Aの出力端子から出力された伝播時間計測用信号は、実装基板200に設けられた配線51を通り、半導体パッケージ300B上の遅延回路チップ1Bの入力端子に到達する。すると、この伝播時間計測用信号は、遅延回路チップ1Bの入力端子で反射し、実装基板200に設けられた配線51を通過して遅延回路チップ1Aの出力端子に到達する。これにより、遅延時間を設定すべき配線51の信号伝播時間が計測される。一方、半導体パッケージ300B上の遅延回路チップ1Bの出力端子から出力された伝播時間計測用信号は、実装基板200に設けられた配線52を通り、半導体パッケージ300A上の遅延回路チップ1Aの入力端子に到達する。すると、この伝播時間計測用信号は、遅延回路チップ1Aの入力端子で反射し、実装基板200に設けられた配線52を通過して遅延回路チップ1Bの出力端子に到達する。これにより、遅延時間を設定すべき配線52の信号伝播時間が計測される。計測されたこれら遅延時間を設定すべき配線51および52の信号伝播時間に基づいて、既に説明したような手法に従って、実装基板200の配線51および52の遅延時間が設定される。なお、計測されたこれら配線51および52の信号伝播時間には、それぞれ半導体パッケージ300Aおよび300Bの入出力端子から遅延回路チップ1Aおよび1Bまでの配線の伝播時間が含まれる。しかしながらこの伝播時間は、半導体パッケージ300Aおよび300B内の遅延回路チップ1Aおよび1Bまでの配線長は、それぞれ実装基板200に設けられた配線51および52の配線長よりも極端に短いので、無視することができる。

【0067】

図9は、図8に模式的に示された遅延回路の実装の例を例示する断面図である。実装基板200には半導体パッケージ300Aおよび半導体パッケージ300Bが実装される。図示の例では、図4を参照して説明した手法により、本発明の第1の実施例による遅延回路チップ1Aおよび1Bが実装される。すなわち、半導体パッケージ300Aの一方の面に本発明の第1の実施例による遅延回路チップ1Aが実装され、もう一方の面には半導体チップ2Aが実装される。また、半導体パッケージ300Bの一方の面に本発明の第1の

実施例による遅延回路チップ 1 B が実装され、もう一方の面には半導体チップ 2 B が実装される。遅延回路チップ 1 A および 1 B の入力端子はそれぞれバンク 4 6 i n で構成され、遅延回路チップ 1 A および 1 B の出力端子はそれぞれバンク 4 6 o u t で構成される。また、半導体チップ 2 A および 2 B の入力端子はそれぞれバンク 4 2 i n で構成され、半導体チップ 2 A および 2 B の出力端子はそれぞれバンク 4 2 o u t で構成される。図 8 に示された配線 5 1 および 5 2 はそれぞれ図 9 においては破線で示される。なお、この図において、参照符号 4 3 は封止樹脂を示し、参照符号 4 4 はパッドを示す。図 9 に示した例では、図 4 を参照して説明した手法により、本発明の第 1 の実施例による遅延回路チップ 1 A および 1 B が実装されたが、この代替例として、図 5 もしくは 6 を参照した手法により、遅延回路チップ 1 A および 1 B が実装されてもよい。

10

**【 0 0 6 8 】**

次に、配線基板が、複数の半導体チップが搭載された半導体パッケージである場合について図 1 0 を参照して説明する。一例として、本発明の第 1 の実施例による遅延回路を遅延回路チップとする。図 1 0 は、本発明の第 1 の実施例による遅延回路が、複数の半導体チップが搭載された半導体パッケージに実装され、半導体チップ間を接続する半導体パッケージの各配線の遅延時間を調整する場合を例示する模式図である。

**【 0 0 6 9 】**

ここでは、一例として、半導体チップ 2 A および半導体チップ 2 B が半導体パッケージ 3 0 0 に実装される場合を考える。なお、図示した半導体パッケージ 3 0 0 に実装される半導体パッケージの個数および半導体チップの個数は、本発明を限定するものではなく、

20

**【 0 0 7 0 】**

その他の個数であってもよい。半導体チップ 2 A と半導体チップ 2 B とは、半導体パッケージ 3 0 0 に設けられた配線 5 1 および 5 2 によって電氣的に接続される。なお、この実装には、例えば図 7 を参照して説明した手法を適用すればよい。この場合、図 7 の配線 5 0 a が、図 1 0 の配線 5 1 、5 2 に相当する。これらの配線 5 1 および 5 2 の間では、配線長の違いによりスキューが発生する。したがって、遅延時間を調整するために、半導体パッケージ 3 0 0 上の半導体チップ 2 A の入力端および出力端には、本発明の第 1 の実施例による遅延回路チップ 1 A が設けられ、半導体チップ 2 B の入力端および出力端には、本発明の第 1 の実施例による遅延回路チップ 1 B が設けられる。

30

**【 0 0 7 1 】**

本発明の第 1 の実施例では、計測モード時において、遅延回路チップ 1 A および 1 B 内のそれぞれの遅延素子（図示せず）内に設けた計測手段（図示せず）を用いて既に説明したようにスキューを実際に計測し、その計測結果に基づいて遅延時間を設定する。図 1 0 の例では、半導体パッケージ 3 0 0 上の遅延回路チップ 1 A の出力端子から出力された伝播時間計測用信号は、半導体パッケージ 3 0 0 に設けられた配線 5 1 を通り、遅延回路チップ 1 B の入力端子に到達する。すると、この伝播時間計測用信号は、遅延回路チップ 1 B の入力端子で反射し、半導体パッケージ 3 0 0 に設けられた配線 5 1 を通って遅延回路チップ 1 A の出力端子に到達する。これにより、遅延時間を設定すべき配線 5 1 の信号伝播時間が計測される。一方、遅延回路チップ 1 B の出力端子から出力された伝播時間計測用信号は、半導体パッケージ 3 0 0 に設けられた配線 5 2 を通り、遅延回路チップ 1 A の入力端子に到達する。すると、この伝播時間計測用信号は、遅延回路チップ 1 A の入力端子で反射し、半導体パッケージ 3 0 0 に設けられた配線 5 2 を通って遅延回路チップ 1 B の出力端子に到達する。これにより、遅延時間を設定すべき配線 5 2 の信号伝播時間が計測される。計測されたこれら遅延時間を設定すべき配線 5 1 および 5 2 の信号伝播時間に基づいて、既に説明したような手法に従って、半導体パッケージ 3 0 0 の配線 5 1 および 5 2 の遅延時間が設定される。

40

**【 0 0 7 2 】**

次に、配線基板が、実装基板であり、この実装基板上に複数の半導体パッケージが実装され、そのうちの 1 つの半導体パッケージに複数の半導体チップが実装される場合につい

50

て図 1 1 を参照して説明する。一例として、本発明の第 1 の実施例による遅延回路を遅延回路チップとする。図 1 1 は、本発明の第 1 の実施例による遅延回路が、複数の半導体パッケージが実装され、そのうちの 1 つの半導体パッケージに複数の半導体チップが実装されている実装基板に実装され、半導体チップ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

#### 【 0 0 7 3 】

ここでは、一例として、実装基板 2 0 0 に、半導体チップ 2 A が実装された半導体パッケージ 3 0 0 A、半導体チップ 2 B が実装された半導体パッケージ 3 0 0 B、ならびに、半導体チップ 2 C および 2 D が実装された半導体パッケージ 3 0 0 C、が実装される場合を考える。なお、図示した実装基板 2 0 0 に実装される半導体パッケージの個数および半導体チップの個数は、本発明を限定するものではなく、その他の個数であってもよい。

10

#### 【 0 0 7 4 】

半導体パッケージ 3 0 0 C 上の半導体チップ 2 C と半導体チップ 2 D とは、半導体パッケージ 3 0 0 C に設けられた配線 5 1 および 5 2 によって電氣的に接続される。なお、この実装には、例えば図 7 を参照して説明した手法を適用すればよい。この場合、図 7 の配線 5 0 a が配線 5 1 または 5 2 に相当する。また、図 7 の配線 5 0 b が、実装基板 2 0 0 の配線 5 3、5 4、5 5、5 6 に接続される、半導体パッケージ 3 0 0 C の配線に相当する。また、半導体パッケージ 3 0 0 A 上の半導体チップ 2 A は、実装基板 2 0 0 に設けられた配線 5 3 および 5 4 によって半導体パッケージ 3 0 0 C 上の半導体チップ 2 C に電氣的に接続される。また、半導体パッケージ 3 0 0 B 上の半導体チップ 2 B は、実装基板 2 0 0 に設けられた配線 5 5 および 5 6 によって半導体パッケージ 3 0 0 C 上の半導体チップ 2 D に電氣的に接続される。

20

#### 【 0 0 7 5 】

配線 5 1 と配線 5 2 の間、配線 5 3 と配線 5 4 の間、配線 5 5 と配線 5 6 の間、では、配線長の違いによりスキューが発生する。したがって、遅延時間を調整するために、半導体チップ 2 A、2 B、2 C および 2 D の入力端および出力端には、図示のように、それぞれ本発明の第 1 の実施例による遅延回路チップ 1 A、1 B、1 C および 1 D が設けられる。本発明では、計測モード時において、遅延回路チップ 1 A、1 B、1 C および 1 D 内のそれぞれの遅延素子（図示せず）内に設けた計測手段（図示せず）を用いてスキューを実際に計測し、その計測結果に基づいて遅延時間を設定するが、その手法については既に説明した通りである。

30

#### 【 0 0 7 6 】

本発明の第 2 の実施例では、配線基板上に設けられた計測用基準配線の信号伝播時間を実際に計測し、その計測結果に基づいて遅延時間を設定する。図 1 2 は、本発明の第 2 の実施例による遅延回路の、配線基板上における実装例を示す図である。以下、図 1 2 ~ 1 4 については、配線基板に設けられた遅延時間を設定すべき各配線を、配線基板上における半導体チップ間を接続する各配線としてまとめて説明する。

#### 【 0 0 7 7 】

本発明の第 2 の実施例による遅延回路 1 は、遅延時間の設定を指示するインタフェース 1 1 と、任意の遅延時間にプログラム可能な入力遅延素子 1 2 - 1 および出力遅延素子 1 2 - 2 と、遅延時間を設定すべき配線基板上に設けられた計測用基準配線の信号伝播時間を計測する計測素子 1 7 と、を備える。

40

#### 【 0 0 7 8 】

上述の発明の第 1 の実施例と同様、入力遅延素子 1 2 - 1 および出力遅延素子 1 2 - 2 の遅延時間が、インタフェース 1 1 から指示により設定される。インタフェース 1 1 は、JTAG (Joint Test Action Group) インタフェースである。また、JTAG インタフェース 1 1 を介して、詳細については後述する計測素子 1 7 が計測したデータ（この場合、計測用基準配線の信号伝播時間）を読み出すこともできる。入力遅延素子 1 2 - 1、出力遅延素子 1 2 - 2 および計測素子 1 7 は、JTAG チェーンで直列に接続される。

50

## 【 0 0 7 9 】

入力遅延素子 1 2 - 1 および出力遅延素子 1 2 - 2 は、配線基板 1 0 0 上における半導体チップ 2 間を接続する各配線についてその入力端および出力端のそれぞれに接続される。図示の例では、配線基板 1 0 0 上に半導体チップ 2 が実装され、その入力端子を参照符号 1 2 2、出力端子を参照符号 1 2 4 で表す。入力遅延素子 1 2 - 1 は半導体チップ 2 の入力バッファ 1 2 1 と入力端子 1 2 2 との間に設けられ、出力遅延素子 1 2 - 2 は半導体チップ 2 の出力ドライバ 1 2 3 と出力端子 1 2 4 との間に設けられる。

## 【 0 0 8 0 】

遅延時間を設定すべき配線が実装される配線基板には、マイクロストリップラインおよびストリップラインを計測用基準線 1 2 6 として予め設けておく。したがって、設計者等は、計測用基準配線の長さをその設計時において予め把握しておくことができる。同様に、設計者等は、CADシステムを用いて配線基板の配線を設計するので、遅延時間を設定すべき配線基板の配線の設計長さについても、予め把握しておくことができる。

10

## 【 0 0 8 1 】

計測素子 1 7 は、計測用端子 1 2 5 を介して計測用基準配線 1 2 6 に接続される。図示の例では、入力バッファおよび出力ドライバの各配線のためにそれぞれ計測素子 1 7 が独立して設けられる。計測素子 1 7 は、マイクロストリップライン用およびストリップライン用に少なくとも 2 個設けるが、必要に応じてその数を増減させてもよい。

## 【 0 0 8 2 】

計測用基準配線 1 2 6 は、その一端が計測用端子 1 2 5 に接続されるとともに他の一端が抵抗 R を介して接地される。抵抗 R の抵抗値は、配線基板上の配線パターンの特定インピーダンスに対して十分に高い値とする。これにより、計測用端子 1 2 5 を介して計測用基準配線 1 2 6 へ向けて出力された信号は、反射された後、再び計測用端子 1 2 5 を介して計測素子 1 7 へ戻ってくることになる。なお、この代替例として、計測用基準配線 1 2 6 を、その一端が計測用端子 1 2 5 に接続されるとともに他の一端は開放（オープン）されるように構成してもよい。

20

## 【 0 0 8 3 】

図 1 3 は、本発明の第 2 の実施例による遅延回路を示す基本ブロック図である。図 1 3 に示すように、遅延回路 1 は、遅延時間の設定を指示する JTAG インタフェース 1 1 と、任意の時間にプログラム可能な入力遅延素子 1 2 - 1 および出力遅延素子 1 2 - 2 と、遅延時間を規定するパラメータを記憶する記憶素子 1 3 と、遅延回路 1 の動作を統括制御する制御回路 1 4 と、インタフェース 1 5 と、切替器 1 6 と、計測素子 1 7 を備える。

30

## 【 0 0 8 4 】

入力遅延素子 1 2 - 1、出力遅延素子 1 2 - 2 および計測素子 1 7 は JTAG チェーンで直列に接続される。また、入力遅延素子 1 2 - 1 は、半導体チップの入力バッファへの配線ごとに設けられて各入力バッファに接続されている。また、出力遅延素子 1 2 - 2 は、半導体チップの出力ドライバへの配線ごとに設けられて各出力ドライバへ接続されている。なお、図示された遅延素子の個数は本発明を限定するものではなく、その他の個数であってもよい。

## 【 0 0 8 5 】

本発明の第 2 の実施例では、上述の本発明の第 1 の実施例と同様、記憶素子 1 3 には、遅延素子 1 2 ごとの遅延時間を規定するパラメータが記憶されている。配線基板に電源が投入されると、遅延回路 1 にも電源が供給され、制御回路 1 4 は、JTAG インタフェースを介して記憶素子 1 3 から入力遅延素子 1 2 - 1 および出力遅延素子 1 2 - 2 それぞれごとの遅延時間を規定するパラメータを読み出し、各入力遅延素子 1 2 - 1 および出力遅延素子 1 2 - 2 の遅延時間を設定する。

40

## 【 0 0 8 6 】

本発明の第 2 の実施例における、半導体チップ間の各配線の信号伝播時間を計測する計測モード時における遅延時間を規定するパラメータの取得処理は次のとおりである。

## 【 0 0 8 7 】

50

図14は、図13に示す本発明の第2の実施例による遅延回路内の計測素子を示す基本ブロック図である。なお、図14では、図12で示したような半導体チップとの接続線については表していない。

【0088】

配線基板の各配線の信号伝播時間を計測する計測モード時において、遅延時間を設定すべき配線基板上に設けられた計測素子17内の制御回路21は、信号生成器22に対し、伝播時間計測用信号を生成するよう制御する。これにより、計測素子17の計測用端子に接続された計測用基準配線に向けて、伝播時間計測用信号が送信される。伝播時間計測用信号は例えばパルス信号である。同時にこのタイミングにおいて、制御回路21は、遅延時間計測器27に対し、伝播時間計測信号が生成されたことを通知する。この通知を受け、遅延時間計測器27はタイムカウントを開始する。

10

【0089】

上述のように計測用基準配線は、計測用端子に接続された一端とは反対側の他の一端に、配線基板上の配線パターンの特定インピーダンスに対して十分に高い抵抗値を有する抵抗Rを有するので、信号生成器22が生成した伝播時間計測用信号は、計測用基準配線上を伝播した後、反射され、計測用基準配線上を再び伝播し、計測用端子を経由した後、該計測用端子に接続された計測素子17に到達する。

【0090】

計測素子17は、計測用基準配線で反射されて戻ってきた伝播時間計測用信号を、遅延時間計測器27において受信する。遅延時間計測器27は、受信したタイミングでタイムカウントを停止する。これにより、遅延時間計測器27が伝播時間計測用信号を受信した時刻と、信号生成器22が伝播時間計測用信号を送信した時刻と、の時間差が計測されたことになる。この計測データは、制御回路21へ送付される。制御回路21は、受信した計測データを計測データレジスタ32へ書き込む。

20

【0091】

上述のように、計測素子は、本発明の第2の実施例では、入力バッファ用および出力ドライブ用にそれぞれに設けられるが、上記処理は、入力バッファ用および出力ドライブ用にそれぞれに設けられた計測用基準配線について実行される。各計測用基準配線ごとの計測データが、対応する計測素子17によって取得され、それぞれ計測素子17内の計測データレジスタ32へ書き込まれる。各計測素子17内の計測データレジスタ32に書き込まれた各計測データは、図2もしくは図13を参照して説明したJTAGインタフェース11によって制御レジスタ31を利用しながら図14における「DATA出力」線を経由して読み出される。

30

【0092】

読み出された計測データは、上述のように遅延時間計測器27が伝播時間計測用信号を受信した時刻と、信号生成器22が伝播時間計測用信号を送信した時刻と、の時間差を示すものであるが、この時間差の半分の時間が、計測用基準配線についての信号伝播時間ということになる。

【0093】

上述のように、計測用基準配線は、設計者等が、遅延時間を設定すべき配線が実装された配線基板上に予め形成しておく。したがって、設計者等は、計測用基準配線の長さをその設計時において把握しておくことができる。一方、設計者等は、CADシステムを用いて配線基板の配線を設計するので、遅延時間を設定すべき配線基板の配線の設計長さについても、把握することもできる。

40

【0094】

したがって、計測用基準配線の信号伝播時間と長さから、計測用基準配線の単位長さ当たりの信号伝播時間を算出することができるので、この計測用基準配線の単位長さ当たりの信号伝播時間と遅延時間を設定すべき配線基板の配線の設計長さから、遅延時間を設定すべき配線基板の配線の遅延時間を、計算により推定することができる。本発明の第2の実施例では、JTAGインタフェース11が接続されたコンピュータに、計測用基準

50

配線の長さや遅延時間を設定すべき配線基板の配線の設計長さを予め入力しておき、当該コンピュータにより、上記のような計算を実行させることで、遅延時間を設定すべき配線基板の配線の遅延時間を推定する。

【0095】

上述のようにして遅延時間を設定すべき配線基板の配線の設計長さと計測用基準配線の長さとの比から計測用基準配線についての信号伝播時間を用いて推定された配線基板の各配線についての信号伝播時間のうちの、最大の信号伝播時間が、図13の制御回路14によって、インタフェース15を介して把握される。そして、図13の制御回路14は、この最大の信号伝播時間と、遅延時間を設定すべき配線について推定された信号伝播時間との時間差を、遅延時間を設定すべき配線の遅延時間として確定する。

10

【0096】

各配線について確定された遅延時間を規定する各パラメータは、遅延回路1内の記憶素子13に記憶され、以上で計測モードが完了する。本発明の第2の実施例においても、第1の実施例と同様、計測モード完了後は通常モードへ戻る。

【0097】

図15は、図13に示す本発明の第2の実施例による遅延回路内の入力遅延素子を示す基本ブロック図である。また、図16は、図13に示す本発明の第2の実施例による遅延回路内の出力遅延素子を示す基本ブロック図である。なお、図15および16では、図12で示したような半導体チップとの接続線については表していない。

20

【0098】

通常モード時においては、配線基板に電源が投入されると、遅延回路1にも電源が供給され、制御回路14は、記憶素子13から入力遅延素子12-1および出力遅延素子12-2ごとの遅延時間を規定するパラメータを読み出し、各入力遅延素子12-1および出力遅延素子12-2の遅延時間を設定する。

【0099】

図13のJTAGインタフェース11からの指示により、記憶素子13に記憶された入力遅延素子12-1の遅延時間に関するパラメータが読み出されて、インタフェース15を介してDATA線を経由して、入力遅延素子12-1へ送付される。

【0100】

図15の入力遅延素子12-1においては、制御回路21は、受信した遅延時間に関するパラメータに基づいて、遅延タップ切替器25を制御するが、必要な遅延時間を得ることができる個数だけの遅延要素26が選択されるよう遅延タップ切替器25のタップを切り替える。

30

【0101】

図13のJTAGインタフェース11からの指示により、記憶素子13に記憶された出力遅延素子12-2の遅延時間に関するパラメータが読み出されて、インタフェース15を介してDATA線を経由して、出力遅延素子12-2へ送付される。

【0102】

図16の出力遅延素子12-2においては、制御回路21は、受信した遅延時間に関するパラメータに基づいて、遅延タップ切替器25を制御するが、必要な遅延時間を得ることができる個数だけの遅延要素26が選択されるよう遅延タップ切替器25のタップを切り替える。

40

【0103】

なお、各遅延要素26は、第1の実施例の場合と同様、そのそれぞれが所定の遅延量を電氣的に生成するものであり、一例を挙げるとLC受動素子などがある。なお、図示された遅延要素の個数は本発明を限定するものではなく、その他の個数であってもよい。この遅延要素26が生成する遅延量の値を小さくした上でこの遅延要素26の個数を多くすれば、遅延時間をより高精度に設定することができる。

【0104】

以上の一連の処理により、本発明の第2の実施例では、配線基板上に設けられた計測用

50

基準配線について計測された信号伝播時間に基づいて、半導体チップ間の各配線の入力端および出力端のそれぞれに遅延回路として設けられた入力遅延素子および出力遅延素子について、それぞれに最適な遅延時間がプログラムされた（設定された）ことになる。

【0105】

なお、JTAGインタフェース11の入力ピンを適宜利用して、計測用基準配線についての信号伝播時間や、設定された半導体チップ間の各配線についての遅延時間を、JTAGインタフェース11を介して外部に読み出すことも可能である。

【0106】

次に、本発明の第2の実施例による遅延回路の配線基板への実装について説明する。ここでは、配線基板が、複数の半導体パッケージが搭載された実装基板である場合について 10  
図17および18を参照して説明する。ここでは、一例として、本発明の第2の実施例による遅延回路を遅延回路チップとする。

【0107】

図17は、本発明の第2の実施例による遅延回路が、複数の半導体パッケージが搭載された実装基板に実装され、半導体パッケージ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

【0108】

ここでは、一例として、半導体パッケージ300Aおよび半導体パッケージ300Bが実装基板200に実装され、半導体パッケージ300Aには半導体チップ2Aが実装され、半導体パッケージ300Bには半導体チップ2Bが実装される場合を考える。なお、図示した実装基板200に実装される半導体パッケージの個数および半導体チップの個数は、本発明を限定するものではなく、その他の個数であってもよい。 20

【0109】

半導体パッケージ300A上の半導体チップ2Aと半導体パッケージ300B上の半導体チップ2Bとは、実装基板200に設けられた配線51および52によって電氣的に接続される。これらの配線51および52の間では、配線長の違いによりスキューが発生する。したがって、遅延時間を調整するために、半導体パッケージ300A上の半導体チップ2Aの入力端および出力端には、本発明の第2の実施例による遅延回路チップ1Aが設けられる。一方、本発明の第2の実施例では、第1の実施例の場合とは異なり、半導体パッケージ300B上には遅延回路チップを設ける必要はない。 30

【0110】

本発明の第2の実施例では、実装基板200上に計測用基準配線126が設けられ、遅延回路チップ1Aの計測用端子（図示せず）に接続される。そして、計測モード時において、遅延回路チップ1A内の計測素子（図示せず）を用いて既に説明したように計測用基準配線126の信号伝播時間を実際に計測し、その計測結果に基づいて遅延時間を設定する。

【0111】

具体的には、図17の例では、半導体パッケージ300A上の遅延回路チップ1Aの出力端子から出力された伝播時間計測用信号は、計測用基準配線126を伝播する。すると、この伝播時間計測用信号は、反射した後、遅延回路チップ1Aの計測素子（図示せず）に到達する。そして、遅延時間を設定すべき配線51および52の信号伝播時間が推定される。推定されたこれら信号伝播時間に基づいて、既に説明したような手法に従って、実装基板200の配線51および52の遅延時間が設定される。 40

【0112】

図18は、図17に模式的に示された遅延回路の実装の例を例示する断面図である。実装基板200には半導体パッケージ300Aおよび半導体パッケージ300Bが実装される。図示の例では、半導体パッケージ300Aの一方の面に本発明の第1の実施例による遅延回路チップ1Aが実装され、もう一方の面には半導体チップ2Aが実装される。また、半導体パッケージ300Bの一方の面に半導体チップ2Bが実装される。また、計測用基準配線126が実装基板200上に設けられる。計測用基準配線126と遅延回路チッ 50

プ 1 A 内の計測素子（図示せず）に接続される計測用端子はバンプ 4 7 で構成される。遅延回路チップ 1 A の入力端子はバンプ 4 6 i n で構成され、遅延回路チップ 1 A の出力端子はバンプ 4 6 o u t で構成される。また、半導体チップ 2 A および 2 B の入力端子はそれぞれバンプ 4 2 i n で構成され、半導体チップ 2 A および 2 B の出力端子はそれぞれバンプ 4 2 o u t で構成される。図 1 7 に示された配線 5 1 および 5 2 はそれぞれ図 1 8 においては破線で示される。なお、この図において、参照符号 4 3 は封止樹脂を示し、参照符号 4 4 はパッドを示す。

**【 0 1 1 3 】**

次に、配線基板が、複数の半導体チップが搭載された半導体パッケージである場合について図 1 9 を参照して説明する。一例として、本発明の第 2 の実施例による遅延回路を遅延回路チップとする。図 1 9 は、本発明の第 2 の実施例による遅延回路が、複数の半導体チップが搭載された半導体パッケージのうちの 1 つに実装され、半導体チップ間を接続する半導体パッケージの各配線の遅延時間を調整する場合を例示する模式図である。

10

**【 0 1 1 4 】**

ここでは、一例として、半導体チップ 2 A および半導体チップ 2 B が半導体パッケージ 3 0 0 に実装される場合を考える。なお、図示した半導体パッケージ 3 0 0 に実装される半導体チップの個数は、本発明を限定するものではなく、その他の個数であってもよい。

**【 0 1 1 5 】**

半導体チップ 2 A と半導体チップ 2 B とは、半導体パッケージ 3 0 0 に設けられた配線 5 1 および 5 2 によって電氣的に接続される。これらの配線 5 1 および 5 2 の間では、配線長の違いによりスキューが発生する。したがって、遅延時間を調整するために、半導体パッケージ 3 0 0 上の半導体チップ 2 A の入力端および出力端には、本発明の第 2 の実施例による遅延回路チップ 1 A が設けられる。半導体パッケージ 3 0 0 上に計測用基準配線 1 2 6 が設けられ、遅延回路チップ 1 A の計測用端子（図示せず）に接続される。そして、計測モード時において、遅延回路チップ 1 A 内の計測素子（図示せず）を用いて既に説明したように計測用基準配線 1 2 6 の信号伝播時間を実際に計測し、その計測結果に基づいて遅延時間を設定する。

20

**【 0 1 1 6 】**

図 1 9 の例では、半導体パッケージ 3 0 0 上の遅延回路チップ 1 A の出力端子から出力された伝播時間計測用信号は、計測用基準配線 1 2 6 を伝播する。すると、この伝播時間計測用信号は、反射した後、遅延回路チップ 1 A の計測素子（図示せず）に到達する。そして、遅延時間を設定すべき配線 5 1 および 5 2 の信号伝播時間が推定される。推定されたこれら信号伝播時間に基づいて、既に説明したような手法に従って、半導体パッケージ 3 0 0 の配線 5 1 および 5 2 の遅延時間が設定される。

30

**【 0 1 1 7 】**

図 2 0 は、図 1 9 に模式的に示された遅延回路の実装の例を例示する断面図である。図示の例では、半導体パッケージ 3 0 0 の一方の面に、半導体チップ 2 A、本発明の第 2 の実施例による遅延回路チップ 1 A、および半導体チップ 2 B が実装される。また、計測用基準配線 1 2 6 が半導体パッケージ 3 0 0 上に設けられる。計測用基準配線 1 2 6 と遅延回路チップ 1 A 内の計測素子（図示せず）に接続される計測用端子はバンプ 4 7 で構成される。遅延回路チップ 1 A の入力端子はバンプ 4 6 i n で構成され、遅延回路チップ 1 A の出力端子はバンプ 4 6 o u t で構成される。また、半導体チップ 2 A および 2 B の入力端子はそれぞれバンプ 4 2 i n で構成され、半導体チップ 2 A および 2 B の出力端子はそれぞれバンプ 4 2 o u t で構成される。図 1 9 に示された配線 5 1 および 5 2 はそれぞれ図 2 0 においては破線で示される。なお、この図において、参照符号 4 3 は封止樹脂を示し、参照符号 4 4 はパッドを示す。

40

**【 0 1 1 8 】**

次に、配線基板が、実装基板であり、この実装基板上に複数の半導体パッケージが実装され、そのうちの 1 つの半導体パッケージに複数の半導体チップが実装される場合について図 2 1 を参照して説明する。一例として、本発明の第 2 の実施例による遅延回路を遅延

50

回路チップとする。図 2 1 は、複数の半導体パッケージが実装され、本発明の第 2 の実施例による遅延回路がそのうちの 1 つの半導体パッケージに複数の半導体チップが実装されている実装基板に実装され、半導体チップ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

【 0 1 1 9 】

ここでは、一例として、実装基板 2 0 0 に、半導体チップ 2 A が実装された半導体パッケージ 3 0 0 A、ならびに、半導体チップ 2 C および 2 D が実装された半導体パッケージ 3 0 0 C、が実装される場合を考える。なお、図示した実装基板 2 0 0 に実装される半導体パッケージの個数および半導体チップの個数は、本発明を限定するものではなく、その他の個数であってもよい。

【 0 1 2 0 】

半導体パッケージ 3 0 0 C 上の半導体チップ 2 C と半導体チップ 2 D とは、半導体パッケージ 3 0 0 C に設けられた配線 5 1 および 5 2 によって電氣的に接続される。また、半導体パッケージ 3 0 0 A 上の半導体チップ 2 A は、実装基板 2 0 0 に設けられた配線 5 3 および 5 4 によって半導体パッケージ 3 0 0 C 上の半導体チップ 2 C に電氣的に接続される。

【 0 1 2 1 】

配線 5 1 と配線 5 2 の間、および、配線 5 3 と配線 5 4 の間では、配線長の違いによりスキューがそれぞれ発生する。したがって、遅延時間を調整するために、半導体チップ 2 C の入力端および出力端には、図示のように、本発明の第 2 の実施例による遅延回路チップ 1 C が設けられる。そしてさらに、半導体パッケージ 3 0 0 C 上には、配線 5 1 および 5 2 の遅延時間を設定するための計測用基準配線 1 2 6 C が配線 5 1 および 5 2 に隣接して設けられ、遅延回路チップ 1 C の計測用端子（図示せず）に接続される。同様に、半導体パッケージ 3 0 0 C の一部および実装基板 2 0 0 上には、配線 5 3 および 5 4 の遅延時間を設定するための計測用基準配線 1 2 6 C が配線 5 3 および 5 4 に隣接して設けられ、遅延回路チップ 1 A の計測用端子（図示せず）に接続される。そして、計測モード時において、遅延回路チップ 1 A 内の計測素子（図示せず）を用いて既に説明したように計測用基準配線 1 2 6 C の信号伝播時間を実際に計測し、その計測結果に基づいて各配線 5 1、5 2、5 3 および 5 4 の遅延時間を設定する。

【 0 1 2 2 】

図 2 2 は、本発明の第 2 の実施例による遅延回路における遅延時間の調整についての動作フローを示すフローチャートである。

【 0 1 2 3 】

ステップ S 1 0 1 は、計測モード時において、遅延時間を設定すべき配線基板上に設けられた計測素子 1 7 内の制御回路 2 1 は、信号生成器 2 2 に対し、伝播時間計測用信号を生成するよう制御する。これにより、信号生成器 2 2 から、計測素子 1 7 の計測用端子 1 2 5 に接続された計測用基準配線 1 2 6 に向けて、伝播時間計測用信号が送信される。同時にこのタイミングにおいて、制御回路 2 1 は、遅延時間計測器 2 7 に対し、伝播時間計測信号が生成されたことを通知する。この通知を受け、遅延時間計測器 2 7 はタイムカウントを開始する。

【 0 1 2 4 】

信号生成器 2 2 が生成した伝播時間計測用信号は、計測用基準配線 1 2 6 上を伝播した後、反射され、計測用基準配線 1 2 6 上を再び伝播し、計測用端子 1 2 5 を経由した後、計測素子 1 7 に到達する。

【 0 1 2 5 】

次いで、ステップ S 1 0 2 において、計測素子 1 7 は、計測用基準配線 1 2 6 で反射されて戻ってきた伝播時間計測用信号を、遅延時間計測器 2 7 において受信する。遅延時間計測器 2 7 は、受信したタイミングでタイムカウントを停止する。これにより、遅延時間計測器 2 7 が伝播時間計測用信号を受信した時刻と、信号生成器 2 2 が伝播時間計測用信号を送信した時刻と、の時間差が計測されたことになる。この計測データは、制御回路 2

10

20

30

40

50

1へ送付される。制御回路21は、受信した計測データを計測データレジスタ32へ書き込む。各計測用基準配線ごとの計測データは、対応する計測素子17によって取得され、それぞれ計測素子17内の計測データレジスタ32へ書き込まれる。各計測素子17内の計測データレジスタ32に書き込まれた各計測データは、JTAGインタフェース11によって制御レジスタ31を利用しながらDATA出力線を経由して読み出される。

【0126】

次いで、ステップS103において、コンピュータは、JTAGインタフェース11を介して読み出された計測データに基づき、遅延時間計測器27が伝播時間計測用信号を受信した時刻と、信号生成器22が伝播時間計測用信号を送信した時刻と、の時間差の半分の時間を、計測用基準配線126についての信号伝播時間として算出する。

10

【0127】

次いで、ステップS104において、コンピュータは、計測用基準配線126の信号伝播時間と長さから、計測用基準配線126の単位長さ当たりの信号伝播時間を算出することができるので、この計測用基準配線126の単位長さ当たりの信号伝播時間と遅延時間を設定すべき配線基板の配線の設計長さから、遅延時間を設定すべき配線基板の配線の遅延時間を、計算により推定する。

【0128】

コンピュータは、上述のようにして推定された配線基板の各配線についての信号伝播時間の中から最大の信号伝播時間を探索する。この最大の信号伝播時間は、図13の制御回路14によって、インタフェース15を介して把握される。ステップS105では、図13の制御回路14は、この最大の信号伝播時間と、遅延時間を設定すべき配線について推定された信号伝播時間と、の時間差を、遅延時間を設定すべき配線の遅延時間として確定する。

20

【0129】

そして、ステップS106において、通常モード時に、各入力遅延素子および各出力遅延素子に対して、それぞれ最適な遅延時間がプログラム(設定)される。

【産業上の利用可能性】

【0130】

本発明は、配線基板の各配線の信号伝播の遅延時間を調整するための回路に適用することができる。本発明の第1および第2の実施例によれば、配線基板の各配線の信号伝播の遅延時間を電氣的な手法により設定することができるので、遅延時間を容易に調整することができるとともに何度も変更することができる。また、本発明の第1および第2の実施例によれば、配線基板のスキューを簡単に計測することができ、その計測結果に基づいて遅延時間を設定するので、従来のような設計作業時における計算に基づく遅延時間の設定に比べて高精度である。またさらに、配線基板の小型化および高密度実装にも対応可能な遅延回路を実現することができる。また、本発明の第1の実施例によれば遅延時間を調整もしくは変更するための特別な治具や測定装置を外部に必要としない。また、本発明の第2の実施例によれば、周囲の熱の変化の影響を受けにくい遅延時間の設定が可能である。

30

【図面の簡単な説明】

40

【0131】

【図1】本発明の第1の実施例による遅延回路の、配線基板上における実装例を示す図である。

【図2】本発明の第1の実施例による遅延回路を示す基本ブロック図である。

【図3】図2に示す本発明の第1の実施例による遅延回路内の遅延素子を示す基本ブロック図である。

【図4】本発明の第1の実施例による遅延回路の配線基板への実装の第1の例を例示する断面図である。

【図5】本発明の第1の実施例による遅延回路の配線基板への実装の第2の例を例示する断面図である。

50

【図 6】本発明の第 1 の実施例による遅延回路の配線基板への実装の第 3 の例を例示する断面図である。

【図 7】本発明の第 1 の実施例による遅延回路の配線基板への実装の第 4 の例を例示する断面図である。

【図 8】本発明の第 1 の実施例による遅延回路が、複数の半導体パッケージが搭載された実装基板に実装され、半導体パッケージ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

【図 9】図 8 に模式的に示された遅延回路の実装の例を例示する断面図である。

【図 10】本発明の第 1 の実施例による遅延回路が、複数の半導体チップが搭載された半導体パッケージに実装され、半導体チップ間を接続する半導体パッケージの各配線の遅延時間を調整する場合を例示する模式図である。

10

【図 11】本発明の第 1 の実施例による遅延回路が、複数の半導体パッケージが実装され、そのうちの 1 つの半導体パッケージに複数の半導体チップが実装されている実装基板に実装され、半導体チップ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

【図 12】本発明の第 2 の実施例による遅延回路の、配線基板上における実装例を示す図である。

【図 13】本発明の第 2 の実施例による遅延回路を示す基本ブロック図である。

【図 14】図 13 に示す本発明の第 2 の実施例による遅延回路内の計測素子を示す基本ブロック図である。

20

【図 15】図 13 に示す本発明の第 2 の実施例による遅延回路内の入力遅延素子を示す基本ブロック図である。

【図 16】図 13 に示す本発明の第 2 の実施例による遅延回路内の出力遅延素子を示す基本ブロック図である。

【図 17】本発明の第 2 の実施例による遅延回路が、複数の半導体パッケージが搭載された実装基板に実装され、半導体パッケージ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

【図 18】図 17 に模式的に示された遅延回路の実装の例を例示する断面図である。

【図 19】本発明の第 2 の実施例による遅延回路が、複数の半導体チップが搭載された半導体パッケージのうちの 1 つに実装され、半導体チップ間を接続する半導体パッケージの各配線の遅延時間を調整する場合を例示する模式図である。

30

【図 20】図 19 に模式的に示された遅延回路の実装の例を例示する断面図である。

【図 21】複数の半導体パッケージが実装され、本発明の第 2 の実施例による遅延回路がそのうちの 1 つの半導体パッケージに複数の半導体チップが実装されている実装基板に実装され、半導体チップ間を接続する各配線の遅延時間を調整する場合を例示する模式図である。

【図 22】本発明の第 2 の実施例による遅延回路における遅延時間の調整についての動作フローを示すフローチャートである。

【符号の説明】

【0132】

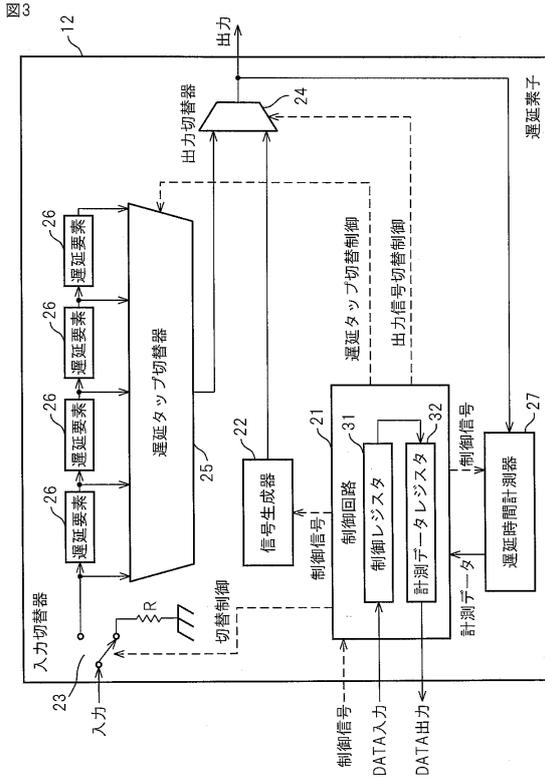
40

- 1、1 A、1 B 遅延回路
- 2、2 A、2 B 半導体チップ
- 11 JTAG インタフェース
- 12 遅延素子
- 13 記憶素子
- 14 制御回路
- 15 インタフェース
- 16 切替器
- 17 計測素子
- 21 制御回路

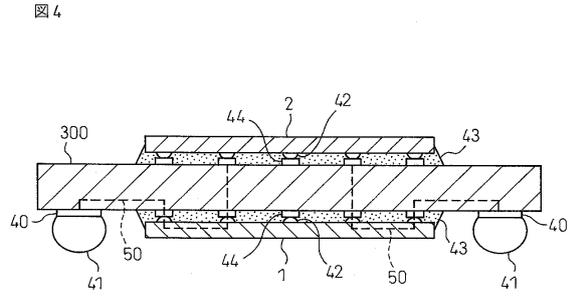
50



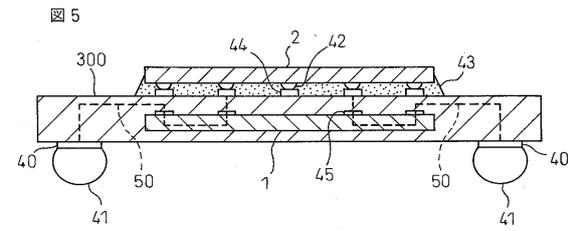
【図3】



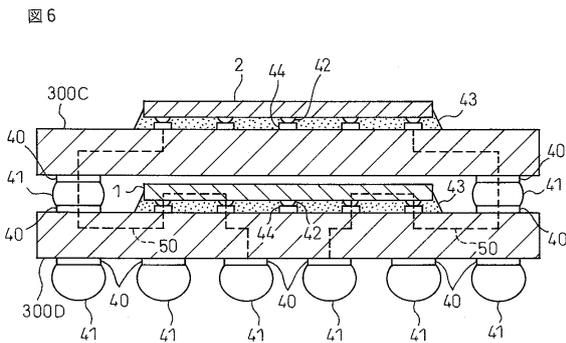
【図4】



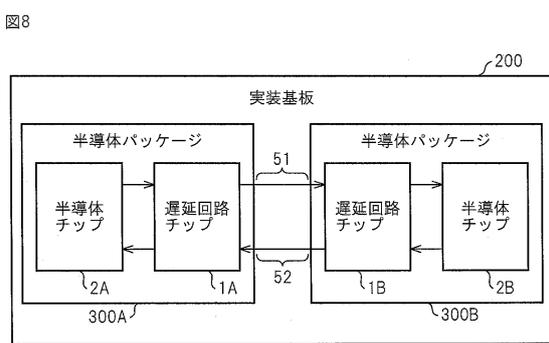
【図5】



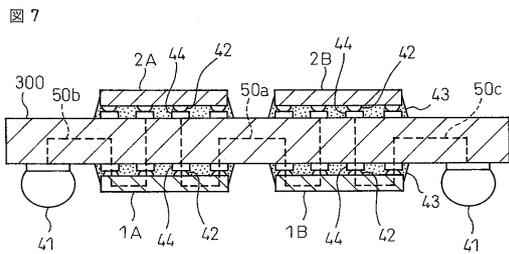
【図6】



【図8】

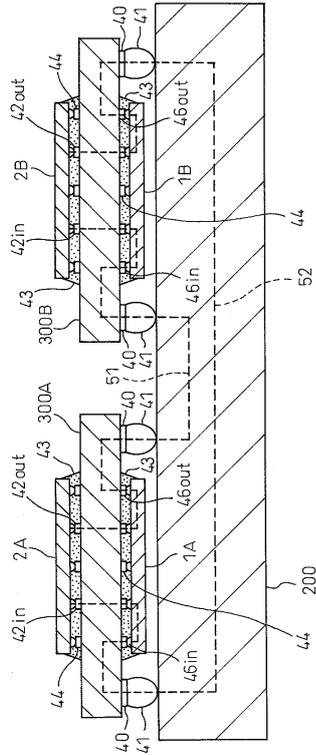


【図7】



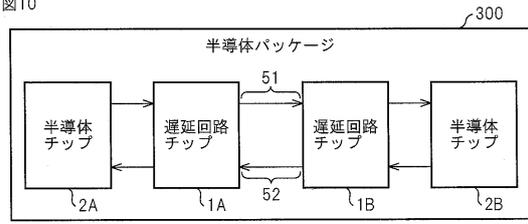
【図9】

図9



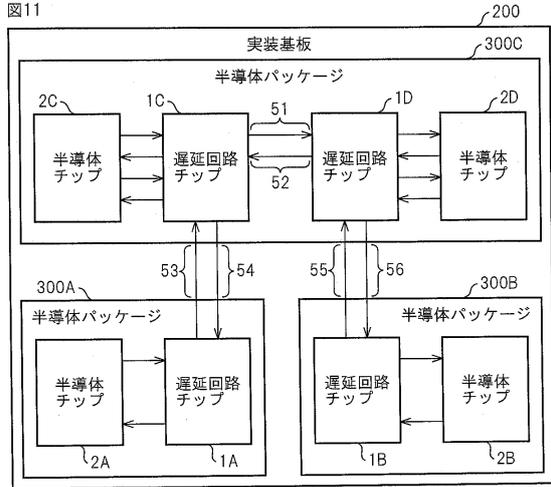
【図10】

図10



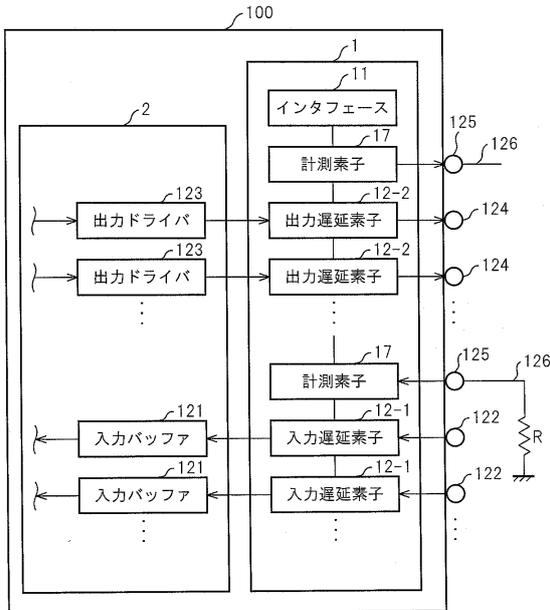
【図11】

図11



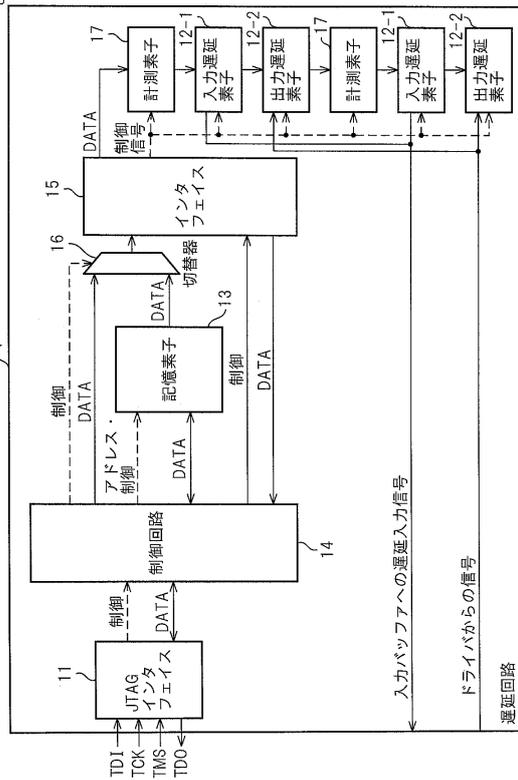
【図12】

図12



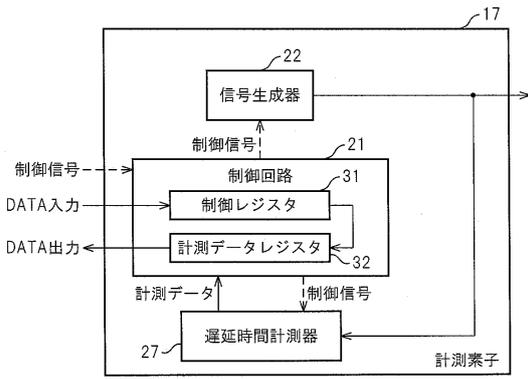
【図13】

図13



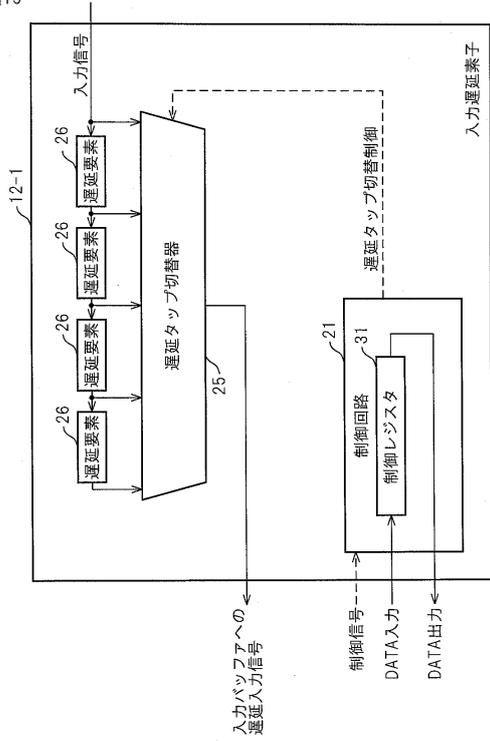
【図14】

図14



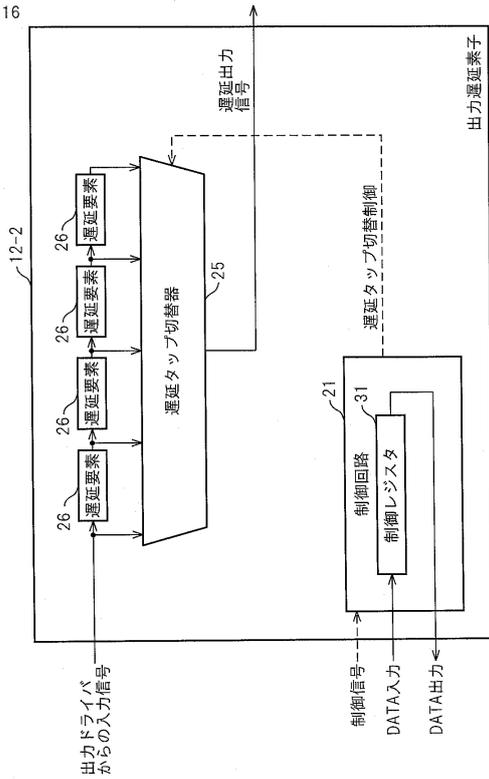
【図15】

図15



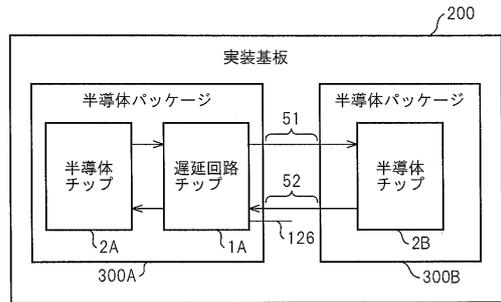
【図16】

図16



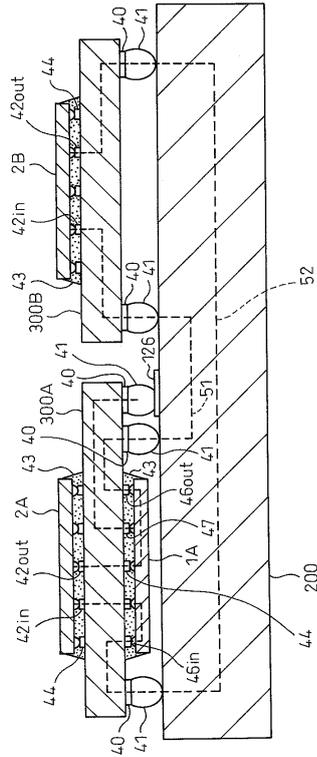
【図17】

図17



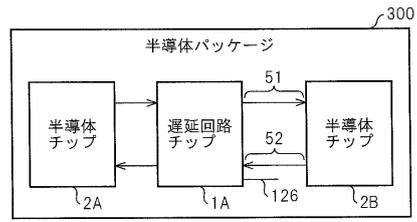
【図18】

図18



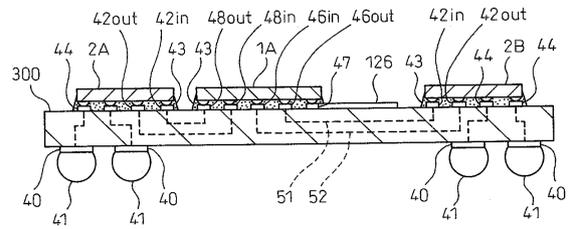
【図19】

図19



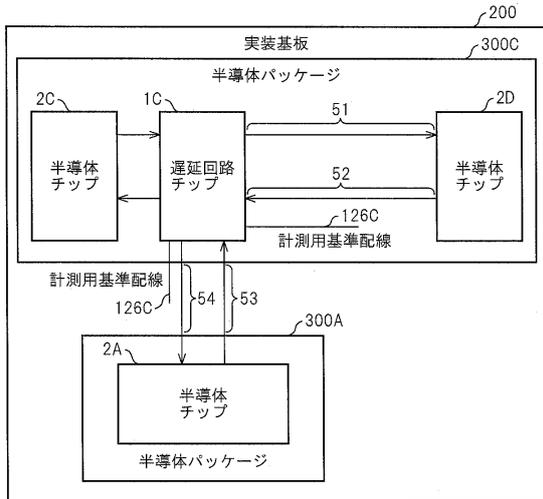
【図20】

図20



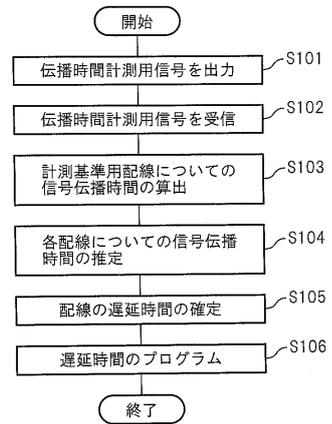
【図21】

図21



【図22】

図22



---

フロントページの続き

(51)Int.Cl. F I  
H 0 5 K 1/18 (2006.01)

(72)発明者 伝田 達明  
長野県長野市小島田町80番地 新光電気工業株式会社内

(72)発明者 小林 和広  
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 石田 勝

(56)参考文献 特開平9-197010(JP,A)  
特開2006-177885(JP,A)  
特開2005-56334(JP,A)  
特開2007-24524(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 3 K 5 / 1 4  
G 0 1 R 3 1 / 2 8  
H 0 1 L 2 5 / 0 0  
H 0 1 L 2 5 / 0 4  
H 0 1 L 2 5 / 1 8  
H 0 5 K 1 / 1 8