

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5358165号
(P5358165)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 Y
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 3 O 1 S
HO 1 L 21/28 (2006.01)	HO 1 L 21/285 C
HO 1 L 21/285 (2006.01)	HO 1 L 29/78 3 O 1 N
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F

請求項の数 19 (全 37 頁) 最終頁に続く

(21) 出願番号	特願2008-300439 (P2008-300439)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年11月26日(2008.11.26)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-129626 (P2010-129626A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成22年6月10日(2010.6.10)	(72) 発明者	二瀬卓也 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成23年11月21日(2011.11.21)	(72) 発明者	村田周平 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		(72) 発明者	林剛司 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第1の主面の近傍領域にM I S F E Tを形成する工程、
ここで、前記M I S F E Tは

(x 1) 前記第1の主面の表面領域に設けられたソース・ドレイン領域、

(x 2) 前記第1の主面上に設けられたゲート絶縁膜、

(x 3) 前記ゲート絶縁膜上に設けられたゲート電極、および

(x 4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記工程(a)の後、前記半導体ウエハを第1の気相処理チャンバ内の第1の下部電極上に、前記第1の主面を上に向けて設置する工程；

(c) 前記工程(b)の後、接地された前記第1の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとし、実質的に水素を含まない第1のガス雰囲気中で、前記第1の主面に対して、プラズマ処理を実行する工程；

(d) 前記工程(c)の後、前記半導体ウエハが前記第1の下部電極上に、前記第1の主面を上に向けて設置されている状態で、前記第1の主面上に、C V D処理により窒化シリコン膜を形成する工程。

【請求項2】

請求項1に記載の半導体集積回路装置の製造方法において、前記不活性ガスはアルゴン

10

20

・ガスである。

【請求項 3】

請求項 2 に記載の半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、実質的にアンモニア・ガスを含まない。

【請求項 4】

請求項 1 に記載の半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、窒素ガスを主要な成分の一つとして含む。

【請求項 5】

請求項 1 に記載の半導体集積回路装置の製造方法において、前記 M I S F E T は、
 (x 5) 前記ゲート電極の側壁に設けられたサイド・ウォール絶縁膜、
 (x 6) 前記サイド・ウォール絶縁膜の下方領域に設けられた半導体領域であるエクステンション領域、
 を更に有し、前記サイド・ウォール絶縁膜の下端幅は、前記エクステンション領域の深さよりも小さい。

10

【請求項 6】

請求項 1 に記載の半導体集積回路装置の製造方法において、更に、以下の工程を含む：
 (e) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；
 (f) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；
 (g) 前記工程 (f) の後、前記窒化シリコン膜をエッチングすることによって、前記コンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；
 (h) 前記工程 (g) の後、前記半導体ウエハを第 2 の気相処理チャンバ内の第 2 の下部電極上に、前記第1の主面を上に向けて設置する工程；
 (i) 前記工程 (h) の後、接地された前記第 2 の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとする第 2 のガス雰囲気下で、前記第1の主面に対して、プラズマ処理を実行する工程；
 (j) 前記工程 (i) の後、接地された前記第 2 の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、前記コンタクト・ホールの内部表面に
 バリア・メタル膜を形成する工程；
 (k) 前記工程 (j) の後、タングステンを主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

20

30

【請求項 7】

請求項 1 に記載の半導体集積回路装置の製造方法において、更に、以下の工程を含む：
 (e) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；
 (f) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；
 (g) 前記工程 (f) の後、前記窒化シリコン膜をエッチングすることによって、前記コンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；
 (j) 前記工程 (g) の後、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；
 (k) 前記工程 (j) の後、タングステンを主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

40

【請求項 8】

請求項 6 に記載の半導体集積回路装置の製造方法において、前記工程 (i) の前記不活性ガスはアルゴン・ガスである。

【請求項 9】

50

請求項 6 に記載の半導体集積回路装置の製造方法において、前記第 2 のガス雰囲気は、実質的に水素を含まない。

【請求項 1 0】

請求項 6 に記載の半導体集積回路装置の製造方法において、前記第 2 のガス雰囲気は、実質的に水素ガスおよびアンモニア・ガスを含まない。

【請求項 1 1】

請求項 6 に記載の半導体集積回路装置の製造方法において、前記第 2 のガス雰囲気は、実質的に窒素ガスを含まない。

【請求項 1 2】

以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第 1 の主面の近傍領域に M I S F E T を形成する工程、
ここで、前記 M I S F E T は

(x 1) 前記第 1 の主面の表面領域に設けられたソース・ドレイン領域、

(x 2) 前記第 1 の主面上に設けられたゲート絶縁膜、

(x 3) 前記ゲート絶縁膜上に設けられたゲート電極、および

(x 4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記工程 (a) の後、前記半導体ウエハを第 1 の気相処理チャンバ内の第 1 の下部電極上に、前記第 1 の主面を上に向けて設置する工程；

(c) 前記工程 (b) の後、前記第 1 の下部電極上に、前記半導体ウエハが前記第 1 の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとし、実質的に水素を含まない第 1 のガス雰囲気下で、前記第 1 の主面に対して、前記第 1 の下部電極の自己バイアスが 1 0 ボルト以下である低バイアス・プラズマ処理を実行する工程；

(d) 前記工程 (c) の後、前記半導体ウエハが前記第 1 の下部電極上に、前記第 1 の主面を上に向けて設置されている状態で、前記第 1 の主面上に、C V D 処理により窒化シリコン膜を形成する工程。

【請求項 1 3】

請求項 1 2 に記載の半導体集積回路装置の製造方法において、前記不活性ガスはアルゴン・ガスである。

【請求項 1 4】

請求項 1 2 に記載の半導体集積回路装置の製造方法において、前記第 1 のガス雰囲気は、実質的にアンモニア・ガスを含まない。

【請求項 1 5】

請求項 1 2 に記載の半導体集積回路装置の製造方法において、前記第 1 のガス雰囲気は、窒素ガスを主要な成分の一つとして含む。

【請求項 1 6】

請求項 1 2 に記載の半導体集積回路装置の製造方法において、前記 M I S F E T は、

(x 5) 前記ゲート電極の側壁に設けられたサイド・ウォール絶縁膜、

(x 6) 前記サイド・ウォール絶縁膜の下方領域に設けられた半導体領域であるエクステンション領域、

を更に有し、前記サイド・ウォール絶縁膜の下端幅は、前記エクステンション領域の深さよりも小さい。

【請求項 1 7】

以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第 1 の主面の近傍領域に M I S F E T を形成する工程、
ここで、前記 M I S F E T は

(x 1) 前記第 1 の主面の表面領域に設けられたソース・ドレイン領域、

(x 2) 前記第 1 の主面上に設けられたゲート絶縁膜、

(x 3) 前記ゲート絶縁膜上に設けられたゲート電極、および

(x 4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する

10

20

30

40

50

工程；

(c) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；

(d) 前記工程(c)の後、前記窒化シリコン膜をエッチングすることによって、前記コンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；

(e) 前記工程(d)の後、前記半導体ウエハを気相処理チャンバ内の下部電極上に、前記第1の主面を上に向けて設置する工程；

(f) 前記工程(e)の後、接地された前記下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとし、実質的に水素を含まないガス雰囲気下で、前記第1の主面に対して、プラズマ処理を実行する工程；

10

(g) 前記工程(f)の後、前記半導体ウエハが前記第1の下部電極上に、前記第1の主面を上に向けて設置されている状態で、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；

(h) 前記工程(g)の後、タングステン¹を主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

【請求項18】

請求項17に記載の半導体集積回路装置の製造方法において、前記不活性ガスはアルゴン・ガスである。

20

【請求項19】

請求項17に記載の半導体集積回路装置の製造方法において、前記ガス雰囲気は、実質的に窒素ガスを含まない。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置（または半導体装置）の製造方法における金属シリサイド関連技術に適用して有効な技術に関する。

【背景技術】

【0002】

日本特開2003-86569号公報（特許文献1）または米国特許第7122477号公報（特許文献2）には、 CoSi_2 膜表面の自然酸化膜を除去するプラズマ処理方法に関する技術が記載されている。

30

【0003】

日本特開平10-112446号公報（特許文献3）には、Tiシリサイド層上の TiO_x 層を除去してからTiN層を形成する技術が記載されている。

【0004】

日本特開2001-284284号公報（特許文献4）には、 CoSi_2 層表面の自然酸化膜を除去してからTiN層を成長させる技術が記載されている。

【0005】

国際公開WO2007/020684号パンフレット（特許文献5）には、ダマシン法を用いて形成したCu配線上にCuの拡散を防止する窒化シリコン膜を形成する技術が記載されている。

40

【0006】

日本特開号公報（特許文献6）には、ニッケル・シリサイド表面に対して、アンモニアを含むガス雰囲気中でプラズマ処理を施した後に、窒化シリコン膜を形成する技術が開示されている。

【0007】

日本特開号公報（特許文献7）または米国特許第号公報（特許文献8）にも、同様にニッケル・シリサイド表面に対して、アンモニアを含むガス雰囲気中でプラズマ処理を施し

50

た後に、窒化シリコン膜を形成する技術が開示されている。

【0008】

日本特開号公報（特許文献9）または米国特許公開号公報（特許文献10）にも、同様にニッケル・シリサイド表面に対して、アンモニアを含むガス雰囲気中でプラズマ処理を施した後に、窒化シリコン膜を形成する技術が開示されている。

【0009】

日本特開号公報（特許文献11）には、コバルト・シリサイドまたはニッケル・シリサイド表面に対して、水素プラズマ還元処理を施した後に、層間絶縁膜を形成する技術が開示されている。

【0010】

国際公開第2006/100765号パンフレット（特許文献12）または米国特許公開号公報（特許文献13）には、コンタクト・ホール底部のニッケル・シリサイド表面に対して、窒素ガス及び水素ガスを含むガス雰囲気中でプラズマ処理を施した後に、バリア・メタルを形成する技術が開示されている。

【0011】

日本特開号公報（特許文献14）または米国特許第号公報（特許文献15）には、コンタクト・ホール底部のニッケル・シリサイド表面に対して、水素ガス雰囲気中でプラズマ処理を施した後に、バリア・メタルを形成する技術が開示されている。

【0012】

日本特開号公報（特許文献16）または米国特許公開号公報（特許文献17）には、コンタクト・ホール底部のニッケル・シリサイド表面に対して、アンモニア・ガス及び水素ガスを含むガス雰囲気中でプラズマ処理を施した後に、バリア・メタルを形成する技術が開示されている。

【0013】

【特許文献1】特開2003-86569号公報

【特許文献2】米国特許第7122477号公報

【特許文献3】特開平10-112446号公報

【特許文献4】特開2001-284284号公報

【特許文献5】国際公開WO2007/020684号パンフレット

【特許文献6】特開2007-19330号公報

【特許文献7】特開2004-128501号公報

【特許文献8】米国特許第6831008号公報

【特許文献9】特開2008-135635号公報

【特許文献10】米国特許公開2008-0124922号公報

【特許文献11】特開2000-31092号公報

【特許文献12】国際公開WO2005/098913号パンフレット

【特許文献13】米国特許公開2007-0257372号公報

【特許文献14】特開2007-27680号公報

【特許文献15】米国特許第7407888号公報

【特許文献16】特開2007-214538号公報

【特許文献17】米国特許公開2007-0161218号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

半導体集積回路装置の高集積化が進むにつれて、電界効果トランジスタ（MISFET：Metal Insulator Semiconductor Field Effect Transistor）はスケーリング則に従い微細化されるが、ゲートやソース・ドレインの抵抗が増大して電界効果トランジスタを微細化しても高速動作が得られないという問題が生ずる。そこで、ゲートを構成する導電膜およびソース・ドレインを構成する半導体領域の表面に自己整合により低抵抗の金属シリサイド層、例えばニッケル・シリサイド層またはコバルト・シリサイド層などを形成する

10

20

30

40

50

ことにより、ゲートやソース・ドレインを低抵抗化するシリサイド技術が検討されている。

【0015】

これに関して、本発明者等の検討によって、以下のことが明らかとなった。ゲートを構成する導電膜およびソース・ドレインを構成する半導体領域の表面にシリサイド・プロセスにより金属シリサイド層を形成した後、その金属シリサイド層の表面を含む半導体基板上に窒化シリコン膜を形成する。続いて、その窒化シリコン膜上に厚い酸化シリコンの層間絶縁膜を形成し、この層間絶縁膜にコンタクト・ホールを開口する。コンタクト・ホールを開口する際には、まず窒化シリコン膜をエッチング・ストップとして機能させて層間絶縁膜をドライ・エッチングしてから、コンタクト・ホールの底部で窒化シリコン膜をドライ・エッチングする。コンタクト・ホール形成後、コンタクト・ホール内にプラグを埋め込む。

10

【0016】

しかしながら、金属シリサイド層の表面に自然酸化膜が形成されている状態で窒化シリコン膜を形成すると、金属シリサイド層と窒化シリコン膜の界面に自然酸化膜が残存した状態となる。金属シリサイド層と窒化シリコン膜の界面に自然酸化膜が残存していると、窒化シリコン膜の成膜後の種々の加熱工程（例えば種々の絶縁膜や導体膜の成膜工程のように半導体基板の加熱を伴う工程）において、金属シリサイド層表面にある自然酸化膜の酸素に起因して、金属シリサイド層が部分的に異常成長してしまう。そのような金属シリサイド層の異常成長は、金属シリサイド層の抵抗の増加を招き、また、金属シリサイド層がチャンネル部に異常成長していると、電界効果トランジスタのソース・ドレイン間のリーク電流の増大を招く可能性がある。これは、半導体集積回路装置の性能を著しく低下させる。

20

【0017】

また、金属シリサイド層の表面の自然酸化膜を、通常のパラズマ処理、すなわち、バイアス・パラズマ処理によって除去すると、スパッタ作用が強すぎるため、金属シリサイド層が削られ、接合リークの増大を招く等の問題がある。

【0018】

更に、水素を含む還元性ガスのパラズマ処理によって、金属シリサイド層の表面の自然酸化膜を除去すると、水素起因のトランジスタ特性の劣化が見られる場合がある。

30

【0019】

本願発明は、これらの課題を解決するためになされたものである。

【0020】

本発明の目的は、半導体集積回路装置の性能を向上させることができる技術を提供することにある。

【0021】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0022】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

40

【0023】

すなわち、本願発明は集積回路を構成する電界効果トランジスタのソース・ドレイン上のニッケル・シリサイド等の金属シリサイド膜の上面に対して、不活性ガスを主要な成分の一つとするガス雰囲気中において、実質的にノン・バイアス（低バイアスを含む）のパラズマ処理を施した後、コンタクト・プロセスのエッチング・ストップ膜となる窒化シリコン膜を成膜するものである。

【発明の効果】

【0024】

50

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0025】

すなわち、本願発明においては、集積回路を構成する電界効果トランジスタのソース・ドレイン上のニッケル・シリサイド等の金属シリサイド膜の上面に対して、不活性ガスを主要な成分の一つとするガス雰囲気中において、実質的にノン・バイアス（低バイアスを含む）のプラズマ処理を施す。その後、コンタクト・プロセスのエッチング・ストップ膜となる窒化シリコン膜を成膜することにより、金属シリサイド膜の不所望な削れを生じることなく、金属シリサイド膜の上面の自然酸化膜を除去することができる。

【発明を実施するための最良の形態】

【0026】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【0027】

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第1の主面の近傍領域にMISFETを形成する工程、

ここで、前記MISFETは

(x1) 前記第1の主面の表面領域に設けられたソース・ドレイン領域、

(x2) 前記第1の主面上に設けられたゲート絶縁膜、

(x3) 前記ゲート絶縁膜上に設けられたシリコンを主要な成分とするゲート電極、および

(x4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記工程(a)の後、前記半導体ウエハを第1の気相処理チャンバ内の第1の下部電極上に、前記第1の主面を上に向けて設置する工程；

(c) 前記工程(b)の後、接地された前記第1の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとする第1のガス雰囲気中で、前記第1の主面に対して、プラズマ処理を実行する工程；

(d) 前記工程(c)の後、前記半導体ウエハが前記第1の下部電極上に、前記第1の主面を上に向けて設置されている状態で、前記第1の主面上に、CVD処理により窒化シリコン膜を形成する工程。

【0028】

2. 前記1項の半導体集積回路装置の製造方法において、前記不活性ガスはアルゴン・ガスである。

【0029】

3. 前記1または2項の半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、実質的に水素を含まない。

【0030】

4. 前記1から3項のいずれか一つの半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、実質的に水素ガスおよびアンモニア・ガスを含まない。

【0031】

5. 前記1から4項のいずれか一つの半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、窒素ガスを主要な成分の一つとして含む。

【0032】

6. 前記1から5項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(e) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；

(f) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；

(g) 前記工程(f)の後、前記窒化シリコン膜をエッチングすることによって、前記コ

10

20

30

40

50

ンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；

(h) 前記工程(g)の後、前記半導体ウエハを第2の気相処理チャンバ内の第2の下部電極上に、前記第1の主面を上に向けて設置する工程；

(i) 前記工程(h)の後、接地された前記第2の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとする第2のガス雰囲気下で、前記第1の主面に対して、プラズマ処理を実行する工程；

(j) 前記工程(i)の後、接地された前記第2の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；

(k) 前記工程(j)の後、タングステンを主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

【0033】

7. 前記1から5項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む；

(e) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；

(f) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；

(g) 前記工程(f)の後、前記窒化シリコン膜をエッチングすることによって、前記コンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；

(j) 前記工程(g)の後、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；

(k) 前記工程(j)の後、タングステンを主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

【0034】

8. 前記6項の半導体集積回路装置の製造方法において、前記工程(i)の前記不活性ガスはアルゴン・ガスである。

【0035】

9. 前記6または8項の半導体集積回路装置の製造方法において、前記第2のガス雰囲気は、実質的に水素を含まない。

【0036】

10. 前記6、8または9項の半導体集積回路装置の製造方法において、前記第2のガス雰囲気は、実質的に水素ガスおよびアンモニア・ガスを含まない。

【0037】

11. 前記6、8、9、または10項の半導体集積回路装置の製造方法において、前記第2のガス雰囲気は、実質的に窒素ガスを含まない。

【0038】

12. 以下の工程を含む半導体集積回路装置の製造方法；

(a) 半導体ウエハの第1の主面の近傍領域にMISFETを形成する工程、
ここで、前記MISFETは

(x1) 前記第1の主面の表面領域に設けられたソース・ドレイン領域、

(x2) 前記第1の主面上に設けられたゲート絶縁膜、

(x3) 前記ゲート絶縁膜上に設けられたシリコンを主要な成分とするゲート電極、および

(x4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記工程(a)の後、前記半導体ウエハを第1の気相処理チャンバ内の第1の下部電極上に、前記第1の主面を上に向けて設置する工程；

(c) 前記工程(b)の後、前記第1の下部電極上に、前記半導体ウエハが前記第1の主

10

20

30

40

50

面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとする第1のガス雰囲気下で、前記第1の主面に対して、前記第1の下部電極の自己バイアスが10ボルト以下である低バイアス・プラズマ処理を実行する工程；

(d) 前記工程(c)の後、前記半導体ウエハが前記第1の下部電極上に、前記第1の主面を上に向けて設置されている状態で、前記第1の主面上に、CVD処理により窒化シリコン膜を形成する工程。

【0039】

13. 前記12項の半導体集積回路装置の製造方法において、前記不活性ガスはアルゴン・ガスである。

【0040】

14. 前記12または13項の半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、実質的に水素を含まない。

【0041】

15. 前記12から14項のいずれか一つの半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、実質的に水素ガスおよびアンモニア・ガスを含まない。

【0042】

16. 前記12から15項のいずれか一つの半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、窒素ガスを主要な成分の一つとして含む。

【0043】

17. 前記12から16項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む；

(e) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；

(f) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；

(g) 前記工程(f)の後、前記窒化シリコン膜をエッチングすることによって、前記コンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；

(h) 前記工程(g)の後、前記半導体ウエハを第2の気相処理チャンバ内の第2の下部電極上に、前記第1の主面を上に向けて設置する工程；

(i) 前記工程(h)の後、前記第2の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとする第2のガス雰囲気下で、前記第1の主面に対して、前記第2の下部電極の自己バイアスが10ボルト以下である低バイアス・プラズマ処理を実行する工程；

(j) 前記工程(i)の後、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；

(k) 前記工程(j)の後、タングステンを主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

【0044】

18. 前記12から16項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む；

(e) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；

(f) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；

(g) 前記工程(f)の後、前記窒化シリコン膜をエッチングすることによって、前記コンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；

(j) 前記工程(g)の後、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；

10

20

30

40

50

(k) 前記工程(j)の後、タングステンを主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

【0045】

19. 前記17項の半導体集積回路装置の製造方法において、前記工程(i)の前記不活性ガスはアルゴン・ガスである。

【0046】

20. 前記17または19項の半導体集積回路装置の製造方法において、前記第2のガス雰囲気は、実質的に水素を含まない。

【0047】

21. 前記17、19または20項の半導体集積回路装置の製造方法において、前記第2のガス雰囲気は、実質的に水素ガスおよびアンモニア・ガスを含まない。

10

【0048】

22. 前記17、19、20、または21項の半導体集積回路装置の製造方法において、前記第2のガス雰囲気は、実質的に窒素ガスを含まない。

【0049】

23. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第1の主面の近傍領域にMISFETを形成する工程、

ここで、前記MISFETは

(x1) 前記第1の主面の表面領域に設けられたソース・ドレイン領域、

(x2) 前記第1の主面上に設けられたゲート絶縁膜、

20

(x3) 前記ゲート絶縁膜上に設けられたシリコンを主要な成分とするゲート電極、および

(x4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；

(c) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；

(d) 前記工程(c)の後、前記窒化シリコン膜をエッチングすることによって、前記コンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；

30

(e) 前記工程(d)の後、前記半導体ウエハを気相処理チャンバ内の下部電極上に、前記第1の主面を上に向けて設置する工程；

(f) 前記工程(e)の後、接地された前記下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとするガス雰囲気下で、前記第1の主面に対して、プラズマ処理を実行する工程；

(g) 前記工程(f)の後、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；

(h) 前記工程(g)の後、タングステンを主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

【0050】

40

24. 前記23項の半導体集積回路装置の製造方法において、前記不活性ガスはアルゴン・ガスである。

【0051】

25. 前記23または24項の半導体集積回路装置の製造方法において、前記ガス雰囲気は、実質的に水素を含まない。

【0052】

26. 前記23から25項のいずれか一つの半導体集積回路装置の製造方法において、前記第1のガス雰囲気は、実質的に水素ガスおよびアンモニア・ガスを含まない。

【0053】

27. 前記23から26項のいずれか一つの半導体集積回路装置の製造方法において、

50

前記ガス雰囲気は、実質的に窒素ガスを含まない。

【 0 0 5 4 】

28．以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第1の主面の近傍領域にM I S F E Tを形成する工程、

ここで、前記M I S F E Tは

(x 1) 前記第1の主面の表面領域に設けられたソース・ドレイン領域、

(x 2) 前記第1の主面上に設けられたゲート絶縁膜、

(x 3) 前記ゲート絶縁膜上に設けられたシリコンを主要な成分とするゲート電極、および

(x 4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

10

(b) 前記工程 (a) の後、前記半導体ウエハを第 1 の気相処理チャンバ内の第 1 の下部電極上に、前記第1の主面を上に向けて設置する工程；

(c) 前記工程 (b) の後、接地された前記第 1 の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとする第1のガス雰囲気下で、前記第1の主面に対して、プラズマ処理を実行する工程；

(d) 前記工程 (c) の後、前記半導体ウエハが前記第 1 の下部電極または第 2 の気相処理チャンバ内の第 2 の下部電極上に、前記第1の主面を上に向けて設置されている状態で、前記第1の主面上に、C V D 処理により窒化シリコン膜を形成する工程。

【 0 0 5 5 】

29．以下の工程を含む半導体集積回路装置の製造方法：

20

(a) 半導体ウエハの第1の主面の近傍領域にM I S F E Tを形成する工程、

ここで、前記M I S F E Tは

(x 1) 前記第1の主面の表面領域に設けられたソース・ドレイン領域、

(x 2) 前記第1の主面上に設けられたゲート絶縁膜、

(x 3) 前記ゲート絶縁膜上に設けられたシリコンを主要な成分とするゲート電極、および

(x 4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記工程 (a) の後、前記半導体ウエハを第 1 の気相処理チャンバ内の第 1 の下部電極上に、前記第1の主面を上に向けて設置する工程；

(c) 前記工程 (b) の後、前記第 1 の下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとする第1のガス雰囲気下で、前記第1の主面に対して、前記第 1 の下部電極の自己バイアスが20ボルト以下である低バイアス・プラズマ処理を実行する工程；

30

(d) 前記工程 (c) の後、前記半導体ウエハが前記第 1 の下部電極または第 2 の気相処理チャンバ内の第 2 の下部電極上に、前記第1の主面を上に向けて設置されている状態で、前記第1の主面上に、C V D 処理により窒化シリコン膜を形成する工程。

【 0 0 5 6 】

30．以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第1の主面の近傍領域にM I S F E Tを形成する工程、

ここで、前記M I S F E Tは

(x 1) 前記第1の主面の表面領域に設けられたソース・ドレイン領域、

(x 2) 前記第1の主面上に設けられたゲート絶縁膜、

(x 3) 前記ゲート絶縁膜上に設けられたシリコンを主要な成分とするゲート電極、および

40

(x 4) 前記ソース・ドレイン領域上に設けられたシリサイド膜を有する；

(b) 前記窒化シリコン膜上に、酸化シリコン膜系のプリ・メタル層間絶縁膜を形成する工程；

(c) 前記窒化シリコン膜をエッチング・ストップ膜として、前記プリ・メタル層間絶縁膜にコンタクト・ホールを開口する工程；

(d) 前記工程 (c) の後、前記窒化シリコン膜をエッチングすることによって、前記コ

50

ンタクト・ホールを前記ソース・ドレイン領域上に設けられた前記シリサイド膜上面まで延長する工程；

(e) 前記工程(d)の後、前記半導体ウエハを気相処理チャンバ内の下部電極上に、前記第1の主面を上に向けて設置する工程；

(f) 前記工程(e)の後、接地された前記下部電極上に、前記半導体ウエハが前記第1の主面を上に向けて設置されている状態で、不活性ガスを主要な成分の一つとするガス雰囲気下で、前記第1の主面に対して、プラズマ処理を実行する工程；

(g) 前記工程(f)の後、前記半導体ウエハが前記第1の下部電極または第2の気相処理チャンバ内の第2の下部電極上に、前記第1の主面を上に向けて設置されている状態で、前記コンタクト・ホールの内部表面にバリア・メタル膜を形成する工程；

(h) 前記工程(g)の後、タングステン为主要な成分とする金属で前記コンタクト・ホールを埋め込む工程。

【0057】

31. 前記1から30項のいずれか一つの半導体集積回路装置の製造方法において、前記MISFETのサイド・ウォール絶縁膜の下端幅は、前記MISFETのエクステンション領域の深さよりも小さい。

【0058】

32. 前記1から31項のいずれか一つの半導体集積回路装置の製造方法において、前記シリサイド膜はニッケル・シリサイドを主要な成分とする膜である。

【0059】

33. 前記1から32項の半導体集積回路装置の製造方法において、前記MISFETは、

(x5) 前記ゲート電極の側壁に設けられたサイド・ウォール絶縁膜、

(x6) 前記サイド・ウォール絶縁膜の下方領域に設けられた半導体領域であるエクステンション領域、

を更に有し、前記サイド・ウォール絶縁膜の下端幅は、前記エクステンション領域の深さよりも小さい。

【0060】

〔本願における記載形式・基本的用語・用法の説明〕

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【0061】

2. 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」といっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」といっても、純粋なシリコンに限定されるものではなく、SiGe合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。同様に、「酸化シリコン膜」、「酸化シリコン系絶縁膜」といっても、比較的純粋な非ドープ酸化シリコン(Undoped Silicon Dioxide)だけでなく、FSG(Fluorosilicate Glass)、TEOSベース酸化シリコン(TEOS-based silicon oxide)、SiOC(Silicon Oxycarbide)またはカーボンドープ酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate glass)、PSG(Phosphorus Silicate Glass)、BPSG(Borophosphosilicate Glass)等の熱酸化膜、CVD酸化膜、SOG(Spin ON Glass)、ナノ・クラスタリング・シリカ(Nano-Clustering Silica: NSC)等の塗布系酸化シリコン、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜(ポーラス系絶縁膜)、およびこれらを

10

20

30

40

50

主要な構成要素とする他のシリコン系絶縁膜との複合膜等を含むことは言うまでもない。

【0062】

同様に、「ニッケル・シリサイド」というときは、通常、ニッケル・モノ・シリサイドを指すが、比較的純粋なものばかりではなく、ニッケル・モノ・シリサイドを主要な構成要素とする合金、混晶等を含む。

【0063】

また、「窒化シリコン」といっても、実際には比較的多量の水素等を含有する。従って、現実に半導体分野で使用されている範囲の窒化シリコンを主要な構成要素とする窒化シリコン系（すなわち、非酸化シリコン系無機絶縁膜の代表例）の材料を指す。なお、非酸化シリコン系といっても、エッチング・ストップ膜としての作用を阻害しない程度の微量の酸素の含有は許容される。

10

【0064】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0065】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0066】

5. 「ウエハ」というときは、通常は半導体集積回路装置（半導体装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハを指すが、エピタキシャルウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

20

【0067】

6. 「ノン・バイアス・プラズマ」または「低バイアス・プラズマ」とは、下部電極（ウエハ・ステージに対応する電極）を接地し（すなわち、下部電極のVdc = 0ボルト）、上部電極（RF、マイクロ波等のアンテナを含む）によりプラズマを励起するプラズマ処理装置又はそれと等価な下部電極のセルフ・バイアス（Vdc）を伴うプラズマ処理装置による処理に対応するプラズマ処理を指す。通常、セルフ・バイアスは負値であるが、上下が煩雑であり、本願では特に明示した場合を除き絶対値で示す。なお、下部電極のセルフ・バイアスとウエハのセルフ・バイアスは、一般に同一ではない。

30

【0068】

一方、通常の「バイアス・プラズマ」は、スパッタリング・エッチや異方性ドライエッチで利用されており、通常、その下部電極のセルフ・バイアス値は50ボルトから300ボルト程度の高い値を示す。

【0069】

従って、「ノン・バイアス・プラズマ」または「低バイアス・プラズマ」というときは、下部電極が実質的に接地されているか、または、下部電極のセルフ・バイアス（Vdc）が、実質的に0ボルトから10ボルト程度であることを示す。

40

【0070】

〔実施の形態の詳細〕

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0071】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

50

【 0 0 7 2 】

なお、ニッケル・シリサイド等の金属シリサイド膜の上面の自然酸化膜の除去等については、本願発明者等による先行出願、すなわち、日本特許出願第 2 0 0 7 - 2 5 9 3 5 5 号 (2 0 0 7 年 1 0 月 3 日出願) に詳しく説明されている。

【 0 0 7 3 】

1 . 本願の一実施の形態の半導体集積回路装置の製造方法におけるウエハ処理フローの概略説明 (主に図 1 から図 1 0)

本発明の一実施の形態の半導体集積回路装置の製造工程の図面を参照して説明する。図 1 ~ 図 1 0 は、本発明の一実施の形態である半導体集積回路装置、例えば C M I S F E T (Complementary Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置の製造工程中の要部断面図である。

10

【 0 0 7 4 】

まず、図 1 に示されるように、例えば 1 ~ 1 0 c m 程度の比抵抗を有する p 型の単結晶シリコンなどからなる半導体基板 (半導体ウエハ) 1 を準備する。それから、半導体基板 1 のデバイス面 1 a (第 1 の主面) に素子分離領域 2 を形成する。素子分離領域 2 は酸化シリコンなどの絶縁体からなり、例えば S T I (Shallow Trench Isolation) 法または L O C O S (Local Oxidization of Silicon) 法などにより形成される。例えば、半導体基板 1 に形成された溝 (素子分離溝) 2 a に埋め込まれた絶縁膜により、素子分離領域 2 を形成することができる。

【 0 0 7 5 】

次に、図 2 に示されるように、半導体基板 1 の主面から所定の深さに渡って p 型ウエル 3 および n 型ウエル 4 を形成する。p 型ウエル 3 は、p チャネル型 M I S F E T 形成予定領域を覆うフォトレジスト膜 (図示せず) をイオン注入阻止マスクとして、n チャネル型 M I S F E T 形成予定領域の半導体基板 1 に例えばホウ素 (B) などの p 型の不純物をイオン注入することなどによって形成することができる。また、n 型ウエル 4 は、n チャネル型 M I S F E T 形成予定領域を覆う他のフォトレジスト膜 (図示せず) をイオン注入阻止マスクとして、p チャネル型 M I S F E T 形成予定領域の半導体基板 1 に例えばリン (P) またはヒ素 (A s) などの n 型の不純物をイオン注入することなどによって形成することができる。

20

【 0 0 7 6 】

次に、例えばフッ酸 (H F) 水溶液を用いたウェットエッチングなどにより半導体基板 1 の表面を清浄化 (洗浄) した後、半導体基板 1 の表面 (すなわち p 型ウエル 3 および n 型ウエル 4 の表面) 上にゲート絶縁膜 5 を形成する。ゲート絶縁膜 5 は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成することができる。

30

【 0 0 7 7 】

次に、半導体基板 1 上 (すなわち p 型ウエル 3 および n 型ウエル 4 のゲート絶縁膜 5 上) に、ゲート電極形成用の導体膜として、多結晶シリコン膜のようなシリコン膜 (導体膜) 6 を形成する。シリコン膜 6 のうちの n チャネル型 M I S F E T 形成予定領域 (後述するゲート電極 6 a となる領域) は、フォトレジスト膜 (図示せず) をマスクとして用いてリン (P) またはヒ素 (A s) などの n 型の不純物をイオン注入することなどにより、低抵抗の n 型半導体膜 (ドープトポリシリコン膜) とされている。また、シリコン膜 6 のうちの p チャネル型 M I S F E T 形成予定領域 (後述するゲート電極 6 b となる領域) は、他のフォトレジスト膜 (図示せず) をマスクとして用いてホウ素 (B) などの p 型の不純物をイオン注入することなどにより、低抵抗の p 型半導体膜 (ドープトポリシリコン膜) とされている。また、シリコン膜 6 は、成膜時にはアモルファスシリコン膜であったものを、成膜後 (イオン注入後) の熱処理により多結晶シリコン膜に変えることもできる。

40

【 0 0 7 8 】

次に、図 3 に示されるように、シリコン膜 6 をフォトリソグラフィ法およびドライエッチング法を用いてパターンニングすることにより、ゲート電極 6 a , 6 b を形成する。

【 0 0 7 9 】

50

nチャネル型MISFETのゲート電極となるゲート電極6aは、n型の不純物を導入した多結晶シリコン(n型半導体膜、ドーフトポリシリコン膜)からなり、p型ウエル3上にゲート絶縁膜5を介して形成される。すなわち、ゲート電極6aは、p型ウエル3のゲート絶縁膜5上に形成される。また、pチャネル型MISFETのゲート電極となるゲート電極6bは、p型の不純物を導入した多結晶シリコン(p型半導体膜、ドーフトポリシリコン膜)からなり、n型ウエル4上にゲート絶縁膜5を介して形成される。すなわち、ゲート電極6bは、n型ウエル4のゲート絶縁膜5上に形成される。ゲート電極6a、6bのゲート長は、必要に応じて変更できるが、例えば40nm程度とすることができる。

【0080】

次に、図4に示されるように、p型ウエル3のゲート電極6aの両側の領域にリン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより、(一对の)n⁻型半導体領域7aを形成し、n型ウエル4のゲート電極6bの両側の領域にホウ素(B)などのp型の不純物をイオン注入することにより、(一对の)p⁻型半導体領域8aを形成する。n⁻型半導体領域7aおよびp⁻型半導体領域8aの深さ(接合深さ)は、例えば40nm程度とすることができる。

【0081】

次に、ゲート電極6a、6bの側壁上に、絶縁膜として、例えば酸化シリコンまたは窒化シリコンあるいはそれら絶縁膜の積層膜などからなる側壁スペーサまたはサイド・ウォール(側壁絶縁膜)9を形成する。サイド・ウォール9は、例えば、半導体基板1上に酸化シリコン膜または窒化シリコン膜あるいはそれらの積層膜を堆積し、この酸化シリコン膜または窒化シリコン膜あるいはそれらの積層膜をRIE(Reactive Ion Etching)法などにより異方性エッチングすることによって形成することができる。

【0082】

サイド・ウォール9の形成後、(一对の)n⁺型半導体領域7b(ソース、ドレイン)を、例えば、p型ウエル3のゲート電極6aおよびサイド・ウォール9の両側の領域にリン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより形成する。また、(一对の)p⁺型半導体領域8b(ソース、ドレイン)を、例えば、n型ウエル4のゲート電極6bおよびサイド・ウォール9の両側の領域にホウ素(B)などのp型の不純物をイオン注入することにより形成する。n⁺型半導体領域7bを先に形成しても、あるいはp⁺型半導体領域8bを先に形成してもよい。イオン注入後、導入した不純物の活性化のためのアニール処理を行うこともできる。n⁺型半導体領域7bおよびp⁺型半導体領域8bの深さ(接合深さ)は、例えば80nm程度とすることができる。

【0083】

n⁺型半導体領域7bは、n⁻型半導体領域7aよりも不純物濃度が高く、p⁺型半導体領域8bは、p⁻型半導体領域8aよりも不純物濃度が高い。これにより、nチャネル型MISFETのソースまたはドレインとして機能するn型の半導体領域(不純物拡散層)が、n⁺型半導体領域(不純物拡散層)7bおよびn⁻型半導体領域7aにより形成され、pチャネル型MISFETのソースまたはドレインとして機能するp型の半導体領域(不純物拡散層)が、p⁺型半導体領域(不純物拡散層)8bおよびp⁻型半導体領域8aにより形成される。従って、nチャネル型MISFETおよびpチャネル型MISFETのソース・ドレイン領域は、LDD(Lightly doped Drain)構造を有している。n⁻型半導体領域7aは、ゲート電極6aに対して自己整合的に形成され、n⁺型半導体領域7bは、ゲート電極6aの側壁上に形成されたサイド・ウォール9に対して自己整合的に形成され、p⁻型半導体領域8aは、ゲート電極6bに対して自己整合的に形成され、p⁺型半導体領域8bは、ゲート電極6bの側壁上に形成されたサイド・ウォール9に対して自己整合的に形成される。

【0084】

このようにして、p型ウエル3にnチャネル型MISFET(Metal Insulator Semiconductor Field Effect Transistor)Qnが形成され、n型ウエル4にpチャネル型MISFET

10

20

30

40

50

S F E T (Metal Insulator Semiconductor Field Effect Transistor) Q p が形成され、図 4 の構造が得られる。なお、 n^+ 型半導体領域 7 b (第 1 半導体領域) は、 n チャネル型 M I S F E T Q n のソースまたはドレイン用の半導体領域とみなすことができ、 p^+ 型半導体領域 8 b (第 1 半導体領域) は、 p チャネル型 M I S F E T Q p のソースまたはドレイン用の半導体領域とみなすことができる。

【 0 0 8 5 】

次に、サリサイド (Salicide : Self Aligned Silicide) 技術により、 n チャネル型 M I S F E T Q n のゲート電極 6 a およびソース・ドレイン領域 (ここでは n^+ 型半導体領域 7 b) の表面と、 p チャネル型 M I S F E T Q p のゲート電極 6 b およびソース・ドレイン領域 (ここでは p^+ 型半導体領域 8 b) の表面とに、低抵抗の金属シリサイド層 (後述の金属シリサイド層 1 3 に対応) を形成する。以下に、この金属シリサイド層の形成工程について説明する。

10

【 0 0 8 6 】

上記のようにして図 4 の構造が得られた後、図 5 に示されるように、ゲート電極 6 a , 6 b、 n^+ 型半導体領域 7 b および p^+ 型半導体領域 8 b の表面を露出させてから、ゲート電極 6 a , 6 b、 n^+ 型半導体領域 7 b および p^+ 型半導体領域 8 b 上を含む半導体基板 1 の主面 (全面) 上に、ゲート電極 6 a , 6 b を覆うように、金属膜 1 1 を例えばスパッタリング法を用いて形成 (堆積) する。それから、金属膜 1 1 上にバリア膜 1 2 を形成 (堆積) する。

【 0 0 8 7 】

また、半導体基板 1 上に金属膜 1 1 を堆積する前に、H F ガス、N F ₃ ガス、N H ₃ ガスまたは H ₂ ガスのうち少なくともいずれか一つを用いたドライクリーニング処理を行って、ゲート電極 6 a , 6 b、 n^+ 型半導体領域 7 b 及び p^+ 型半導体領域 8 b の表面の自然酸化膜を除去した後、半導体基板 1 を大気中 (酸素含有雰囲気中) にさらすことなく、金属膜 1 1 の形成工程およびバリア膜 1 2 の形成工程を行えば、より好ましい。

20

【 0 0 8 8 】

金属膜 1 1 は、例えばニッケル (N i) 膜からなり、その厚さ (堆積膜厚) は、例えば 1 0 n m 程度とすることができる。N i (ニッケル) 膜以外にも、例えば N i - P t 合金膜 (N i と P t の合金膜)、N i - V 合金膜 (N i と V の合金膜)、N i - P d 合金膜 (N i と P d の合金膜)、N i - Y b 合金膜 (N i と Y b の合金膜) または N i - E r 合金膜 (N i と E r の合金膜) のようなニッケル合金膜などを金属膜 1 1 として用いることができる。サイド・ウォール絶縁膜の下端幅がエクステンション領域の深さよりも小さい場合においては、金属膜 1 1 はニッケル合金膜がより好ましい。バリア膜 1 2 は、例えば窒化チタン (T i N) 膜またはチタン (T i) 膜からなり、その厚さ (堆積膜厚) は、例えば 1 5 n m 程度とすることができる。バリア膜 1 2 は、金属膜 1 1 の酸化防止や半導体基板 1 に働く応力の制御などのために金属膜 1 1 上に設けられる。

30

【 0 0 8 9 】

金属膜 1 1 およびバリア膜 1 2 を形成した後、半導体基板 1 に第 1 の熱処理 (アニール処理) を施すことで、ゲート電極 6 a , 6 b を構成する多結晶シリコン膜と金属膜 1 1、および n^+ 型半導体領域 7 b および p^+ 型半導体領域 8 b を構成する単結晶シリコンと金属膜 1 1 を選択的に反応させて、金属・半導体反応層である金属シリサイド層 1 3 を形成する。ゲート電極 6 a , 6 b、 n^+ 型半導体領域 7 b および p^+ 型半導体領域 8 b の各上部 (上層部) と金属膜 1 1 とが反応することにより金属シリサイド層 1 3 が形成されるので、金属シリサイド層 1 3 は、ゲート電極 6 a , 6 b、 n^+ 型半導体領域 7 b および p^+ 型半導体領域 8 b の各表面 (上層部) に形成される。金属シリサイド層 1 3 を形成するための第 1 の熱処理は、不活性ガス (例えばアルゴン (A r) ガス、ヘリウム (H e) ガスまたは窒素 (N ₂) ガス) 雰囲気で満たされた常圧下で行うことが好ましい。

40

【 0 0 9 0 】

次に、ウエハ 1 のデバイス面 1 a に対して、ウェット洗浄処理を行うことにより、バリア膜 1 2 と、未反応の金属膜 1 1 (すなわちゲート電極 6 a , 6 b、 n^+ 型半導体領域 7

50

bまたは p^+ 型半導体領域8bと反応しなかった金属膜11)とを除去する。この際、ゲート電極6a, 6b、 n^+ 型半導体領域7bおよび p^+ 型半導体領域8bの表面上に金属シリサイド層13を残存させる。このウェット洗浄処理は、硫酸を用いたウェット洗浄、または硫酸と過酸化水素水とを用いたウェット洗浄などにより行うことができる。このようにして、図6の構造が得られる。

【0091】

次に、半導体基板1に第2の熱処理(アニール処理)を施す。この第2の熱処理は、上記第1の熱処理の熱処理温度よりも高い熱処理温度で行う。第2の熱処理は、不活性ガス(例えばアルゴン(Ar)ガス、ヘリウム(He)ガスまたは窒素(N_2)ガス)雰囲気中で満たされた、常圧下で行うことが好ましい。

10

【0092】

上記のように、第1の熱処理によってゲート電極6a, 6b、 n^+ 型半導体領域7bおよび p^+ 型半導体領域8b(を構成するシリコン)と金属膜11を選択的に反応させて、金属シリサイド層13を形成するが、第1の熱処理を行った段階で金属シリサイド層13をMSi(メタルモノシリサイド)相とし、 M_2Si (ダイメタルシリサイド)相や MSi_2 (メタルダイシリサイド)相とはしないことが好ましい。そして、上記第2の熱処理を行うことで、MSi相の金属シリサイド層13を安定化することができる。

【0093】

すなわち、第1の熱処理でMSi相の金属シリサイド層13が形成され、この金属シリサイド層13は、第2の熱処理を行っても、変わらずMSi相のままであるが、第2の熱処理を行うことで、金属シリサイド層13内の組成がより均一化され、金属シリサイド層13内の金属元素MとSiとの組成比が1:1の化学量論比により近くなり、金属シリサイド層13を安定化できる。また、第1の熱処理で M_2Si 相の部分が金属シリサイド層13中に形成されていた場合は、第2の熱処理によって、 M_2Si 相の部分をMSi相にすることができる。なお、MSi相は、 M_2Si 相および MSi_2 相よりも低抵抗率であり、第2の熱処理以降も(半導体集積回路装置の製造終了まで)金属シリサイド層13は低抵抗のMSi相のまま維持され、製造された半導体集積回路装置では(例えば半導体基板1を個片化して半導体チップとなった状態でも)、金属シリサイド層13は低抵抗のMSi相となっている。

20

【0094】

なお、本実施の形態では、金属膜11を構成する金属元素を化学式ではM、カタカナ表記では「メタル」と表記している。例えば、金属膜11がニッケル(Ni)膜である場合は、上記M(金属膜11を構成する金属元素M)はNiであり、上記MSi(メタル・モノシリサイド)はNiSi(ニッケル・モノシリサイド)であり、上記 M_2Si (ダイ・メタル・シリサイド)は Ni_2Si (ダイ・ニッケル・シリサイド)であり、上記 MSi_2 (メタル・ダイ・シリサイド)は $NiSi_2$ (ニッケル・ダイ・シリサイド)である。金属膜11が、Niが98原子%でPtが5原子%のNi-Pt合金膜($Ni_{0.95}Pt_{0.05}$ 合金膜)の場合、上記M(金属膜11を構成する金属元素M)はNi及びPt(但しNiとPtの組成比を勘案すると上記Mは $Ni_{0.95}Pt_{0.05}$)であり、上記MSiは $Ni_{0.95}Pt_{0.05}Si$ であり、上記 M_2Si は($Ni_{0.95}Pt_{0.05}$) $_2Si$ であり、上記 MSi_2 は $Ni_{0.95}Pt_{0.05}Si_2$ である。金属膜11が、Niが99原子%でPdが1原子%のNi-Pd合金膜($Ni_{0.99}Pd_{0.01}$ 合金膜)の場合、上記M(金属膜11を構成する金属元素M)はNi及びPd(但しNiとPdの組成比を勘案すると上記Mは $Ni_{0.99}Pd_{0.01}$)であり、上記MSiは $Ni_{0.99}Pd_{0.01}Si$ であり、上記 M_2Si は($Ni_{0.99}Pd_{0.01}$) $_2Si$ であり、上記 MSi_2 は $Ni_{0.99}Pd_{0.01}Si_2$ である。金属膜11が他の組成の合金膜の場合も、同様に考えることができる。

30

40

【0095】

このようにして、 n チャネル型MISFETQnのゲート電極6aおよびソース・ドレイン領域(n^+ 型半導体領域7b)の表面(上層部)と、 p チャネル型MISFETQp

50

のゲート電極 6 b およびソース・ドレイン領域 (p^+ 型半導体領域 8 b) の表面 (上層部) とに、MSi (メタルモノシリサイド) からなる金属シリサイド層 1 3 が形成される。また、金属膜 1 1 の膜厚によるが、金属膜 1 1 の膜厚が例えば 10 nm 程度の場合、金属シリサイド層 1 3 の膜厚は、例えば 20 nm 程度である。

【0096】

次に、図 7 に示されるように、半導体基板 1 の主面上に絶縁膜 2 1 (第 1 絶縁膜) を形成する。すなわち、ゲート電極 6 a, 6 b を覆うように、金属シリサイド層 1 3 上を含む半導体基板 1 上に絶縁膜 2 1 を形成する。絶縁膜 2 1 は窒化シリコン膜からなり、プラズマ CVD (Chemical Vapor Deposition) 法を用いて形成する。この絶縁膜 2 1 の形成工程については、後でより詳細に説明する。

10

【0097】

次に、図 8 に示されるように、絶縁膜 2 1 上に絶縁膜 2 1 よりも厚い絶縁膜 2 2 を形成する。絶縁膜 2 2 は例えば酸化シリコン膜などからなり、TEOS (Tetraethoxysilane: テトラエトキシシラン、または Tetra Ethyl Ortho Silicate とも言う) を用いてプラズマ CVD 法などにより形成することができる。これにより、絶縁膜 2 1, 2 2 からなる層間絶縁膜が形成される。その後、絶縁膜 2 2 の表面を CMP 法により研磨するなどして、絶縁膜 2 2 の上面を平坦化する。下地段差に起因して絶縁膜 2 1 の表面に凹凸形状が形成されていても、絶縁膜 2 2 の表面を CMP 法により研磨することにより、その表面が平坦化された層間絶縁膜を得ることができる。

【0098】

20

次に、図 9 に示されるように、絶縁膜 2 2 上に形成したフォトレジストパターン (図示せず) をエッチングマスクとして用いて、絶縁膜 2 2, 2 1 をドライ・エッチングすることにより、絶縁膜 2 1, 2 2 にコンタクト・ホール (貫通孔、孔) 2 3 を形成する。

【0099】

この際、まず絶縁膜 2 1 に比較して絶縁膜 2 2 がエッチングされやすい条件 (すなわち絶縁膜 2 2 のエッチング速度が絶縁膜 2 1 のエッチング速度よりも大きくなるエッチング条件) で絶縁膜 2 2 のドライ・エッチングを行い、絶縁膜 2 1 をエッチングストップ膜として機能させることで、絶縁膜 2 2 にコンタクト・ホール 2 3 を形成する。このときのガス雰囲気としては、たとえば、比較的少量の希釈ガス (アルゴン、ヘリウム)、パー・フルオロ・カーボン系のエッチング・ガス (C_4F_8 , C_5F_8 , C_4F_{10} , C_3F_8 , C_5F_5 等)、および、その他の添加ガス (酸素、窒素等) 等を含む混合ガス雰囲気を例示することができる。

30

【0100】

この段階では、コンタクト・ホール 2 3 は、絶縁膜 2 2 を貫通するが絶縁膜 2 1 は貫通せず、絶縁膜 2 1 でエッチングを停止させ、コンタクト・ホール 2 3 の底部で、絶縁膜 2 1 の少なくとも一部が残存するようにする。それから、絶縁膜 2 2 に比較して絶縁膜 2 1 がエッチングされやすい条件 (すなわち絶縁膜 2 1 のエッチング速度が絶縁膜 2 2 のエッチング速度よりも大きくなるエッチング条件) でコンタクト・ホール 2 3 の底部の絶縁膜 2 1 をドライ・エッチングして除去する (通常、 CF_4 , CHF_3 , CH_2F_2 , NF_3 等の弗素含有エッチング・ガスとその他酸素等の添加ガス等からなる混合ガス雰囲気が用いられる)。これにより、コンタクト・ホール 2 3 の底部で絶縁膜 2 1 が完全に除去され、コンタクト・ホール 2 3 は絶縁膜 2 2, 2 1 を貫通し、コンタクト・ホール 2 3 の底部で半導体基板 1 の主面の一部、例えば n^+ 型半導体領域 7 b および p^+ 型半導体領域 8 b の表面上の金属シリサイド層 1 3 の一部や、ゲート電極 6 a, 6 b の表面上の金属シリサイド層 1 3 の一部などが露出される。

40

【0101】

次に、コンタクト・ホール 2 3 内に、タングステン (W) などからなるプラグ (接続用導体部、埋め込みプラグ、埋め込み導体部) 2 4 を形成する。プラグ 2 4 を形成するには、例えば、コンタクト・ホール 2 3 の内部 (底部および側壁上) を含む絶縁膜 2 2 上に、プラズマ CVD 法などによりバリア導体膜 2 4 a (例えばチタン膜、窒化チタン膜、ある

50

いはそれらの積層膜)を形成する。それから、タングステン膜などからなる主導体膜 2 4 b を C V D 法などによってバリア導体膜 2 4 a 上にコンタクト・ホール 2 3 を埋めるように形成し、絶縁膜 2 2 上の不要な主導体膜 2 4 b およびバリア導体膜 2 4 a を C M P 法またはエッチバック法などによって除去することにより、コンタクト・ホール 2 3 内に残存する主導体膜 2 4 b およびバリア導体膜 2 4 a からなるプラグ 2 4 を形成することができる。ゲート電極 6 a , 6 b、 n^+ 型半導体領域 7 b または p^+ 型半導体領域 8 b 上に形成されたプラグ 2 4 は、その底部でゲート電極 6 a , 6 b、 n^+ 型半導体領域 7 b または p^+ 型半導体領域 8 b の表面上の金属シリサイド層 1 3 と接して、電氣的に接続される。

【 0 1 0 2 】

次に、図 1 0 に示されるように、プラグ 2 4 が埋め込まれた絶縁膜 2 2 上に、ストッパ絶縁膜 3 1 および配線形成用の絶縁膜 3 2 を順次形成する。ストッパ絶縁膜 3 1 は絶縁膜 3 2 への溝加工の際にエッチングストッパとなる膜であり、絶縁膜 3 2 に対してエッチング選択比を有する材料を用いる。ストッパ絶縁膜 3 1 は、例えばプラズマ C V D 法により形成される窒化シリコン膜とし、絶縁膜 3 2 は、例えばプラズマ C V D 法により形成される酸化シリコン膜とすることができる。なお、ストッパ絶縁膜 3 1 と絶縁膜 3 2 には次に説明する第 1 層目の配線が形成される。

【 0 1 0 3 】

次に、シングルダマシン法により第 1 層目の配線を形成する。まず、レジストパターン(図示せず)をマスクとしたドライ・エッチングによって絶縁膜 3 2 およびストッパ絶縁膜 3 1 の所定の領域に配線溝 3 3 を形成した後、半導体基板 1 の主面上(すなわち配線溝 3 3 の底部および側壁を含む絶縁膜 3 2 上)にバリア導体膜(バリア・メタル膜) 3 4 を形成する。バリア導体膜 3 4 は、例えば窒化チタン膜、タンタル膜または窒化タンタル膜などを用いることができる。続いて、C V D 法またはスパッタリング法などによりバリア導体膜 3 4 上に銅のシード層を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜を形成して、銅めっき膜により配線溝 3 3 の内部を埋め込む。それから、配線溝 3 3 以外の領域の銅めっき膜、シード層およびバリア・メタル膜 3 4 を C M P 法により除去して、配線溝 3 3 に埋め込まれ銅を主導電材料とする第 1 層目の配線 3 5 を形成する。配線 3 5 は、プラグ 2 4 を介して n チャネル型 M I S F E T Q n および p チャネル型 M I S F E T Q p のソースまたはドレイン用の n^+ 型半導体領域 7 b および p^+ 型半導体領域 8 b やゲート電極 6 a , 6 b などと電氣的に接続されている。その後、デュアルダマシン法により 2 層目の配線を形成するが、ここでは図示およびその説明は省略する。

【 0 1 0 4 】

2 . 本願の一実施の形態の半導体集積回路装置の製造方法におけるシリサイド表面に対する不活性ガス・プラズマ処理等に使用する気相処理装置の説明(主に図 1 1 から図 1 3)

次に、絶縁膜 2 1 の形成工程について、より詳細に説明する。

【 0 1 0 5 】

図 1 1 は絶縁膜 2 1 の形成に用いることができる成膜装置 4 1 の一例を示す概略平面図である。絶縁膜 2 1 の成膜には、図 1 1 のマルチ・チャンバ型枚葉成膜装置 4 1 (マルチ・チャンバ型枚葉気相処理装置)を用いることができる。各チャンバの構成は、必要に応じて、成膜チャンバ(プラズマ C V D チャンバ、熱 C V D チャンバ、スパッタ成膜チャンバ)および、その他の気相処理チャンバ(プラズマ気相処理チャンバ、非プラズマ気相処理チャンバ)等とすることができる。

【 0 1 0 6 】

図 1 1 に示されるように、成膜装置 4 1 は、搬送室 4 2 と、搬送室 4 2 の周囲に開閉手段であるゲートバルブ 4 3 を介して配置されたロードロック室 4 4 a , 4 4 b およびチャンバ(処理室、反応室) 4 6 a , 4 6 b , 4 7 a , 4 7 b , 4 8 a , 4 8 b とを有している。また、成膜装置 4 1 においては、ロードロック室 4 4 a , 4 4 b の搬送室 4 2 と反対側にはウエハ搬入室 5 1 が設けられており、ウエハ搬入室 5 1 のロードロック室 4 4 a , 4 4 b と反対側には半導体ウエハ S W を収納するフープ(Front Open Unified Pod

10

20

30

40

50

) 5 2 a , 5 2 b を取り付けるポート 5 3 が設けられている。

【 0 1 0 7 】

搬送室 4 2 は排気機構等により所定の真空度に保持され、その中央部には半導体ウエハ S W を搬送するための搬送用口ポット 4 2 a が設けられている。搬送室 4 2 に備わるチャンバ 4 6 a , 4 6 b は、プラズマ C V D 法により絶縁膜 2 1 を成膜する成膜用チャンバとなる。

【 0 1 0 8 】

成膜装置 4 1 は、複数のチャンバ 4 6 a , 4 6 b , 4 7 a , 4 7 b , 4 8 a , 4 8 b を備えたマルチチャンバタイプの装置であるが、成膜装置 4 1 が備えるチャンバの数は種々変更可能であり、一つのチャンバのみを備えたタイプの装置とすることもできるが、チャンバ 4 6 a , 4 6 b の少なくとも一方は必要である。

10

【 0 1 0 9 】

また、成膜装置 4 1 では、チャンバ 4 6 a とチャンバ 4 6 b とを同じ構成のチャンバとしてツイン・チャンバとし、チャンバ 4 7 a とチャンバ 4 7 b とを同じ構成のチャンバとしてツイン・チャンバとし、チャンバ 4 8 a とチャンバ 4 8 b とを同じ構成のチャンバとしてツイン・チャンバとし、一度に 2 枚の半導体ウエハに対して同じ処理を行えるようにしている。他の形態として、チャンバ 4 6 a , 4 6 b の一方とチャンバ 4 7 a , 4 7 b の一方とチャンバ 4 8 a , 4 8 b の一方を省略することもできる。

【 0 1 1 0 】

次に、成膜装置 4 1 のチャンバ 4 6 a , 4 6 b の構成について説明する。なお、チャンバ 4 6 a とチャンバ 4 6 b とは同様の構成を有しているので、ここではチャンバ 4 6 a , 4 6 b をチャンバ 4 6 として説明する。図 1 2 は成膜装置 4 1 に備わる成膜用のチャンバ 4 6 (すなわちチャンバ 4 6 a , 4 6 b) の概略断面図である。

20

【 0 1 1 1 】

チャンバ 4 6 は、半導体ウエハ S W (すなわち半導体基板 1) 上に絶縁膜 2 1 を C V D 法によって形成するために使用されるチャンバ (処理室、反応室) であり、例えば平行平板型プラズマ C V D 装置のチャンバである。

【 0 1 1 2 】

図 1 2 に示されるように、チャンバ 4 6 は、真空気密が可能な処理室であり、チャンバ 4 6 内には、互いに対向する下部電極 (基板電極) 6 1 および上部電極 (高周波電極) 6 2 が配置されている。下部電極 6 1 は、その上に半導体ウエハ S W (すなわち半導体基板 1) が配置可能に構成され、内部に図示しないヒータなどの加熱機構を内蔵している。また、上部電極 6 2 には、チャンバ 4 6 の外部に設けられた高周波電源 6 3 などにより高周波電力または高周波電圧を供給 (印加) 可能に構成されている。一方、高周波電源 6 3 の他端 (上部電極 6 2 に接続されていない側)、下部電極 6 1 およびチャンバ 4 6 の内壁は、接地されている。

30

【 0 1 1 3 】

また、チャンバ 4 6 は、上部電極 6 2 に設けられたガス導入口 6 2 a から所望のガスが所望の流量でチャンバ 4 6 内に導入できるように構成されている。例えば、ガス導入口 6 2 a は、後述するステップ S 2 , S 3 で必要となるガス (ここでは S i H ₄ ガス、N H ₃ ガス、H ₂ ガス、N ₂ ガスおよび A r ガス) の導入経路にマスフローコントローラ (ガス流量制御装置) 6 4 を介して連結されており、それによって、所望の種類 (S i H ₄、N H ₃、H ₂、N ₂ および A r から選択されたガス) が所望の流量でガス導入口 6 2 a からチャンバ 4 6 内に導入できるようになっている。

40

【 0 1 1 4 】

また、チャンバ 4 6 はガス排気口 6 5 を介して図示しないガス排気手段 (例えば真空ポンプ) に接続され、ガス排気口 6 5 からチャンバ 4 6 内を所望の排気速度で排気することができるように構成されている。また、図示しない圧力制御部が、圧力センサなどが検出したチャンバ 4 6 内の圧力に応じて、ガス排気口 6 5 からの排気速度などを調節し、チャンバ 4 6 内を所望の圧力に維持することができるように構成されている。

50

【0115】

なお、下部電極61は適正なスパッタ作用の観点から、接地することが望ましいが、図13に示すように、下部電極用高周波電源66およびブロッキング・コンデンサ67等からなるセルフ・バイアス回路を連結することで、10ボルト以下、望ましくは5ボルト以下程度の微弱な直流バイアスを発生させるようにしてもよい。

【0116】

3. 本願の一実施の形態の半導体集積回路装置の製造方法におけるシリサイド表面に対する不活性ガス・プラズマ処理(窒化シリコン膜CVD前処理)等の詳細説明(主に図14から図18)

図14は、絶縁膜21の形成工程を示す製造プロセスフロー図である。絶縁膜21の形成工程は、成膜装置41を用いて次のように行われる。

【0117】

まず、フープ52aまたはフープ52bから半導体ウエハSWを、ウエハ搬入出室51内に設置された搬送用口ポット51aまたは搬送用口ポット51bによって取り出し、ロードロック室44a, 44bへ搬入する。この際、搬送用口ポット51a, 51b間の半導体ウエハSWの受け渡しは、ウエハ受け渡しステーション54を介して行われる。この半導体ウエハSWは、上記半導体基板1に対応するものである。フープ52a, 52bは半導体ウエハSWのバッチ搬送用の密閉収納容器であり、通常25枚、12枚、6枚等のバッチ単位で半導体ウエハSWを収納する。フープ52a, 52bの容器外壁は微細な通気フィルタ部を除いて機密構造になっており、塵埃はほぼ完全に排除される。従って、クラス1000の雰囲気中で搬送しても、内部はクラス1の清浄度が保てるようになっている。成膜装置41とのドッキングは、フープ52a, 52bの扉をポート53に取り付けて、ウエハ搬入出室51の内部に引き込むことによって清浄さを保持した状態で行われる。続いてロードロック室44a, 44b内を真空引きした後、搬送用口ポット42aによって半導体ウエハSWをロードロック室44a, 44bから搬送室42を介して成膜用のチャンバ46a, 46bへ真空搬送する。このようにして、半導体ウエハSW、すなわち半導体基板1をチャンバ46(すなわちチャンバ46a, 46b)へ搬送し、チャンバ46内に配置する(ステップS1)。この際、半導体基板1(半導体ウエハSW)は、絶縁膜21を形成する側の主面(上面、表面)を上部電極62に向けて、チャンバ46内の下部電極61上に配置される。下部電極61上に配置された半導体基板1(半導体ウエハSW)は、下部電極61に内蔵されたヒータで加熱される。既に加熱された下部電極61上に半導体基板1(半導体ウエハSW)を配置することもできる。

【0118】

次に、チャンバ46内に配置された半導体基板1(半導体ウエハSW)を不活性ガスを主要な成分の一つとするガスのノン・バイアス・プラズマ(以下では「不活性ガスのプラズマ」という)で処理する(ステップS2)。半導体基板1には、金属シリサイド層13が形成されているので、ステップS2では、半導体基板1に形成された金属シリサイド層13の表面が不活性ガスのプラズマで処理される。このステップS2の不活性ガスのプラズマ処理により、金属シリサイド層13の表面の自然酸化膜がスパッタ除去される。

【0119】

ステップS2の不活性ガスのプラズマは、アルゴン・ガスのプラズマ(アルゴン・プラズマ)、あるいはアルゴン・ガスと窒素ガスとの混合ガスのプラズマが好ましい。これにより、金属シリサイド層13の表面の自然酸化膜を的確に除去することができる。

【0120】

すなわち、ステップS2では、ガス導入口62aからチャンバ46内に不活性ガス(好ましくはアルゴン・ガスまたはアルゴン・ガスと窒素ガスの混合ガス)を導入し、ガス排気口65からの排気速度を調節してチャンバ46内の圧力を所定の圧力に制御し、高周波電源63により上部電極62に高周波電力(高周波電圧)を供給(印加)する。これにより、下部電極61と上部電極62との間に高周波グロー放電によりプラズマを発生させる。このようにして、ガス導入口62aから導入した不活性ガスのプラズマがチャンバ46

内（下部電極 6 1 および上部電極 6 2 間）に発生（生成）し、このプラズマにより、金属シリサイド層 1 3 の表面が処理（プラズマ処理）され、金属シリサイド層 1 3 の表面の自然酸化膜が除去される。ステップ S 2 で行う不活性ガスのプラズマ処理は、10～60 秒程度行うことが好ましく、これにより、金属シリサイド層 1 3 の表面の自然酸化膜を除去できるとともに、製造時間が長くなってスループットが低下するのを防止できる。

【0121】

また、ステップ S 2 では、前記の不活性ガス等以外に、希釈ガスまたはキャリアガスなどとして窒素ガス、およびヘリウム（He）ガスから選択された単一または複数のガスをガス導入口 6 2 a からチャンバ 4 6 内に導入することもできる。

【0122】

また、ステップ S 2 は、金属シリサイド層 1 3 の表面の自然酸化膜の除去が目的であるので、ステップ S 2 では、シラン（SiH₄）ガスのようなシリコンソースガス（Si を構成元素として含むガス）はチャンバ 4 6 内に導入しない。

【0123】

ステップ S 2 の不活性ガスのプラズマ処理の後、半導体基板 1（すなわち半導体ウエハ SW）上に、窒化シリコンからなる絶縁膜 2 1 をプラズマ CVD 法で堆積させる（ステップ S 3）。ステップ S 2 の不活性ガスのプラズマ処理の後、半導体基板 1（半導体ウエハ SW）を大気中（酸素含有雰囲気中）にさらすことなく、ステップ S 3 の絶縁膜 2 1 の堆積工程を行うことが重要である。これにより、金属シリサイド層 1 3 の表面に自然酸化膜が再形成されることなく、金属シリサイド層 1 3 の表面を含む半導体基板 1 上に絶縁膜 2 1 を形成することができる。このため、ステップ S 2 の不活性ガスのプラズマ処理工程とステップ S 3 の絶縁膜 2 1 の堆積工程とは、同じチャンバ 4 6 内で連続的に行うことが好ましい。また、チャンバ 4 6 内でステップ S 2 の不活性ガスのプラズマ処理工程を行ってから、半導体基板 1 をそのチャンバ 4 6 から取り出さず、同じチャンバ 4 6 内でステップ S 3 の堆積工程を開始することが好ましいが、ステップ S 2 の不活性ガスのプラズマ処理を行ってからステップ S 3 で絶縁膜 2 1（窒化シリコン膜）を堆積するまでの間、酸素含有ガスをチャンバ 4 6 内に導入しないようにする。これにより、ステップ S 2 の不活性ガスのプラズマ処理の後、半導体基板 1（半導体ウエハ SW）を酸素含有雰囲気中にさらすことなく、ステップ S 3 の絶縁膜 2 1 の堆積工程を行うことができ、金属シリサイド層 1 3 の表面の再酸化を防止できる。

【0124】

すなわち、ステップ S 2 の後、上部電極 6 2 に供給（印加）される高周波電力（高周波電圧）を一旦停止する。それから、ステップ S 3 で、ガス導入口 6 2 a からチャンバ 4 6 内に反応ガス（ソースガス、原料ガス、成膜用ガス）、例えばシラン（SiH₄）ガスとアンモニア（NH₃）ガスと窒素（N₂）ガスとを導入し、ガス排気口 6 5 からの排気速度を調節してチャンバ 4 6 内の圧力を所定の圧力に制御し、高周波電源 6 3 により上部電極 6 2 に高周波電力（高周波電圧）を供給（印加）する。これにより、下部電極 6 1 と上部電極 6 2 との間に高周波グロー放電によりプラズマが発生し、反応ガスが分解され、下部電極 6 1 上に配置された半導体基板 1（半導体ウエハ SW）上に窒化シリコン膜（プラズマ窒化シリコン膜）からなる絶縁膜 2 1 が堆積される。以下では、プラズマ CVD 法で形成された窒化シリコン膜をプラズマ窒化シリコン膜と呼ぶ場合もある。

【0125】

ステップ S 3 では、ガス導入口 6 2 a からチャンバ 4 6 内に、窒化シリコンのシリコンソースガスとして、シリコン（Si）元素を構成元素として含む第 1 のガス、好ましくはシラン（SiH₄）ガスのようなシラン系ガスと、窒化シリコンの窒素ソースガスとして、窒素元素を構成元素として含む第 2 のガス、好ましくはアンモニア（NH₃）ガスとを導入し、これらのガスのプラズマを生成して絶縁膜 2 1 を堆積させる。ステップ S 3 では、それ以外に、希釈ガスまたはキャリアガスなどとして不活性ガス、例えば窒素（N₂）ガス、アルゴン（Ar）ガスおよびヘリウム（He）ガスから選択された単一または複数のガス、をガス導入口 6 2 a からチャンバ 4 6 内に導入することもできる。

10

20

30

40

50

【 0 1 2 6 】

本実施の形態では、ステップ S 3 の絶縁膜 2 1 (窒化シリコン膜) の堆積工程の前に、In - s i t u 処理にて金属シリサイド層 1 3 の表面の自然酸化膜をステップ S 2 の不活性ガスのプラズマ処理により除去して清浄化しているため、表面の酸化膜が除去された金属シリサイド層 1 3 上に絶縁膜 2 1 が堆積される。

【 0 1 2 7 】

ステップ S 3 の絶縁膜 2 1 の成膜工程後、半導体基板 1 (半導体ウエハ S W) はチャンバ 4 6 から取り出され (ステップ S 4)、次の工程 (絶縁膜 2 2 の成膜工程) に送られる。例えば、搬送用ロボット 4 2 a によって半導体ウエハ S W を成膜用のチャンバ 4 6 a, 4 6 b (すなわちチャンバ 4 6) から搬送室 4 2 を介してロードロック室 4 4 a, 4 4 b へ真空搬送し、それから、搬送用ロボット 5 1 a, 5 1 b によって半導体ウエハ S W をロードロック室 4 4 a, 4 4 b からウエハ搬入出室 5 1 を介して元のフープ 5 2 a またはフープ 5 2 b へ戻す。この際、搬送用ロボット 5 1 a, 5 1 b 間の半導体ウエハ S W の受け渡しは、ウエハ受け渡しステーション 5 4 を介して行われる。

10

【 0 1 2 8 】

このように、本実施の形態では、ステップ S 2 で金属シリサイド層 1 3 の表面を不活性ガスのプラズマで処理した後、半導体基板 1 を大気中にさらすことなく、ステップ S 3 で金属シリサイド層 1 3 上を含む半導体基板 1 上に絶縁膜 2 1 (窒化シリコン膜) をプラズマ C V D 法で形成する。より好ましくは、ステップ S 2 で金属シリサイド層 1 3 の表面を不活性ガスのプラズマで処理した後、半導体基板 1 を酸素含有雰囲気中にさらすことなく、ステップ S 3 で金属シリサイド層 1 3 上を含む半導体基板 1 上に絶縁膜 2 1 を形成する。ステップ S 2 の不活性ガスのプラズマ処理により、金属シリサイド層 1 3 の表面の自然酸化膜が除去され、その後、半導体基板 1 を大気中 (酸素含有雰囲気中) にさらすことなく、ステップ S 3 で絶縁膜 2 1 を堆積するので、形成された絶縁膜 2 1 と金属シリサイド層 1 3 との間の界面に酸化膜は形成されていない。このため、絶縁膜 2 1 の成膜後の種々の加熱工程 (例えば種々の絶縁膜や導体膜の成膜工程のように半導体基板 1 の加熱を伴う工程) が行われても、金属シリサイド層 1 3 と絶縁膜 2 1 との間の界面の酸化膜の酸素に起因して金属シリサイド層 1 3 が部分的に異常成長してしまうのを防止できる。これにより、異常成長による金属シリサイド層 1 3 の抵抗の増加を防止できる。また、ソース・ドレイン領域上に形成した金属シリサイド層 1 3 がチャンネル部に異常成長して電界効果トランジスタのソース・ドレイン間のリーク電流が増大するのを防止できる。従って、半導体集積回路装置の性能を向上させることができる。また、半導体集積回路装置の信頼性を向上させることができる。

20

30

【 0 1 2 9 】

絶縁膜 2 1 は、コンタクト・ホール 2 3 を形成するために絶縁膜 2 2 をエッチングする際のエッチングストップ膜として機能するので、S A C (Self Align Contact) 用の絶縁膜とみなすこともできる。半導体基板 1 の主面上に形成された絶縁膜 2 1 を半導体基板 1 に引張応力を生じさせる膜にすると、n チャンネル型 M I S F E T Q n は、移動度が向上して駆動電流が増加するので、スイッチング特性が向上する。また、半導体基板 1 の主面上に形成された絶縁膜 2 1 を半導体基板 1 に圧縮応力を生じさせる膜にすると、p チャンネル型 M I S F E T Q p は、移動度が向上して駆動電流が増加するので、スイッチング特性が向上する。このため、半導体基板 1 の主面上に形成する絶縁膜 2 1 を、半導体基板 1 に引張応力を生じさせる膜にする場合と、圧縮応力を生じさせる膜にする場合とがあり、必要に応じて選択される。ここでは、一例として、半導体基板 1 に引張応力を生じさせる膜にする場合を中心に説明する。

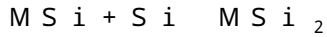
40

【 0 1 3 0 】

また、図 4 から図 7 に渡り説明したように、金属シリサイド層 1 3 は低抵抗率であることが好ましいため、金属シリサイド層 1 3 は、M₂ S i (ダイメタルシリサイド) 相、M S i (メタルモノシリサイド) 相および M S i₂ (メタルダイシリサイド) 相のうち、抵抗率が最も低い相にする必要があるが、金属シリサイド層 1 3 を構成する金属元素の種類

50

によって、 MSi 相が最も低抵抗率の場合と、 MSi_2 相が最も低抵抗率の場合とがある。一方、金属シリサイド層13と絶縁膜21の界面に自然酸化膜が形成（残存）されていると、絶縁膜21の成膜後の種々の加熱工程において、自然酸化膜の酸素に起因して金属シリサイド層13が部分的に異常成長するが、この異常成長は、金属シリサイド層13が MSi 相である場合に特に顕著になる。これは、 MSi_2 相は Si （シリコン）とこれ以上反応しづらい相であるのに対して、 M_2Si 相および MSi 相は更に Si （シリコン）と反応しやすい相であるためである。金属シリサイド層13が MSi 相である場合、自然酸化膜中の酸素（ O ）が拡散して酸素に起因した欠陥が増え、生じた欠陥を通して MSi 相の金属シリサイド層13の金属元素が拡散して、



の反応が生じ、 MSi_2 の部分が異常成長する。

【0131】

このため、 M_2Si 相および MSi_2 相よりも MSi 相の方が低抵抗率の場合には、 MSi_2 の部分が異常成長しやすい MSi 相を金属シリサイド層13に適用するために、金属シリサイド層13と絶縁膜21の界面の自然酸化膜に起因した金属シリサイド層13の異常成長を防止することが、極めて重要となる。

【0132】

本実施の形態では、ステップS2で自然酸化膜をスパッタ除去してからステップS3で絶縁膜21を形成しているので、金属シリサイド層13と絶縁膜21の界面に酸化膜が形成されず、絶縁膜21の成膜後の種々の加熱工程において、金属シリサイド層13が部分的に異常成長するのを防止できる。このため、 MSi_2 の部分が異常成長しやすい MSi 相を金属シリサイド層13に適用しても、 MSi_2 の部分が異常成長するのを防止できる。このため、本実施の形態は、第1の条件として、 MSi_2 （メタルダイシリサイド）相および M_2Si （ダイメタルシリサイド）相よりも、 MSi （メタルモノシリサイド）相の方が低抵抗率であるような金属シリサイドにより、金属シリサイド層13を形成する場合に適用すれば、効果が大きい。また、この場合、半導体集積回路装置の製造終了（例えば半導体基板1をダイシングなどにより個片化して半導体チップを形成した段階）まで、金属シリサイド層13は、 MSi 相のままとする。これは、製造された半導体集積回路装置において、金属シリサイド層13を、 MSi_2 相および M_2Si 相よりも低抵抗率の MSi 相とすることで、金属シリサイド層13を低抵抗とし、コンタクト抵抗や、ソース・ドレインの拡散抵抗を低減でき、 $MISFET$ が形成された半導体集積回路装置の性能を向上できるためである。

【0133】

また、本実施の形態は、 MSi 相の金属シリサイド層13を形成しても、 MSi_2 の異常成長を防止できるので、 MSi_2 （メタルダイシリサイド）相が存在可能なシリサイドにより、金属シリサイド層13を形成する場合に適用すれば、効果が大きい。

【0134】

また、本実施の形態は、絶縁膜21の成膜後の種々の加熱工程で、金属シリサイド層13と絶縁膜21の界面の自然酸化膜に起因して金属シリサイド層13の金属元素 M が拡散して MSi_2 の部分が異常成長するのを防止できるので、 Si （シリコン）ではなく金属元素 M が拡散種となる場合に、本実施の形態を適用すれば、効果が大きい。

【0135】

これらを勘案すると、上記金属膜11が、 Ni （ニッケル）膜または Ni （ニッケル）合金膜である場合に本実施の形態を適用すれば、効果が大きい。すなわち、金属シリサイド層13が、ニッケルのシリサイド層（ニッケルシリサイド層）またはニッケル合金のシリサイド層（ニッケル合金シリサイド層）である場合に本実施の形態を適用すれば、効果が大きい。金属膜11に用いることができる Ni （ニッケル）合金膜には、 $Ni-Pt$ （ニッケル-白金）合金膜（白金族元素との合金）、 $Ni-V$ （ニッケル-バナジウム）合金膜、 $Ni-Pd$ （ニッケル-パラジウム）合金膜（白金族元素との合金）、 $Ni-Yb$ （ニッケル-イッテルビウム）合金膜（希土類元素との合金）、または $Ni-Er$ （ニッ

10

20

30

40

50

ケル - エルビウム) 合金膜 (希土類元素との合金) がある。金属膜 11 が、Ni 膜、Ni - Pt 合金膜、Ni - V 合金膜、Ni - Pd 合金膜、Ni - Yb 合金膜、または Ni - Er 合金膜であれば、Si (シリコン) ではなく金属元素 M が拡散種となり、 MSi_2 相が存在し、 MSi_2 相および M_2Si 相よりも MSi 相の方が低抵抗率となる。但し、金属シリサイド層 13 からチャンネル部への MSi_2 の異常成長の問題や、金属シリサイド層中の MSi_2 部分の形成による抵抗ばらつき増大の問題は、金属膜 11 が Ni 膜、Ni - Pt 合金膜、Ni - V 合金膜、Ni - Pd 合金膜、Ni - Yb 合金膜または Ni - Er 合金膜のいずれの場合にも生じるが、特に金属膜 11 が Ni (ニッケル) 膜の場合に最も顕著に現れる。このため、金属膜 11 が Ni (ニッケル) 膜である場合に本実施の形態を適用すれば、最も効果が大きい。

10

【0136】

また、本実施の形態では、ソースまたはドレイン用の半導体領域 (7b, 8b) 上とゲート電極 (6a, 6b) 上とに金属シリサイド層 13 を形成する場合について説明したが、他の形態として、ゲート電極 6a, 6b 上には金属シリサイド層 13 を形成せずに、ソースまたはドレイン用の半導体領域 (ここでは n^+ 型半導体領域 7b、 p^+ 型半導体領域 8b) 上に金属シリサイド層 13 を形成することもできる。

【0137】

また、本実施の形態では、最良の形態として、半導体基板 1 に形成したソースまたはドレイン用の半導体領域 (ここでは n^+ 型半導体領域 7b、 p^+ 型半導体領域 8b) 上に金属シリサイド層 13 を形成する場合について説明したが、他の形態として、半導体基板 1 に形成したソースまたはドレイン用以外の半導体領域上に、金属シリサイド層 13 を形成することもできる。その場合にも、本実施の形態のような絶縁膜 21 形成法を用いたことにより、金属シリサイド層 13 の異常成長を防止して、金属シリサイド層 13 の抵抗のばらつきを低減できる。但し、本実施の形態のように、半導体基板 1 に形成したソースまたはドレイン用の半導体領域 (n^+ 型半導体領域 7b、 p^+ 型半導体領域 8b) 上に金属シリサイド層 13 を形成する場合であれば、金属シリサイド層 13 の抵抗のばらつきを低減する効果に加えて、金属シリサイド層 13 がチャンネル部に異常成長して電界効果トランジスタのソース・ドレイン間のリーク電流が増大するのを防止できる効果を得られるので、効果が極めて大きい。

20

【0138】

次に、図 14 のプラズマ処理・成膜プロセス 101 の詳細を図 15 (デバイス断面フローに関して図 6 または図 7 を参照し、処理装置に関して図 11 から図 13 を参照) に基づいて説明する。図 15 に示すように、まず、ウエハ処理装置 41 の気相処理チャンバ 46 のウエハ・ステージ 61 (接地された下部電極) 上に、デバイス面 1a (第 1 の主面) を上に向けてウエハ 1 を設置し、その状態で不活性ガスによるプラズマ処理 S2 を実行する。この際の諸条件の好適な一例は、たとえば、処理時間 30 秒、ステージ温度摂氏 400 度、チャンバ内気圧 1100 パスカ、窒素ガス流量 3000 sccm、アルゴン・ガス (不活性ガス) 流量 3000 sccm である。気相処理装置 41 としては、たとえばアプライド・マテリアル (Applied Materials) 社の平行平板型 (容量結合型) 絶縁膜成膜装置 (ここでは主に窒化シリコン膜 CVD 装置) を例示することができる。プラズマ発生 (アルゴン・プラズマ発生のため) のため、下部電極 61 を接地した状態で、上部電極 62 に高周波電力 100 ワット (13.56 MHz) を供給した。

30

40

【0139】

次に、ウエハ 1 がそのままの状態 (すなわち、気相処理チャンバ 46 のウエハ・ステージ 61 上に、デバイス面 1a を上に向けて設置された状態、以下同じ) で、ガス置換のための窒素パージ S31 を実行する。この際の諸条件の好適な一例は、たとえば、処理時間 5 秒、ステージ温度摂氏 400 度、チャンバ内気圧 1100 パスカ、窒素ガス流量 3000 sccm、下部電極 61 は接地、上部電極 62 への高周波電力はオフ状態である。

【0140】

次に、ウエハ 1 がそのままの状態、プラズマ CVD により、窒化シリコン膜 21 (エ

50

ッチング・ストップ膜)の成膜を実行する。この際の諸条件の好適な一例は、たとえば、処理時間15秒、ステージ温度摂氏400度、チャンバ内気圧1100パスカル、モノシラン・ガス流量60sccm、アンモニア・ガス流量900sccm、窒素ガス流量1000sccm、下部電極61は接地、上部電極62への高周波電力100ワット(13.56MHz)はオン状態である。

【0141】

次に、ウエハ1は、NチャンネルMISFETの特性を改善するための引っ張り応力(Tensile Stress)を窒化シリコン膜21に付与するためのUVキュア処理S34のために、たとえばマルチ・チャンバ型ウエハ処理装置41の別のチャンバ(アルゴン・プラズマ処理および窒化シリコン膜形成とは別のチャンバ)に移送される。そこで、ウエハ1は、先のアルゴン・プラズマ処理等と同様の状態で、ウエハ・ステージ上に設置される。この場合は、ウエハの上方には、紫外線ランプが設けられており、このランプがオンして、UVキュア処理S34が実行される。この際の諸条件の好適な一例は、たとえば、処理時間180秒、ステージ温度摂氏443度、チャンバ内気圧800パスカル、窒素ガス流量16000sccm、下部電極61は接地、紫外線ランプ・パワー95%である。

10

【0142】

なお、この窒化シリコン膜成膜S3からUVキュア処理S34までのステップは、ここでは処理時間短縮のため1回のみの場合を示したが、数回繰り返す(繰り返し処理S33)と、より確実に、必要なストレスを付与することができる。

20

【0143】

4. 本願の一実施の形態の半導体集積回路装置の製造方法におけるシリサイド表面に対する不活性ガス・プラズマ処理(タングステン・プラグ埋め込み前処理)等の詳細説明(主に図19)

セクション3に詳述した不活性ガス雰囲気下のシリサイド膜13上面への低バイアス・プラズマ処理(窒化シリコン成膜前の低バイアス・プラズマ処理)は、図9のタングステン・プラグ工程中のチタン成膜前(チタン成膜前の低バイアス・プラズマ処理)にも適用して、有効である。これらの低バイアス・プラズマ処理は、本実施の形態のように両方実行してもよいが、必要に応じて、いずれか一方のみ実行してもよい。

【0144】

30

以下、図19に基づいて(デバイス断面フローに関して図8または図9を参照し、処理装置に関して図11から図13を参照)、チタン成膜前低バイアス・プラズマ処理&チタンCVDの詳細プロセス101を説明する。気相処理装置としては、先に説明したマルチ・チャンバ型ウエハ処理装置41またはそれに類似した装置を使用することができる。ここでは、マルチ・チャンバ型ウエハ処理装置41を例にとり説明する。

【0145】

先に説明したように、図9において、コンタクト・ホール23の底部で絶縁膜21が完全に除去され、コンタクト・ホール23は絶縁膜22, 21を貫通し、コンタクト・ホール23の底部で半導体基板1の主面の一部、例えばn⁺型半導体領域7bおよびp⁺型半導体領域8bの表面上の金属シリサイド層13の一部や、ゲート電極6a, 6bの表面上の金属シリサイド層13の一部などが露出される。

40

【0146】

次に、図19に示すように、セクション3で説明したのと同様に、マルチ・チャンバ型ウエハ処理装置41のチタンCVDチャンバ46のウエハ・ステージ61(接地された下部電極)上に、デバイス面1a(第1の主面)を上に向けてウエハ1を設置し、その状態で不活性ガスによるプラズマ処理S2を実行する。この際の諸条件の好適な一例は、たとえば、処理時間15秒、ステージ温度摂氏450度、チャンバ内気圧650パスカル、アルゴン・ガス(不活性ガス)流量800sccm、下部電極61は接地、上部電極62への高周波電力100ワット(450kHz)はオン状態である。

【0147】

50

次に、ウエハ 1 がそのままの状態、ガス置換のための真空引き 2 0 1 を実行する。所要時間は 1 5 秒程度である。

【 0 1 4 8 】

次に、ウエハ 1 がそのままの状態、チタン C V D 処理 2 0 2 を実行して、コンタクト・ホール 2 3 の内面および厚い絶縁膜 2 2 (酸化シリコン膜系のプリ・メタル層間絶縁膜) 上に、たとえば 5 n m 程度の厚さのチタンを主要な成分とするメタル膜 (接着促進層) を形成する。この際の諸条件の好適な一例は、たとえば、処理時間 2 5 秒、ステージ温度摂氏 4 5 0 度、チャンバ内気圧 6 5 0 パスカ、アルゴン・ガス (不活性ガス) 流量 8 0 0 s c c m、水素ガス (還元性ガス) 流量 4 0 0 0 s c c m、T i C l₄ (メタル・ソース・ガス) 流量 7 s c c m、下部電極 6 1 は接地、上部電極 6 2 への高周波電力 8 0 0 ワット (4 5 0 k H z) はオン状態である。

10

【 0 1 4 9 】

次に、ウエハ 1 がそのままの状態、T i C l₄ (メタル・ソース・ガス) を止めることにより (その他の条件はそのまま)、残留塩素等を除去するための水素プラズマ処理 2 0 3 を実行する。

【 0 1 5 0 】

次に、ウエハ 1 がそのままの状態、高周波電力の印加をオフ状態にすることで (その他の条件はそのまま)、ガス・パージ 2 0 4 を実施する。所要時間は 1 5 秒程度である。

【 0 1 5 1 】

次に、ウエハ 1 がそのままの状態、アンモニア・ガスを供給しながら高周波電力の印加をオン状態にすることで (その他の条件はそのまま)、チタン膜の表面部分を窒素リッチな T i N 膜に変えるためのアンモニア・プラズマ処理 2 0 5 を実行する。この際の諸条件の好適な一例は、たとえば、処理時間 2 5 秒、ステージ温度摂氏 4 5 0 度、チャンバ内気圧 6 5 0 パスカ、アルゴン・ガス (不活性ガス) 流量 8 0 0 s c c m、水素ガス (還元性ガス) 流量 4 0 0 0 s c c m、アンモニア・ガス流量 5 0 0 s c c m、下部電極 6 1 は接地、上部電極 6 2 への高周波電力 8 0 0 ワット (4 5 0 k M H z) はオン状態である。このチタン膜と T i N 膜とでバリア導体膜 2 4 a を構成する。チタン膜と T i N 膜の厚さの比は、たとえば 2 : 3 程度が最適と考えられる。

20

【 0 1 5 2 】

この後、ウエハ 1 はコンタクト・ホール 2 3 をタングステンで埋め込むためのタングステン熱 C V D 工程 (図 9) に移送される (このタングステン C V D 工程は一般に同一の装置の別チャンバまたは別の装置で実行される)。

30

【 0 1 5 3 】

5 . 窒化シリコン成膜前の低バイアス・プラズマ処理等についての考察 (主に図 1 6 から図 1 8)

これまでに説明した窒化シリコン成膜前の低バイアス・プラズマ処理およびチタン成膜前の低バイアス・プラズマ処理において、アルゴン・プラズマ雰囲気下の低バイアス・プラズマ処理が好適な理由について説明する。

【 0 1 5 4 】

まず、4 5 n m テクノロジ・ノードの p チャネル型 M I S F E T (図 1 0 の Q p) を例にとり、デバイスの構造・寸法とその特性の関係を説明する。なお、各部の寸法は、対応する n チャネル型 M I S F E T (Q n) についても、ほぼ同等である。図 1 6 は、p チャネル型 M I S F E T (Q p) に対応する拡大模式断面図である (図示の都合上、縦横の寸法比は同一ではない)。図 1 6 に示すように、p チャネル型 M I S F E T (Q p) は n 型ウエル 4 の表面近傍領域に形成されている。n 型ウエル 4 の表面には、p⁻ 型半導体領域 (P 型エクステンション領域) 8 a および p⁺ 型半導体領域 (P 型高濃度ソース・ドレイン領域) 8 b が形成されている。P 型エクステンション領域 8 a の深さ d は、たとえば 4 0 n m 程度であり、P 型高濃度ソース・ドレイン領域 8 b の深さ D は、たとえば 8 0 n m 程度である。P 型高濃度ソース・ドレイン領域 8 b の表面上にはニッケル・シリサイド膜

40

50

13が形成されており、その厚さ t は、たとえば20nm程度である。チャネル領域上には、ゲート絶縁膜5があり、その厚さ g は、たとえば2.5nm程度である。その上にゲート電極6b(ポリシリコン電極)があり、その厚さ h は、たとえば80nm程度であり、その幅 L (ゲート長)は、たとえば40nm程度である。更にその上にゲート電極6b上のニッケル・シリサイド膜13が形成されており、その厚さ m は、たとえば20nm程度である。ゲート電極6bの両側にはサイド・ウォール・スペーサ9があり、その最大部分の幅 w (P型エクステンション領域8aの突出長さにはほぼ等しい)は、たとえば33nm程度である。従って、 $w < d$ の関係(65nmテクノロジー・ノードでは、一般に $w > d$ の関係が成り立つ)にある。

【0155】

従って、窒化シリコン成膜前の低バイアス・プラズマ処理等におけるスパッタ作用が強いと、サイド・ウォール・スペーサ9が過剰に侵食され、その結果、チャネル部への接合リーク・パスcが、短くなり、デバイス特性を劣化させる恐れがある。従って、下部電極のセルフ・バイアス電圧を実質的にゼロ(下部電極を接地することに等価)とするか、または10ボルト程度以下(望ましくは5ボルト以下)に抑えることが、好適である。これは、ニッケル・シリサイド膜の表面にできる自然酸化膜(酸化シリコン膜)の最大厚さが3nm程度(平均厚さ1nm程度)と考えられるからである。

【0156】

図17は、シェアード・コンタクト(Shared Contact)部分の図16に対応する拡大模式断面図である。STI(Shallow Trench Isolation)用のフィールド絶縁膜2上にあるのは、ポリシリコン配線6w等である。なお、ここで述べるシェアード・コンタクト構造とは、ポリシリコン配線6wと半導体領域8bとを一つの接続孔で接続する構造である。シェアード・コンタクト構造では、窒化シリコン膜21(エッチングストップ膜)のオーバエッチの関係で、サイド・ウォール絶縁膜の下端幅 w が比較的小さい場合が多く、窒化シリコン成膜前の低バイアス・プラズマ処理等におけるスパッタ作用を抑制する必要性が特に高い。

【0157】

図18は、窒化シリコン成膜前の低バイアス・プラズマ処理における雰囲気中の水素の影響を評価するために、それに続いて水素プラズマ処理を追加実施したものである。この例からわかるように、水素プラズマ処理時間が長くなると、急速にpチャネル型MISFETの V_{th} シフト量が増大する。これは、主に水素によるゲート絶縁膜の劣化が原因である。従って、窒化シリコン成膜前低バイアス・プラズマ処理の雰囲気は、アルゴンを主要な成分の一つとして含み、水素ガスや水素を含むガス(アンモニア・ガスなどの水素含有ガス)を実質的に含まないことが好適である。ただし、他の目的による微量の添加を排除するものではない。なお、希釈ガス(気圧調整用等)として、窒素等の非酸化性ガスをもう一つの主要な成分として含むことは好適である。ただし、希釈ガスは必須ではない。

【0158】

なお、チタン成膜前の低バイアス・プラズマ処理においては、窒素等の非酸化性ガスの大量添加は、ニッケル・シリサイド表面の窒化による抵抗増大を招く恐れがあり、窒化シリコン成膜前の低バイアス・プラズマ処理のときほど好適ではない。しかし、そのような問題が致命的でない状況では、プラズマの安定化等の観点からなお有効である。

【0159】

6. サマリ

以上本発明者によってなされた発明を前記実施の形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0160】

例えば、前記実施の形態では、容量結合型のCVD装置を中心に具体的に説明したが、本発明はそれに限定されるものではなく、誘導結合型装置、ヘリコン波型装置、マイクロ波励起型装置等を使用したものにも適用できることは、言うまでもない。また、前記実施

10

20

30

40

50

の形態では、金属シリサイド層 13 がニッケルを主成分とするシリサイド層の場合について説明したが、コバルト等を主成分とするシリサイド層の場合においても適用可能であることは、言うまでもない。

【図面の簡単な説明】

【0161】

【図1】本発明の一実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【図2】図1に続く半導体集積回路装置の製造工程中の要部断面図である。

【図3】図2に続く半導体集積回路装置の製造工程中の要部断面図である。

【図4】図3に続く半導体集積回路装置の製造工程中の要部断面図である。

10

【図5】図4に続く半導体集積回路装置の製造工程中の要部断面図である。

【図6】図5に続く半導体集積回路装置の製造工程中の要部断面図である。

【図7】図6に続く半導体集積回路装置の製造工程中の要部断面図である。

【図8】図7に続く半導体集積回路装置の製造工程中の要部断面図である。

【図9】図8に続く半導体集積回路装置の製造工程中の要部断面図である。

【図10】図9に続く半導体集積回路装置の製造工程中の要部断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造工程で用いる窒化シリコン膜の成膜装置を示す概略平面図である。

【図12】図11の成膜装置に備わる成膜用のチャンバの概略断面図である。

【図13】図12に説明した成膜用のチャンバの変形例に対応する概略断面図である。

20

【図14】本発明の一実施の形態である半導体集積回路装置の製造工程における窒化シリコン膜の形成工程を示す製造プロセスフロー図である。

【図15】図14のプラズマ処理・成膜プロセスに関する詳細ブロック・フロー図（NチャネルMISFETに引っ張り応力を与える場合）である。

【図16】本発明の一実施の形態である半導体集積回路装置の製造方法によって製造されるデバイスの主要寸法と不純物リーク・パスの関係を説明するためのデバイス断面図（P型MISFETに対応）である。

【図17】本発明の一実施の形態である半導体集積回路装置の製造方法によって製造されるデバイスのシェアード・コンタクト部のデバイス断面図（P型MISFETに対応）である。

30

【図18】金属シリサイド膜上の自然酸化膜を除去するために水素含有プラズマ処理をした場合のP型MISFETの特性変動を示すプロット図である。

【図19】本発明の一実施の形態である半導体集積回路装置の製造工程におけるタングステン・プラグ埋め込み前のバリア・メタル形成工程等の詳細を示す製造プロセスフロー図である。

【符号の説明】

【0162】

1 半導体基板（半導体ウエハ）

1 a 半導体ウエハのデバイス面（第1の主面）

2 素子分離領域

40

2 a 溝（素子分離溝）

3 p型ウエル

4 n型ウエル

5 ゲート絶縁膜

6 多結晶シリコン膜（またはシリコン膜）

6 a、6 b ゲート電極

6 w ポリシリコン配線

7 a n⁻型半導体領域（N型エクステンション領域）

7 b n⁺型半導体領域（N型高濃度ソース・ドレイン領域）

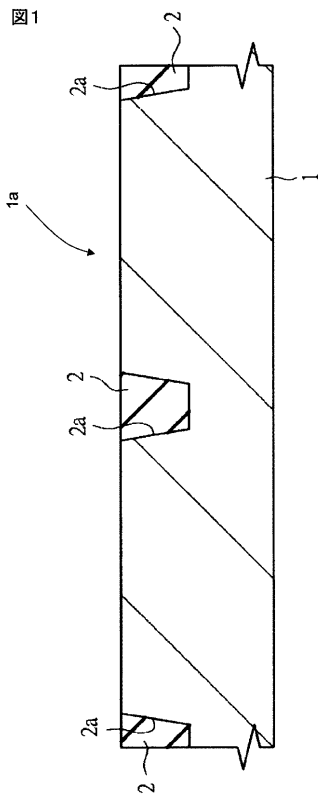
8 a p⁻型半導体領域（P型エクステンション領域）

50

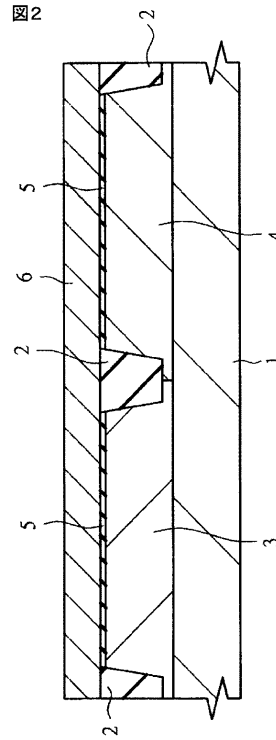
8 b	p ⁺ 型半導体領域 (P型高濃度ソース・ドレイン領域)	
9	側壁スペーサまたはサイド・ウォール・スペーサ (側壁絶縁膜)	
1 1	金属膜	
1 2	バリア膜	
1 3	金属シリサイド層	
2 1	絶縁膜 (窒化シリコン膜)	
2 2	厚い絶縁膜 (酸化シリコン膜系のプリ・メタル層間絶縁膜)	
2 3	コンタクト・ホール (貫通孔、孔)	
2 4	プラグ	
2 4 a	バリア導体膜 (下層チタン膜、上層窒化チタン膜)	10
2 4 b	主導体膜 (タングステン・プラグ本体)	
3 1	ストッパ絶縁膜	
3 2	配線形成用の絶縁膜	
3 3	配線溝	
3 4	バリア導体膜 (バリア・メタル膜)	
3 5	配線	
4 1	マルチ・チャンバ型ウエハ処理装置	
4 2	搬送室	
4 2 a	搬送用口ポット	
4 3	ゲートバルブ	20
4 4 a , 4 4 b	ロードロック室	
4 6、4 6 a , 4 6 b , 4 7 a , 4 7 b , 4 8 a , 4 8 b	チャンバ (処理室、反応室)	
5 1 , 5 1 a , 5 1 b	ウエハ搬入出室	
5 2 a , 5 2 b	フープ	
5 3	ポート	
5 4	ウエハ受け渡しステーション	
6 1	下部電極 (基板電極)	
6 2	上部電極 (高周波電極)	
6 2 a	ガス導入口	30
6 3	上部電極用高周波電源	
6 4	マスフローコントローラ (ガス流量制御装置)	
6 5	ガス排気口	
6 6	下部電極用高周波電源	
6 7	ブロッキング・コンデンサ	
1 0 1	プラズマ処理・成膜プロセス	
2 0 1	真空引き工程	
2 0 2	チタンCVD工程	
2 0 3	水素プラズマ処理工程	
2 0 4	ガス・パージ工程	40
2 0 5	アンモニア・プラズマ処理 (窒化処理)	
c	リーク・パス	
d	エクステンション領域の深さ	
D	高濃度ソース・ドレイン領域の深さ	
g	ゲート絶縁膜の厚さ	
h	ポリシリコン・ゲート電極の厚さ	
L	ゲート電極のチャンネル方向の幅 (チャンネル長)	
m	ゲート電極上のシリサイド層の厚さ	
Q n	nチャンネル型MISFET	
Q p	pチャンネル型MISFET	50

- S W 半導体ウエハ
- S 1 ウエハのロード
- S 2 不活性ガス中でのプラズマ処理（不活性ガスを主要な成分の一つとするガス中でのノン・バイアス・プラズマ処理）
- S 3 窒化シリコン膜の成膜
- S 4 ウエハのアンロード
- S 3 1 窒素パージ
- S 3 2 ウエハ移送
- S 3 3 成膜キュア繰り返し処理
- S 3 4 UVキュア
- t ソース・ドレイン領域上のシリサイド層の厚さ
- w サイド・ウォール絶縁膜の下端幅（最大部の幅）

【図1】

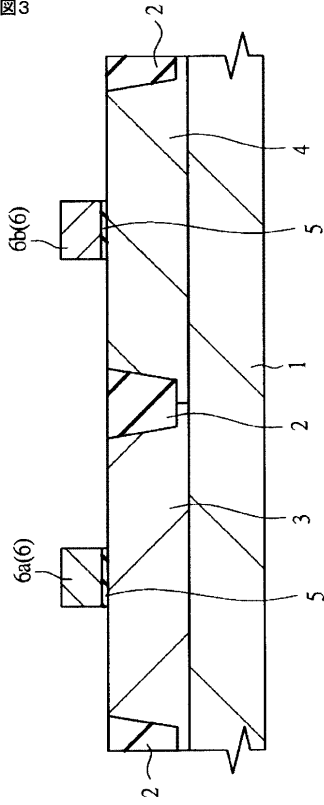


【図2】



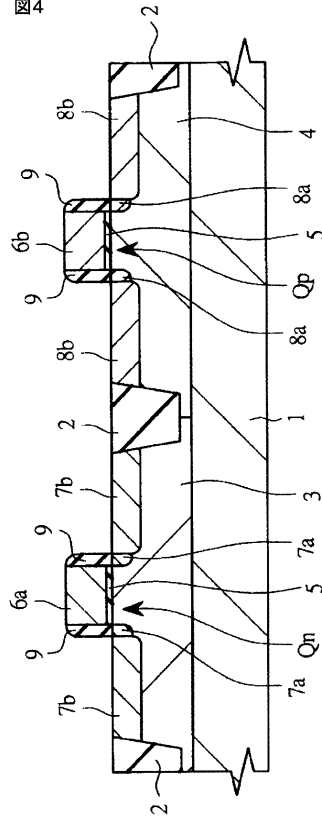
【図3】

図3



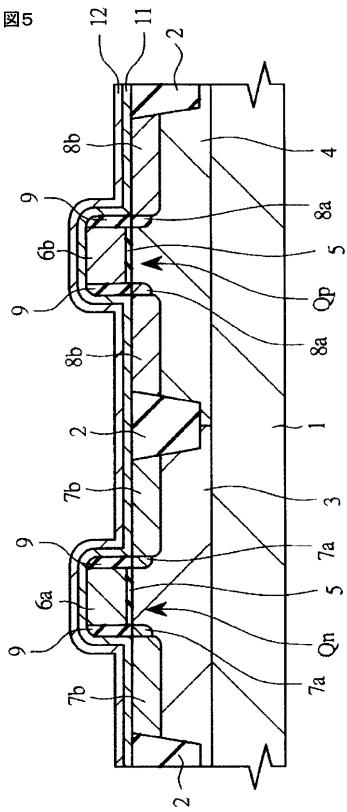
【図4】

図4



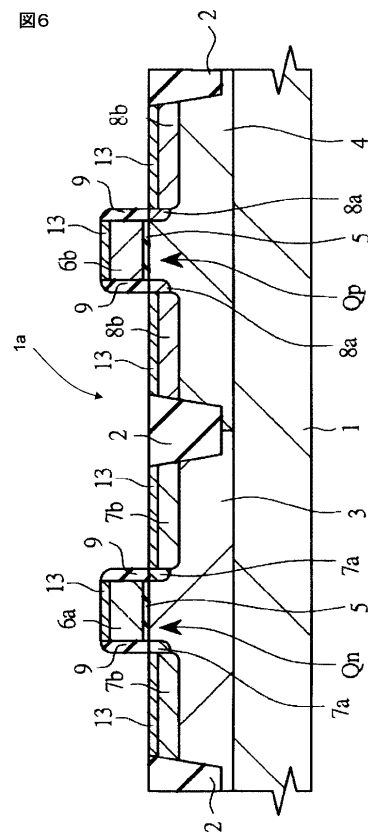
【図5】

図5



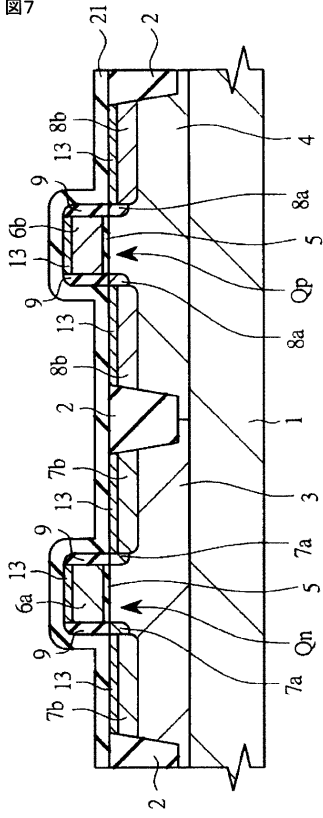
【図6】

図6



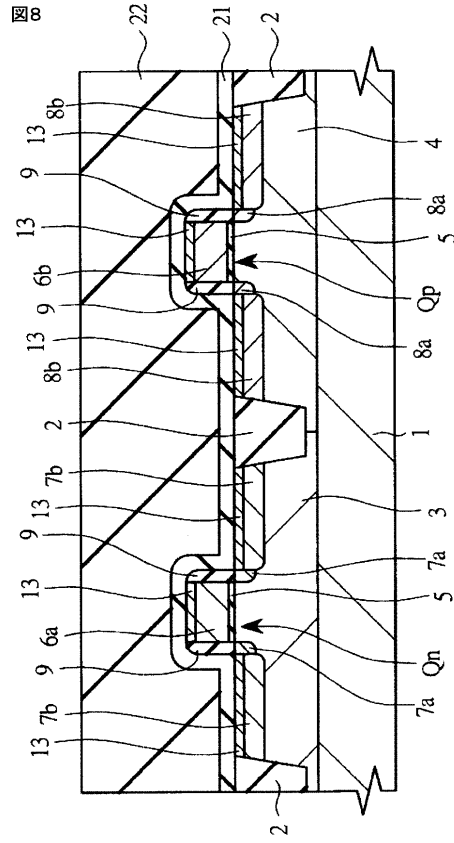
【図7】

図7



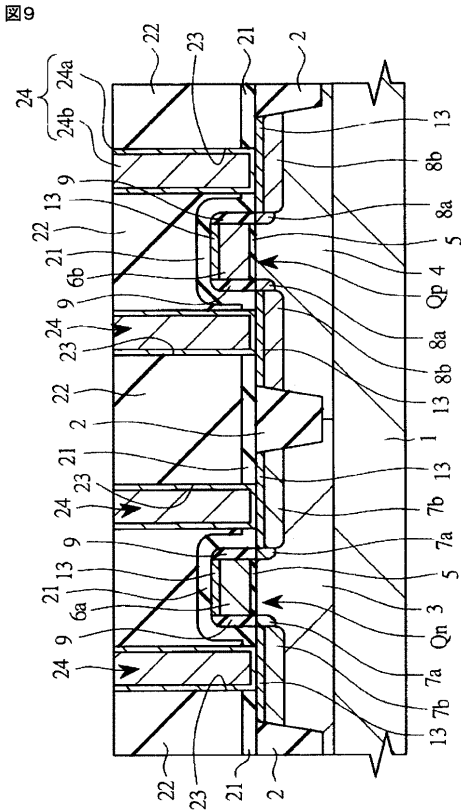
【図8】

図8



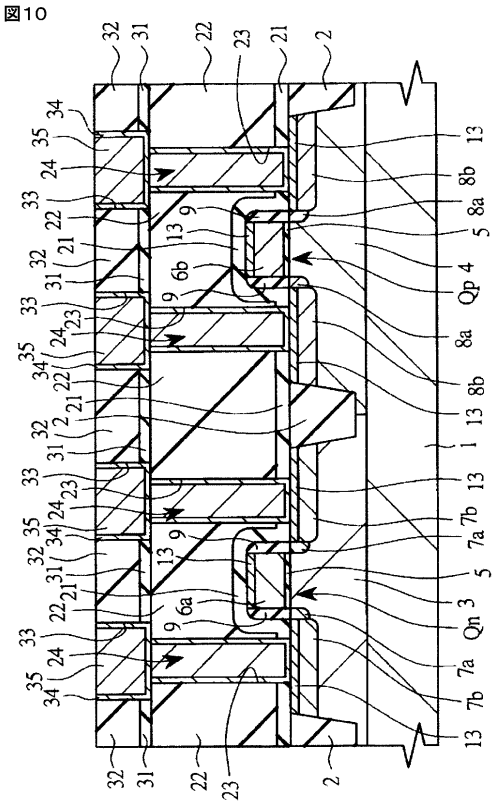
【図9】

図9

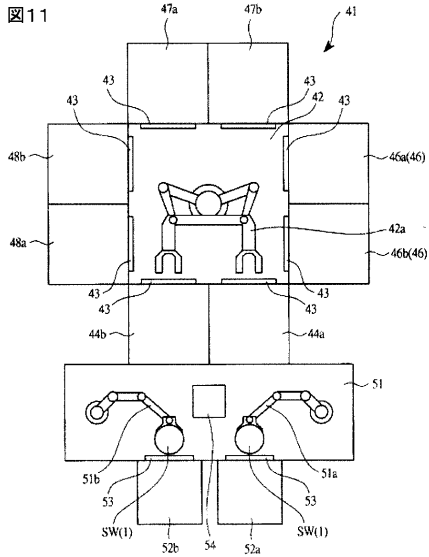


【図10】

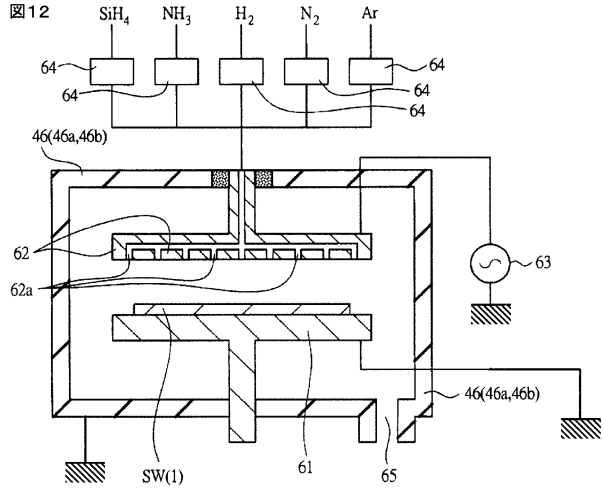
図10



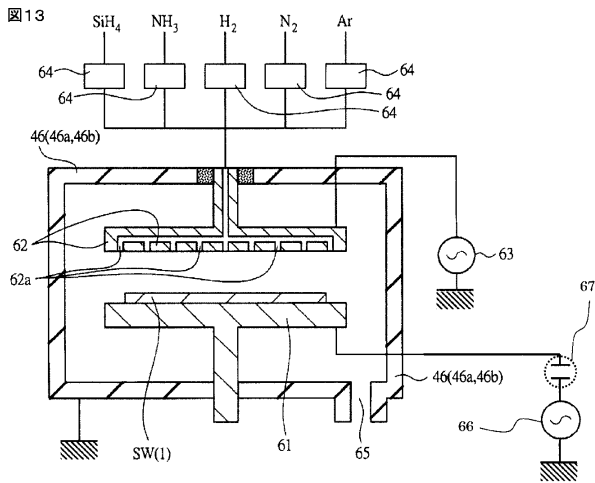
【図11】



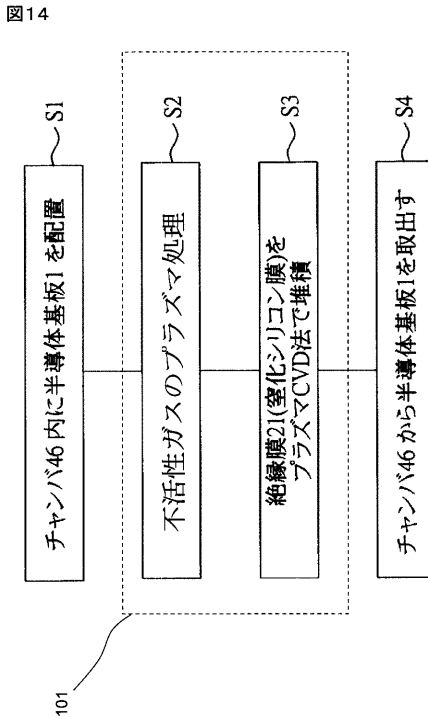
【図12】



【図13】

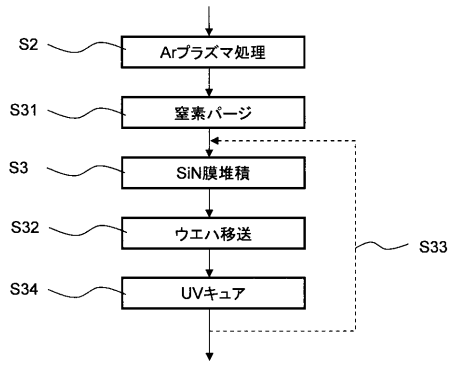


【図14】



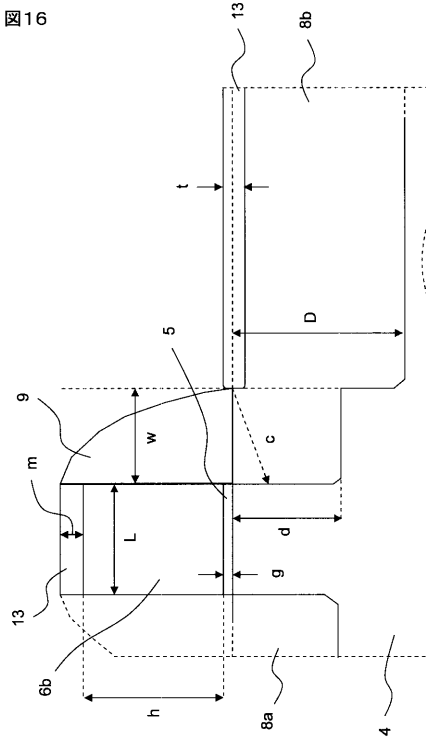
【図15】

図15



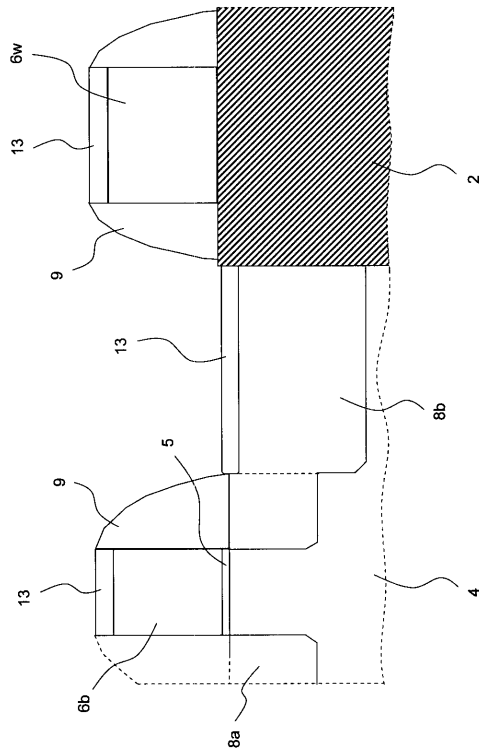
【図16】

図16



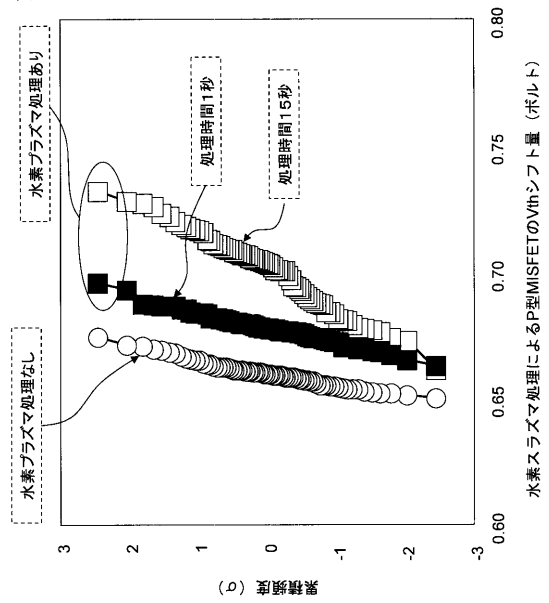
【図17】

図17



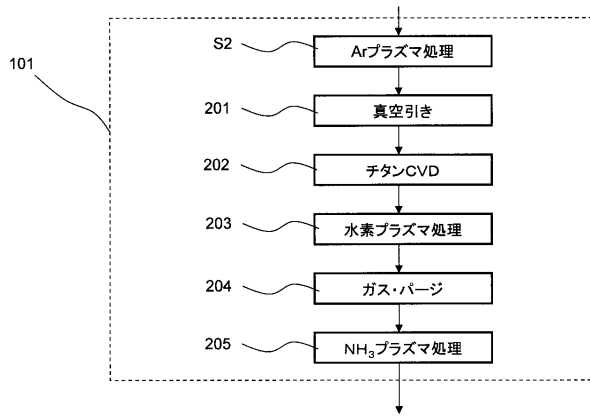
【図18】

図18



【図19】

図19



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 27/092 (2006.01)		H 0 1 L 27/08	3 2 1 D
C 2 3 C 16/02 (2006.01)		C 2 3 C 16/02	
H 0 1 L 29/417 (2006.01)		H 0 1 L 21/28	B
H 0 1 L 21/768 (2006.01)		H 0 1 L 29/50	M
		H 0 1 L 21/90	C

審査官 儀同 孝信

- (56)参考文献 特開2005-175121(JP,A)
 特開2003-124201(JP,A)
 特開2008-244059(JP,A)
 特開2008-118088(JP,A)
 特開平09-139358(JP,A)
 特開2000-082681(JP,A)
 特表2007-535119(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 C 2 3 C 1 6 / 0 2
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 2 8 5
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 7 8