



(12) 发明专利申请

(10) 申请公布号 CN 117690954 A

(43) 申请公布日 2024. 03. 12

(21) 申请号 202410137954.0

H01L 21/266 (2006.01)

(22) 申请日 2024.02.01

(71) 申请人 合肥晶合集成电路股份有限公司
地址 230000 安徽省合肥市新站区合肥综
合保税区内西淝河路88号

(72) 发明人 陈兴

(74) 专利代理机构 上海汉之律师事务所 31378
专利代理师 吴南仪

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/423 (2006.01)

H01L 29/51 (2006.01)

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

H01L 21/265 (2006.01)

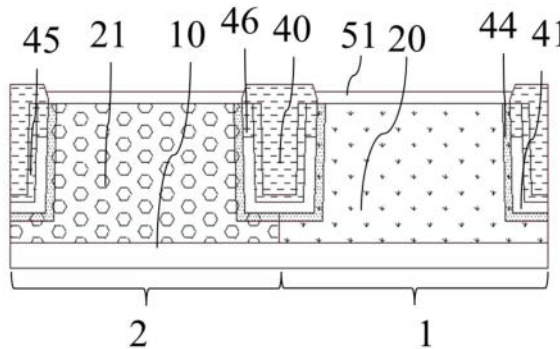
权利要求书2页 说明书7页 附图7页

(54) 发明名称

一种半导体器件及其制作方法

(57) 摘要

本发明公开了一种半导体器件及其制作方法,属于半导体技术领域,所述半导体器件包括:衬底,包括并列设置的第一区域和第二区域;浅沟槽,设置在第一区域和第二区域之间;扩散抑制层,设置在浅沟槽的侧壁和底部,且侧壁上的扩散抑制层距离衬底的表面具有预设距离;碳扩散层,设置在扩散抑制层和衬底之间;还原氧化层,设置在扩散抑制层向衬底的表面延伸的一端;隔离氧化层,设置在扩散抑制层和还原氧化层上;隔离介质,设置在浅沟槽内,覆盖隔离氧化层;以及栅极氧化层,设置在第一区域和第二区域上。通过本发明提供的一种半导体器件及其制作方法,提高半导体器件的电性性能。



1. 一种半导体器件,其特征在于,包括:
 - 衬底,包括并列设置的第一区域和第二区域;
 - 浅沟槽,设置在所述第一区域和所述第二区域之间;
 - 扩散抑制层,设置在所述浅沟槽的侧壁和底部,且侧壁上的所述扩散抑制层距离所述衬底的表面具有预设距离;
 - 碳扩散层,设置在所述扩散抑制层和所述衬底之间;
 - 还原氧化层,设置在所述浅沟槽的侧壁上,且位于所述扩散抑制层向所述衬底的表面延伸的一端;
 - 隔离氧化层,设置在所述扩散抑制层和所述还原氧化层上;
 - 隔离介质,设置在所述浅沟槽内,覆盖所述隔离氧化层;以及
 - 栅极结构,设置在所述第一区域和所述第二区域的所述衬底上。
2. 根据权利要求1所述的半导体器件,其特征在于,所述第一区域内设置有第一沟道掺杂区,所述第二区域内设置有第二沟道掺杂区,且所述第一沟道掺杂区和所述第二沟道掺杂区的掺杂类型相反。
3. 根据权利要求2所述的半导体器件,其特征在于,所述第一沟道掺杂区和所述第二沟道掺杂区深度大于所述浅沟槽的深度,和/或,所述第一沟道掺杂区的深度等于所述第二沟道掺杂区的深度。
4. 根据权利要求1所述的半导体器件,其特征在于,所述碳扩散层由所述扩散抑制层向所述衬底内延伸,且设置在靠近所述浅沟槽的侧壁和底部的所述衬底内。
5. 根据权利要求1所述的半导体器件,其特征在于,所述隔离介质在所述衬底上的边缘与所述还原氧化层靠近所述衬底的边缘对齐。
6. 一种半导体器件的制作方法,其特征在于,包括:
 - 提供一衬底,
 - 在所述衬底上形成第一区域和第二区域;
 - 刻蚀所述衬底,在所述第一区域和所述第二区域之间形成浅沟槽;
 - 在所述浅沟槽的侧壁和底部形成扩散抑制层
 - 在所述扩散抑制层和所述衬底之间形成碳扩散层;
 - 在所述扩散抑制层上形成隔离氧化层;
 - 在所述浅沟槽内沉积隔离介质,且所述隔离介质覆盖所述隔离氧化层,形成浅沟槽隔离结构;
 - 在所述第一区域和所述第二区域上形成栅极结构;以及
 - 在所述浅沟槽的内壁上形成还原氧化层,且所述还原氧化层设置在所述扩散抑制层向所述衬底的表面延伸的一端。
7. 根据权利要求6所述的半导体器件的制作方法,其特征在于,所述碳扩散层和所述隔离氧化层的制作方法还包括:
 - 在所述浅沟槽的侧壁上依次形成扩散抑制层和抗氧化层;
 - 将所述衬底进行退火;
 - 所述扩散抑制层中的碳离子向所述衬底内扩散,形成碳扩散层;以及
 - 所述抗氧化层转化形成隔离氧化层。

8. 根据权利要求7所述的半导体器件的制作方法,其特征在於,在退火过程中,所述抗氧化层完全转化形成所述隔离氧化层。

9. 根据权利要求6所述的半导体器件的制作方法,其特征在於,所述还原氧化层和所述栅极结构的形成步骤包括:

在所述第一区域和所述第二区域上依次形成栅极氧化层和栅极材料层;

所述扩散抑制层靠近所述衬底表面的部分转化为还原氧化层,且所述碳扩散层靠近所述衬底的表面的部分保留;以及

刻蚀所述栅极材料层和所述栅极氧化层,形成所述栅极结构。

10. 根据权利要求9所述的半导体器件的制作方法,其特征在於,在所述栅极氧化层的形成过程中,所述栅极氧化层生长结束,同时形成所述还原氧化层。

一种半导体器件及其制作方法

技术领域

[0001] 本发明属于半导体技术领域,特别涉及一种半导体器件及其制作方法。

背景技术

[0002] 随着微电子工艺的发展,半导体器件的集成化程度提高,需要在有源区上集成多种类型的晶体管区域,例如互补金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)的P型金氧半场效晶体管(Positive Channel Metal Oxide Semiconductor, PMOS)和N型金氧半场效晶体管(Negative Channel Metal Oxide Semiconductor, NMOS)。半导体器件的体积微缩化,以实现高密度和高性能的大规模集成电路,半导体器件之间的隔离工艺变得越来越重要,通过采用浅沟槽隔离结构(Shallow Trench Isolation, STI)来实现有源器件的隔离。目前,在形成浅沟槽隔离结构的过程中,先形成阱区或沟道区,造成沟道离子在浅沟槽隔离结构的边缘处发生偏析效应,导致半导体器件性能降低。

发明内容

[0003] 本发明的目的在于提供一种半导体器件及其制作方法,能够确保在浅沟槽隔离结构形成的过程中,沟道掺杂区的宽度不变,防止沟道器件的阈值电压随器件沟道宽度而变化的效应,提高半导体器件的电性性能。

[0004] 为解决上述技术问题,本发明是通过以下技术方案实现的:

本发明提供一种半导体器件,包括:

衬底,包括并列设置的第一区域和第二区域;

浅沟槽,设置在所述第一区域和所述第二区域之间;

扩散抑制层,设置在所述浅沟槽的侧壁和底部,且侧壁上的所述扩散抑制层距离所述衬底的表面具有预设距离;

碳扩散层,设置在所述扩散抑制层和所述衬底之间;

还原氧化层,设置在所述浅沟槽的侧壁上,且位于所述扩散抑制层向所述衬底的表面延伸的一端;

隔离氧化层,设置在所述扩散抑制层和所述还原氧化层上;

隔离介质,设置在所述浅沟槽内,覆盖所述隔离氧化层;以及

栅极结构,设置在所述第一区域和所述第二区域的所述衬底上。

[0005] 在本发明一实施例中,所述第一区域内设置有第一沟道掺杂区,所述第二区域内设置有第二沟道掺杂区,且所述第一沟道掺杂区和所述第二沟道掺杂区的掺杂类型相反。

[0006] 在本发明一实施例中,所述第一沟道掺杂区和所述第二沟道掺杂区深度大于所述浅沟槽的深度,和/或,所述第一沟道掺杂区的深度等于所述第二沟道掺杂区的深度。

[0007] 在本发明一实施例中,所述碳扩散层由所述扩散抑制层向所述衬底内延伸,且设置在靠近所述浅沟槽的侧壁和底部的所述衬底内。

[0008] 在本发明一实施例中,所述隔离介质在所述衬底上的边缘与所述还原氧化层靠近所述衬底的边缘对齐。

[0009] 本发明还提供一种半导体器件的制作方法,包括:

提供一衬底,

在所述衬底上形成第一区域和第二区域;

刻蚀所述衬底,在所述第一区域和所述第二区域之间形成浅沟槽;

在所述浅沟槽的侧壁和底部形成扩散抑制层

在所述扩散抑制层和所述衬底之间形成碳扩散层;

在所述扩散抑制层上形成隔离氧化层;

在所述浅沟槽内沉积隔离介质,且所述隔离介质覆盖所述隔离氧化层,形成浅沟槽隔离结构;

在所述第一区域和所述第二区域上形成栅极结构;以及

在所述浅沟槽的内壁上形成还原氧化层,且所述还原氧化层设置在所述扩散抑制层向所述衬底的表面延伸的一端。

[0010] 在本发明一实施例中,所述碳扩散层和所述隔离氧化层的制作方法还包括:

在所述浅沟槽的侧壁上依次形成扩散抑制层和抗氧化层;

将所述衬底进行退火;

所述扩散抑制层中的碳离子向所述衬底内扩散,形成碳扩散层;以及

所述抗氧化层转化形成隔离氧化层。

[0011] 在本发明一实施例中,在退火过程中,所述抗氧化层完全转化形成所述隔离氧化层。

[0012] 在本发明一实施例中,所述还原氧化层和所述栅极结构的形成步骤包括:

在所述第一区域和所述第二区域上依次形成栅极氧化层和栅极材料层;

所述扩散抑制层靠近所述衬底表面的部分转化为还原氧化层,且所述碳扩散层靠近所述衬底的表面的部分保留;以及

刻蚀所述栅极材料层和所述栅极氧化层,形成所述栅极结构。

[0013] 在本发明一实施例中,在所述栅极氧化层的形成过程中,所述栅极氧化层生长结束,同时形成所述还原氧化层。

[0014] 综上所述,本发明提供一种半导体器件及其制作方法,本申请意想不到的技术效果是能够避免沟道离子在衬底与浅沟槽隔离结构的界面处发生偏析效应,能够避免在浅沟槽刻蚀之后,因为工艺过程中的氧化,导致的有源区宽度减小。能够避免形成的PMOS晶体管发生窄沟道效应,NMOS晶体管发生反窄沟道效应。同时,降低了集成NMOS晶体管和PMOS晶体管的漏电流,降低COMS器件的功耗,提高了半导体器件性能。

[0015] 当然,实施本发明的任一产品并不一定需要同时达到以上所述的所有优点。

附图说明

[0016] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例描述所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附

图。

- [0017] 图1为一实施例中形成第一沟道掺杂区的示意图。
- [0018] 图2为一实施例中形成第二沟道掺杂区的示意图。
- [0019] 图3为一实施例中形成垫氮化层的示意图。
- [0020] 图4为一实施例中形成开口的示意图。
- [0021] 图5为一实施例中形成浅沟槽的示意图。
- [0022] 图6为一实施例中形成扩散抑制层的示意图。
- [0023] 图7为一实施例中抗氧化层的示意图。
- [0024] 图8为一实施例中形成隔离介质的示意图。
- [0025] 图9为一实施例中形成碳扩散层和还原氧化层的示意图。
- [0026] 图10为一实施例中平坦化隔离介质的示意图。
- [0027] 图11为一实施例中形成浅沟槽隔离结构的示意图。
- [0028] 图12为一实施例中形成栅极氧化层和隔离氧化层的示意图。
- [0029] 图13为一实施例中形成栅极结构的示意图。
- [0030] 标号说明：

10、衬底；11、垫氧化层；12、垫氮化层；20、第一沟道掺杂区；21、第二沟道掺杂区；23、浅沟槽；31、第一光刻胶层；32、第二光刻胶层；33、第三光刻胶层；34、开口；40、浅沟槽隔离结构；41、扩散抑制层；42、抗氧化层；43、隔离介质；44、碳扩散层；45、隔离氧化层；46、还原氧化层；50、栅极结构；51、栅极氧化层；52、栅极材料层；53、侧墙结构；60、重掺杂区。

具体实施方式

[0031] 以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。

[0032] 需要说明的是，本实施例中所提供的图示仅以示意方式说明本发明的基本构想，遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

[0033] 在本发明中，需要说明的是，如出现术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等，其所指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，如出现术语“第一”、“第二”仅用于描述和区分目的，而不能理解为指示或暗示相对重要性。

[0034] 本发明提供了一种半导体器件及其制造方法，能够在避免有源区两侧的浅沟槽隔离结构形成过程中，沟道离子在衬底与浅沟槽隔离结构的界面上发生偏析效应，导致沟道的宽度变化，以满足不同类型晶体管区域的沟道宽度效应，同时提高PMOS晶体管和NMOS晶体管的性能，提高半导体的生产良率，且制造方法简单，可广泛应用在具有不同类型晶体管区域的集成半导体器件的生产中。

[0035] 请参阅图1和图13所示,在本发明一实施例中,以形成CMOS器件为例进行叙述。首先提供衬底10,衬底10包括第一区域1和第二区域2,且第一区域1例如用于形成N型金氧半场效晶体管,第二区域2例如用于形成P型金氧半场效晶体管。本发明并不限制金氧半场效晶体管的个数,例如NMOS晶体管和PMOS晶体管交替分布,即第一区域1和第二区域2交替分布,且第一区域1和第二区域2之间通过浅沟槽隔离结构40进行隔离。衬底10可以为任意适于形成半导体器件的材料,例如为碳化硅(SiC)、氮化镓(GaN)、氮化铝(AlN)、氮化铟(InN)、磷化铟(InP)、砷化镓(GaAs)、硅锗(GeSi)、蓝宝石、硅片或者其它III/V化合物形成的半导体材料等,还包括这些半导体材料构成的叠层结构,或者为绝缘体上硅、绝缘体上层叠硅、绝缘体上锗化硅以及绝缘体上锗等。在本实施例中,衬底10例如选择硅片。

[0036] 请参阅图1所示,在本发明一实施例中,在衬底10上形成垫氧化层11,且垫氧化层11例如为致密的氧化硅等材料,垫氧化层11例如通过热氧化法、原位水汽生长法(In-Situ Steam Generation,ISSG)或化学气相沉积(Chemical Vapor Deposition,CVD)等方法制备。其中,垫氧化层11的厚度例如为5nm~15nm,避免后续注入沟道离子时,对衬底10产生损伤。在垫氧化层11上例如通过旋涂法形成光刻胶层,经过曝光显影工艺,形成第一光刻胶层31,第一光刻胶层31例如覆盖第二区域2。以第一光刻胶层31为掩膜,向衬底10进行第一沟道掺杂离子注入,形成第一沟道掺杂区20。其中,第一沟道掺杂区20由衬底10的表面向衬底10内延伸,第一沟道掺杂离子例如为硼(B)、氟化硼离子(BF_2^+)或铟(In)等P型离子,以用于形成NMOS晶体管。在形成第一沟道掺杂区20后,去除第一光刻胶层31。

[0037] 请参阅图1和图2所示,在本发明一实施例中,去除第一光刻胶层31后,形成第二光刻胶层32,第二光刻胶层32覆盖第一沟道掺杂区20。以第二光刻胶层32为掩膜,向衬底10进行第二沟道掺杂离子注入,形成第二沟道掺杂区21。其中,第二沟道掺杂区21由衬底10的表面向衬底10内延伸,第二沟道掺杂离子例如为磷(P)、砷(As)或锡(Sn)等N型离子,以用于形成PMOS晶体管。在形成第二沟道掺杂区21后,去除第二光刻胶层32。本发明不限制第一沟道掺杂区20和第二沟道掺杂区21的深度,在本实施例中,第一沟道掺杂区20和第二沟道掺杂区21的深度例如相同。

[0038] 请参阅图2所示,在本发明一实施例中,在形成沟道掺杂区后,衬底10进行第一退火,在本实施例中,第一退火工艺例如选择快速热退火制程(Rapid Thermal Anneal,RTA)。其中,退火温度例如为1000℃~1200℃,退火时间例如为0.5h~2h,且退火制程是在稳定气体氛围下进行,例如在氮气氛围下进行。在其他实施例中,例如选择其他退火工艺,通过第一退火,激活第一沟道掺杂区20和第二沟道掺杂区21中的掺杂离子,修复晶格损伤,同时,使掺杂离子向衬底10中扩散得更深,以形成设定深度的沟道掺杂区。

[0039] 请参阅图2至图3所示,在本发明一实施例中,在去除第二光刻胶层32后,在垫氧化层11上形成垫氮化层12,且垫氮化层12例如为氮化硅层,垫氮化层12例如通过化学气相沉积等方法形成。其中,垫氮化层12的厚度例如为50nm~150nm。在形成浅沟槽23过程中,垫氧化层11用于缓冲垫氮化层12中的应力,避免应力对衬底10造成缺陷,垫氮化层12例如作为硬掩膜层,在刻蚀过程中充当硬掩模版的作用。

[0040] 请参阅图3至图5所示,在本发明一实施例中,形成垫氮化层12后,在垫氮化层12上例如通过旋涂法形成光刻胶层,经过曝光显影工艺,形成第三光刻胶层33。第三光刻胶层33上设置多个开口34,开口34用来定义浅沟槽23的位置,开口34例如位于第一区域1和第二区

域2的交界处,且开口34例如完全暴露第一沟道掺杂区20和第二沟道掺杂区21中沟道掺杂离子互相扩散交叠的部分。开口34暴露出垫氮化层12,以第三光刻胶层33为掩膜,例如使用干法刻蚀向衬底10的方向进行刻蚀,去除开口34处的垫氮化层12、垫氧化层11和部分衬底10,在开口34的位置形成浅沟槽23。在本实施例中,干法刻蚀例如选择反应离子刻蚀、离子束刻蚀或等离子刻蚀等,且刻蚀气体例如包括氯气(Cl_2)、三氟甲烷(CHF_3)、二氟甲烷(CH_2F_2)、三氟化氮(NF_3)、六氟化硫(SF_6)或溴化氢(HBr)等中的一种或几种混合。本发明不限制浅沟槽23的深度,在本实施例中,浅沟槽23的深度例如小于第一沟道掺杂区20和第二沟道掺杂区21的深度。通过在第一退火后再形成浅沟槽23,相对于先形成浅沟槽隔离结构再形成沟道掺杂区,能够避免沟道掺杂区中掺杂离子的掺杂不均的情况,减少边缘处的沟道掺杂离子扩散进入形成的浅沟槽23中,造成沟道掺杂区边缘掺杂浓度降低。

[0041] 请参阅图5至图6所示,在本发明一实施例中,在形成浅沟槽23后,对衬底10进行第二退火,其中,退火温度例如为 800°C ~ 1000°C ,退火时间例如为0.1h~0.5h,且退火制程是在稳定气体氛围下进行,例如在氢气氛围下进行。通过第二退火,修复浅沟槽23刻蚀形成过程造成的晶格缺陷,同时去除浅沟槽23表面的原生氧化层。退火后,在浅沟槽23内形成扩散抑制层41,第一区域1和第二区域2的活性表面覆盖垫氧化层11和垫氮化层12,扩散抑制层41仅覆盖浅沟槽23的底部和侧壁。扩散抑制层41例如为碳掺杂硅层,例如通过外延生长(Selective Epitaxial Growth, SEG)等方法制备。具体地,外延生长温度例如为 650°C ~ 800°C ,外延生长气体例如至少包括二氯二氢硅和乙烯。本发明不限制扩散抑制层41的厚度和碳掺杂浓度,具体扩散抑制层41的厚度和碳掺杂浓度例如与后续工艺匹配。在浅沟槽23内设置碳掺杂硅层,所掺杂碳原子处于硅晶格间隙中,从而使碳掺杂硅层原子密度增大,并且可以降低第一沟道掺杂区20中的沟道掺杂离子和第二沟道掺杂区21中的沟道掺杂离子在碳掺杂硅层中的扩散系数,从而抑制沟道中掺杂离子的扩散效应,有利于使沟道中的掺杂离子分布保持在所注入时的初始状态。

[0042] 请参阅图6至图8所示,在本发明一实施例中,在形成扩散抑制层41后,在扩散抑制层41上形成抗氧化层42,抗氧化层42例如设置在浅沟槽23的侧壁和底部的扩散抑制层41上,且抗氧化层42例如为碳化硅层,例如通过外延生长等方法形成抗氧化层42。设置抗氧化层42,能够减缓后续退火工艺中衬底10的氧化速度,降低衬底10的消耗量,有利于保持浅沟槽23刻蚀后形成较宽的沟槽,从而有利于后续浅沟槽23内隔离介质43的填充。本发明不限制抗氧化层42的厚度,例如与后续工艺匹配设置。在形成抗氧化层42后,在浅沟槽23内例如通过高密度等离子体化学气相淀积(High Density Plasma CVD, HDP-CVD)或高深宽比化学气相淀积(High Aspect Ratio Process CVD, HARP-CVD)等方式沉积隔离介质43,避免在浅沟槽23内产生填充空隙。在本实施例中,隔离介质43例如为氧化硅等绝缘物质,又例如为氧化硅材料。

[0043] 请参阅图8至图9所示,在本发明一实施例中,在浅沟槽23内形成隔离介质43后,对衬底10进行第三退火,在本实施例中,第三退火的工艺例如选择为快速热退火制程。通过第三退火,可以使隔离介质43更加致密,提高隔离介质43的硬度,避免在进行表面平坦化时产生衬底10表面不平整等问题,提高了半导体器件的性能。在第三退火过程中,抗氧化层42被消耗而转变为氧化硅层,在扩散抑制层41和隔离介质43之间形成隔离氧化层45,且在本实施例中,调节抗氧化层42的厚度,使之与第三退火工艺匹配,即在第三退火结束后抗氧化层

42完全转变为氧化硅层,避免了隔离介质43中水气或氧等氧化剂对衬底10的氧化速率,从而减小第一沟道掺杂区20和第二沟道掺杂区21宽度的变化。

[0044] 请参阅图8至图9所示,在本发明一实施例中,在第三退火过程中,扩散抑制层41中的碳离子扩散进入周围衬底10,在浅沟槽23与衬底10的交界处形成碳扩散层44,起到抑制第一沟道掺杂区20和第二沟道掺杂区21中的掺杂离子扩散进入隔离介质43中。在本实施例中,进行退火工艺的过程中,扩散抑制层41抑制第一区域1中的沟道掺杂离子进入隔离介质43中,避免形成的NMOS晶体管的阈值电压随沟道宽度减小而下降,产生反窄沟道效应。同时,抑制第二区域2中的沟道掺杂离子在衬底10与隔离介质43的交界处积累,避免形成的PMOS晶体管的阈值电压随沟道宽度减小而升高,产生窄沟道效应。在另一实施例中,CMOS器件例如为P型衬底,相邻两个NMOS晶体管的源漏掺杂区与衬底10例如构成寄生场效应管,扩散抑制层41抑制P型衬底中的掺杂离子扩散进入浅沟槽23隔离介质43中,避免了寄生场效应管的阈值电压降低,从而避免CMOS器件的漏电流升高,降低了CMOS器件的功耗。通过设置扩散抑制层41和抗氧化层42,在第三退火的工艺后,形成碳扩散层44和隔离氧化层45,在抑制沟道掺杂离子进入隔离介质43的同时,保证了第一沟道掺杂区20和第二沟道掺杂区21的宽度不变,保证了半导体器件的电性性能。

[0045] 请参阅图9至图11所示,在本发明一实施例中,第三退火后,例如通过化学机械抛光(Chemical Mechanical Polishing, CMP)工艺平坦化隔离介质43和垫氮化层12,且隔离介质43与两侧的垫氮化层12的高度齐平。在平坦化隔离介质43后,去除垫氮化层12和垫氧化层11,以形成浅沟槽隔离结构40。本发明不限制去除垫氮化层12和垫氧化层11的方法,例如选择一步刻蚀去除,在本实施例中,例如选择湿法刻蚀去除,垫氮化层12的湿法刻蚀液例如选用磷酸刻蚀液,例如在160℃下进行刻蚀。刻蚀去除垫氮化层12后,例如改变刻蚀液,以去除垫氧化层11,且垫氧化层11的刻蚀液例如缓冲氧化物刻蚀液或稀氢氟酸等。在其他实施例中,例如选择干法蚀刻去除垫氮化层12和垫氧化层11,又例如通过改变刻蚀气体实现一步刻蚀。

[0046] 请参阅图11至图13所示,在本发明一实施例中,在去除垫氮化层12和垫氧化层11后,在沟道掺杂区上形成栅极结构50,栅极结构50例如分别设置在第一沟道掺杂区20和第二沟道掺杂区21上,栅极结构50包括栅极氧化层51和栅极材料层52,栅极氧化层51设置在栅极材料层52和沟道掺杂区之间。具体的,在衬底10上形成栅极氧化层51,栅极氧化层51例如为氧化硅或氮氧化硅等,在本实施例中,栅极介质层例如为氧化硅层,厚度例如为5nm~10nm,且栅极介质层22例如通过热氧化的方法形成。在栅极介质层上形成栅极材料层52,栅极材料层52的材料例如为多晶硅或金属材料等。在热氧化形成栅极介质层的过程中,扩散抑制层41靠近衬底10表面的部分被消耗而转变为氧化硅,形成还原氧化层46。且在本实施例中,隔离介质43在衬底10上的边缘与还原氧化层46靠近衬底10一侧的边缘对齐。此时,半导体器件的沟道宽度恢复至浅沟槽23刻蚀时的宽度,同时浅沟槽隔离结构40周围保留碳离子掺杂,起到抑制沟道掺杂离子向浅沟槽隔离结构40扩散的作用。在本实施例中,调节碳掺杂硅层的厚度,使之与栅极氧化层51的形成工艺匹配,即栅极氧化层生长结束时,靠近衬底10表面的扩散抑制层41完全转变为还原氧化层46。通过设置还原氧化层46和隔离氧化层45,保证了沟道掺杂区的宽度,提高了半导体器件的性能。

[0047] 请参阅图12至图13所示,在本发明一实施例中,在形成栅极结构50后,在栅极结构

50两侧形成侧墙结构53,其中,侧墙结构53例如为单层结构或叠层结构。在侧墙结构53形成后,在栅极结构50两侧的衬底10内形成重掺杂区60等结构,作为器件源漏极,形成完整的COMS器件结构。获得的COMS器件改善NMOS晶体管和PMOS晶体管的阈值电压随器件沟道宽度而变化的效应。且降低了CMOS器件的漏电流,从而降低CMOS器件的功耗,提高了半导体器件的电性性能。

[0048] 综上所述,本发明提供一种半导体器件及其制作方法,通过设置扩散抑制层、碳扩散层、还原氧化层和隔离氧化层,意想不到的效果是抑制第一沟道掺杂区和第二沟道掺杂区中的沟道掺杂离子进入浅沟槽隔离结构中,避免沟道宽度变化产生的NMOS晶体管的反窄沟道效应和PMOS的晶体管窄沟道效应,提高半导体器件的性能。同时,在沟道掺杂离子注入后进行第一退火,保证了沟道掺杂区中的沟道掺杂离子的掺杂均匀性,以及后续第二退火、第三退火和栅极氧化层的工艺匹配扩散抑制层和抗氧化层的设置,有利于后续隔离介质的沉积,确保沟道掺杂区宽度,提高半导体器件的电性性能。且沟道掺杂区和浅沟槽隔离结构的形成方法,可以适用于任意包括沟道区的半导体器件,适用范围广。

[0049] 以上公开的本发明实施例只是用于帮助阐述本发明。实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施方式。显然,根据本说明书的内容,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地理解和利用本发明。本发明仅受权利要求书及其全部范围和等效物的限制。

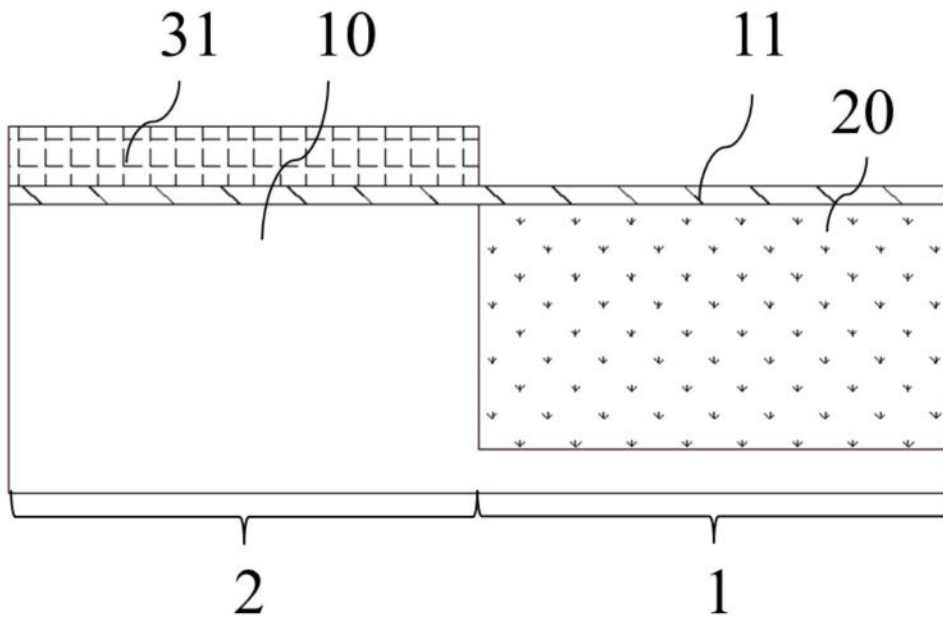


图1

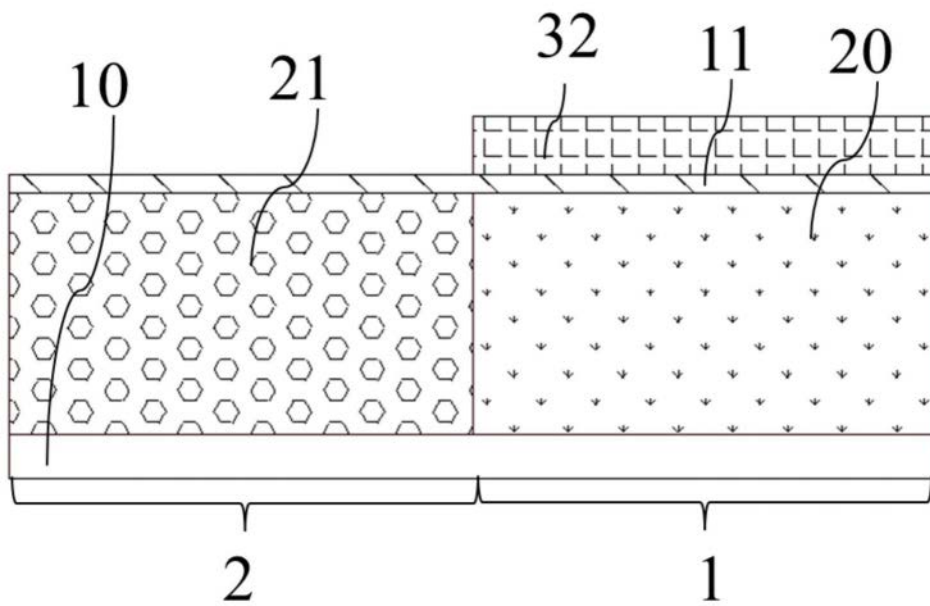


图2

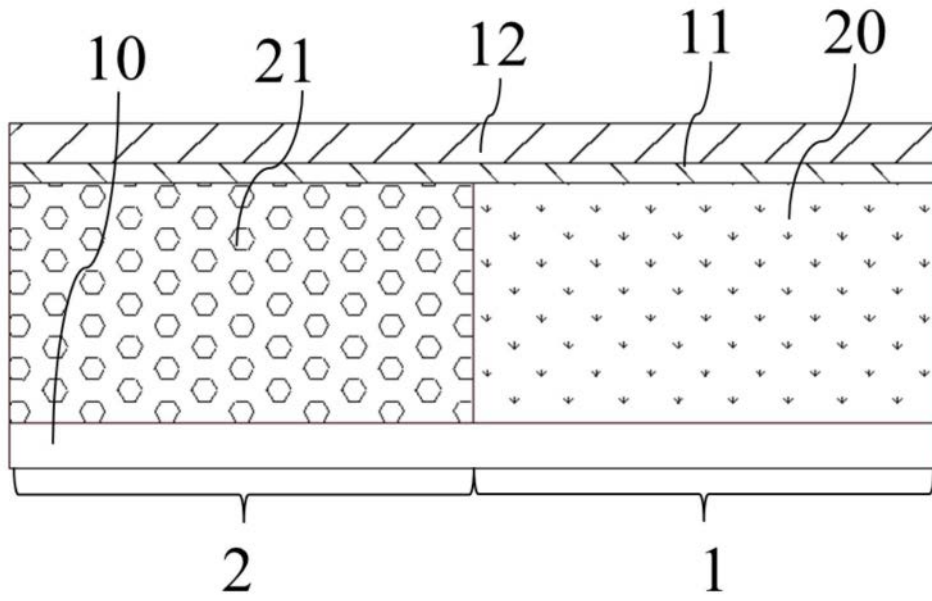


图3

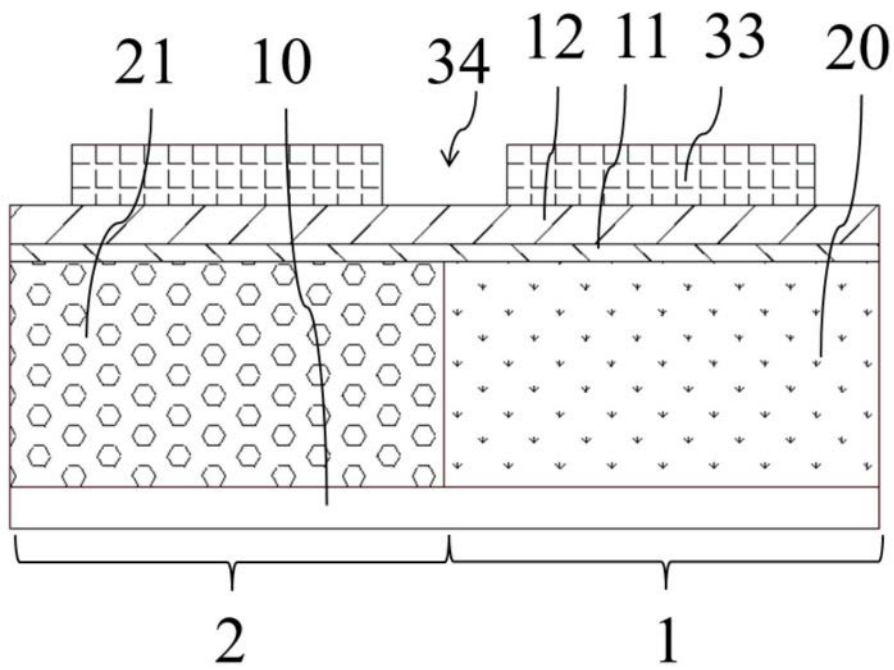


图4

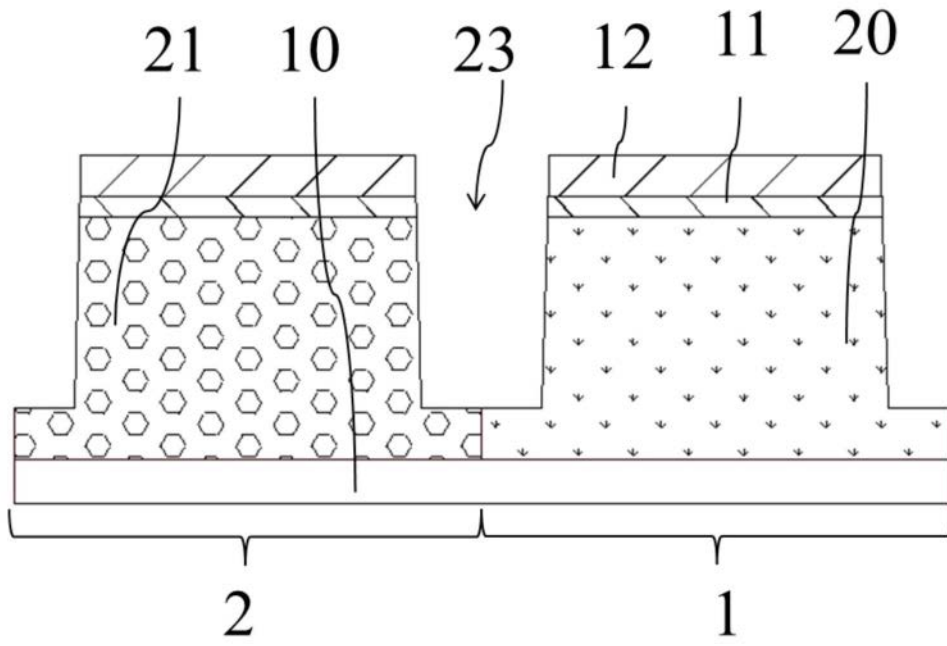


图5

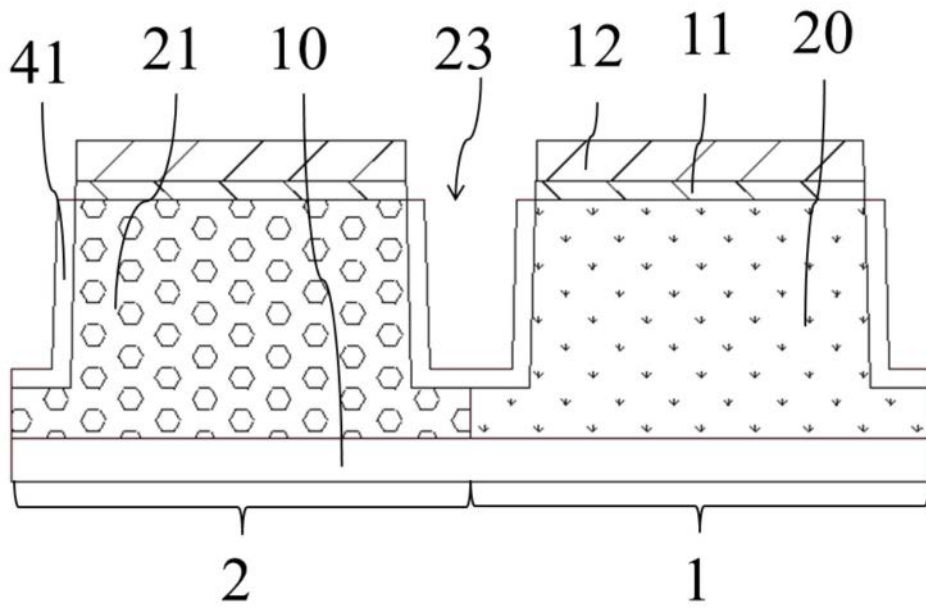


图6

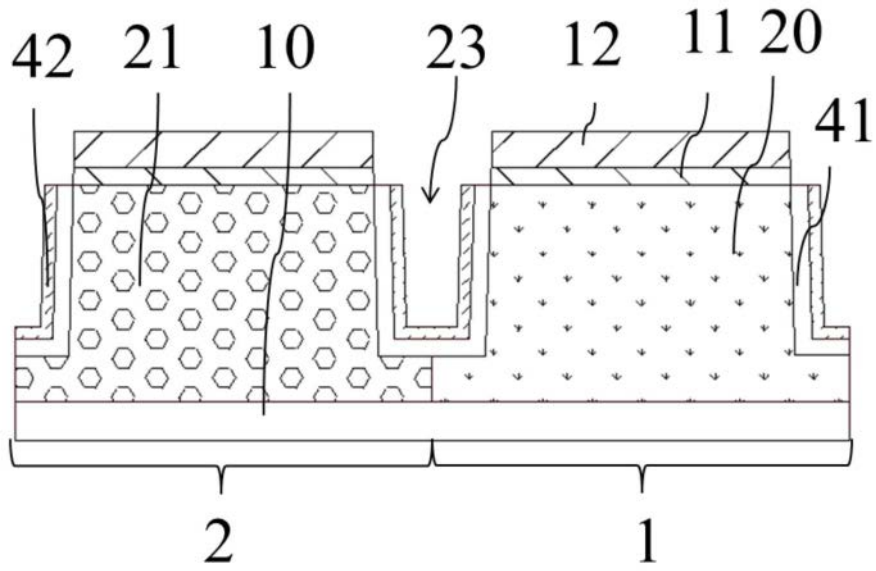


图7

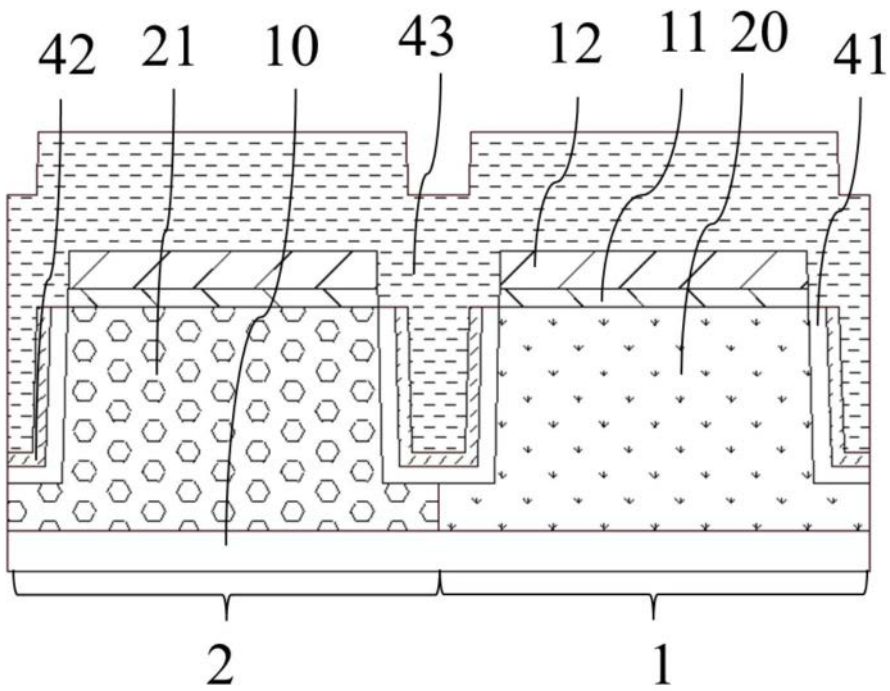


图8

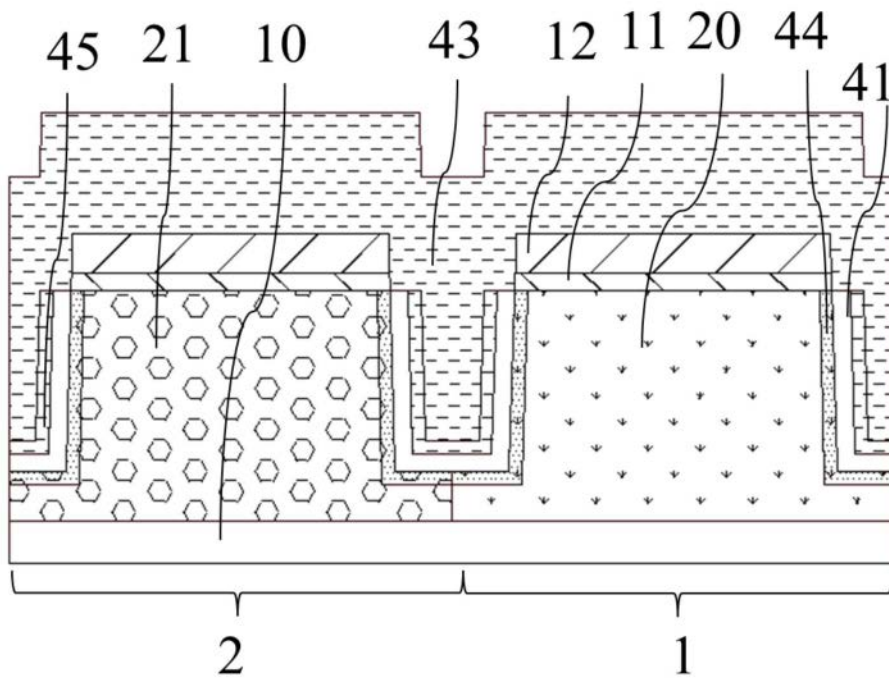


图9

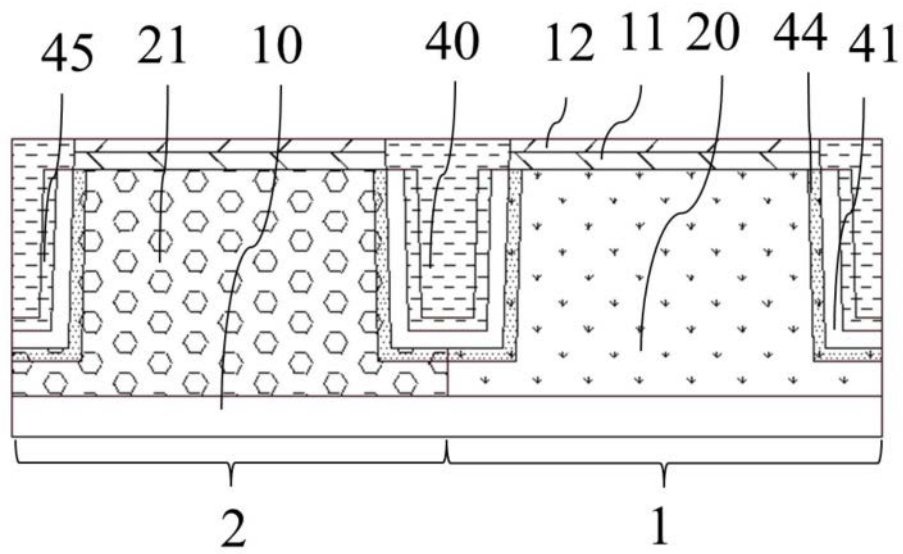


图10

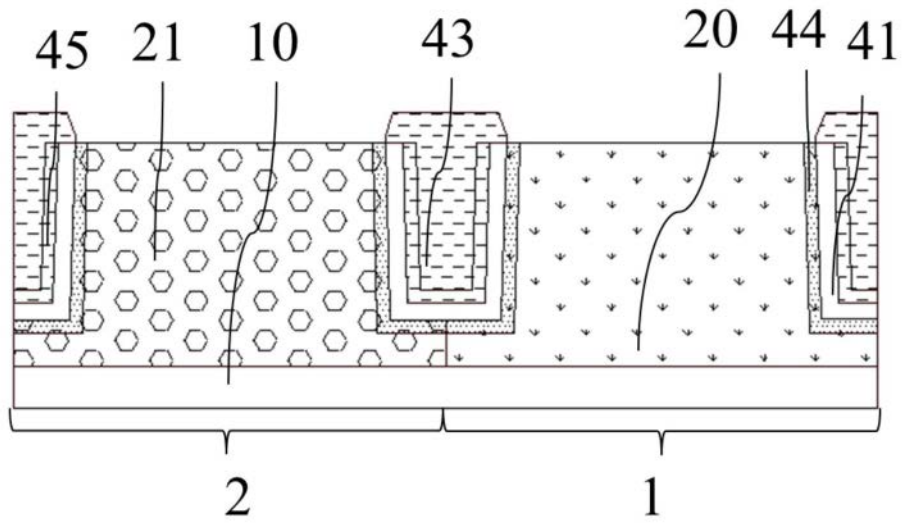


图11

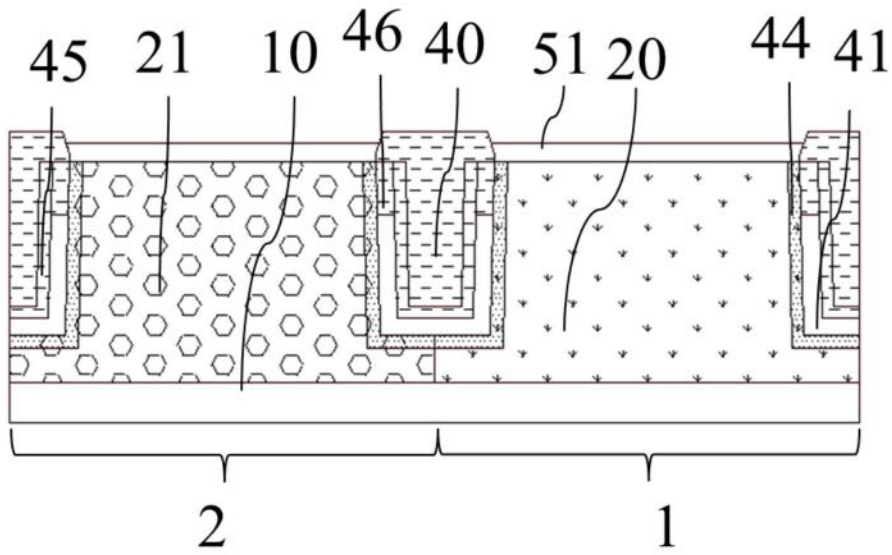


图12

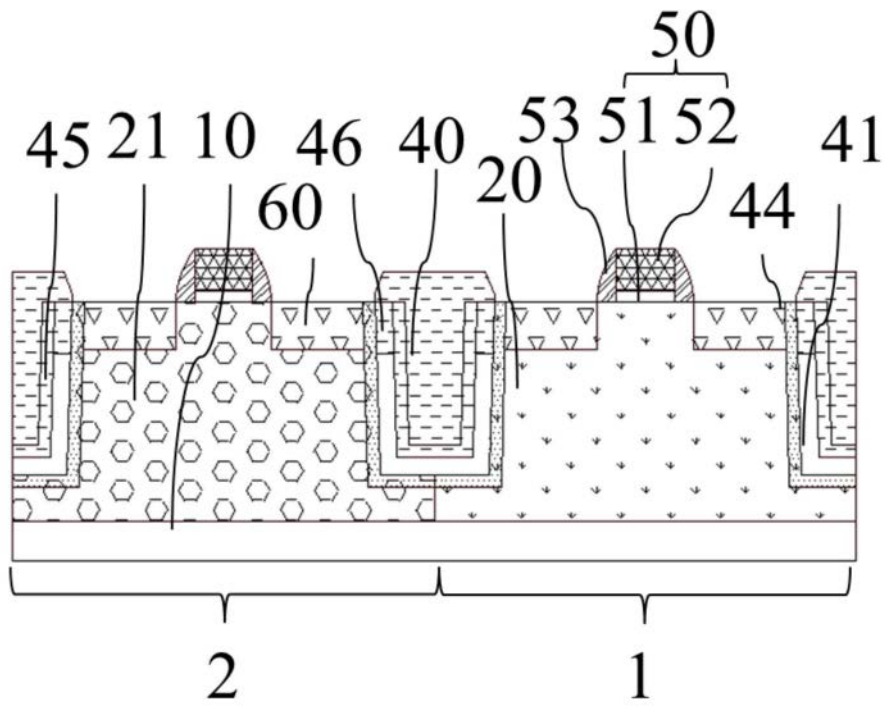


图13