

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5198239号
(P5198239)

(45) 発行日 平成25年5月15日(2013.5.15)

(24) 登録日 平成25年2月15日(2013.2.15)

| | | | |
|-----------------------------|------------|--|---------|
| (51) Int. Cl. | F 1 | | |
| HO2M 3/24 (2006.01) | HO2M 3/24 | | H |
| GO3G 15/02 (2006.01) | GO3G 15/02 | | 1 O 2 |
| GO3G 21/00 (2006.01) | GO3G 21/00 | | 3 9 8 |
| GO6F 1/26 (2006.01) | GO6F 1/00 | | 3 3 4 Z |
| GO6F 3/12 (2006.01) | GO6F 3/12 | | C |

請求項の数 13 (全 35 頁)

| | | | |
|-----------|-------------------------------|-----------|--------------------|
| (21) 出願番号 | 特願2008-325636 (P2008-325636) | (73) 特許権者 | 591044164 |
| (22) 出願日 | 平成20年12月22日(2008.12.22) | | 株式会社沖データ |
| (65) 公開番号 | 特開2010-148321 (P2010-148321A) | | 東京都港区芝浦四丁目11番22号 |
| (43) 公開日 | 平成22年7月1日(2010.7.1) | (74) 代理人 | 100086807 |
| 審査請求日 | 平成23年6月23日(2011.6.23) | | 弁理士 柿本 恭成 |
| | | (74) 代理人 | 100091362 |
| | | | 弁理士 阿仁屋 節雄 |
| | | (74) 代理人 | 100145872 |
| | | | 弁理士 福岡 昌浩 |
| | | (72) 発明者 | 小酒 達 |
| | | | 東京都港区芝浦四丁目11番22号 株 |
| | | | 式会社沖データ内 |
| | | (72) 発明者 | 矢治 雅夫 |
| | | | 東京都港区芝浦四丁目11番22号 株 |
| | | | 式会社沖データ内 |

最終頁に続く

(54) 【発明の名称】 電源装置及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

クロックを発生する発振器と、
前記クロックを分周してパルスを出力する分周手段と、
前記パルスに同期して各要素の出現頻度が等しいN個(但し、N;整数)の数列を前記パルスの切り替わり毎に発生する数列発生手段と、
前記パルスの分周比を設定する分周比設定手段と、
前記パルスにより駆動されるスイッチング素子と、
前記スイッチング素子により1次側に断続的に電圧が印加されると2次側から交流の高電圧を出力する圧電トランスと、
を有する電源装置であって、

発生された前記数列と設定された前記分周比とを比較し、M分周(但し、M;正の整数)の前記パルスとM+1分周の前記パルスとを出力し、単位時間当たりの前記M分周のパルスの 個(但し、 ;正数)と前記M+1分周のパルスの 個(但し、 ;正数)との分周比平均

$$(M \times \quad + (M + 1) \times \quad) / (\quad + \quad)$$

が、設定された前記分周比と前記数列の発生周期にて完全に等しくなり、且つ、前記数列発生周期より短い期間においても近似した値となることを特徴とする電源装置。

【請求項2】

請求項1記載の電源装置は、更に、

前記交流の高電圧を直流の高電圧に変換する整流手段と、
 前記直流の高電圧を直流の低電圧に変換する出力電圧変換手段と、
 第 1 の目標電圧を設定する第 1 の目標電圧設定手段と、
 前記直流の低電圧と設定された前記第 1 の目標電圧とを比較して比較結果を出力する比較手段とを有し、

設定された前記分周比を前記比較結果により変化させ、前記比較結果の信号波形が前記パルスの出力周期にて矩形波となるように定電圧制御することを特徴とする電源装置。

【請求項 3】

設定された前記分周比を変化させる周期は、前記数列発生手段の前記数列発生周期より短くしたことを特徴とする請求項 2 記載の電源装置。

10

【請求項 4】

請求項 2 記載の電源装置は、更に、

前記第 1 の目標電圧より低い第 2 の目標電圧を設定する第 2 の目標電圧設定手段を有し、

設定された前記第 2 の目標電圧までは、設定された前記分周比を変化させる周期を前記定電圧制御時より短くしたことを特徴とする電源装置。

【請求項 5】

請求項 2 記載の電源装置は、更に、

前記第 1 の目標電圧より低い第 2 の目標電圧を設定する第 2 の目標電圧設定手段を有し、

20

設定された前記第 2 の目標電圧までは、設定された前記分周比を変化させる変化率を前記定電圧制御時より大きくしたことを特徴とする電源装置。

【請求項 6】

請求項 2 記載の電源装置は、更に、

前記第 1 の目標電圧より低い第 2 の目標電圧を設定する第 2 の目標電圧設定手段を有し、

設定された前記第 2 の目標電圧までは、設定された前記分周比を変化させる変化率と前記分周比を変化させる周期とを前記定電圧制御時より大きくしたことを特徴とする電源装置。

【請求項 7】

30

前記第 1 の目標電圧設定手段は、可変電圧出力回路により構成されていることを特徴とする請求項 2 ~ 6 のいずれか 1 項に記載の電源装置。

【請求項 8】

前記第 2 の目標電圧設定手段は、定電圧回路により構成されていることを特徴とする請求項 4 ~ 6 のいずれか 1 項に記載の電源装置。

【請求項 9】

前記数列発生手段は、分周された前記パルスのカウントして複数ビットの出力信号を出力するカウント手段を有し、前記出力信号のビット配列を入れ替えて前記数列を発生することを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の電源装置。

【請求項 10】

40

前記数列発生手段は、分周された前記パルスのカウントして複数ビットの出力信号 bit 0 , bit 1 , . . . , bit N - 1 , bit N を出力するカウント手段を有し、前記出力信号 bit 0 , bit 1 , . . . , bit N のビット配列を上下入れ替えた前記数列 bit N , bit N - 1 , . . . , bit 1 , bit 0 を発生することを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の電源装置。

【請求項 11】

前記数列発生手段は、任意の前記数列を発生する擬似乱数発生器により構成されていることを特徴とする請求項 1 ~ 10 のいずれか 1 項に記載の電源装置。

【請求項 12】

前記数列発生手段は、任意の前記数列を発生する疑似乱数発生器と、分周された前記パ

50

ルスをカウントして複数ビットの出力信号を出力するカウンタとを有し、任意の前記数列と前記出力信号とを混合して前記数列を発生することを特徴とする請求項 1 ~ 10 のいずれか 1 項に記載の電源装置。

【請求項 13】

請求項 1 ~ 12 のいずれか 1 項に記載の電源装置を有することを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、圧電トランスを用いた電源装置と、この電源装置を用いた電子写真等の画像形成装置に関するものである。

10

【背景技術】

【0002】

従来、電子写真式の画像形成装置に用いられる電源装置としては、例えば、下記の特許文献 1 に記載されているように、圧電振動子の共振現象を利用して低電圧入力で高電圧を発生させることができる圧電トランスを、電圧制御発振器（以下「VCO」という。）の出力信号により制御して高電圧を出力させる構成の装置が知られている。

【0003】

【特許文献 1】特開 2006 - 91757 号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0004】

しかしながら、従来の電源装置では、次の (a) ~ (d) のような課題があった。

(a) VCO 等のアナログ回路により構成されているので、部品点数が多くなる。

【0005】

(b) 圧電トランスにおける共振周波数付近の高い出力電圧を利用しようとした場合に、負荷変動によって出力電圧が低下した場合に、共振周波数を越えて低い周波数に制御されてしまうと、制御不能となってしまう。そのため、実質上共振周波数付近の高い高圧出力が利用できない。

【0006】

30

(c) 制御の時定数は部品定数により選択しなければならず、立ち上がり時間を優先すると、共振周波数付近の制御性が悪化し、逆に、共振周波数付近の制御性を優先すると、立ち上がり時間が長くなってしまいう課題がある。

【0007】

(d) VCO のようなアナログ発振器を使用する回路構成においては、制御目標電圧が低い場合に、スプリアス周波数の影響を受けて制御が困難となる。

【課題を解決するための手段】

【0008】

本発明の電源装置は、クロックを発生する発振器と、前記クロックを分周してパルスを出力する分周手段と、前記パルスに同期して各要素の出現頻度が等しい N 個（但し、N；整数）の数列を前記パルスの切り替わり毎に発生する数列発生手段と、前記パルスの分周比を設定する分周比設定手段と、前記パルスにより駆動されるスイッチング素子と、前記スイッチング素子により 1 次側に断続的に電圧が印加されると 2 次側から交流の高電圧を出力する圧電トランスとを有している。

40

【0009】

そして、発生された前記数列と設定された前記分周比とを比較し、M 分周（但し、M；正の整数）の前記パルスと $M + 1$ 分周の前記パルスとを出力し、単位時間当たりの前記 M 分周のパルスの 個（但し、；正数）と前記 $M + 1$ 分周のパルスの 個（但し、；正数）との分周比平均

$$(M \times \quad + (M + 1) \times \quad) / (\quad + \quad)$$

50

が、設定された前記分周比と前記数列の発生周期にて完全に等しくなり、且つ、前記数列発生周期より短い期間においても近似した値となることを特徴とする。

【0010】

本発明の画像形成装置は、前記電源装置を有している。

【発明の効果】

【0011】

本発明の電源装置及び画像形成装置によれば、数列発生手段により、パルスに同期して各要素の出現頻度が等しいN個の数列を前記パルスの切り替わり毎に発生するので、低い周波数のクロックの分周でも、低周波分解能の前記パルスが得られ、制御性の良い安定した高圧出力を得ることができる。更に、低い高圧出力から圧電トランスの共振周波数に近い高い高圧出力まで、安定した定電圧制御が可能となる。広い出力範囲を得ることができるので、環境によらず、安定した出力が可能となり、更に濃度段差や横筋のない安定した画像を得ることができる。その上、デジタル回路により実現可能となり、部品点数を大幅に削減できる

10

【発明を実施するための最良の形態】

【0012】

本発明を実施するための最良の形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例1】

20

【0013】

(画像形成装置の構成)

図3は、本発明の実施例1における電源装置を用いた画像形成装置を示す構成図である。

【0014】

この画像形成装置1は、例えば、電子写真式のカラー画像形成装置であり、ブラック現像器2K、イエロー現像器2Y、マゼンタ現像器2M、シアン現像器2Cが着脱可能に挿着されている。各現像器2K、2Y、2M、2Cは、各色の感光体ドラム32K、32Y、32M、32Cにそれぞれ接した各色の帯電ローラ36K、36Y、36M、36Cによってそれぞれ一様に帯電される。帯電された各色の感光体ドラム32K、32Y、32M、32Cは、ブラック発光素子(以下「LED」という。)ヘッド3K、イエローLEDヘッド3Y、マゼンタLEDヘッド3M、シアンLEDヘッド3Cの発光によってそれぞれ潜像を形成される。

30

【0015】

各現像器2K、2Y、2M、2C内の各色の供給ローラ33K、33Y、33M、33Cが、各現像ローラ34K、34Y、34M、34Cにトナーを供給し、各色の現像ブレード35K、35Y、35M、35Cにより、各現像ローラ34K、34Y、34M、34C表面に一様にトナー層が形成され、各感光体ドラム32K、32Y、32M、32C上にトナー像が現像される。各色の現像器2K、2Y、2M、2C内の各クリーニングブレード37K、37Y、37M、37Cは、転写後の残トナーをクリーニングする。

40

【0016】

ブラックトナーカートリッジ4K、イエロートナーカートリッジ4Y、マゼンタトナーカートリッジ4M、及びシアントナーカートリッジ4Cは、各現像器2K、2Y、2M、2Cに着脱可能に取り付けられ、内部のトナーを各現像器2K、2Y、2M、2Cに供給可能な構造になっている。ブラック転写ローラ5K、イエロー転写ローラ5Y、マゼンタ転写ローラ5M、及びシアン転写ローラ5Cは、転写ベルト8の裏面から転写ニップにバイアスが印加可能に配置されている。転写ベルト駆動ローラ6、及び転写ベルト従動ローラ7は、転写ベルト8を張架しローラの駆動によって用紙15を搬送可能な構造になっている。

【0017】

50

転写ベルトクリーニングブレード 11 は、転写ベルト 8 上のトナーを掻き落とせるようになっていて、掻き落とされたトナーが転写ベルトクリーナ容器 12 に收容される。用紙カセット 13 は、画像形成装置 1 に着脱可能に取り付けられ、転写媒体である用紙 15 が積載される。ホッピングローラ 14 は、用紙 15 を用紙カセット 13 から搬送する。レジストローラ 16 及び 17 は、用紙 15 を転写ベルト 8 に所定のタイミングで搬送する。定着器 18 は、用紙 15 のトナー像を熱と加圧によって定着する。用紙ガイド 19 は、用紙 15 を排紙トレイ 20 にフェースダウンで排出する。

【0018】

レジストローラ 16, 17 の近傍には、用紙検出センサ 40 が設けられている。この用紙検出センサ 40 は、接触又は非接触で用紙 15 の通過を検出するものであり、このセンサ位置から転写ニップまでの距離と用紙搬送スピードの関係から求まる時間より、転写ローラ 5K, 5Y, 5M, 5C が転写を行う時の電源装置による転写バイアス印加タイミングを決定する。

10

【0019】

図 4 は、図 3 の画像形成装置 1 における制御回路の構成を示すブロック図である。

この制御回路は、ホストインタフェース部 50 を有し、このホストインタフェース部 50 がコマンド/画像処理部 51 に対してデータを送受信する。コマンド画像処理部 51 は、LED ヘッドインタフェース部 52 に対して画像データを出力する。LED ヘッドインタフェース部 52 は、プリンタエンジン制御部 53 によってヘッド駆動パルス等が制御され、LED ヘッド 3K, 3Y, 3M, 3C を発光させる。

20

【0020】

プリンタエンジン制御部 53 は、用紙検出センサ 40 からの検出信号等を受信し、高圧制御部 60 に対して帯電バイアス、現像バイアス、転写バイアス等の制御値を送る。高圧制御部 53 は、帯電バイアス発生部 61 と、現像バイアス発生部 62 と、転写バイアス発生部 63 とに信号を送る。帯電バイアス発生部 61、及び現像バイアス発生部 62 は、ブラック現像器 2K、イエロー現像器 2Y、マゼンタ現像器 2M、及びシアン現像器 2C の各帯電ローラ 36K, 36Y, 36M, 36C 及び各現像ローラ 34K, 34Y, 34M, 34C に対してバイアスを印加する。高圧制御部 60 内の制御部及び転写バイアス発生部 63 により、本発明の実施例 1 の電源装置が構成されている。

30

【0021】

プリンタエンジン制御部 53 は、ホッピングモータ 54、レジストモータ 55、ベルトモータ 56、定着器ヒータモータ 57、及び各色のドラムモータ 58K, 58Y, 58M, 58C を所定のタイミングで駆動する。定着器ヒータ 59 は、サーミスタ 65 の検出値に応じてプリンタエンジン制御部 53 によって温度制御される。

【0022】

(電源装置の構成)

図 1 は、本発明の実施例 1 における電源装置の概略を示すブロック図である。

【0023】

この電源装置 70 は、図 4 中の高圧制御部 60 内の制御回路及び転写バイアス発生部 63 により構成され、各色の転写ローラ 5 (= 5K, 5Y, 5M, 5C) 毎に設けられている。各色の電源装置 70 は、同一の回路構成であるので、以下、1 回路のみ説明する。

40

【0024】

電源装置 70 は、プリンタエンジン制御部 53 の出力ポート OUT2 から供給されるオン/オフ (以下「ON/OFF」という。) 信号と、出力ポート OUT3 から供給されるリセット信号 RESET とを入力すると共に、プリンタエンジン制御部 53 内に設けられた第 1 の目標電圧設定手段である可変電圧出力回路 (例えば、10 ビット (bit) の分解能を持つデジタル/アナログ変換器 (以下「DAC」という。)) 53a から例えば 3.3V のレンジで出力される第 1 の目標電圧 V53a を入力し、直流 (以下「DC」という。) の高圧電圧を生成して転写ローラ 5 である負荷 ZL へ供給する装置である。

【0025】

50

電源装置 70 は、一定周波数（例えば、33.33 MHz）の基準クロック（以下単に「クロック」という。）CLK を発生する発振器 71 を有し、この出力側に制御部 72 が接続されている。制御部 72 は、例えば、高圧制御部 60 内に設けられ、発振器 71 から供給されるクロック CLK に同期して動作し、プリンタエンジン制御部 53 により制御されて圧電トランス駆動パルス（以下単に「駆動パルス」という。）S72 を出力する回路であり、クロック CLK を入力するクロック入力ポート CLK_IN、比較結果 S78 を入力する入力ポート IN1、プリンタエンジン制御部 53 の出力ポート OUT2 から出力される ON/OFF 信号を入力する入力ポート IN2、プリンタエンジン制御部 53 の出力ポート OUT3 から出力されるリセット信号 RESET を入力するリセット入力ポート IN3、及び駆動パルス S72 を出力する出力ポート OUT1 を有している。入力される ON/OFF 信号により、出力ポート OUT1 からの駆動パルス S72 における出力の ON/OFF が制御される。入力されるリセット信号 RESET により、出力ポート OUT1 に対する出力設定が初期化される。なお、入力ポート IN2 において、ON/OFF 信号の入力に代えて、オン・リセットという組合せの信号を入力することにより、リセット入力ポート IN3 へのリセット信号 RESET の入力を省略することも可能である。

10

【0026】

制御部 72 は、例えば、特定の用途向けに複数機能の回路を 1 つにまとめた集積回路であるエーシック（Application Specific Integrated Circuit、以下「ASIC」という。）、中央処理装置（以下「CPU」という。）を内蔵したマイクロプロセッサ、あるいは、ユーザが独自の論理回路を書き込みことができるゲートアレイの一種であるフィールド・プログラマブル・ゲート・アレイ（Field Programmable Gate Array、以下「FPGA」という。）等により構成されている。

20

【0027】

制御部 72 の出力ポート OUT1 と、DC 24V を出力する DC 電源 73 とには、圧電トランス駆動回路 74 が接続されている。圧電トランス駆動回路 74 は、スイッチング素子を用いて駆動電圧を出力する回路であり、この出力側に圧電トランス 75 が接続されている。圧電トランス 75 は、セラミック等の圧電振動子の共振現象を利用して駆動電圧の昇圧を行い交流（以下「AC」という。）の高圧電圧を出力するトランスであり、この出力側に整流手段（例えば、整流回路）76 が接続されている。整流回路 76 は、圧電トランス 75 から出力された AC の高圧電圧を DC の高圧電圧に変換して負荷 ZL へ供給する回路であり、この出力側に出力電圧変換手段 77 が接続されている。

30

【0028】

出力電圧変換手段 77 は、DC の高圧電圧を低電圧に変換する回路であり、この出力側に、比較手段である出力電圧比較手段 78 が接続されている。出力電圧比較手段 78 は、出力電圧変換手段 77 から出力された DC の低電圧と、プリンタエンジン制御部内の DAC53a から出力された目標電圧 V53a とを比較して、この比較結果 S78 を制御部 72 の入力ポート IN1 へ入力するものである。

【0029】

なお、図 1 の電源装置 70 は、各色の転写ローラ 5（=5K, 5Y, 5M, 5C）毎、即ち、チャンネル毎に並置されるが、これらの複数のチャンネルに対して一部を共用する構成にしても良い。例えば、圧電トランス 75 及び整流回路 76 等は、複数のチャンネル分必要となるが、発振器 71 及び制御部 72 は、1 組で共用できる。この場合、制御部 72 はチャンネル数分の入出力ポートを備えることになる。又、制御部 72 は、電源装置 70 内に設けられているが、プリンタエンジン制御部 53 内の大規模集積回路（以下「LSI」という。）中に設けても良い。

40

【0030】

図 2 は、図 1 の電源装置 70 における詳細な構成例を示す回路図である。図 5 は、図 2 中の圧電トランス 75 における出力電圧 / 周波数の特性図である。

発振器 71 は、電源 71a から供給される DC 3.3V により動作して発振周波数 33.33 MHz のクロック CLK を発生する回路であり、DC 3.3V が印加される電源端

50

子VDD、DC3.3Vが印加される出力イネーブル端子OE、クロックCLKを出力するクロック出力端子CLK_OUT、及びグランド端子GNDを有している。クロック出力端子CLK_OUTは、抵抗71bを介して、制御部72のクロック入力ポートCLK_INに接続されている。

【0031】

クロックCLKに同期して動作する制御部72において、駆動パルスS72を出力する出力ポートOUT1には、抵抗72aを介して、圧電トランス駆動回路74が接続され、この圧電トランス駆動回路74にDC電源73が接続されている。DC電源73は、例えば、図示しない低圧電源装置から商用電源であるAC100Vを変圧整流することにより供給されるDC24Vの電源である。

10

【0032】

圧電トランス駆動回路74は、スイッチング素子であるパワートランジスタ（例えば、NチャンネルパワーMOSFET（以下「NMOS」という。）74aを有し、このNMOS74aのゲート・ソース間に、短絡防止用の抵抗74bが接続されている。NMOS74aのドレインは、インダクタ（コイル）74cを介してDC24VのDC電源73に接続されている。NMOS74aのドレイン・ソース間には、コンデンサ74dが並列に接続され、このコンデンサ74d及びインダクタ74cにより共振回路が構成されている。NMOS74aのゲートに、制御部72からの駆動パルスS72が入力されると、このNMOS74aによりDC24Vがスイッチングされ、これが共振回路により共振されてピークがAC100V程度の正弦波（サイン波）の駆動電圧が出力される。

20

【0033】

共振回路の出力側には、圧電トランス75の1次側の入力端子75aが接続され、この2次側の出力端子75bから、NMOS74aのスイッチング周波数に応じて0～数KVのAC高電圧が出力される構成になっている。2次側の出力端子75bの出力電圧特性は、図5に示すように、周波数によって異なり、NMOS74aのスイッチング周波数により昇圧比が決定される。

【0034】

圧電トランス75は、図5に示すように、周波数 f_x で最大昇圧比を得、周波数 f_y 付近で昇圧比が最小となる。周波数 f_z は、スプリアス周波数を示す。本実施例1では、スプリアス周波数 f_z より低い開始周波数 f_{start} から共振周波数 f_x より高い周波数 f_{end} の範囲にて、周波数を制御する構成になっている。

30

【0035】

2次側の出力端子75bには、AC/DC変換用の整流回路76が接続されている。整流回路76は、圧電トランス75の2次側の出力端子75bから出力されたAC高電圧をDC高電圧に変換して出力する回路であり、ダイオード76a、76b及びコンデンサ76cにより構成されている。整流回路76の出力側には、抵抗76dを介して負荷ZLである転写ローラ5が接続されると共に、出力電圧変換手段77が接続されている。

【0036】

出力電圧変換手段77は、整流回路76のDC高電圧を分圧して低電圧（例えば、DC3.3V以下の低い電圧）に変換する分圧抵抗77a、77bと、その低電圧を保護抵抗77cを介して入力する演算増幅器（以下「オペアンプ」という。）77dからなるボルテージフォロア回路とにより構成されている。例えば、分圧抵抗77aの抵抗値は200M、分圧抵抗77bの抵抗値は100Kであり、整流回路76から出力されたDC高電圧を1/2001に分圧している。オペアンプ77dには、DC電源73から24Vが印加され、このオペアンプ77dからなるボルテージフォロア回路の出力側に、出力電圧比較手段78が接続されている。

40

【0037】

出力電圧比較手段78は、DC電源73から24Vが印加される電圧比較器であるコンパレータ78aと、このコンパレータ78aの出力端子をプルアップするDC3.3V電源78b及びプルアップ抵抗78cとにより構成されている。コンパレータ78aは、ボ

50

ルテージフォロア回路の出力電圧を入力する「-」入力端子と、プリンタエンジン制御部53内のDAC53aから出力された目標電圧V53aを入力する「+」入力端子とを有し、その「-」入力端子の電圧と「+」入力端子の電圧とを比較し、比較結果S78を出力端子から出力して制御部72の入力ポートIN1へ与える回路である。コンパレータ78aの出力端子は、プルアップ抵抗78cを介してDC3.3V電源78bに接続されている。

【0038】

プリンタエンジン制御部53内に設けられた10bitの分解能を持つDAC53aから、例えば、3.3Vのレンジの目標電圧V53aが出力されて、コンパレータ78aの「+」入力端子に入力されると、このコンパレータ78aでは、出力電圧変換手段77の出力電圧と目標電圧V53aとを比較する。

(目標電圧V53a) > (出力電圧変換手段77の出力電圧)の間は、コンパレータ78aの出力端子が、DC3.3V電源78b及び抵抗77cによりプルアップされてDC3.3V(=高レベル、以下「“H”」という。)となり、この“H”が制御部72の入力ポートIN1に入力される。これに対し、

(目標電圧V53a) < (出力電圧変換手段77の出力電圧)になると、コンパレータ78aの出力端子が低レベル(以下「“L”」という。)となり、この“L”が制御部72の入力ポートIN1に入力される。

【0039】

(電源装置内の制御部の構成)

図6は、図2中の制御部72を示す構成図である。

【0040】

制御部72は、例えば、ASICにより構成されており、ハードウェア記述言語等により記述されてASIC化されている。これに入力されるクロックCLK及びリセット信号RESETのうち、クロックCLKは同期回路を構成する後述する各回路ブロックに供給され、リセット信号RESETは初期化のために各回路ブロックに供給される。

【0041】

制御部72は、入力ポートIN1に接続されたアップカウンタ81を有している。アップカウンタ81は、コンパレータ78aから出力される比較結果S78の“H”をイネーブル信号enableとして動作を開始し、クロックCLKの立ち上がりパルスによりカウントアップする10bitのカウンタであり、比較結果S78が“L”の間はカウントアップせず、“H”の時のみカウントアップする。アップカウンタ81は、立ち上がりエッジ検出器94の1クロックパルスの立ち上がり入力(RESETe信号)で0にリセットされ、同様に、プリンタエンジン制御部53から与えられるリセット信号RESETの“L”入力によっても0にクリアされ、“L”が保持されている期間はカウントを停止する。このアップカウンタ81の10bit出力信号は、次段のデータラッチ(以下「Dラッチ」という。)82に出力される。

【0042】

Dラッチ82は、立ち上がりエッジ検出器94から出力される1クロックパルスの立ち上がり信号の入力(set)で、アップカウンタ81の10bit出力信号を保持し、この保持した10bit信号値を第1、第2の比較器83-1, 83-2に出力し、入力されるリセット信号RESETの“L”により10bit信号値が0にクリアされる。第1の比較器83-1は、クロックCLKの立ち上がりエッジ毎に、Dラッチ82の出力信号と第1の除算器84-1の出力信号とを比較し、

(Dラッチ82の出力信号) < (除算器84-1の出力信号)の時に、論理積(以下「AND」という。)回路85に“L”を出力し、前記以外の条件で“H”を出力する。第2の比較器83-2は、クロックCLKの立ち上がりエッジ毎に、Dラッチ82の出力信号と第2の除算器84-2の出力信号とを比較し、

(Dラッチ82の出力信号) > (除算器84-2の出力信号)の時に、AND回路85に“L”を出力し、前記以外の条件で“H”を出力する。

【 0 0 4 3 】

第1の除算器84-1は、クロックCLKの立ち上がりエッジ毎に、分周カウンタ88の10bit出力信号を1bit右シフト(除算)して最上位bitに0を入力する。言い換えれば、最下位bitを切り捨てて分周カウンタ88の値を1/2にして第1の比較器83-1に出力する。第2の除算器84-2は、クロックCLKの立ち上がりエッジ毎に、分周カウンタ88の10bit出力信号を2bit右シフト(除算)して最上位から2bitに0を入力する。言い換えれば、最下位2bitを切り捨てて分周カウンタ88の値を1/4にして第2の比較器83-2に出力する。

【 0 0 4 4 】

タイマ(分周器)86は、1280Hサイクル(即ち、4736サイクル、142.08μsec)毎に1クロックのパルスを出力する。ここで言う1クロックとは、発振器71から出力されるクロックCLKからの入力クロックである。出力される1クロックの“H”の出力信号は、AND回路85に入力される。

【 0 0 4 5 】

AND回路85は、第1、第2の比較器83-1, 83-2それぞれの出力信号とタイマ(分周器)86の出力信号とのANDを取って分周比設定手段(例えば、6bitカウンタ)87に出力する。AND回路85において、第2の比較器83-2の出力信号が“H”の場合にはタイマ(分周器)86のパルスとANDが取られて、6bitカウンタ87のカウンタアップパルスupが出力され、第1の比較器83-1の出力信号が“H”の場合にはタイマ(分周器)86のパルスとANDが取られて、6bitカウンタ87のカウンタダウパルスdownが出力される。第1の比較器83-1と第2の比較器83-2の出力信号は、前述した論理により常にどちらか片方のみ“H”又は両方“L”となる。

【 0 0 4 6 】

6bitカウンタ87は、リセット信号RESETの“L”入力時に0にクリアされる。クロックCLKの立ち上がりに同期してAND回路85から出力される比較器83-2とタイマ(分周器)86のAND出力が“H”の場合に、6bitカウンタ87を+1カウンタアップし、AND回路85から出力される比較器83-1とタイマ(分周器)86のAND出力が“H”の場合に、6bitカウンタ87を-1カウンタダウンする。6bitカウンタ87のカウンタ値は、第3の比較器83-3に出力される。更に、カウンタアップ時の6bitカウンタ87の値が11111bから00000bになる場合に、分周カウンタ88に対してオーバフロー信号overの“H”を出力し、カウンタダウン時の6bitカウンタ87の値が00000bから11111bになる場合に、分周カウンタ88に対してアンダフロー信号underの“H”を出力する。

【 0 0 4 7 】

分周カウンタ88は、リセット信号RESETが“L”の時にカウンタ初期値レジスタ95の値に設定され、オーバフロー信号overの立ち上がりエッジでカウンタアップし、アンダフロー信号underの立ち上がりエッジでカウンタダウンする。カウンタアップ時は、分周カウンタ88の値とカウンタ上限値レジスタ96の値とを比較して、値が等しくない場合のみカウンタアップし、カウンタダウン時は、分周カウンタ88の値とカウンタ初期値レジスタ95とを比較して、値が等しくない場合のみカウンタダウンを行う。分周カウンタ88の10bit値は、第1の除算器84-1、除算器84-2、分周セレクタ90、及び減算器89に出力される。

【 0 0 4 8 】

カウンタ初期値レジスタ95は、10bitのレジスタであり、分周カウンタ88に10bitの信号を出力する。カウンタ上限値レジスタ96は、10bitのレジスタであり、分周カウンタ88に10bitの信号を出力する。この両レジスタ95, 96は一定値を保持する。減算器89は、分周カウンタ88の10bit出力信号から-1減算した値を分周セレクタ90に出力する。分周セレクタ90は、第3の比較器83-3から出力される選択信号selectが“L”の時に、分周カウンタ88の10bit値を分周手段(例えば、分周器)91に出力し、選択信号selectが“H”の時に、減算器89の10bitの値を分周器91

10

20

30

40

50

に出力する。

【 0 0 4 9 】

分周器 9 1 は、クロック C L K の立ち上がりでカウントアップする 1 0 bit カウンタを内部に有し、分周セクタ 9 0 からの 1 0 bit 出力値、及び 1 0 bit 出力値を約 3 0 % にした値、正確には 1 0 bit 出力値の 1 / 4 値、1 / 3 2 値、1 / 6 4 値の和、即ち分周セクタ 9 0 の 1 0 bit 出力信号をそれぞれ右シフト 2 bit、右シフト 5 bit、右シフト 6 bit した値との比較を行い、分周セクタ 9 0 の出力信号の 3 0 % 値と等しくなった時に、この分周器出力を “ L ” とし、分周セクタ 9 0 の出力信号と等しくなった時に、この分周器出力を “ H ” にすると同時に、内部のカウンタを 0 にクリアする。以上の動作によって、分周器 9 1 はクロック C L K を分周セクタ出力値で分周した周波数で、約 3 0 % の O N

10

【 0 0 5 0 】

本実施例 1 では、周波数 3 3 . 3 3 M H z のクロック C L K を圧電トランス駆動周波数である約 1 1 0 ~ 1 3 0 K H z に分周し、この分周比は 2 5 6 ~ 3 0 3 程度の範囲となるので、正確にはデューティは 2 9 . 3 ~ 3 0 . 0 % となる。この範囲のデューティ変動は、本実施例 1 の回路においては出力電圧変動に殆ど影響を及ぼさない。又、本実施例 1 においては、1 サイクルで演算できる例として、前記シフト値の和で表わしたが、分周パルス周波数は 1 0 0 K H z 台と動作周波数 3 3 . 3 3 M H z に対して十分低いので、正確に 3 0 % となる演算を用いることも可能である。

【 0 0 5 1 】

20

出力セクタ 9 3 は、プリンタエンジン制御部 5 3 から出力される O N / O F F 信号が “ H ” の時に、分周器 9 1 の出力信号を選択し、O N / O F F 信号が “ L ” の時に、グラウンド電位の “ L ” を選択し、駆動パルス S 7 2 として出力ポート O U T 1 に出力する。分周器 9 1 は、リセット後、カウンタ初期値の分周比で常にパルスを出力するが、外部からの O N / O F F 信号が O F F の間は駆動パルスを出力しない。

【 0 0 5 2 】

数列発生手段（例えば、6 bit 数列発生器）9 2 は、出力セクタ 9 3 から出力される駆動パルス S 7 2 の立ち上がりエッジで数列を第 3 の比較器 8 3 - 3 に出力する。数列は、6 4 周期で各要素の出現頻度が等しいものである。第 3 の比較器 8 3 - 3 は、6 bit 数列発生器 9 2 の出力値と 6 bit カウンタ 8 7 の出力値とを比較し、

30

(6 bit カウンタ 8 7 の出力値) > (6 bit 数列発生器 9 2 の出力値)

の時に、分周セクタ 9 0 に選択信号 select の “ L ” を出力し、それ以外の条件で、分周セクタ 9 0 に “ H ” を出力する。

【 0 0 5 3 】

立ち上がりエッジ検出器 9 4 は、出力セクタ 9 3 から出力される駆動パルス S 7 2 の立ち上がりエッジを検出すると、その立ち上がりエッジに 1 サイクル遅れて 1 クロックのパルスを出力する。この出力パルスは、アップカウンタ 8 1 のリセット信号 reset、D ラッチ 8 2 のセット信号 s e t として出力される。

【 0 0 5 4 】

図 7 は、図 6 中の 6 bit 数列発生器 9 2 を示す構成図である。

40

6 bit 数列発生器 9 2 は、内部にカウント手段（例えば、6 bit カウンタ）9 2 a を有している。6 bit カウンタ 9 2 a は、クリア端子 C L R に入力されるリセット信号 RESET により 0 にクリアされ、出力セクタ 9 3 から出力される駆動パルス S 7 2 を C L K 入力端子から入力してカウントし、このカウント値を出力端子 Q 0 ~ Q 6 に出力する。6 bit 数列発生器 9 2 は、その各出力端子 Q 0 ~ Q 6 の出力信号におけるビット配列を上位下位の順序を逆にして、即ち上下入れ替えた数列 bit 5 ~ bit 0 を第 3 の比較器 8 3 - 3 に出力する。

【 0 0 5 5 】

なお、図 6 の制御部 7 2 は、A S I C により構成されているが、F P G A やマイクロプロセッサのモジュール等として構成しても良い。

50

【 0 0 5 6 】

(画像形成装置の全体の動作)

図 3 及び図 4 において、画像形成装置 1 は、図示しない外部機器からホストインタフェース部 5 0 を介して P D L (Page Description Language、ページ記述言語) 等で記述された印刷データが入力されると、この印刷データは、コマンド / 画像処理部 5 1 によってビットマップデータ (画像データ) に変換され、L E D ヘッドインタフェース部 5 2 及びプリンタエンジン制御部 5 3 へ送られる。プリンタエンジン制御部 5 3 により、サーミスタ 6 5 の検知値に応じて定着器 1 8 内のヒータ 5 9 が制御され、定着器 1 8 内の熱定着ローラが所定の温度になり、印字動作が開始される。

【 0 0 5 7 】

給紙カセット 1 3 にセットされた用紙 1 5 は、ホッピングローラ 1 4 で給紙される。以降説明する画像形成動作に同期したタイミングで、レジストローラ 1 6 , 1 7 によって用紙 1 5 が転写ベルト 8 上に搬送される。各色の現像器 2 K , 2 Y , 2 M , 2 C において、電子写真プロセスにより、各感光体ドラム 3 2 K , 3 2 Y , 3 2 M , 3 2 C にトナー像が形成される。この時、前記ビットマップデータに応じて各 L E D ヘッド 3 K , 3 M , 3 Y , 3 C が点灯される。各色の現像器 2 K , 2 Y , 2 M , 2 C によって現像されたトナー像は、電源装置 7 0 から各転写ローラ 5 K , 5 Y , 5 M , 5 C に印加された高電圧の D C バイアスにより、転写ベルト 8 上を搬送される用紙 1 5 に転写される。用紙 1 5 に 4 色のトナー像が転写された後、定着器 1 8 によって定着されて排紙される。

【 0 0 5 8 】

(電源装置の動作)

先ず、図 1 の電源装置 7 0 における概略の動作を説明する。

【 0 0 5 9 】

カラー画像装置において転写は 4 出力となるが、4 回路とも同じ構成となるので、本実施例 1 では、1 出力の電源装置 7 0 について動作を説明する。

【 0 0 6 0 】

プリンタエンジン制御部 5 3 内に設けられた 1 0 bit の D A C 5 3 a は、目標電圧 V 5 3 a を電源装置 7 0 内の出力電圧比較手段 7 8 に出力し、電源装置 7 0 から出力される D C 高電圧を設定する。例えば、D C 高電圧が 5 K V なら目標電圧 V 5 3 a は 2 . 5 V である。即ち、1 0 bit の D A C 5 3 a なので 1 6 進数に変換して 3 0 7 H の値を設定して、D A C 5 3 a から 2 . 5 V の目標電圧 V 5 3 a を出力電圧比較手段 7 8 に出力する。この時、プリンタエンジン制御部 5 3 は、出力ポート O U T 2 から制御部 7 2 へ出力する O N / O F F 信号を O F F にすると共に、出力ポート O U T 3 から制御部 7 2 へリセット信号 R E S E T を出力して、制御部 7 2 をリセットする。

【 0 0 6 1 】

制御部 7 2 は、プリンタエンジン制御部 5 3 からの O N / O F F 信号に従って、発振器 7 1 から出力されるクロック C L K を分周した駆動パルス S 7 2 を圧電トランス駆動回路 7 4 に出力する。制御部 5 3 は、出力電圧比較手段 7 8 から入力される比較結果 S 7 8 の状態によって分周比を変化させる。圧電トランス駆動回路 7 4 は、D C 電源 7 3 から供給される D C 2 4 V を、駆動パルス S 7 2 によりスイッチングして駆動電圧を生成し、圧電トランス 7 5 の 1 次側に与える。これにより、圧電トランス 7 5 の 1 次側が駆動されて 2 次側から A C 高電圧が出力され、これが整流回路 7 6 により整流されて D C 高電圧が転写ローラ 5 である負荷 Z L へ供給される。

【 0 0 6 2 】

出力電圧変換手段 7 7 は、整流回路 7 6 から出力された D C 高電圧を例えば 1 / 2 0 0 1 の電圧に変換し、出力電圧比較手段 7 8 に与える。出力電圧比較手段 7 8 は、D A C 5 3 a からの目標電圧 V 5 3 a と、出力電圧変換手段 7 7 の出力電圧とを比較し、この比較結果 S 7 8 を制御部 7 2 に与える。目標電圧 V 5 3 a より出力電圧変換手段 7 7 の出力電圧が低い場合には、制御部 5 3 から T T L レベルで “ H ” の O N / O F F 信号が出力され、出力電圧変換手段 7 7 の出力電圧が目標電圧 V 5 3 a より高くなると、制御部 5 3 から

10

20

30

40

50

“ L ” の O N / O F F 信号が出力される。

【 0 0 6 3 】

出力電圧変換手段 7 7 の出力電圧がほぼ目標電圧 V 5 3 a になった場合、出力電圧変換手段 7 7 の出力電圧は、圧電トランス 7 5 の 2 次側 A C 高電圧を整流回路 7 6 により整流しても A C 成分であるリップルが残り、D A C 5 3 a から出力される目標電圧 V 5 3 a がほぼ安定した D C 電圧であるので、圧電トランス駆動回路 7 4 に入力される駆動パルス S 7 2 とほぼ同期した矩形波が出力電圧比較手段 7 8 から出力される。

【 0 0 6 4 】

図 8 は、図 2 の電源装置 7 0 における動作波形図である。

この図 8 を参照しつつ、図 2 の電源装置 7 0 における詳細な動作を説明する。

10

【 0 0 6 5 】

プリンタエンジン制御部 5 3 は、出力ポート O U T 3 から出力するリセット信号 RESET を “ L ” にして、制御部 5 3 における出力ポート O U T 1 の種々の設定をリセットする。このリセット信号は “ L ” true の信号である。このリセット動作により、出力ポート O U T 1 出力の分周比等の値が初期値となる。

【 0 0 6 6 】

プリンタエンジン制御部内の D A C 5 3 a は、高圧出力の目標電圧値に対する指示電圧である目標電圧 V 5 3 a を出力する。例えば、高圧出力が 5 K V の場合には 2 . 5 V を出力する。この場合、3 . 3 V、1 0 bit の D A C 5 3 a であるので、内部の所定のレジスタに 3 0 7 H を設定する。D A C 5 3 a から目標電圧 V 5 3 a を出力した後、リセット信号 RESET を “ H ” に切り替える。制御部 7 2 はリセットが解除されると、初期値にてクロック入力ポート CLK_IN から入力されるクロック C L K を初期値の分周比、O N デューティ 3 0 % で分周する。但し、プリンタエンジン制御部 5 3 の出力ポート O U T 2 から出力される O N / O F F 信号が “ L ” の間は、出力ポート O U T 1 からは分周された駆動パルス S 7 2 が出力されず、出力ポート O U T 1 の出力は “ L ” に保持される。

20

【 0 0 6 7 】

制御部 5 3 のクロック入力ポート CLK_IN には、抵抗 7 1 b を介して発振器 7 1 が接続されている。発振器 7 1 は、電源 7 1 a から電源端子 V D D とアウトプットイネーブル端子 O E に D C 3 . 3 V が供給され、電源没入直後から発振周波数 3 3 . 3 3 M H z、周期 3 0 n s e c のクロック C L K を C L K 端子から出力する。

30

【 0 0 6 8 】

出力ポート O U T 1 が “ L ” に保持されている間は、圧電トランス駆動回路 7 4 内の N M O S 7 4 a は O F F しているので、圧電トランス 7 5 の 1 次側入力端子 7 5 a には、D C 電源 7 3 から供給される D C 2 4 V がそのまま印加される。この状態では、D C 2 4 V の電流値はほぼ 0 であり、圧電トランス 7 5 も振動していないので、圧電トランス 7 5 の 2 次側出力端子 7 5 b も 0 V であり、出力電圧変換手段 7 7 内のオペアンプ 7 7 d の出力電圧は “ L ” である。

【 0 0 6 9 】

出力電圧比較手段 7 8 内のコンパレータ 7 8 a は、前記状態では「 + 」入力端子に 2 . 5 V、「 - 」入力端子にはオペアンプ 7 7 d の “ L ” が入力されている。そのため、オペアンプ 7 8 a の出力端子は、電源 7 8 b でプルアップされた D C 3 . 3 V となっており、制御部 7 2 の入力ポート I N 1 には “ H ” が入力される。

40

【 0 0 7 0 】

次に、プリンタエンジン制御部 5 3 は、所定のタイミングで出力ポート O U T 2 から出力する O N / O F F 信号を “ H ” にし、高電圧出力（以下単に「高圧出力」という。）を O N 状態にする。制御部 7 2 は、O N / O F F 信号が入力される入力ポート I N 2 が “ H ” になると、初期値にて分周した駆動パルス S 7 2 を出力ポート O U T 1 から出力する。本実施例 1 では、例えば、初期値は 2 9 0 分周であり、1 周期 8 . 7 μ s e c、O N デューティ 2 9 % である。出力ポート O U T 1 から出力された駆動パルス S 7 2 により、圧電トランス駆動回路 7 4 内の N M O S 7 4 a がスイッチングされ、インダクタ 7 4 c とコン

50

デンサ 74 d 及び圧電トランス 75 により、この圧電トランス 75 の 1 次側入力端子 75 a には、図 8 に示すような数十 V の半波サイン波が印加される。

【 0 0 7 1 】

これにより、圧電トランス 75 が振動して、2 次側出力端子 75 b から昇圧された A C 高電圧が発生する。この場合、290 分周、114.94 KHz の駆動周波数では数百 V の出力である。2 次側出力端子 75 b の A C 高電圧は、整流回路 76 により整流されて D C 電圧になり、これが出力電圧変換手段 77 内の 200 M の抵抗 77 a 及び 100 K の抵抗 77 b により分圧される。そして、オペアンプ 77 d を通して出力電圧比較手段 78 内におけるコンパレータ 78 a の「-」入力端子に入力された電圧は、D A C 53 a から出力された目標電圧 V 53 a の 2.5 V より低い。そのため、コンパレータ 78 a の比較結果 S 78 は、D C 3.3 V 電源 78 b によりプルアップされた“H”となる。

10

【 0 0 7 2 】

図 9 - 1 ~ 図 9 - 7 は、制御部 72 の分周動作における駆動パルス S 72 の状態を示すタイミングチャートである。図 10 は、図 2 の電源装置 70 における高圧出力のオーバシユートとコンパレータ出力との関係を示す動作波形図である。

【 0 0 7 3 】

図 9 - 1 ~ 図 9 - 4 に示すように、制御部 72 の動作により、この出力ポート O U T 1 からは N 分周された駆動パルス S 72 が 64 回繰り返し出力される。この時点で、制御部 72 の入力ポート I N 1 は“H”入力であるので、制御部 72 は、タイマ(分周器) 86 から出力されるパルス毎に、64 個の駆動パルス S 72 のうち 1 つずつ分周比を増加させる。タイマ(分周器) 86 の周期は、1280 H (即ち、10 進数で 4736 クロック周期の 142.08 μsec 周期)である。分周比を変化させるタイミングは、64 個の駆動パルス S 72 の区切りと同期を取る必要はなく、任意に設定可能である。図 9 - 1 ~ 図 9 - 7 に示すように、64 個の駆動パルス S 72 に対して分周比設定値の小数部の値 0 / 64 ~ 63 / 64 に応じて N 分周の駆動パルス S 72 と N + 1 分周の駆動パルス S 72 を出力する。コンパレータ 78 a の比較結果 S 78 が“H”の間は、図示しない分周比の小数部 4 / 64 ~ 11 / 64 のタイムチャートにおいて、順次分周比の小数部を 1 つずつ増加させ、N + 1 分周の駆動パルス S 72 を 1 / 64, 2 / 64, … と増加させていく。分周比が 64 個の駆動パルス S 72 中の 1 個ずつ増えることにより、出力ポート O U T 1 から出力される駆動パルス S 72 の平均周波数が下がっていく。分周比設定値は、整数部と小数部合せて 64 個周期の駆動パルス S 72 が出力されると、設定された周波数と周波数平均値が等しくなるが、例えば、図 9 - 5 に示される分周比の小数部 37 / 64 の時の平均周波数は 64 パルスで、

20

$$\{ 27 \times N + 37 \times (N + 1) \} / 64 = N + 40 / 64 = N + 0.625$$

となる。又、半分の 32 パルスでは、

$$\{ 13 \times N + 19 \times (N + 1) \} / 32 = N + 19 / 32 = N + 0.59375$$

となり、更に半分の 16 パルスでは、

$$\{ 6 \times N + 10 \times (N + 1) \} / 16 = N + 10 / 16 = N + 0.625$$

となり、同じ平均周波数となる。8 パルスでは、

$$\{ 3 \times N + 5 \times (N + 1) \} / 8 = N + 3 / 8 = N + 0.625$$

30

40

となる。

【 0 0 7 4 】

このように、64 パルスでどの設定値においても平均周波数となるが、それより短い期間に平均周波数に近似する。圧電トランス 75 は、周期の異なる駆動電圧を混在させて駆動させると、与えた駆動電圧の平均周波数で振動するが、このように平均周波数が短い時間で平均値に近くなるように駆動させると、リップルの少ない出力電圧が得られる。

【 0 0 7 5 】

圧電トランス 75 の駆動周波数を下げるに従い、整流回路 76 から出力される D C 高電圧は上昇し、その結果、オペアンプ 77 d の出力電圧も上がっていく。圧電トランス 75 から出力される A C 高電圧は、出力ポート O U T 1 から出力される駆動パルス S 72 の周

50

波数変化より若干の時間遅れを伴って出力電圧が上昇するので、オペアンプ77dの出力電圧は2.5Vを僅かに越える。その結果、コンパレータ78aの比較結果S78は“L”となる。制御部72は、入力ポートIN1の入力が“L”に保持されると、今度は逆に分周比の小数部を1/64ずつ減じていく。減じた時の動作は、図9-1～図9-7に示すように、小数部の値に応じて平均周波数を上げる方向に設定値を変化させる。前述したオーバシュートを経てオペアンプ77dの出力実効値は2.5Vとなり、図8に示すように、コンパレータ78aの比較結果S78が矩形波となる。

【0076】

図8の破線で示す出力電圧変換手段77の出力電圧（即ち、オペアンプ77dの出力電圧）は、圧電トランス75のAC出力成分がリップルとして残り、完全にフラットなDC電圧とはならない。これに対し、DAC53aから出力される目標電圧V53aは、図8の実線で示すDC電圧となり、結果としてコンパレータ78aから出力される比較結果S78（即ち、出力電圧比較手段78の出力電圧）は矩形波となる。制御部72は、この矩形波のデューティを出力ポートOUT1パルス周期毎にカウントし、デューティが25% < Duty < 50%であれば、目標電圧V53aに到達したとして、分周比を固定し、デューティが50%以上の場合は、高圧出力が上昇するように平均周波数が下がる方向に制御する。更に、デューティが25%以下の場合には、高圧出力が下降するように平均周波数が上がる方向に制御する。図10に示すように、前記オーバシュートは、駆動周波数を連続して変化させたことによって発生するもので、目標電圧V53aに到達すると安定した定電圧制御となる。

【0077】

負荷ZLが変動して電源装置70の高圧出力が変化した場合には、それによってコンパレータ78aから出力される比較結果S78も“H”又は“L”となるので、前記同様、周波数を変化させて目標電圧V53aに追従するように制御される。

【0078】

（電源装置内の制御部の動作）

図9-1～図9-7を参照しつつ、電源装置70内における図6及び図7に示す制御部72の動作例を説明する。

【0079】

先ず、入力ポートIN3からリセット信号RESETが入力されて各カウンタ等が初期化される。分周カウンタ88には、カウンタ初期値レジスタ95の値が入力され、分周カウンタ88が値290にセットされる。減算器89によって分周セクタ90には、分周カウンタ88の値290と減算器89の値289が入力され、初期状態では後者の減算器89の値289が分周器91に入力される。分周器91は、0～289までクロックをカウントする毎にパルスを出力する。これにより、290分周パルスが分周器91から出力セクタ93に出力される。出力セクタ93は、入力ポートIN2から入力されるON/OFF信号がONである“H”となった場合に駆動パルスS72を出力し、そうでない場合は出力“L”を保持する。

【0080】

6bitカウンタ87は、小数点以下の分周比を示すカウンタである。分周比は290分周から開始し、291分周となるまでの間、64個のパルスの分周比を1/64, 2/64, …, 63/64と1つずつ変化させていく。初期値000000bは、290分周のパルスが64個あることを示し、111111bは、291分周のパルス63個と290分周のパルスが1個あることを示す。図9-1～図9-7に、各設定値に対する分周比が示されている。

【0081】

図9-1～図9-7でN分周となっているのが、この場合、290分周であり、N+1分周となっているのが、この場合291分周である。6bitカウンタ87の値が111111bからカウントアップして000000bとなる場合は、最上位ビットの繰り上がりとしてオーバフローoverを出力し、分周カウンタ88をカウントアップする。又、6bit

10

20

30

40

50

カウンタ 87 の値が 0 0 0 0 0 0 b からカウントダウンして 1 1 1 1 1 1 b となる場合は、アンダフロー under を出力し、分周カウンタ 88 をカウントダウンする。この時、分周カウンタ 88 が カウントアップ する場合、カウンタ上限値レジスタ 96 のレジスタ値と比較し、上限値と等しい場合はカウントアップしない。これに対してカウントダウンする場合に、カウンタ初期値と等しい場合にはカウントダウンしない。

【 0 0 8 2 】

上限値は、本実施例 1 では 3 0 1 とし、その結果、3 0 1 分周パルス 1 個と 3 0 2 分周パルス 6 3 個の組合せから、1 1 0 . 3 8 K H z が最低平均駆動周波数となる。上限値と等しい場合、6 bit カウンタ 87 は、1 1 1 1 1 1 b から 0 0 0 0 0 0 b に変化し、分周カウンタ 88 の値が変化しないので、3 0 1 分周のパルス 6 4 個になり、平均駆動周波数が 1 1 0 . 3 8 K H z から 1 1 0 . 7 4 K H z に上がる。駆動平均周波数の変化がこの場合、0 . 3 6 K H z の変化となるが、制御範囲を越えて周波数が変化しようとする場合のみであるので、問題はない。

10

【 0 0 8 3 】

なお、本実施例 1 では、6 bit カウンタ 87 が 1 1 1 1 1 1 b から 0 0 0 0 0 0 b に変化し、且つ、分周カウンタ 88 の値が固定となっているが、6 bit カウンタ 87 のカウントアップも停止する回路構成としても構わない。

【 0 0 8 4 】

本実施例 1 の負荷 Z L である転写ローラ 5 に供給される転写バイアスは、電圧 1 ~ 5 K V の範囲を想定しており、開始分周比 2 9 0 分周 1 1 4 . 9 K H z では、負荷 Z L によらず高圧出力が 1 K V 未満であるので、下限値となって 6 bit カウンタ 87 が 0 0 0 0 0 b から 1 1 1 1 1 b に変化し、且つ、分周カウンタ 88 の値が 2 9 0 のまま変化せず、周波数が 2 9 0 分周 3 2 個の 1 1 4 . 9 4 K H z から 2 9 0 分周 1 個 + 2 9 1 分周 6 3 個の 1 1 4 . 5 5 K H z に下がっても問題はない。なお、6 bit カウンタ 87 のカウントダウンを停止する回路構成としても構わない。

20

【 0 0 8 5 】

分周器 91 は、分周セレクタ 90 により、分周カウンタ 88 に設定された値及びその値から - 1 減算された値の分周比のパルスを交互に出力する。交互に出力する割合は、6 bit 数列発生器 92 において、分周器 91 から出力セレクタ 93 を経由して出力されるパルスを 6 4 個毎にカウントした値のビット配列を、図 7 に示すように並べ替えて、数列 b i t 5 ~ b i t 0 を出力し、比較器 83 - 3 により 6 b i t カウンタ 87 のカウント値と比較して切り替える。切り替えることにより、前記図 9 - 1 ~ 図 9 - 7 に示された分周比にて駆動パルス S 7 2 が出力される。

30

【 0 0 8 6 】

分周時は、分周カウンタ 88 の値を下記演算により約 3 0 % のカウント値を求め、O N デューティを 3 0 % とした駆動パルス S 7 2 を出力する。

$$(\text{分周カウンタ値} / 4) + (\text{分周カウンタ値} / 3 2) + (\text{分周カウンタ値} / 6 4)$$

6 bit 数列発生器 92 の値は、比較器 83 - 3 に入力され、6 bit 数列発生器 92 の値と 6 bit カウンタ 87 の値とが比較され、

$$6 \text{ bit カウンタ } 87 \text{ の値} > 6 \text{ bit 数列発生器 } 92 \text{ の値}$$

40

となった時に、比較器 83 - 3 から分周セレクタ 90 に対して選択信号 select の “ L ” が出力され、そうでない場合に、分周セレクタ 90 に対して選択信号 select の “ H ” が出力される。分周セレクタ 90 は、比較器 83 - 3 からの選択信号 select が “ L ” の場合は、分周カウンタ 88 の値を選択して分周器 91 に出力し、“ H ” の場合は、減算器 89 の値を選択して分周器 91 に出力する。

【 0 0 8 7 】

立ち上がりエッジ検出器 94 は、分周器 91 から出力セレクタ 93 を経由して出力される駆動パルス S 7 2 の立ち上がりエッジを検出すると、クロック C L K に同期した 1 クロックのパルスを出力する。言い換えれば、分周器 91 に同期した同じ周波数で O N デューティ 1 サイクルのパルスを 1 サイクル遅延して出力する。このパルスは、分周器 91 から

50

出力されるパルス毎に、アップカウンタ81がカウントを行うためのリセット信号resetとなり、このリセット信号resetによりアップカウンタ81がリセットされ、0にクリアされる時に、直前の値をDラッチ82に保持させるためのセット信号setとなる。

【0088】

タイマ(分周器)86は、クロックCLKのパルスをカウントし、所定のタイミング(例えば、 $142.08\mu\text{sec}$)でONデューティ1サイクルのパルスを出力する。前記 $142.08\mu\text{sec}$ は、周波数を変化させる制御周期であり、本実施例1に記載された値に限らない。タイマ(分周器)86から出力されるパルスは、AND回路85に入力され、図2のコンパレータ78aから出力される比較結果S78の信号状態によって、平均周波数を変化させるための6bitカウンタ87のカウントアップ/ダウンを行う信号となる。

10

【0089】

なお、平均周波数は、64パルス毎に目標電圧V53aの値と完全に等しくなるように設定されているが、64パルス未満でも、近似した周波数となっているので、64パルスの周期より短い周期であっても良いし、64パルスの整数倍ではない64パルス以上の長い周期であっても良い。

【0090】

共振周波数近傍では、駆動周波数変化 0.1kHz 当たり出力電圧変化が 500V 程度と大きい図2の圧電トランス75の場合に、平均周波数変化ステップを前記のように細かく設定できるようにする必要があった。又、平均周波数が収束するまでの時間もなるべく短くした方が、DC高圧出力のリプルが少なくなる。

20

【0091】

アップカウンタ81、Dラッチ82、比較器83-1、83-2、除算器84-1、84-2及びAND回路85により、分周器91から出力されるパルス周期で、図2のコンパレータ78aから出力される比較結果S78のデューティが25~50%か、50%以上か、あるいは25%以下かの3状態によって、平均周波数を制御するための6bitカウンタ87のカウントアップ信号up/カウントダウン信号downを出力している。AND回路85には32回、3状態の結果が出力されるが、AND回路85はそのうちの1回を立ち上がりエッジ検出器94のクロックに同期して出力する。

【0092】

なお、本実施例1では、 $142.08\mu\text{sec}$ 周期のうち1パルスの期間のみの結果を使用しているが、前記期間の複数パルスから得た結果の平均から前記3種、カウントアップ、カウントダウン、保持の3信号状態を選択する回路構成にしても構わない。本実施例1では、カウントアップ、カウントダウン、保持の3信号状態であるが、カウントアップ、カウントダウンの2信号状態でも構わない。又、本実施例1では、説明のために小数部6bitの分解能で説明したが、この値に限らない。10bitにして1024パルス周期としても良い。分解能を10bitとした場合に、前記小数部設定周期 $142.08\mu\text{sec}$ は出力電圧分解能が細くなるため、短い周期とできる。

30

【0093】

アップカウンタ81は、10bitのカウンタであり、クロックCLKのパルスをカウントする。この時、図2のコンパレータ78aから出力される比較結果S78が“H”の時はカウントアップし、その比較結果S78が“L”の場合には値を保持する(カウントアップしない)。このアップカウンタ81は、立ち上がりエッジ検出器94から出力されるパルス(即ち、リセット信号reset)によりリセットされる。

40

【0094】

Dラッチ82は、立ち上がりエッジ検出器94から出力されるパルスの立ち上がりエッジでアップカウンタ81の値をラッチする。この動作で、出力セクタ93により分周器91の出力信号が選択されている時は、常に分周器91の1パルス周期間のコンパレータ比較結果S78の“H”期間、サイクル数をDラッチ82に保持することとなる。

【0095】

50

第1の除算器84-1は、分周カウンタ88の10bit値を1bit右シフトした値9bitに対して、最上位bitに0を付加して分周カウンタ88の1/2値を保持する。1/2除算時は、分周カウンタ88の10bit値の最下位bitが切り捨てられる。第2の除算器84-2は、分周カウンタ88の10bit値を2bit右シフトした値8bitに対して、最上位2bitに0を付加して分周カウンタ88の1/4値を保持する。1/4除算時は、分周カウンタ88の10bit値の最下位2bitが切り捨てられる。

【0096】

第1の比較器83-1は、Dラッチ82の値と第1の除算器84-1との値を比較する。比較した結果が、

(Dラッチ82の値) < (除算器84-1の値)

の場合には、“L”をAND回路85に出力し、そうでない場合は、AND回路85に“H”を出力する。言い換えれば、除算器84-1の分周器91から出力されるパルス周期の50%以上、コンパレータ比較結果S78が“H”の場合に、AND回路85に“H”を出力する。AND回路85に、立ち上がりエッジ検出器94から立ち上がりパルスが入力される時に、この信号が“H”となっていると、6bitカウンタ87をカウントダウンする信号downが出力される。コンパレータ比較結果S78は、高圧出力が目標電圧V53aより低い間は“H”となるので、目標電圧V53aに到達するまでは6bitカウンタ87のカウント値を減算し、分周器91から出力されるパルスの平均周波数を下げる方向に制御される。コンパレータ比較結果S78の“H”期間が分周器91の出力パルス幅の50%より短くなると、6bitカウンタ87へのカウントダウン信号downは“L”となってカウントダウンは行われなくなる。

【0097】

第2の比較器83-2は、Dラッチ82の値と第2の除算器84-2の値とを比較する。比較した結果が、

(Dラッチ82の値) > (除算器84-2の値)

の場合には、“L”をAND回路85に出力し、そうでない場合は、AND回路85に“H”を出力する。言い換えれば、除算器84-2の分周器91から出力されるパルス周期の25%以下、コンパレータ比較結果S78が“L”の場合に、AND回路85に“H”を出力する。AND回路85に、立ち上がりエッジ検出器94から立ち上がりパルスが入力される時に、この信号が“H”となっていると、6bitカウンタ87をカウントアップする信号upが出力される。コンパレータ比較結果S78は、高圧出力が目標電圧V53aより高い間は“L”となるので、目標電圧V53aに到達するまでは6bitカウンタ87のカウント値を加算し、分周器91から出力されるパルスの平均周波数を上げる方向に制御される。コンパレータ比較結果S78の“H”期間が分周器91の出力パルス幅の25%より長くなると、6bitカウンタ87へのカウントアップ信号upは“L”となってカウントダウンが行われなくなる。

【0098】

以上、2つの比較器83-1, 83-2の出力信号により、6bitカウンタ87のカウント値はアップ/ダウンする。コンパレータ比較結果S78の分周器91のパルスに対する“H”デューティが25~50%となった場合には、6bitカウンタ87の値を保持して平均周波数が固定される。

【0099】

図8に、コンパレータ比較結果S78が目標電圧V53aになった時の波形が示されている。目標電圧設定手段であるDAC53aから出力される実線の目標電圧V53aと、出力電圧変換手段77から出力される破線の電圧とを、コンパレータ78aで比較した結果、この比較結果S78の矩形波が出力される。このデューティが25~50%となるまで、平均周波数を上下させて出力電圧を制御する。

【0100】

なお、本実施例1では、比較結果S78を示す矩形波のデューティを25~50%としたが、この値に限るものではない。回路を簡易なものとして前記の値としたが、コンパレ

10

20

30

40

50

ータ比較結果S78が、圧電トランス駆動回路74に入力されるスイッチング手段であるNMO574aに印加されるパルス周期内で“H”と“L”の期間をそれぞれ有していれば良く、出力電圧変換手段77から出力される電圧の実効値とDAC53aの出力電圧が完全に等しくなる必要はない。本発明の目的は、目標電圧設定手段であるDAC53aから出力される電圧値によって安定した定電圧制御を行うことであり、目標電圧設定手段であるDAC53aの10bit値と高圧出力の関係とは、実験等により算出した式、あるいはテーブル等を用いても良い。

【0101】

図10に、高圧出力と周波数制御の関係の動作波形図が示されている。制御部72の入力ポートIN2に入力されるON/OFF信号を“H”にすると、出力セクタ93から駆動パルスS72が出力され、高圧出力が立ち上がる。コンパレータ比較結果S78が“H”の間は、平均周波数を約6Hzずつ下げていく。高圧出力が目標電圧V53aに到達すると、コンパレータ比較結果S78が“L”となり、今度は平均周波数を約6Hzずつ上げていく。目標電圧V53aになると、コンパレータ比較結果S78が矩形波となり、周波数が固定されて定電圧が出力される。この状態で図2の負荷変動や圧電トランス75の状態によって高圧出力が上下しても、コンパレータ比較結果S78が変化するので、直ちに所定電圧になるよう平均周波数が制御される。

【0102】

図2のプリンタエンジン制御部53は、所定のタイミングでON/OFF信号を“L”にすることにより、高圧出力をOFFする。次のON/OFF信号を“H”にするまでの間に、リセット信号RESETを“L”にして制御部72内のカウンタ等を再度初期化する。

【0103】

(実施例1の他の変形例)

本実施例1では、前述した変形例の他に、更に、以下の(a)~(k)のような変形例を採用することも可能である。

【0104】

(a) 本実施例1では、リセット信号RESETとON/OFF信号を設けているが、ON/OFF信号の“L”時をリセット信号RESETとしても良い。

【0105】

(b) 発振器71から供給されるクロックCLKの周波数は33.33MHzとしたが、他の周波数であっても構わない。分周比を変化させるパルスを6bit、即ち64個の組としたが、本実施例1の6bitより大きな値(例えば、7bit, 8bit, 9bit, 10bit等)あるいは小さな値(例えば、5bit, 4bit等)でも良い。

【0106】

(c) 平均周波数を変化させる周期を142.08μsec周期としているが、周波数分解能のbit数、クロックCLKの周波数、回路等の条件によって任意の値に設定可能である。

【0107】

(d) 共振周波数約110kHz、駆動周波数範囲110~130kHzの圧電トランス75を用いたが、それよりサイズの小さい駆動周波数が高い圧電トランスを使用しても良いし、サイズの大きな駆動周波数の低い圧電トランスを用いても良い。

【0108】

(e) 本実施例1では、駆動周波数の上下限を設定するカウンタ値を固定値として制御部72内に持たせているが、プリンタエンジン制御部53から送信して設定するようにしても良い。又、固定値ではなく、個々の圧電トランス75の特性を測定して不揮発性メモリ等にリミット値を記憶させて利用しても良い。

【0109】

(f) 本実施例1では、圧電トランス駆動開始周波数を固定値として制御部72内に持たせているが、目標電圧V53aを設定するDAC設定値に応じて可変とし、プリンタエンジン制御部53から制御部72へ送信させても良い。

10

20

30

40

50

【 0 1 1 0 】

(g) 圧電トランス 7 5 を駆動する制御部 7 2 を電源装置 7 0 内に設けているが、プリンタエンジン制御部 5 3 の L S I 等内に組み込むことも可能である。

【 0 1 1 1 】

(h) 転写用電源装置 1 回路として説明したが、同じ回路を並置することにより、複数チャンネルの制御をすることは容易である。カラー画像形成装置では通常 4 チャンネルの転写高圧チャンネルを有するが、本実施例 1 の構成においては、高圧出力 O N / O F F 時のみプリンタエンジン制御部 5 3 からの信号を切り替えるのみで、プリンタエンジン制御部 5 3 に通常使用されるマイクロプロセッサ又は L S I 等に特殊な物を必要としない。更に、転写以外の帯電バイアスや現像バイアスといった高圧出力全てを圧電トランス 7 5 による回路で構成した場合でも、各回路の部品定数等をそれぞれに最適なものを選択すれば、容易に 1 0 ~ 2 0 チャンネル程度の構成にすることも可能である。

10

【 0 1 1 2 】

(i) 出力可変の転写用電源装置 7 0 を構成するために、目標電圧指示手段として D A C 5 3 a を用いて説明したが、出力可変の必要がない高圧出力に使用する場合には、ツェナーダイオードや、抵抗分圧による定電圧回路等を目標電圧指示手段としてコンパレータ 7 8 a に入力する構成にしても良い。

【 0 1 1 3 】

(j) 本実施例 1 では、正バイアスの電源装置 7 0 について説明したが、負バイアスの電源装置でも、出力電圧変換手段 7 7 においてオペアンプ 7 7 d の反転増幅回路等を用いることにより、容易に実現可能である。

20

【 0 1 1 4 】

(k) 図 7 の 6 bit 数列発生器 9 2 を内部の 6 bit カウンタ 9 2 a の上位下位ビットを逆に並べ替えて構成しているが、カウンタ 9 2 a の最上位ビットを数列発生器 9 2 a の最下位ビットに配置する際に、例えば、カウンタ 9 2 a の bit 5 (最上位) bit 0、bit 4 bit 1、bit 3 bit 2、bit 2 bit 3、bit 1 bit 4、bit 0 bit 5 としているものを、bit 5 bit 1、bit 4 bit 0、bit 3 bit 2、bit 2 bit 3、bit 1 bit 4、bit 0 bit 5 のように、数列の低位のビットを入れ替えても良く、これにより、実施例 1 とほぼ同様の動作が可能になる。

【 0 1 1 5 】

(実施例 1 の効果)

本実施例 1 によれば、次の (1) ~ (4) のような効果がある。

30

【 0 1 1 6 】

(1) カウンタ 9 2 a の出力を反転させた数列発生器 9 2 により、周期の異なる駆動パルス S 7 2 を平均的に分散させるようにしたので、数十 M H z と低い周波数のクロック C L K の分周でも、数 H z の平均周波数分解能の駆動パルス S 7 2 が得られ、制御性の良い安定した高圧出力を得ることができる。

【 0 1 1 7 】

(2) 圧電トランス 7 5 の 2 次側出力端子 7 5 b における整流出力の分圧出力と、目標電圧指示手段による D A C 出力をコンパレータ 7 8 a に入力し、このコンパレータ出力が矩形波となるように制御している。そのため、低い高圧出力から圧電トランス 7 5 の共振周波数に近い高い高圧出力まで、安定した定電圧制御が可能となる。しかも、広い出力範囲を得ることができるので、環境によらず、安定した出力が可能となり、更に濃度段差や横筋のない安定した画像を得ることができる。

40

【 0 1 1 8 】

(3) 駆動パルス S 7 2、及びコンパレータ比較結果 S 7 8 共にデジタル信号としていたので、L S I 等の集積化した回路により実現可能となり、部品点数を大幅に削減できる。更に、圧電トランス 7 5 の共振周波数以下に駆動周波数が変化しないようにカウンタ初期値レジスタ 9 5 及びカウンタ上限値レジスタ 9 6 の分周バリミッタを設けたので、瞬間的な負荷変動等によって駆動周波数が、圧電トランス 7 5 の共振周波数より低い周波数

50

に制御されることによって、高圧出力が低い電圧に制御されてしまうという問題もなくなる。

【 0 1 1 9 】

(4) 駆動パルス S 7 2 の発生及び周波数制御を、CPU のプログラムコード等を用いず実現したので、多チャンネル化しても、安定した定電圧制御が可能となる。更に、分周比の異なる駆動パルス S 7 2 を数列発生器 9 2 により混合するようにしたので、位相同期回路 (P L L) 等の通倍回路を使うよりも、平均周波数分解能を容易に高くすることが可能となる。

【 実施例 2 】

【 0 1 2 0 】

本発明の実施例 2 では、実施例 1 における図 3 の画像形成装置 1 及び図 4 の制御回路の構成と同様であり、実施例 1 における図 2 の電源装置 7 0 と構成が異なるので、以下、本実施例 2 の電源装置について説明する。

【 0 1 2 1 】

(電源装置の構成)

図 1 1 は、本発明の実施例 2 における電源装置の概略の構成を示すブロック図であり、実施例 1 の電源装置を示す図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 1 2 2 】

本実施例 2 の電源装置 7 0 A は、実施例 1 と同様に、各色の 1 回路のみが示されており、実施例 1 の制御部 7 2 及び出力電圧比較手段 7 8 とは異なる構成の制御部 7 2 A 及び比較手段 (例えば、出力電圧比較手段) 7 8 A が設けられ、更に、第 2 の目標電圧設定手段 (例えば、電圧変換手段) 7 9 が追加されている。その他の構成は、実施例 1 と同様である。

【 0 1 2 3 】

本実施例 2 の制御部 7 2 A は、発振器 7 1 から供給されるクロック C L K に同期して動作し、プリンタエンジン制御部 5 3 により制御されて駆動パルス S 7 2 A を出力する回路であり、実施例 1 と同様のクロック入力ポート CLK_IN、入力ポート IN 2、リセット入力ポート IN 3、及び駆動パルス S 7 2 A を出力する出力ポート OUT 1 と、実施例 1 の 1 チャンネルの入力ポート IN 1 とは異なり、2チャンネルの比較結果 S 7 8 - 1、S 7 8 - 2 を入力する入力ポート IN 1 - 1、IN 1 - 2 とを有している。この制御部 7 2 A は、実施例 1 と同様に、ASIC、CPU を内蔵したマイクロプロセッサ、あるいは F P G A 等により構成されている。出力電圧比較手段 7 8 A は、2チャンネル構成であり、出力電圧変換手段 7 7 の出力電圧と、プリンタエンジン制御部 5 3 内の第 1 の目標電圧設定手段 (例えば、DAC) 5 3 a から出力された目標電圧 V 5 3 a 及び電圧変換手段 7 9 の出力電圧とを比較して、この 2 チャンネルの比較結果 S 7 8 - 1、S 7 8 - 2 を制御部 7 2 A の入力ポート IN 1 - 1、IN 1 - 2 へ入力するものである。

【 0 1 2 4 】

図 1 2 は、図 1 1 の電源装置 7 0 A における詳細な構成例を示す回路図であり、実施例 1 を示す図 2 中の要素と共通の要素には共通の符号が付されている。

【 0 1 2 5 】

出力電圧比較手段 7 8 A は、2チャンネルのコンパレータ 7 8 a - 1、7 8 a - 2 と、DC 3 . 3 V の電源 7 8 b と、2つのプルアップ抵抗 7 8 c - 1、7 8 c - 2 とを有している。一方のコンパレータ 7 8 a - 1 は、出力電圧変換手段 7 7 の出力電圧が入力される「 - 」入力端子と、DAC 5 3 a から出力された目標電圧 V 5 3 a を入力する「 + 」入力端子とを有し、この出力端子が、プルアップ抵抗 7 8 c - 1 を介して DC 3 . 3 V の電源 7 8 b に接続されると共に、制御部 7 2 A の入力ポート IN 1 - 1 に接続されている。他方のコンパレータ 7 8 a - 2 は、出力電圧変換手段 7 7 の出力電圧が入力される「 - 」入力端子と、電圧変換手段 7 9 の出力電圧を入力する「 + 」入力端子とを有し、この出力端子が、プルアップ抵抗 7 8 c - 2 を介して DC 3 . 3 V の電源 7 8 b に接続されると共に、制御部 7 2 A の入力ポート IN 1 - 2 に接続されている。

【0126】

電圧変換手段79は、定電圧回路（例えば、DAC53aから出力された目標電圧V53aを分圧する2つの分圧抵抗79a, 79b）により構成されている。2つの分圧抵抗79a, 79bは、DAC53aの出力端子とグランドとの間に直列に接続されている。他方の分圧抵抗79bは、一方の分圧抵抗79aの2倍の抵抗値を有している。DAC53aから出力された目標電圧V53aは、2つの分圧抵抗79a, 79bにより2/3のレベルの電圧値に分圧され、コンパレータ78a-2の「+」入力端子に入力される構成になっている。

【0127】

その他の構成は、実施例1と同様である。

10

【0128】

（電源装置内の制御部の構成）

図13は、図12中の制御部72Aを示す構成図であり、実施例1の制御部72を示す図6中の要素と共通の要素には共通の符号が付されている。

【0129】

本実施例2の制御部72Aでは、実施例1の6bitカウンタ87、第3の比較器83-3、及び6bit数列発生器92に代えて、分周比設定手段（例えば、10bitカウンタ）87A、第3の比較器83-3A、及び数列発生手段（例えば、10bit数列発生器）92Aが設けられ、更に、論理和（以下「OR」という。）回路95が追加されている。入力ポートIN1-1は、比較結果S78-1を入力してアップカウンタ81に供給するポートである。入力ポートIN1-2は、比較結果S78-2を入力してOR回路95及びタイマ（分周器）86に供給するポートである。OR回路95は、比較結果S78-2と第2の比較器83-2の比較結果とのいずれかが“H”の場合に“H”をAND回路85に出力する回路である。

20

【0130】

タイマ（分周器）86は、比較結果S78-2が“H”の間は、1クロック長のパルスを6サイクル、180ns毎にAND回路85に出力し、比較結果S78-2が“L”の場合は、2400サイクル、72µs毎にAND回路85に1クロック長のパルスを出力する構成になっている。カウンタ初期値レジスタ95には例えば値256が設定される。上限値を設定するカウンタ上限値レジスタ96は、例えば実施例1と同じ値301が設定される。

30

【0131】

その他の構成は、実施例1と同様である。

【0132】

（実施例2の動作）

本実施例2では、図3の画像形成装置1及び図4の制御回路の動作が実施例1と同様である。以下、実施例1と異なる部分の動作を説明する。

【0133】

図11中の制御部72Aは、実施例1における図1中の制御部72に対して、入力ポートIN1-2が1個増えている。出力電圧比較手段78Aは、出力電圧変換手段77の出力電圧と、プリンタエンジン制御部53内のDAC53aから出力される目標電圧V53a及びこの目標電圧V53aを電圧変換手段79により2/3に分圧した電圧とを比較し、出力電圧変換手段77の出力電圧と目標電圧V53aとの比較結果S78-1を制御部72Aの入力ポートIN1-1に入力に、出力電圧変換手段77の出力電圧と目標電圧V53aを2/3に分圧した電圧との比較結果S78-2を入力ポートIN1-2に入力する。

40

【0134】

制御部72Aの入力ポートIN1-1に入力された比較結果S78-1は、実施例1と同様に、定電圧制御するための信号として利用される。入力ポートIN1-2に入力された比較結果S78-2は、比較結果S78-1が目標電圧V53aに到達して“L”に切

50

り替わるより前に、目標電圧V53aの2/3の電圧に到達する時に“L”に切り替わる。制御部72Aは、入力された比較結果S78-2が“H”の期間、出力ノードOUT1から出力される駆動パルスS72Aの平均周波数を変化させる周期を短い期間とすることにより、目標電圧V53aに必要な周波数になるまでの時間を実施例1より早くし、これに伴い駆動開始周波数を130.21KHzと高くすることにより、低い高圧出力も可能になっている。

【0135】

プリンタエンジン制御部53は、プレバイアスである600Vに相当するDAC値0.30V、3.3V10bitDAC53aを有し、このDAC53aに05DHを設定する。次に、プリンタエンジン制御部53は、出力ポートOUT3から出力するリセット信号RFSSETを“L”にして、制御部72A内のレジスタ等を実施例1と同様に初期化する。

10

【0136】

プリンタエンジン制御部53は、印字動作に入り、各感光体ドラム32(=32K, 32Y, 32M, 32C)、及び転写ベルト駆動ローラ6の駆動を始めた後、出力ポートOUT2から出力するON/OFF信号を“H”にして転写出力をONにする。転写バイアス5KVに対応する2.5V、3.3V10bitDAC53aであるので、制御部72Aによりプレバイアス600Vが印加された後、用紙15が搬送される所定のタイミングにて、実施例1同様、DAC53aから出力される目標電圧V53aの値を307Hに設定する。制御部72Aは、前記DAC設定値による2.5Vと、コンパレータ78a-1, 78a-2の比較結果S78-1, S78-2が入力される入力ポートIN1-1, IN1-2の値とに応じて、出力ポートOUT1から出力する駆動パルスS72Aの平均周波数を制御して、転写バイアス5KVを出力する。用紙検出センサ40にて検出された用紙後端となる所定のタイミングでON/OFF信号を“L”にし、制御部72Aから出力される駆動パルスS72Aを停止して高圧バイアス印加を終了する。

20

【0137】

次に、図13に示す制御部72Aの動作を詳細に説明する。

プレバイアスとしてDAC53aから目標電圧V53aの0.3Vが出力され、図12に示されるコンパレータ78a-1の「+」入力端子には0.3Vが入力され、コンパレータ78a-2の「+」入力端子には分圧された0.2Vが入力される。入力ポートIN3に入力されるリセット信号RESETを予め“L”にすることにより、内部のレジスタは実施例1と同様に初期化され、カウンタ初期値レジスタ95に設定されている値256が分周カウンタ88に設定される。

30

【0138】

入力ポートIN2に入力されるON/OFF信号が、プリンタエンジン制御部53により所定のタイミングで“H”に切り替えられると、圧電トランス75が駆動される。駆動開始時は、駆動周波数130.21KHzで、高圧出力は100Vに満たないので、コンパレータ78a-1から出力される比較結果S78-1及びコンパレータ78a-2から出力される比較結果S78-2が共に“H”となる。その結果、OR回路95の出力信号は“H”となり、AND回路85に入力されるタイマ(分周器)86へのコンパレータ78a-2の比較結果S78-2が“H”であることも併せて、10bitカウンタ87Aのカウント値が180ns毎にカウントアップされ、実施例1と同様に、分周器91の出力パルスの平均周波数が下がっていく。

40

【0139】

駆動平均周波数が下がることにより、高圧出力は上昇する。高圧出力が400Vを越えると、コンパレータ78a-2の比較結果S78-2が“L”になる。タイマ(分周器)86の入力は“L”となり、AND回路85に入力されるパルスの周期が72μsecに切り替わり、第1の比較器83-1と第2の比較器83-2の出力状態に応じて、以降は実施例1と同様に、10bitカウンタ87Aのカウント値が変更され、高圧出力が600Vに定電圧制御される。

50

【 0 1 4 0 】

次に、所定のタイミングで、D A C 5 3 a から出力される目標電圧 V 5 3 a の値が 2 . 5 V に変更され、目標高圧出力が 5 K V に設定される。その結果、コンパレータ 7 8 a - 2 の比較結果 S 7 8 - 2 が再度 “ H ” となり、1 0 bit カウンタ 8 7 A のカウントアップ周期が前記同様に 1 8 0 n s e c 周期となる。高圧出力が 3 . 3 3 4 K V となると、再度、コンパレータ 7 8 a - 2 の比較結果 S 7 8 - 2 が “ L ” となり、前記同様に 1 0 bit カウンタ 8 7 A のカウントアップ周期が 7 2 μ s e c に切り替えられ、以降、実施例 1 と同様に 5 K V に定電圧制御される。

【 0 1 4 1 】

高圧出力は、O N / O F F 信号が所定のタイミングで “ L ” に切り替えられることにより、O F F する。図 5 には、実施例 1 と同様に、本実施例 2 の圧電トランス駆動回路 7 4 での高圧出力の周波数特性が模式的に示されている。

【 0 1 4 2 】

図 5 において、共振周波数 f_x で高圧出力は極大値 H V 2 を取り、周波数 f_y で極小値となるが、そこから周波数を f_z に上げると、高圧出力が 1 K V 以上となってしまう。この周波数 f_z は、スプリアス周波数と呼ばれる。従来の V C O を使用した回路では、発振開始周波数がこのスプリアス周波数 f_z より高くなってしまったために、図 5 に示すスプリアス電圧 H V 1 より低い高圧出力に制御するのが困難であった。例えば、前記スプリアス電圧 H V 1 より低い目標電圧にてプレバイアスを印加した場合に、周波数 f_z より高い周波数に制御される。そこからスプリアス電圧 H V 1 より高い転写電圧に切り替える際に、周波数 f_z を越えて低い周波数に制御されると、一旦高圧出力が数百 V 低下した後、目標電圧 V 5 3 a に到達する。高圧出力の低下と立ち上がり時間の双方に問題が発生する。これに対し、本実施例 2 においては、デジタル回路により開始周波数は任意に設定可能となるので、このような問題を回避可能である。

【 0 1 4 3 】

(実施例 2 の変形例)

本実施例 2 では、実施例 1 とほぼ同様の変形例の他に、更に、以下の (a) ~ (e) のような変形例を採用することも可能である。

【 0 1 4 4 】

(a) 2 チャンネルのコンパレータ 7 8 a - 1 , 7 8 a - 2 を用いて目標電圧 V 5 3 a と目標電圧 V 5 3 a 以下の周波数切替電圧を設定しているが、目標電圧 V 5 3 a と周波数切替電圧の選択を T T L 信号等で制御部 7 2 A に入力し、コンパレータ出力を 1 チャンネルとして、D A C 5 3 a の出力を周波数切替電圧と目標電圧 V 5 3 a に切り替えても良い。

【 0 1 4 5 】

(b) 立ち上がり時の周波数切替電圧を目標電圧 V 5 3 a の 2 / 3 としているが、回路特性等により最適値は変わり、この値の限りではない。又、周波数切替電圧を D A C 等を用いて可変にできるようにしても良い。

【 0 1 4 6 】

(c) 立ち上がり時の周波数変更周期をタイマ (分周器) 8 6 の設定値によって変更することによって構成しているが、周波数変更ステップ、例えば高圧出力立ち上がり時のみ 1 0 bit の複数ステップに変更しても良いし、立ち上がり時のみ周波数分解能を 1 0 bit より少ないビット数とするのも良い。又、本実施例 2 では 1 0 bit という値を用いているが、この値に限らない。

【 0 1 4 7 】

(d) 定電圧制御に入る前の立ち上がり時の周波数切り替えをコンパレータ 7 8 a - 1 , 7 8 a - 2 の比較結果 S 7 8 - 1 , S 7 8 - 2 によって行っているが、定電圧制御の目標電圧値の設定をコンパレータ出力により制御し、高圧出力の立ち上がり時は出力電圧変換手段 7 7 の出力電圧をプリンタエンジン制御部 5 3 の A D C 5 3 a 等に入力し、プリンタエンジン制御部 5 3 からその A D C 5 3 a の入力値に応じて制御部 7 2 A に信号を出

10

20

30

40

50

力して制御しても良い。

【0148】

(e) 本実施例2では、制御部72Aとプリンタエンジン制御部53のCPUを使う構成としているが、両者を1チップ化することも可能であるし、制御部72AではなくFPGA等によっても実現可能である。

【0149】

(実施例2の効果)

本実施例2によれば、定電圧制御用の信号と高圧出力立ち上がり監視用の信号を用いることにより、高圧出力立ち上がり時と定電圧制御時の時定数を異なるものとして立ち上がり時間が早く、且つ、共振周波数付近でも安定した定電圧制御が可能となる。更に、高圧出力開始時のスタート周波数をスプリアス周波数 f_z より低い周波数としているので、スプリアス周波数 f_z での出力電圧より低い高圧出力から共振周波数 f_x 付近の高い高圧出力まで、リニアな出力を得ることができる。

10

【実施例3】

【0150】

本発明の実施例3では、実施例1における図3の画像形成装置1、図4の制御回路、図1及び図2の電源装置70の各構成と同様であり、実施例1の電源装置70内における図6の制御部72と構成が異なるので、以下、本実施例3の制御部について説明する。

【0151】

(制御部の構成)

図14は、本発明の実施例3における電源装置70内の制御部72Bを示す構成図であり、実施例1の制御部72を示す図6中の要素と共通の要素には共通の符号が付されている。

20

【0152】

本実施例3の制御部72Bでは、実施例1の制御部72における6bitカウンタ87及び6bit数列発生器92に代えて、これらとは構成の異なる分周比設定手段(例えば、6bitカウンタ)87b及び数列発生手段(例えば、6bit疑似乱数発生器)92Bが設けられている。

【0153】

6bitカウンタ87Bは、AND回路85の出力に応じてカウントアップ、カウントダウンするカウンタであるが、実施例1では0~63までをカウントするのに対して、1~63までをカウントする構成になっている。例えば、63からカウントアップするとオーバフローoverを出力し、カウンタ87Bを1にセットする。又、1からカウントダウンした場合にアンダフローunderを出力し、63をセットする。それ以外の場合には1ずつカウントアップ/ダウンを行う。6bit疑似乱数発生器92Bは、出力セレクタ93から出力されるパルス毎に1~63の疑似乱数値を変えて出力する回路である。その他の構成は、実施例1と同様である。

30

【0154】

図15は、図14中の6bit疑似乱数発生器92Bを示す構成図である。

この6bit疑似乱数発生器92Bは、例えば、リニアフィードバックシフトレジスタ(以下「LFSR」という。)により構成され、リセット信号RESETを反転するノット(以下「NOT」という。)ゲート101と、このNOTゲート101の出力信号とクロックCLKとのANDを求める2入力ANDゲート102と、このANDゲート102の出力信号とパルスとのORを求める2入力ORゲート103と、NOTゲート101の出力側の接続された2入力のORゲート104と、このORゲート104の入力側に接続された2入力の排他的論理和(以下「XOR」という。)ゲート105と、ORゲート103, 104, の出力側とXORゲート105の入力側との間に縦続接続された6段の遅延型フリップフロップ(以下「DFF」という。)106~111とにより構成されている。

40

【0155】

(制御部の動作)

50

図16-1～図16-4は、図14の制御部72Bの分周動作における駆動パルスS72の状態（整数部N、小数部 $36/63 \sim 39/63$ ）を示すタイミングチャートであり、実施例1の図9-1～図9-7における一部図示しないパルスの状態（整数部N、小数部 $36/63 \sim 39/63$ ）を示すタイミングチャートに対応している。

【0156】

以下、図16-1～図16-4を参照しつつ、本実施例3における制御部72Bの動作を、実施例1とは異なる部分のみ説明する。

【0157】

本実施例3の制御部72B内の6bit疑似乱数発生器92Bにおいて、リセット信号RESETが“L”になってリセットされた時に、NOTゲート101から出力される“H”の信号によりANDゲート102及びORゲート103が開いて、33.33MHzのクロックCLKが各DFF106～111のCLK入力端子に入力される。クロックCLKが入力されている間、ORゲート104を介してDFF106のD入力端子に“H”が入力されるので、入力されたリセット信号RESETを所定時間、保持することにより、DFF106～111の各Q出力端子が“H”となり、初期値が設定される。

【0158】

以降、リセット信号RESETが“H”となってからは、パルスが入力される毎に各DFF106～111の値がシフトして、以下のような1～63の疑似乱数列bit0～bit5が出力される。

【0159】

63、62、46、38、34、32、1、16、8、4、2、33、17、24、12、6、35、48、9、20、10、37、19、57、29、30、47、54、42、36、3、49、25、28、14、39、50、40、5、18、41、21、26、45、23、59、60、15、55、58、44、7、51、56、13、22、43、52、11、53、27、61、31

【0160】

本実施例3では、実施例1に対して数列とカウンタの周期が1異なり、63周期であることを除いて動作は同様となる。

【0161】

図16-1～図16-4には、実施例1の図9-1～図9-7におけるパルスの状態（整数部N、小数部 $36/63 \sim 39/63$ ）に相当するものが示されている。例えば、図16-2で示される小数部 $37/63$ の時の平均周波数は63パルスで、

$$\{27 \times N + 36 \times (N + 1)\} / 63 = N + 40 / 64 = N + 0.57143$$

となる。又、半分の32パルスでは、

$$\{11 \times N + 21 \times (N + 1)\} / 32 = N + 19 / 32 = N + 0.65625$$

となり、更に半分の16パルスでは、

$$\{4 \times N + 12 \times (N + 1)\} / 16 = N + 10 / 16 = N + 0.75$$

同じ平均周波数となる。8パルスでは、

$$\{4 \times N + 4 \times (N + 1)\} / 8 = N + 3 / 8 = N + 0.5$$

となる。

【0162】

なお、本実施例3では、LFSRを用いた6bit疑似乱数発生器92Bで説明したが、これに限るものではない。

【0163】

（実施例3の効果）

本実施例3によれば、LFSR等により構成される6bit疑似乱数発生器92Bを用いたので、回路構成を単純化して実施例1と同様な効果を得ることができる。

【実施例4】

【0164】

本発明の実施例4では、実施例2における図3の画像形成装置1、図4の制御回路、図

10

20

30

40

50

1及び図2の電源装置70の各構成と同様であり、実施例2の電源装置70A内における図13の制御部72Aと構成が異なるので、以下、本実施例4の制御部について説明する。

【0165】

(制御部の構成)

図17は、本発明の実施例4における電源装置70A内の制御部72Cを示す構成図であり、実施例2の制御部72Aを示す図13中の要素と共通の要素には共通の符号が付されている。

【0166】

本実施例4の制御部72Cでは、実施例2の制御部72Aにおけるタイマ(分周器)86及び10bit数列発生器92Aに代えて、これらとは構成等が異なるタイマ(分周器)86C及び数列発生手段(例えば、10bit疑似乱数列発生器)92Cが設けられ、更に、タイマ(分周器)86Cの出力信号に対してクロックCLKとのANDを取る2入力ANDゲート96が追加されている。

【0167】

本実施例4のタイマ(分周器)86Cは、実施例2のタイマ(分周器)86に比べて動作が異なる。実施例2では、コンパレータ78a-2の比較結果78a-2によって周期を変更していたが、本実施例4では、デューティを変更している。周期は実施例2と同様に、72 μ secであるが、コンパレータ78a-2の比較結果78a-2が“H”の場合には400クロック、1.2 μ secの“H”期間となる。コンパレータ78a-2の比較結果S78-2が“L”の場合には実施例2と同じ1パルスの“H”期間である。これにより、AND回路85に入力される第1、第2の比較器83-1, 83-2の比較結果に応じて、コンパレータ78a-2の比較結果S78-2が“H”の場合には、10bitカウンタ87Aが一度に400カウント変更される。ANDゲート96は、タイマ(分周器)86CとクロックCLKとのANDを取ってAND回路85に出力する。

【0168】

10bitカウンタ87Aは、16~1023までカウントされるカウンタであり、1023で1カウントアップされた場合にはオーバフローoverを出力し、16にセットされる。又、16で1カウントダウンされた場合にはアンダフローunderを出力し、1023にセットされる。

【0169】

10bit疑似乱数列発生器92Cは、実施例3と同様の6bit疑似乱数発生器92Bと、4bitカウンタ120とにより構成されている。4bitカウンタ120は、出力セクタ93から出力される駆動パルスS72Aをカウントし、上位下位ビットを入れ替えて、実施例1の6bit数列発生器92と同様に、カウント値が0、1、2、3、4、5、6、7、8、9、10、11、12、13、14、15と変化するのに応じて0、8、4、12、2、10、6、14、1、9、5、13、3、11、7、15を出力し、6bit疑似乱数発生器92Bの出力と併せて16~1023の数列を発生する構成になっている。

【0170】

(制御部の動作)

本実施例4における制御部72Cの動作を、実施例2とは異なる部分のみ説明する。

【0171】

制御部72Cにおいて、タイマ(分周器)86Cは、コンパレータ78a-2の比較結果S78-2が“H”の間は400CLKのONデューティとなるので、ANDゲート96でクロックCLKとのANDが取られ、AND回路85に400パルスを72 μ sec毎に入力する。これにより、10bitカウンタ87Aは一度に400カウントアップされる。コンパレータ78a-2の比較結果S78-2が“L”になると、タイマ(分周器)86Cは1CLKのONデューティとなるので、実施例2と同様に、10bitカウンタ87Aを1カウントずつアップ/ダウンする。

【0172】

10

20

30

40

50

(実施例 4 の効果)

本実施例 4 によれば、10bit 疑似乱数発生器 92C を有するので、擬似乱数の周期を 6bit と短くして平均周波数に収束する時間を短くした上で周波数分解能を 10bit と細かくすることができ、且つ、回路規模も小さくすることが可能となる。

【0173】

(変形例)

本発明は、上記実施例や変形例に限定されず、更に、次のような他の変形例も適用可能である。

【0174】

実施例では、カラータンドム方式の画像形成装置 1 について説明したが、本発明は、カラーに限らずモノクロ等の画像形成装置や、複合機等の他の画像形成装置にも適用可能である。又、転写用の電源装置 70、70A は、帯電等の他の高圧電源にも適用可能である。

【図面の簡単な説明】

【0175】

【図 1】本発明の実施例 1 における電源装置の概略を示すブロック図である。

【図 2】図 1 の電源装置 70 における詳細な構成例を示す回路図である。

【図 3】本発明の実施例 1 における電源装置を用いた画像形成装置を示す構成図である。

【図 4】図 3 の画像形成装置 1 における制御回路の構成を示すブロック図である。

【図 5】図 2 中の圧電トランス 75 における出力電圧 / 周波数の特性図である。

【図 6】図 2 中の制御部 72 を示す構成図である。

【図 7】図 6 中の 6bit 数列発生器 92 を示す構成図である。

【図 8】図 2 の電源装置 70 における動作波形図である。

【図 9 - 1】制御部 72 の分周動作における前記パルスの状態を示すタイミングチャートである。

【図 9 - 2】制御部 72 の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 9 - 3】制御部 72 の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 9 - 4】制御部 72 の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 9 - 5】制御部 72 の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 9 - 6】制御部 72 の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 9 - 7】制御部 72 の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 10】図 2 の電源装置 70 における動作波形図である。

【図 11】本発明の実施例 2 における電源装置の概略の構成を示すブロック図である。

【図 12】図 11 の電源装置 70A における詳細な構成例を示す回路図である。

【図 13】図 12 中の制御部 72A を示す構成図である。

【図 14】本発明の実施例 3 における電源装置 70 内の制御部 72B を示す構成図である。

【図 15】図 14 中の 6bit 疑似乱数発生器 92B を示す構成図である。

【図 16 - 1】図 14 の制御部 72B の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 16 - 2】図 14 の制御部 72B の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

【図 16 - 3】図 14 の制御部 72B の分周動作における駆動パルス S72 の状態を示すタイミングチャートである。

10

20

30

40

50

【図16-4】図14の制御部72Bの分周動作における駆動パルスS72の状態を示すタイミングチャートである。

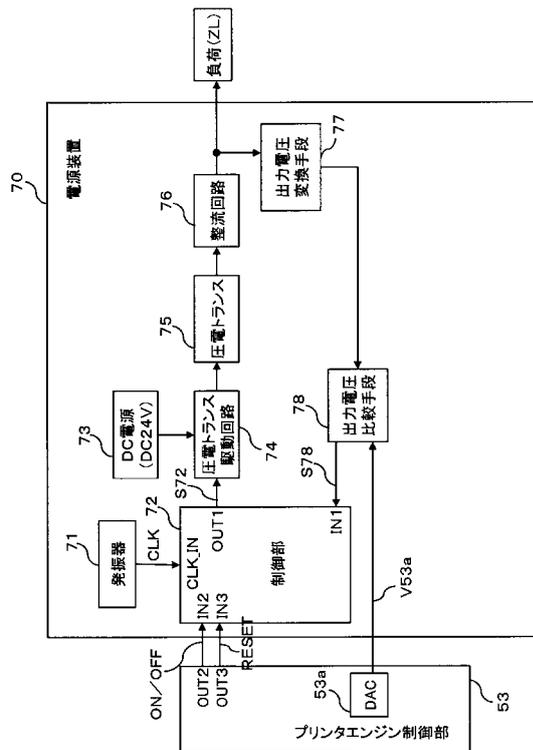
【図17】本発明の実施例4における電源装置70A内の制御部72Cを示す構成図である。

【符号の説明】

【0176】

- 1 画像形成装置
- 53 プリンタエンジン制御部
- 60 高压制御部
- 61 帯電バイアス発生部
- 62 現像バイアス発生器
- 63 転写バイアス発生部
- 70、70A, 電源装置
- 72, 72A, 72B, 72C 制御部

【図1】



【図2】

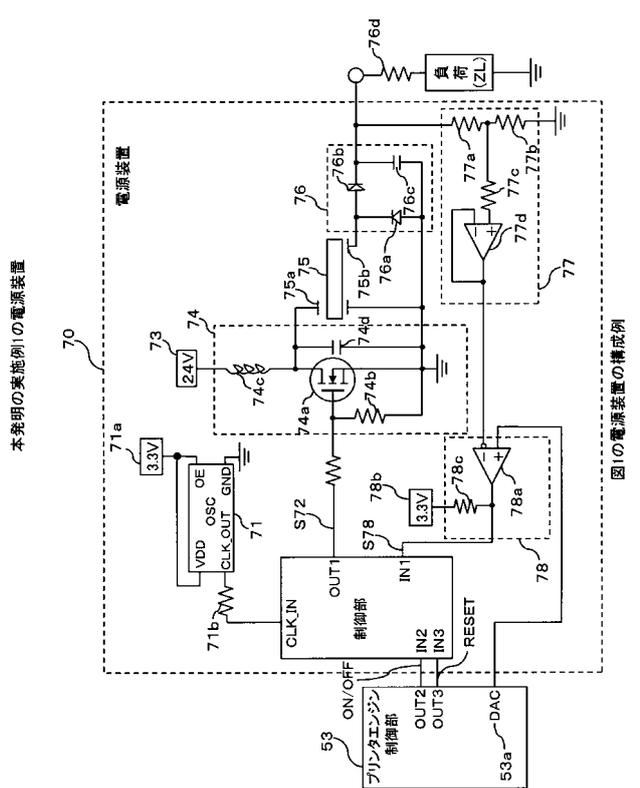
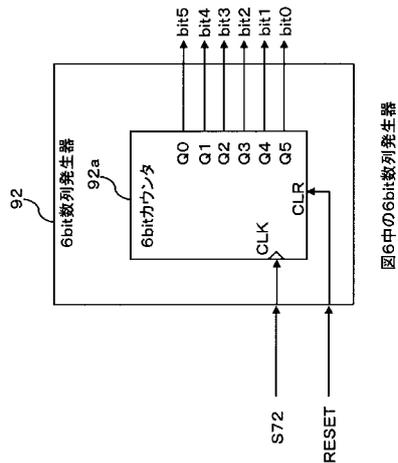


図1の電源装置の構成例

【図7】



【図8】

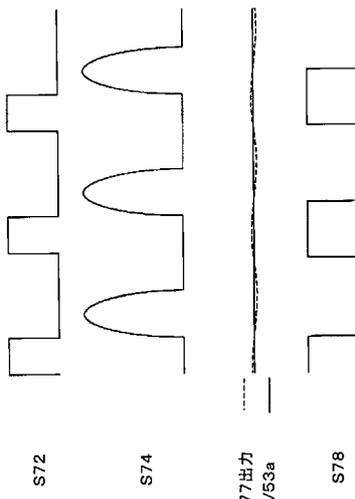
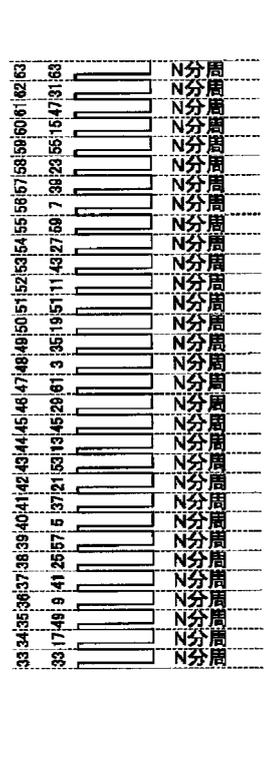
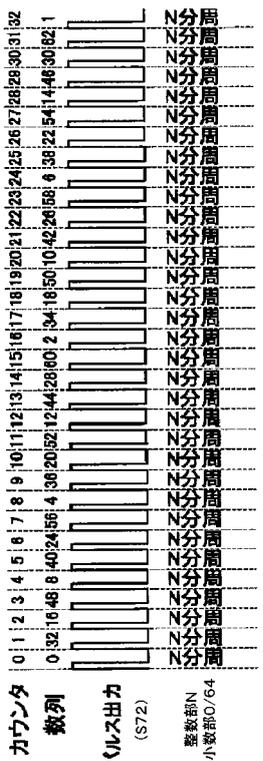
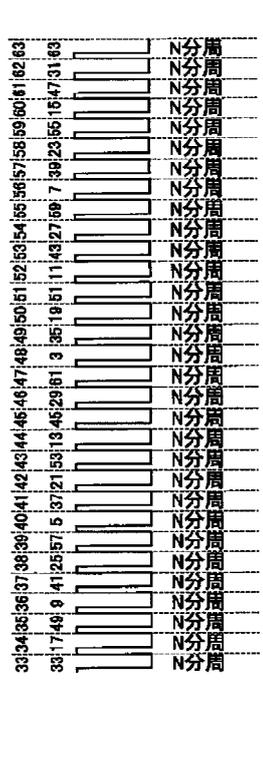
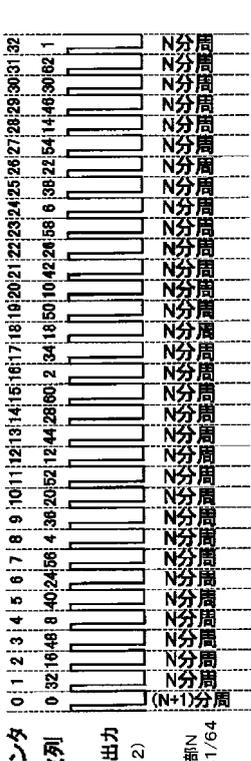


図2の電源装置の動作波形

【図9-1】



【図9-2】



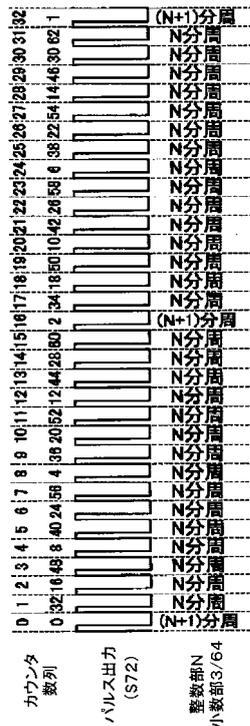
制御部の分周動作におけるハルスの状態

制御部の分周動作におけるハルスの状態

【図 9 - 3】



【図 9 - 4】



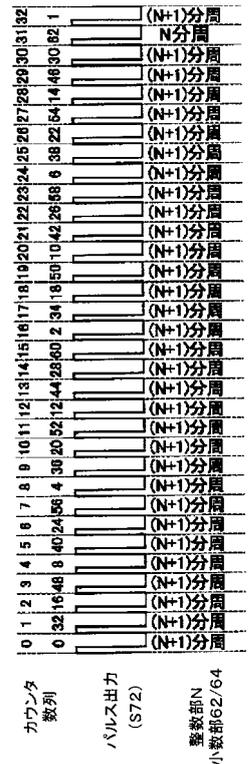
制御部の分周動作におけるバスの状態

制御部の分周動作におけるバスの状態

【図 9 - 5】



【図 9 - 6】



制御部の分周動作におけるバスの状態

制御部の分周動作におけるバスの状態

【図13】

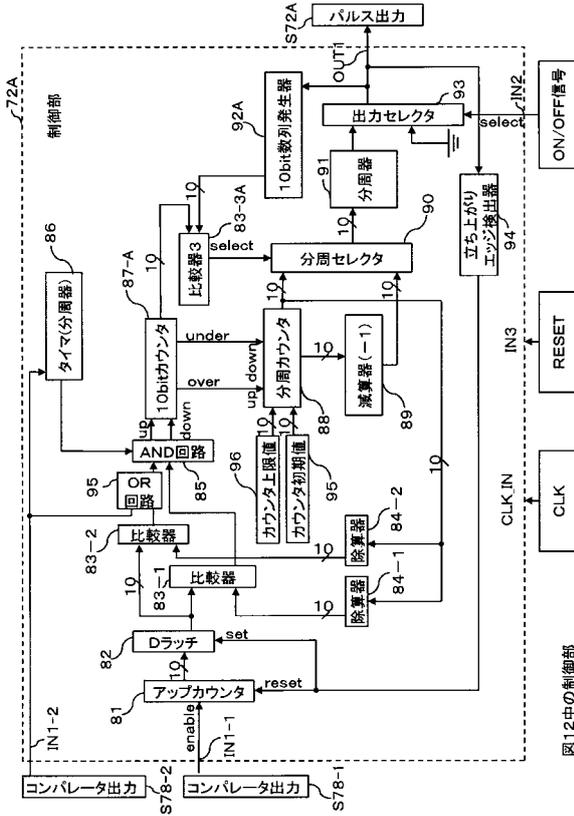
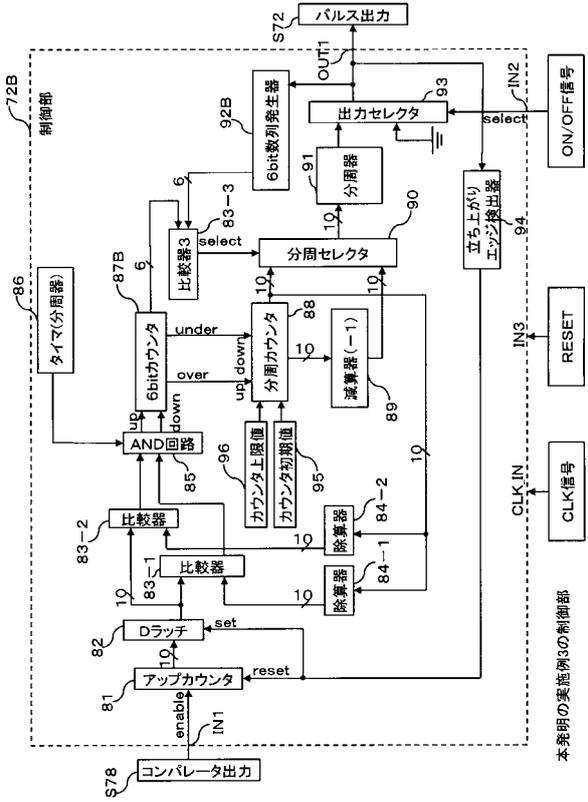


図12中の制御部

【図14】



本発明の実施例5の制御部

【図15】

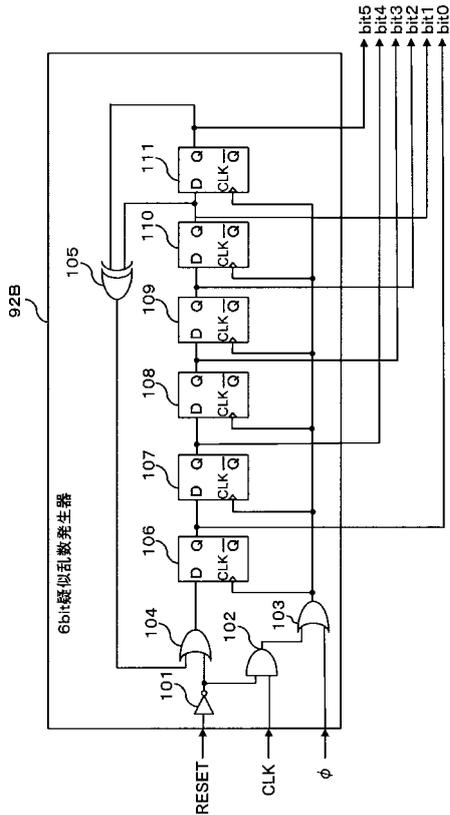


図14中の6bit疑似乱数発生器

【図16-1】

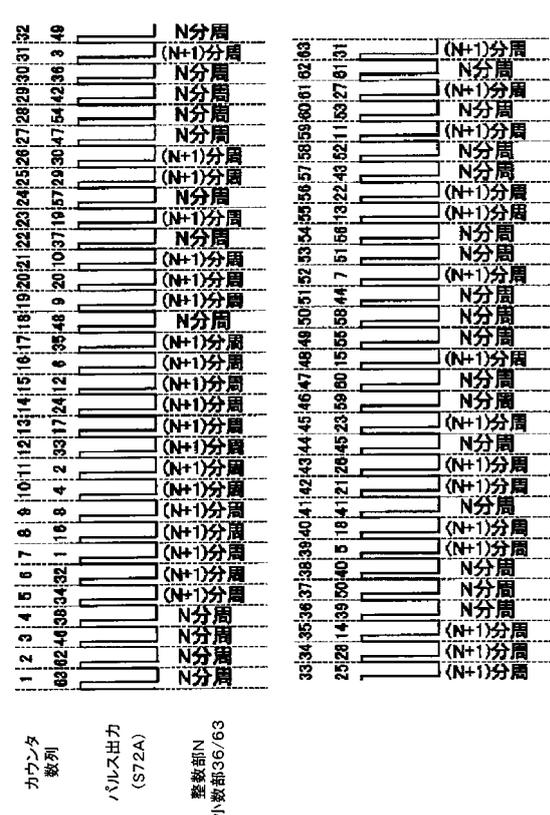


図14の制御部の分周動作におけるパルスの状態

フロントページの続き

(72)発明者 萩原 明
東京都港区芝浦四丁目11番22号 株式会社沖データ内

審査官 永田 和彦

(56)参考文献 特開2006-91757(JP,A)
特開2006-340413(JP,A)
特開2000-139081(JP,A)
特開2008-299292(JP,A)
特開2007-124886(JP,A)
特開平11-206113(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/24,
H01L 41/107,
H05B 41/24-41/298,
G03G 21/00