



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I579966 B

(45)公告日：中華民國 106 (2017) 年 04 月 21 日

(21)申請案號：104124341

(22)申請日：中華民國 104 (2015) 年 07 月 28 日

(51)Int. Cl. : H01L21/768 (2006.01)

H01L23/28 (2006.01)

H01L23/522 (2006.01)

H01L23/50 (2006.01)

H01L21/56 (2006.01)

(30)優先權：2014/07/30 美國

14/447,371

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路8號

(72)發明人：黃暉閔 HUANG, HUI MIN (TW)；林志偉 LIN, CHIH WEI (TW)；蔡再宗 TSAI,
TSAI TSUNG (TW)；鄭明達 CHENG, MING DA (TW)；劉重希 LIU, CHUNG SHI
(TW)；余振華 YU, CHEN HUA (TW)

(74)代理人：馮博生

(56)參考文獻：

TW 201142932A1

TW 201347059A

TW 201423851A

審查人員：林弘恩

申請專利範圍項數：10 項 圖式數：13 共 33 頁

(54)名稱

半導體封裝系統及方法

SEMICONDUCTOR PACKAGE SYSTEM AND METHOD

(57)摘要

在第一晶粒與第二晶粒上形成第一保護層，以及在第一保護層內形成開口。封裝第一晶粒與第二晶粒，因而封裝物的厚度係大於第一晶粒與第二晶粒，以及在開口內形成通路。亦可形成延伸於封裝物上方的重佈層，以及分離第一晶粒與第二晶粒。

A first protective layer is formed on a first die and a second die, and openings are formed within the first protective layer. The first die and the second die are encapsulated such that the encapsulant is thicker than the first die and the second die, and vias are formed within the openings. A redistribution layer can also be formed to extend over the encapsulant, and the first die may be separated from the second die.

指定代表圖：

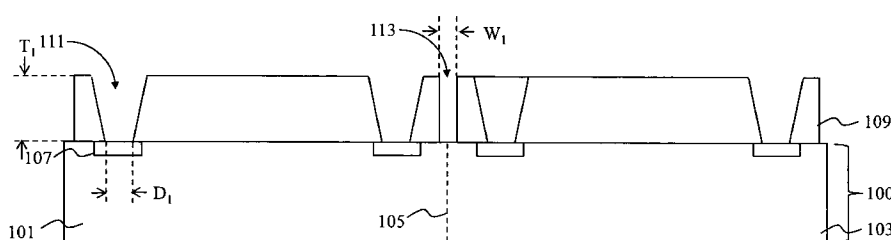


圖 1

符號簡單說明：

100 . . . 晶圓

101 . . . 第一晶粒

103 . . . 第二晶粒

105 . . . 切割區

107 . . . 接點墊

109 . . . 第一保護層

111 . . . 通路開口

113 . . . 第一開口

發明摘要

※ 申請案號： 104124341

※ 申請日： 104. 7. 28

※IPC 分類： H01L 21/768 (2006.1)
H01L 23/28 (2006.1)
H01L 23/522 (2006.1)
H01L 23/50 (2006.1)
H01L 21/56 (2006.1)

【發明名稱】

半導體封裝系統及方法

SEMICONDUCTOR PACKAGE SYSTEM AND METHOD

【中文】

在第一晶粒與第二晶粒上形成第一保護層，以及在第一保護層內形成開口。封裝第一晶粒與第二晶粒，因而封裝物的厚度係大於第一晶粒與第二晶粒，以及在開口內形成通路。亦可形成延伸於封裝物上方的重佈層，以及分離第一晶粒與第二晶粒。

【英文】

A first protective layer is formed on a first die and a second die, and openings are formed within the first protective layer. The first die and the second die are encapsulated such that the encapsulant is thicker than the first die and the second die, and vias are formed within the openings. A redistribution layer can also be formed to extend over the encapsulant, and the first die may be separated from the second die.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100	晶圓
101	第一晶粒
103	第二晶粒
105	切割區
107	接點墊
109	第一保護層
111	通路開口
113	第一開口

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體封裝系統及方法

SEMICONDUCTOR PACKAGE SYSTEM AND METHOD

【技術領域】

【0001】 本揭露係關於半導體封裝系統及方法。

【先前技術】

【0002】 由於各種電子元件(例如電晶體、二極體、電阻器、電容器等)之積體密度持續改良，半導體產業已快速成長。整體而言，積體密度的改良係來自於重複縮小最小特徵尺寸(例如，將半導體製程節點縮小至次20奈米節點)，使得可在給定面積上整合更多元件。由於微小化的需求，近來已有較高速度與較大帶寬以及較低的功率消耗與延遲時間，因而需要更小且更具創造性的半導體晶粒之封裝技術。

【0003】 隨著半導體技術的進步，堆疊與接合的半導體裝置已經合併為另一有效的選擇，用以進一步縮小半導體裝置的實體尺寸。在堆疊的半導體裝置中，主動電路，例如邏輯、記憶體、處理器電路以及類似物，係至少部分製造於不同的基板上，而後實體且電接合在一起，以形成功能性裝置。此接合製程係利用精密技術，並且達到理想的改良。

【發明內容】

【0004】 本揭露的一些實施例係提供一種半導體裝置，其包括半導體晶粒，該半導體晶粒包括第一側、與該第一側對立之第二側，以及在該第一側與該第二側之間延伸的第一側壁；保護層，其係位在

該半導體晶粒上方，該保護層包括第二側壁；通路，其延伸穿過該保護層；以及封裝物，其封裝該半導體晶粒，該封裝物實體接觸該第一側、該第一側壁，以及該第二側壁的第一部分，其中該第二側壁的第二部分係未與該封裝物實體接觸。

【0005】 本揭露的一些實施例係提供一種半導體裝置，其包括半導體晶粒，其具有第一側壁；第一保護層，其係位於該半導體晶粒上方，其中該第一保護層的第二側壁係自該半導體晶粒的該第一側壁凹陷；開口，其穿過該第一保護層；封裝物，其覆蓋該第一側壁與該第二側壁，其中該封裝物具有頂部表面，其係與該第一保護層齊平；以及傳導材料，其填充該開口並且延伸於該封裝物上方。

【0006】 本揭露的一些實施例係提供一種製造半導體裝置的方法，其包括在第一晶粒與第二晶粒上方，形成第一保護層；以封裝物封裝該第一晶粒與該第二晶粒，其中該封裝物的厚度係大於該第一晶粒；以及形成傳導材料，其延伸穿過該第一保護層，並且延伸於該封裝物上方。

【圖式簡單說明】

【0007】 由以下詳細說明與附隨圖式得以最佳了解本揭露之各方面。注意，根據產業之標準實施方式，各種特徵並非依比例繪示。實際上，為了清楚討論，可任意增大或縮小各種特徵的尺寸。

【0008】 圖1係根據一些實施例說明具有第一保護層的晶圓之概示圖。

【0009】 圖2係根據一些實施例說明將晶圓單粒化成為第一晶粒與第二晶粒的概示圖。

【0010】 圖3係根據一些實施例說明第一晶粒與第二晶粒的封裝之概示圖。

【0011】 圖4A至4B係根據一些實施例說明晶種層的形成。

【0012】 圖5係根據一些實施例說明通路與重佈層的形成。

【0013】 圖6係根據一些實施例說明第二保護層的形成。

【0014】 圖7係根據一些實施例說明圖塊下金屬層與接點凸塊之形成。

【0015】 圖8係根據一些實施例說明將第一晶粒與第二晶粒分離。

【0016】 圖9係根據一些實施例說明具有貫穿通路的第一晶粒與第二晶粒之封裝。

【0017】 圖10係根據一些實施例說明晶種層與貫穿通路電接觸的形成。

【0018】 圖11係根據一些實施例說明與貫穿通路電接觸的重佈層、凸塊下金屬層以及接點凸塊之形成。

【0019】 圖12係根據一些實施例說明將具有貫穿通路的第一晶粒與第二晶粒分開。

【0020】 圖13A至13C係根據一些實施例說明接點墊、通路、重佈層以及貫穿通路之放大剖面圖以及兩個相關的俯視圖。

【實施方式】

【0021】 以下揭示內容提供許多不同的實施例或範例，用於實施本申請案之不同特徵。元件與配置的特定範例之描述如下，以簡化本申請案之揭示內容。當然，這些僅為範例，並非用於限制本申請案。例如，以下描述在第二特徵上或上方形成第一特徵可包含形成直接接觸的第一與第二特徵之實施例，亦可包含在該第一與第二特徵之間形成其他特徵的實施例，因而該第一與第二特徵並非直接接觸。此外，本申請案可在不同範例中重複元件符號與/或字母。此重複係為了簡化與清楚之目的，而非支配不同實施例與/或所討論架構之間的關係。

【0022】 參閱圖1，晶圓100具有第一晶粒101與第二晶粒103形成於晶圓100內與晶圓100上方，在一實施例中，其用於積體扇出(INFO)晶圓級晶片規模封裝(WLCSP)，適合用於封裝上封裝(package on package, PoP)架構。在一實施例中，在晶圓100內形成第一晶粒101與第二晶粒103，其藉由第一切割區(圖1的虛線105所示)而分離，沿著第一切割區，晶圓100將被分割形成個別的第一晶粒101與第二晶粒103。在一實施例中，晶圓100(以及第一晶粒101與第二晶粒103)可包括基板、第一主動裝置、金屬化層(未繪示於圖1)以及接點墊107。在一實施例中，基板可包括大塊矽、摻雜或未摻雜的、或是絕緣體上矽(SOI)基板的主動層。通常，SOI基板包括半導體材料層，例如矽、鍺、矽鍺、SOI、絕緣體上矽鍺(SGOI)或其組合。可使用的其他基板包含多層基板、梯度基板、或混合位向基板。

【0023】 第一主動裝置包括許多主動裝置與被動裝置，例如電容器、電阻器、電感以及類似物，其可用以產生第一晶粒101與第二晶粒103的設計所欲之結構與功能部分。在基板上或基板內，可使用任何合適的方法形成第一主動裝置。

【0024】 在基板與第一主動裝置上方，形成金屬化層，並且將其設計為連接各種第一主動裝置，以形成第一晶粒101與第二晶粒103之功能性電路。在一實施例中，金屬化層係由介電質與傳導材料的交錯層而形成，並且可經由任何合適的製程(例如，沉積、鑲嵌、雙鑲嵌等)而形成。在一實施例中，藉由至少一層間介電層(ILD)而將四層金屬化層自基板分離，然而，金屬化層的確切數目係取決於第一晶粒101與第二晶粒103的設計。

【0025】 形成接點墊107，用以提供金屬化層與第一主動裝置的外部接點。在一實施例中，接點墊107係由傳導材料形成，例如鋁，亦可使用其他合適的材料，例如銅、鎢或類似物。可使用例如

CVD或PVD之製程而形成接點墊107，然而，亦可使用其他合適的材料與方法。一旦已經沉積接點墊107的材料，可使用光微影蝕刻遮罩與蝕刻製程而將材料塑形為接點墊107。

【0026】 在第一晶粒101與第二晶粒103上方，可置放且圖案化第一保護層109。在一實施例中，第一保護層109可為保護材料，例如聚苯并噁唑(PBO)或聚亞醯胺(PI)、氧化矽、氮化矽、氮氧化矽、苯并環丁烯(BCB)、或任何其他合適的保護材料。可使用例如旋塗製程、沉積製程(例如化學氣相沉積)之製程或基於所選材料之任何其他合適的製程，形成第一保護層109，並且可將其形成具有約1微米至約100微米的第一厚度 T_1 ，例如約20微米。

【0027】 一旦形成，將第一保護層109圖案化以形成通路開口111並且暴露接點墊107。此外，將第一保護層109圖案化以形成第一開口113，以暴露切割區105。切割區105的此暴露進一步使得第一保護層109自第一晶粒101與第二晶粒103的側壁凹陷，因而在第一晶粒101已經自第二晶粒103分離之後，第一保護層109的側壁側向分離並且未與第一晶粒101及第二晶粒103對準(詳述如下，並且參閱圖2)。

【0028】 在一實施例中，可使用例如光微影蝕刻遮罩與蝕刻製程，將第一保護層109圖案化。在此製程中，施加第一光阻(未分別繪示於圖1)於第一保護層109，而後暴露至圖案化的光源。該光源將照射在第一光阻上，並且誘發改變第一光阻的性質，而後用於選擇性移除暴露部分或是未暴露部分，並且暴露第一保護層109。而後，在例如移除部分第一保護層109以暴露接點墊107之蝕刻製程過程中，第一保護層係作為遮罩。一旦第一保護層109已經被圖案化，則可使用例如灰化製程而移除第一光阻。

【0029】 在一實施例中，可形成通路開口111，其底部具有約1微米至約50微米的第一直徑 D_1 ，例如約15微米。此外，可將第一保護

層109以暴露第一晶粒101與第二晶粒103之間的切割區。例如，可將第一保護層109圖案化以於切割區105上方形成第一開口113，其寬度 W_1 約20微米至約150微米，例如約80微米。

【0030】 圖2說明一旦已經形成通路開口111，通常可將晶圓100薄化，並且可特別將第一晶粒101及第二晶粒103薄化。在一實施例中，可使用例如化學機械拋光，將晶圓100薄化，可用一或多個研磨墊，使用化學反應物與研磨料的組合，以移除與接點墊107對立之部分的晶圓100。然而，可使用任何其他合適的製程，例如物理研磨製程、蝕刻製程、或其組合。在一實施例中，將晶圓100薄化至第二厚度 T_2 ，其為約30微米至約700微米，例如約250微米。

【0031】 薄化之後，可施加晶粒附接膜(DAF)201至第一晶粒101與第二晶粒103，以輔助第一晶粒101與第二晶粒103附接至載體晶圓301(未繪示於圖1，但繪示於圖3及以下相關說明)。在一實施例中，晶粒附接膜201係環氧樹脂、酚樹脂、丙烯酸橡膠、二氧化矽填充劑、或其組合，以及使用壓層技術而施加該晶粒附接膜201。然而，亦可使用任何其他合適的材料與形成方法。

【0032】 在已經施加晶粒附接膜201之後，可將第一晶粒101與第二晶粒103單粒化，並且從晶圓的剩餘部分分離。在一實施例中，可使用雷射，以於切割區105內的晶圓100內形成凹槽。一旦已經形成凹槽，可使用切割刀(如圖2的虛線方框203所示)進行單粒化，在第一晶粒101與第二晶粒103之間的切割區105內切割晶圓100，因而將第一晶粒101與第二晶粒103彼此分離，並且將晶圓100分為個別晶粒。

【0033】 然而，如該技藝中具有通常技術之人士可知，使用切割刀203將第一晶粒101與第二晶粒103自晶圓100分離係僅一說明實施例而非用於限制本揭露。亦可使用其他用於將第一晶粒101與第二晶粒103單粒化的方法，例如使用一或多蝕刻而將第一晶粒101與第二晶

粒103自晶圓100分離。這些方法以及任何其他合適的方法亦可用於將晶圓100單粒化為第一晶粒101與第二晶粒103。

【0034】 圖3係說明第一晶粒101與第二晶粒103附接至載體晶圓301以及用封裝物303封裝第一晶粒101與第二晶粒103。在一實施例中，載體晶圓301可包括例如玻璃、氧化矽、氧化鋁以及類似物。載體晶圓301可具有大於約12密耳的厚度。例如，可使用晶粒附接膜201或其他合適的黏著劑，附接第一晶粒101與第二晶粒103。

【0035】 一旦附接至載體晶圓301，可用封裝物303封裝第一晶粒101與第二晶粒103，以提供保護並且提供另一表面用於進一步處理(進一步詳述如下以及如圖3至8所示)。在一實施例中，封裝物303可為模塑料，並且可使用塑形裝置放置封裝物303。例如，第一晶粒101與第二晶粒103可放置於塑形裝置(未繪示於圖2)的凹處中，可將該凹處密封。

【0036】 在一實施例中，第一晶粒101與第二晶粒103係放置於塑形裝置內，因而塑形裝置覆蓋通路開口111，並且在塑形過程中，封裝物303不會進入通路開口111。例如，在一實施例中，塑形裝置包括頂部與底部，其彼此接觸以於其間形成凹處。第一晶粒101與第二晶粒103係放置於該底部上，並且降低頂部以與第一保護層109實體接觸同時形成凹處。頂部與第一保護層109之間的此接觸形成凹處/密封用於塑形製程，亦密封通路開口111，因而在封裝製程過程中，無封裝物303可進入通路開口111。

【0037】 然而，如該技藝中具有通常技術者可知，塑形裝置之頂部的使用僅為一說明實施例而非用以限制實施例。再者，亦可使用防止封裝物303進入通路開口111之任何合適的方法。例如，在封裝製程過程中，可放置板或其他固體屏障以接觸第一保護層並且覆蓋通路開口111，或是在封裝製程之間，在通路開口111內放置材料，而後在

封裝製程之後移除。所有製程完全包含在實施例的範圍內。

【0038】 一旦第一晶粒101與第二晶粒103係在凹處中，可在凹處密封之前，將封裝物303放置於凹處中，或是可將封裝物303經由注射埠注入凹處。在一實施例中，封裝物303可為模塑料樹脂，例如聚亞醯胺、PPS、PEEK、PES、抗熱結晶樹脂、其組合、或類似物。

【0039】 再另一實施例中，可選擇封裝物303，使得封裝物303具有介電功能，並且使得第一晶種層401(未繪示於圖3，但繪示且說明於圖4A及其相關說明中)可形成於封裝物303上方並且與封裝物303實體接觸。例如，封裝物303可為20微米、300微米或690微米。藉由使用這些材料，可不需要個別的鈍化層405(未繪示於圖3，但說明於以下圖4B所示的實施例中)，因而簡化整體製程。

【0040】 在一實施例中，將塑形裝置塑形，以放置封裝物303，因而其厚度 T_3 係大於第一晶粒101與第二晶粒103。例如，在第一晶粒具有約200微米的厚度 T_2 之實施例中，封裝物303的厚度 T_3 係約201微米至約215微米，例如約210微米。此外，在一些實施例中，第三厚度 T_3 係大於第一厚度 T_1 ，且小於第一晶粒101與第一保護層109的結合厚度(T_1+T_2)。因此，第一保護層109的側壁可部分被封裝物303覆蓋，部分的側壁暴露且未與封裝物303接觸。

【0041】 此外，由於第一保護層109已經自第一晶粒101與第三晶粒103的側壁凹陷(如圖1及其說明所述)，因而封裝物303係延伸於第一晶粒101與第二晶粒103的頂部表面上方並且實體接觸第一晶粒101與第二晶粒103的頂部表面。因此，封裝物303具有階梯形狀，其覆蓋例如第一晶粒101與在第一晶粒101上方的第一保護層109之間的區域。

【0042】 一旦封裝物303已經放置在凹處中，使得封裝物303包覆第一晶粒101與第三晶粒103附近的區域，可將封裝物303硬化而得

到最佳保護。然而，實際的硬化製程係至少部分取決於選擇用於封裝物303之特定材料，在選擇模塑料作為封裝物303的實施例中，在將封裝物303加熱至約100°C與約130°C之間，可發生硬化，例如加熱至約125°C，時間為60秒至約3000秒，例如約600秒。此外，封裝物303可包含起始劑與/或催化劑，以較佳控制硬化製程。

【0043】 然而，如該技藝中具有通常技術者所知，上述的硬化製程僅為例示製程，並非用於限制這些實施例。亦可使用其他硬化製程，例如輻射，或甚至使封裝物303在環境溫度下硬化。可使用任何合適的硬化製程，所有製程皆包含在本文所討論的實施例範圍中。

【0044】 可選擇地，在一些實施例中，可初始放置封裝物303，使得第三厚度 T_3 大於(第一保護層109的)第一厚度 T_1 與(第一晶粒101的)第二厚度 T_2 之總和。在此實施例中，可使用可選擇的平坦化製程，將封裝物303與第一保護層109平坦化(未分別繪示於圖3)。在此實施例中，合適的平坦化製程，例如化學機械拋光製程、物理研磨製程或是一系列一或多次蝕刻，用以將封裝物303與第一保護層109平坦化。

【0045】 圖4係說明沿著形成於第一晶種層401上方且圖案化的第二光阻403而形成第一晶種層401。第一晶種層401係傳導材料的薄層，其在後續的製程步驟中輔助較厚層的形成。第一晶種層401可包括厚度約1000Å的鈦層，接著為厚度約5000Å的銅層。可依所欲之材料，使用例如濺鍍、蒸發或是PECVD製程而產生第一晶種層401。可形成厚度約0.3微米至約1微米的第一晶種層401，例如約0.5微米。

【0046】 在此實施例中，形成第一晶種層401，使得第一晶種層401延伸至通路開口111中。此外，在封裝物303可頂住第一晶種層401的實施例中，第一晶種層401亦形成於封裝物303上方並且與封裝物303接觸，沿著封裝物303的頂部表面延伸。因此，第一晶種層401

形成為連續的單一材料層，其覆蓋封裝物303的暴露之頂部表面以及在第一晶粒101與第二晶粒103上方的第一保護層109。

【0047】 圖4係說明在形成第一晶種層401之前，在封裝物303上方形成鈍化層405的另一實施例。在一實施例中，鈍化層405可為聚苯并噁唑(PBO)，亦可使用任何合適的材料，例如聚亞醯胺或聚亞醯胺衍生物。可使用例如旋塗製程，放置鈍化層405，其厚度約5微米至約25微米，例如約7微米，或可使用任何合適的方法與厚度。

【0048】 參閱圖4A所述之實施例，一旦已經形成第一晶種層401，可在第一晶種層401上方形成且圖案化第二光阻403。在一實施例中，例如可使用旋塗技術，在第一晶種層401上形成第二光阻403，其高度為約50微米至約250微米之間，例如約120微米。一旦形成，可藉由將第二光阻403暴露至圖案化的能量來源(例如圖案化的光源)而圖案化第二光阻403，因而誘發化學反應，而在暴露於圖案化光源的第二光阻403的那些部分中誘發物理變化。而後，施加顯影劑至暴露的第二光阻403，取決於所欲之圖案，利用該物理變化並且選擇性移除第二光阻403的暴露部分或是第二光阻403的未暴露部分。

【0049】 在一實施例中，第二光阻403中所形成的圖案係暴露通路開口111的圖案，因而可在後續製程步驟中，填充通路開口111(描述如下並請參閱圖5)。此外，第二光阻403的圖案化亦暴露部分的第一保護層109與封裝物303(或是鈍化層405)，其中可有重佈層501(未繪示於圖4A，但繪示且描述於圖5)。此設置使得封裝物303上方的區域可用於電性路由或是連接目的。

【0050】 圖5係說明一旦第二光阻403已經圖案化，在第二光阻403內形成通路503與重佈層501。在圖5中，以標示505的虛線顯示自重佈層501分離的通路503。然而，這是為了清楚闡述，而非必須實體分離，可使用相同材料與相同製程形成通路503與重佈層501。或者，

若需要，可形成自重佈層501分離的通路503。此外，雖然圖式中仍說明重佈層501與第一晶種層401為分離的層，然而可理解第一晶種層401事實上係重佈層501的一部分。

【0051】 在一實施例中，通路503與重佈層501係包括一或多傳導材料，例如銅、鎢、其他傳導材料、或類似物，並且可藉由例如電鍍、無電鍍、或類似方法而形成。在一實施例中，使用電鍍製程，將第一晶種層401與第二光阻403進入電鍍溶液中。第一晶種層401表面係電連接至外部DC電源供應的負面，因而第一晶種層401作為電鍍製程中的陰極。固體傳導陽極，例如銅陽極，亦浸入該溶液中，並且附接至電源供應的正面。來自陽極的原子係溶解於該溶液中，例如第一晶種層401之陰極需要溶解的原子，藉以鍍第二光阻403之開口中的第一晶種層401之暴露的傳導區域。

【0052】 一旦已經使用第二光阻403與第一晶種層401形成通路503與重佈層501，可使用合適的移除製程移除第二光阻403。在一實施例中，可使用電漿灰化製程移除第二光阻403，因而第二光阻403的溫度增加直到第二光阻403經歷熱分解並且可被移除。然而，亦可使用任何其他合適的製程，例如濕式剝除。移除第二光阻403可暴露下方部分的第一晶種層401。

【0053】 移除第二光阻403而暴露下方第一晶種層401之後，移除這些部分。在一實施例中，例如，可藉由濕式或乾式蝕刻製程，移除第一晶種層401的暴露部分(例如，未被通路503與重佈層501覆蓋的那些部分)。例如，在乾式蝕刻製程中，可使用通路503與重佈層501作為遮罩，將反應物導向第一晶種層401。或者，可將蝕刻劑噴灑或是置入而與第一晶種層401接觸，以移除第一晶種層401的暴露部分。

【0054】 圖6係說明第二保護層601的設置與圖案化。在一實施例中，第二保護層601可類似於第一保護層109(如圖1所示)。例如，

第二保護層601可為使用旋塗製程的PBO或是聚亞醯胺材料。然而，在一實施例中，第二保護層601係不同於第一保護層109，並且可使用任何合適的材料與製造方法。在一實施例中，可形成第二保護層601，其具有約1微米至約10微米的第四厚度 T_4 ，例如約4微米。

【0055】 一旦形成，可將第二保護層601圖案化以形成第二開口603，並且暴露封裝物303上方之部分的重佈層501與第三開口605。在一實施例中，可使用例如光微影蝕刻遮罩與蝕刻製程，將第二保護層601圖案化。在此製程中，將第三光阻(未個別繪示於圖6中)施加至第二保護層601，而後暴露至圖案化的光源。光源照射在第三光阻上，並且誘發第三光阻之性質改變，而後將其用於選擇性移除暴露部分或是未暴露部分，並且暴露第二保護層601。而後，在蝕刻製程過程中，使用第三光阻作為遮罩，蝕刻製程移除部分的第二保護層601以暴露重佈層501。一旦已經圖案化第二保護層601，可使用例如灰化製程而暴露第三光阻。

【0056】 在一實施例中，可形成第二開口603，其具底部有第二直徑 D_2 ，其係約2微米至約30微米，例如約10微米。此外，雖然此實施例已說明且描述第二開口603暴露封裝物303上方之部分的重佈層501，然而此僅為說明並非用於限制實施例。再者，可形成第二開口603用以暴露任何所欲之部分的重佈層501。所有這些暴露完全包含在實施例的範圍內。

【0057】 此外，亦可在第一晶粒101與第二晶粒103之間的區域上方形成第三開口605，準備形成最終的分離(進一步描述如下且如圖8所示)。在此區域中，第三開口605可具有約20微米至約150微米的第二寬度 W_2 ，例如80微米。一旦第一晶粒101已經與第二晶粒103分離，此形成亦會使第二保護層601的側壁凹陷遠離封裝物303的側壁(描述如下並請參閱圖8)。

【0058】 圖7係說明形成通路503內的凸塊下金屬層(UBM)701與接點凸塊703。UBM 701可包括三層傳導材料，例如鈦層、銅層與鎳層。然而，該技藝中具有通常技術者可理解有許多合適的材料與層配置，例如鉻/鉻銅合金/銅/金之配置、鈦/鈦鎢/銅之配置、或是銅/鎳/金之配置，其適合用於形成UBM 701。可用於UBM 701的任何合適材料或材料層係完全包含在實施例的範圍內。

【0059】 在一實施例中，在重佈層501上方以及沿著穿過第二保護層601的第二開口603之內部，藉由形成各層而產生UBM 701。可使用鍍製程而進行各層的形成，例如電化學鍍，然而可依照所欲之材料而使用其他形成製程，例如濺鍍、蒸發或是PECVD製程。所形成的UBM 701厚度約7微米至約10微米，例如約5微米。

【0060】 接點凸塊703可包括例如錫之材料，或是其他合適的材料，例如銀、無鉛錫、或銅。在接點凸塊703為錫焊料凸塊的實施例中，可經由慣用方法，例如蒸發、電鍍、印刷、焊料轉移、植球等，藉由初始形成錫層而形成接點凸塊703，其厚度約為100微米。一旦在結構上形成錫層，可進行回錫用以將材料塑形為所欲之凸塊形狀。

【0061】 圖8係說明移除載體晶圓301以及分離第一晶粒101與第二晶粒103，以形成封裝801，例如積體扇出封裝。在一實施例中，依照所選擇用於晶粒附接膜201的材料，可藉由物理、熱、或是紫外光製程，移除載體晶圓301。在晶粒附接膜201熱分解的實施例中，可將晶粒附接膜201加熱，造成其減少或是損失黏性。而後，載體晶圓301可自第一晶粒101與第二晶粒103實體分離。

【0062】 一旦已經移除載體晶圓100，第一晶粒101可自第二晶粒103分離。在一實施例中，藉由使用切割刀203(如上所述且參閱圖2)切割第一晶粒101與第二晶粒103之間的封裝物303之區域而進行分

離，因而分離第一晶粒101與第二晶粒103。然而，亦可使用任何合適的方法，例如一系列的一或多次蝕刻，或是在切割之前初始形成凹處，所有方法皆完全包含在實施例的範圍內。

【0063】 藉由在封裝之前形成通路503，由於可客製化設計跡線區域覆蓋通路開口，因此可放大晶粒偏移範圍(die shift window)。此外，藉由先形成通路503，可排除用以暴露通路503的一般研磨步驟，因而節省成本與簡化製程。這亦使得通路503適用於積體扇出晶圓級晶片規模封裝(IFNO WLCSP)。

【0064】 圖9至12係說明使用延伸穿過封裝物303而將重佈層501電連接至封裝801的對側之貫穿通路901的另一實施例。在此實施例中，在第一晶粒101與第二晶粒103附接至載體晶圓301之前，藉由在載體晶圓301上初始形成黏著層903、聚合物層905以及第二晶種層907(圖9所示已圖案化)，而在載體晶圓301上方形成貫穿通路901。

【0065】 在一實施例中，黏著層903係設置在載體晶圓301上，以輔助上方結構(例如聚合物層905)的附著。在一實施例中，黏著層903可包括紫外線膠，當其暴露至紫外光時會失去其黏著性質。然而，亦可使用其他形式的黏著劑，例如壓敏黏著劑、輻射可硬化的黏著劑、環氧化合物、其組合、或是類似物。黏著層903可用半液體或膠體形式設置在載體晶圓301上，黏著層903在壓力下可輕易變形。

【0066】 聚合物層905係設置在黏著層903上方，並且一旦已經附接第一晶粒101與第二晶粒103則用於提供保護例如第一晶粒101與第二晶粒103。在一實施例中，聚合物層905可為聚苯并噁唑(PBO)，亦可使用任何合適的材料，例如聚亞醯胺或是聚亞醯胺衍生物。可使用例如旋塗製程而設置聚合物層905，其厚度約2微米至約15微米，例如約5微米，然而，亦可使用其他合適的方法與厚度。

【0067】 第二晶種層907係傳導材料的薄層，在後續製程步驟

過程中輔助較厚層的形成以形成貫穿通路901。第二晶種層907可包括厚度約1000 Å的鈦層，而後為厚度約5000 Å的銅層。依所欲之材料，可使用例如濺鍍、蒸發或是PECVD製程而產生第二晶種層907。所形成的第二晶種層907之厚度約0.3微米至約1微米，例如約0.5微米。

【0068】 一旦已經形成第二晶種層907，可在第二晶種層907上方設置且圖案化第四光阻(未繪示於圖9)。在一實施例中，例如可使用旋塗技術，在第二晶種層907上設置第四光阻，其高度約50微米至約250微米，例如約120微米。一旦形成，將第四光阻暴露至圖案化的能量來源(例如，圖案化的光源)以誘發化學反應，因而在暴露至圖案化的光源之第四光阻的那些部分中誘發物理變化，而圖案化第四光阻。而後，施加顯影劑至暴露的第四光阻，以利用該物理變化，依照所欲之圖案，選擇性移除第四光阻的暴露部分或是第四光阻的未暴露部分。

【0069】 在一實施例中，形成於第四光阻中的圖案係用於貫穿通路901的圖案。貫穿通路901形成於此設置中，因而位在後續附接的裝置之不同側上，該後續附接的裝置例如第一晶粒101與第二晶粒103。然而，亦可使用任何合適的配置用於貫穿通路901的圖案。

【0070】 一旦第四光阻已經圖案化，在第四光阻內形成貫穿通路901。在一實施例中，貫穿通路901包括一或多個傳導材料，例如銅、鎢、其他傳導材料、或類似物，並且可藉由例如電鍍、無電鍍、或類似方法而形成。在一實施例中，使用電鍍製程，其中第二晶種層907與第四光阻係浸入電鍍溶液中。第二晶種層907表面係電連接至外部DC電源的負面，因而第二晶種層907係作為電鍍製程中的陰極。固體傳導陽極，例如銅陽極，亦進入溶液中並且附接至電源的正面。來自陽極的原子係溶解於溶液中，例如第二晶種層907之陰極獲得溶解的原子，因而鍍第四光阻之開口內的第二晶種層907之暴露的傳導區

域。

【0071】 一旦已經使用第四光阻與第二晶種層907而形成貫穿通路901，可使用合適的移除製程而移除第四光阻。在一實施例中，可使用電漿灰化製程，以移除第四光阻，第四光阻的溫度增加直到第四光阻經歷熱分解並且可被移除。然而，亦可使用任何其他適合的製程，例如濕式剝除。移除第四光阻可暴露下方部分的第二晶種層907。

【0072】 移除第四光阻暴露下方第二晶種層907之後，移除這些部分。在一實施例中，例如可藉由溼式或乾式蝕刻製程，移除第二晶種層907的暴露部分(例如，未被貫穿通路901覆蓋的那些部分)。例如，在乾式蝕刻製程中，使用貫穿通路901作為遮罩，可將反應物導至第二晶種層907。或者，可將蝕刻劑噴灑或是置入以與第二晶種層907接觸，以移除第二晶種層907的暴露部分。在已經蝕刻移除第二晶種層907的暴露部分之後，在貫穿通路901之間暴露部分的聚合物層905。

【0073】 一旦已經形成貫穿通路901，使用例如晶粒附接膜201，將第一晶粒101與第二晶粒103設置在載體晶圓301上(接觸聚合物層905)。一旦附接之後，可藉由封裝物303，將第一晶粒101、第二晶粒103以及貫穿通路901封裝，如上關於圖3之說明。例如，第一晶粒101、第二晶粒103以及貫穿通路901可設置於塑形裝置(未繪示於圖9)中，以及封裝物303可設置於塑形裝置中而硬化封裝物303。

【0074】 在設置且硬化封裝物303之後，可進行平坦化製程，用以平坦化封裝物303、貫穿通路901以及第一保護層109，並且暴露貫穿通路901。在一實施例中，例如，平坦化製成可為化學機械拋光製程，亦可使用任何合適的製程，例如物理研磨或蝕刻。

【0075】 圖10係在通路開口111內以及第一保護層109與封裝物

303上方設置第一晶種層401，並且第一晶種層401係與貫穿通路901電連接。第一晶種層401的形成可如關於圖4之上述說明。例如，可藉由濺鍍形成第一晶種層401，其可為銅，亦可使用任何合適的材料與製程。然而，藉由形成與貫穿通路901電連接的第一晶種層401，第一晶種層係電連接至封裝801的第二側，使得電連接至電佈線，或是經由外部連接(例如凸塊或是銅柱)，或是至形成於封裝801之對側上的另一重佈層。

【0076】 此外，圖10亦說明在第一晶種層401上方形成第二光阻403。在此實施例中，可設置且暴露第二光阻403，如關於圖4之上述說明。然而，第二光阻403被圖案化，因而非位於貫穿通路901上方。

【0077】 圖11係說明重佈層501、第二保護層601、UBM 701以及接點凸塊703的形成。這些形成可如關於圖4至7之上述說明。然而，藉由貫穿通路901，重佈層501、UBM 701以及接點凸塊703係電連接至貫穿通路901，而後至封裝的第二側。

【0078】 圖12係說明使用例如雷射挖槽或鑽孔製程而後使用切割刀203分離第一晶粒101與第二晶粒103而分離第一晶粒101與第二晶粒103以形成封裝801。然而，在此實施例中，封裝801亦包括貫穿通路901，其連接重佈層501以及與重佈層501對立的封裝801之第二側。此連接使得封裝801周圍有更多電佈線的選擇。

【0079】 圖13A至13C係說明接點墊107、通路503、重佈層501以及貫穿通路901的放大剖面圖以及兩個相關的俯視圖，圖13B與13C係圖13A沿著線A-A'的俯視圖。在附接晶粒(例如，第一晶粒101與第二晶粒103)至載體晶圓301之前藉由形成通路503的開口，而後在通路503上方形成重佈層501，僅需要考量重佈層501的尺寸以覆蓋發生的晶粒偏移。因此，放大晶粒偏移窗，可增加接合正確性。

【0080】 此由圖13B與13C的俯視圖可說明。在圖13B中，在第一方向有晶片偏移。然而，由於上述實施例，重佈層501仍可在此方向補償它。此外，如圖13C所示，藉由在接點墊107與通路503上方放大重佈層501，甚至亦可補償在不同方向的晶片偏移。

【0081】 根據一實施例，提供半導體裝置，其包括半導體晶粒，該半導體晶粒包括第一側、與第一側對立的第二側，以及在第一側與第二側之間延伸的第一側壁。保護層位在半導體晶粒上方，保護層包括第二側壁。通路延伸穿過保護層，封裝物封裝半導體晶粒，封裝物實體接觸第一側、第一側壁以及第二側壁的第一部分，其中第二側壁的第二部分未與封裝物實體接觸。

【0082】 根據另一實施例，提供半導體裝置，其包括具有第一側壁的半導體晶粒，以及在半導體晶粒上方的第一保護層，其中第一保護層的第二側壁係自半導體晶粒的第一側壁凹陷。開口穿過第一保護層，以及封裝物覆蓋第一側壁與第二側壁，其中封裝物具有頂部表面，其係與第一保護層齊平。傳導材料填充開口，並且延伸於封裝物上方。

【0083】 根據另一實施例，提供製造半導體裝置的方法，其包括在第一晶粒與第二晶粒上方形成第一保護層，以及用封裝物封裝第一晶粒與第二晶粒，其中封裝物的厚度係大於第一晶粒。形成傳導材料，其延伸穿過第一保護層並且延伸於封裝物上方。

【0084】 前述說明概述一些實施例的特徵，因而該技藝之技術人士可更加理解本揭露的各方面。該技藝的技術人士應理解其可輕易使用本揭露作為設計或修飾其他製程與結構的基礎，而產生與本申請案相同之目的以及/或達到相同優點。該技藝之技術人士亦應理解此均等架構並不脫離本揭露的精神與範圍，並且其可進行各種改變、取代與變化而不脫離本揭露的精神與範圍。前述說明概述一些實施例的特徵，因而該技藝之技術人士可更加理解本揭露的各方面。該技藝的

技術人士應理解其可輕易使用本揭露作為設計或修飾其他製程與結構的基礎，而產生與本申請案相同之目的以及/或達到相同優點。該技藝之技術人士亦應理解此均等架構並不脫離本揭露的精神與範圍，並且其可進行各種改變、取代與變化而不脫離本揭露的精神與範圍。

【符號說明】

100	晶圓
101	第一晶粒
103	第二晶粒
105	切割區
107	接點墊
109	第一保護層
111	通路開口
113	第一開口
201	晶粒附接膜(DAF)
203	切割刀
301	載體晶圓
303	封裝物
401	第一晶種層
405	鈍化層
403	第二光阻
503	通路
501	重佈層
601	第二保護層
603	第二開口
605	第三開口
701	UBM

703	接點凸塊
801	封裝
901	貫穿通路
903	黏著層
905	聚合物層
907	第二晶種層

申請專利範圍

1. 一種半導體裝置，其包括：
 - 半導體晶粒，該半導體晶粒包括第一側、與該第一側對立之第二側，以及在該第一側與該第二側之間延伸的第一側壁；
 - 保護層，其係位在該半導體晶粒上方，該保護層包括第二側壁，該第一側比該第二側更接近該第二側壁；
 - 通路，其延伸穿過該保護層；以及
 - 封裝物，其封裝該半導體晶粒，該封裝物實體接觸該第一側、該第一側壁，以及該第二側壁的第一部分，
 - 其中該第二側壁的第二部分係未與該封裝物實體接觸。
2. 如請求項1所述之半導體裝置，進一步包括重佈層，其係電連接至少一該通路，該重佈層係延伸於該封裝物上方。
3. 如請求項2所述之半導體裝置，其中該重佈層係實體接觸該封裝物。
4. 如請求項2所述之半導體裝置，進一步包括在該封裝物與該重佈層之間的鈍化層。
5. 如請求項2所述之半導體裝置，進一步包括延伸穿過該封裝物的貫穿通路。
6. 如請求項2所述之半導體裝置，進一步包括在該重佈層上方的第二保護層。
7. 如請求項6所述之半導體裝置，進一步包括延伸穿過該第二保護層的凸塊下金屬層。
8. 一種半導體裝置，其包括：
 - 半導體晶粒，其具有第一側壁；
 - 第一保護層，其係位於該半導體晶粒上方，其中該第一保護層

的第二側壁係自該半導體晶粒的該第一側壁凹陷；

開口，其穿過該第一保護層；

封裝物，其覆蓋該第一側壁與該第二側壁，其中該封裝物具有頂部表面，其係與該第一保護層齊平；以及

傳導材料，其填充該開口並且延伸於該封裝物上方。

9. 一種製造半導體裝置的方法，其包括：

在第一晶粒與第二晶粒上方，形成第一保護層；

在該第一保護層中形成並定義通路開口；

以封裝物封裝該第一晶粒、該第二晶粒以及該第一保護層，其中該封裝物的厚度係大於該第一晶粒；以及

形成傳導材料，其填充該通路開口，並且延伸於該封裝物上方。

10. 如請求項9所述之方法，其中該第一保護層具有側壁，其中該側壁的第一部分係被該封裝物覆蓋，以及其中該側壁的第二部分係未被該封裝物覆蓋。

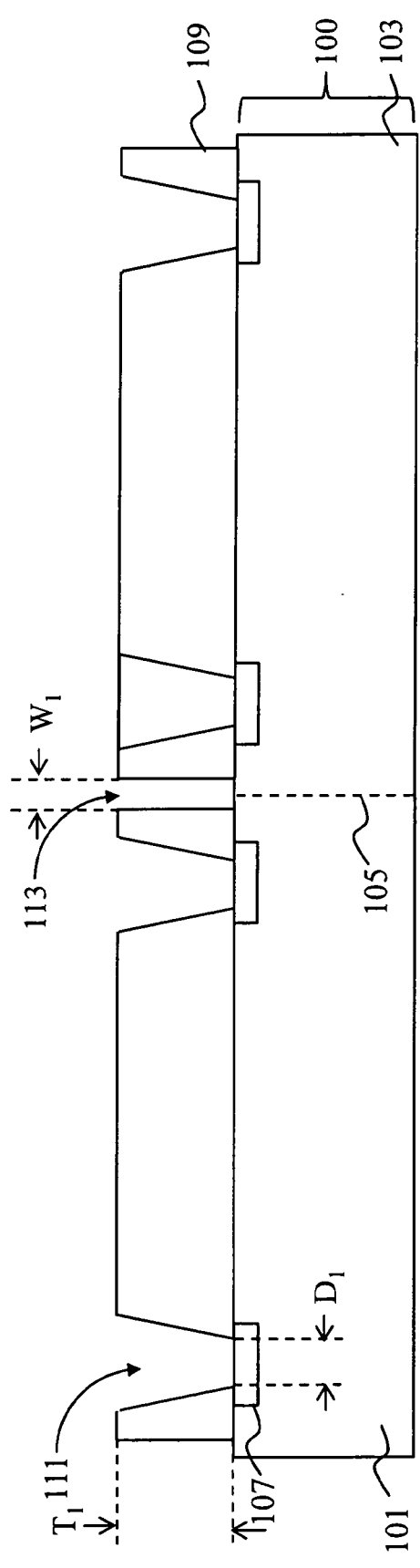


圖 1

圖式

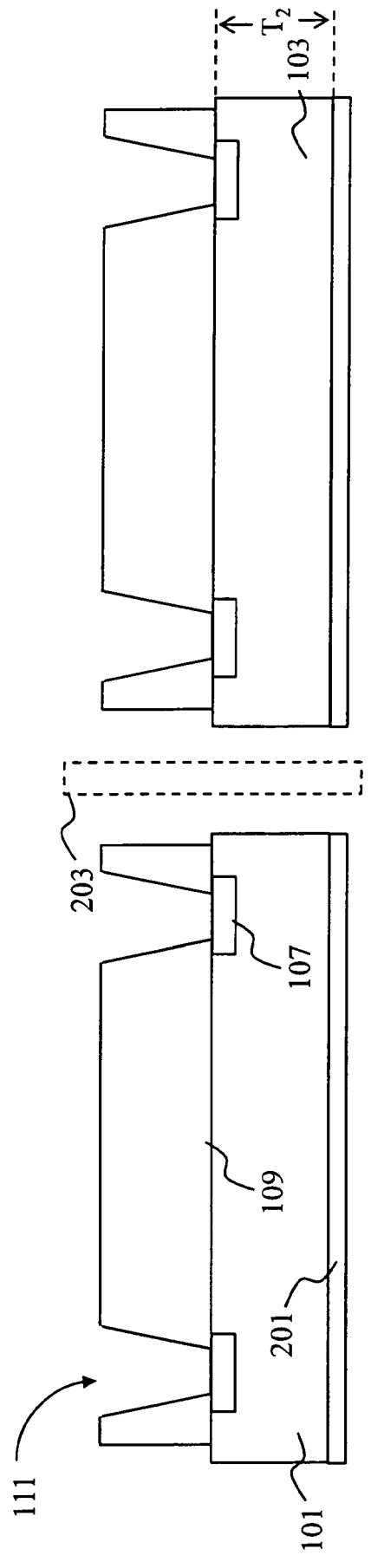


圖 2

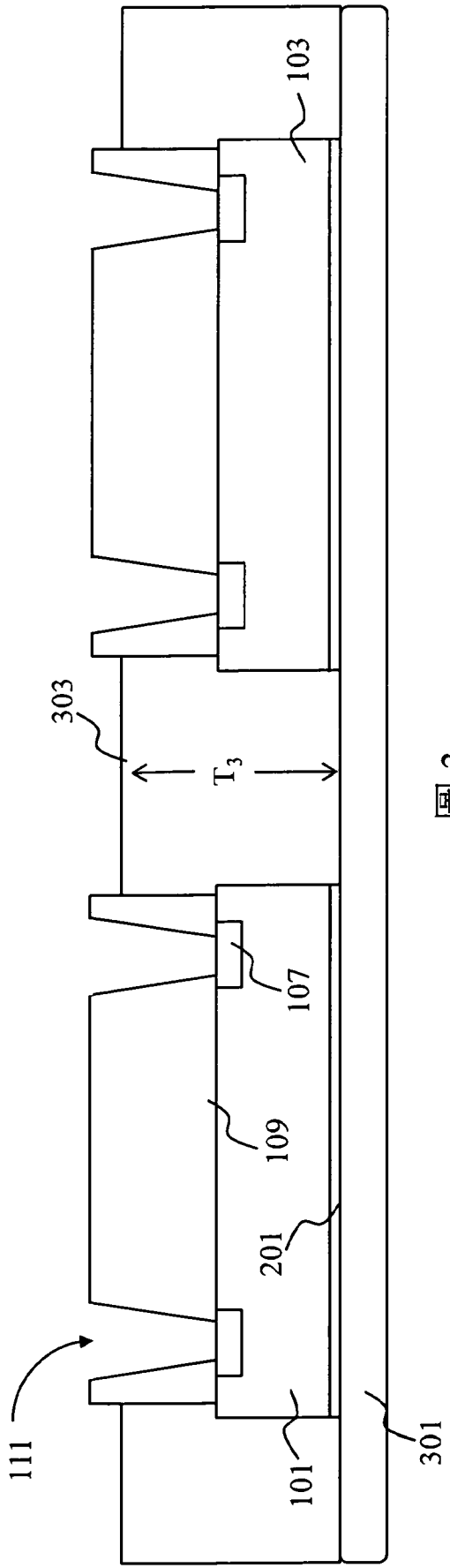


圖 3

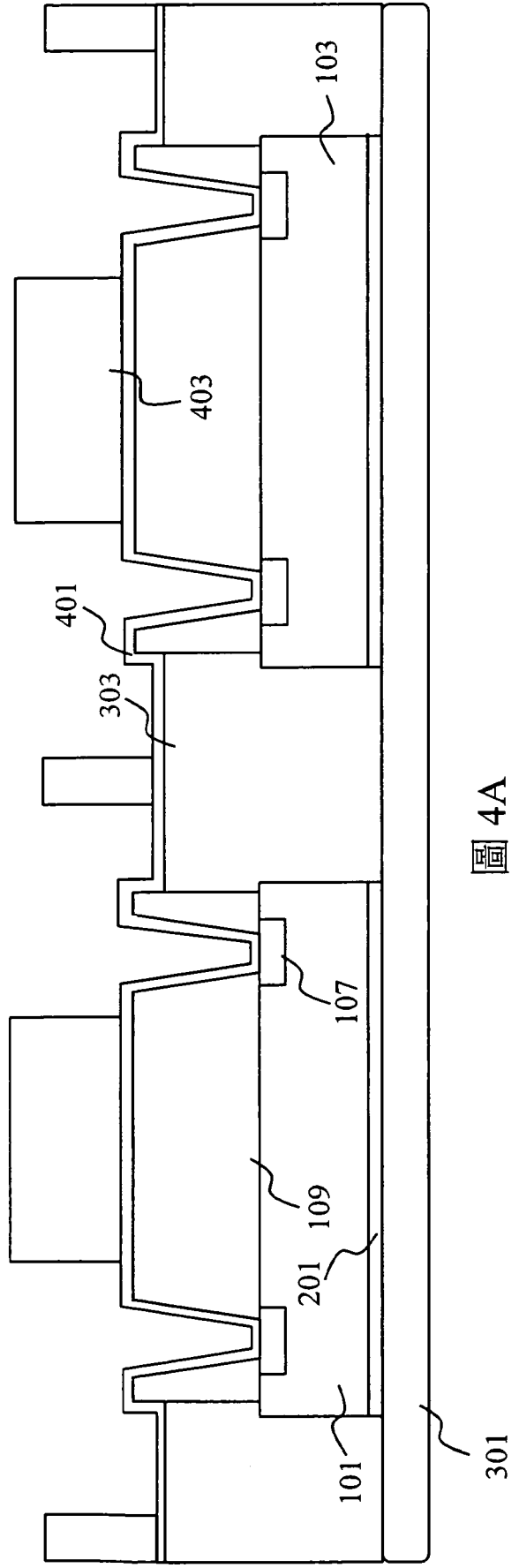


圖 4A

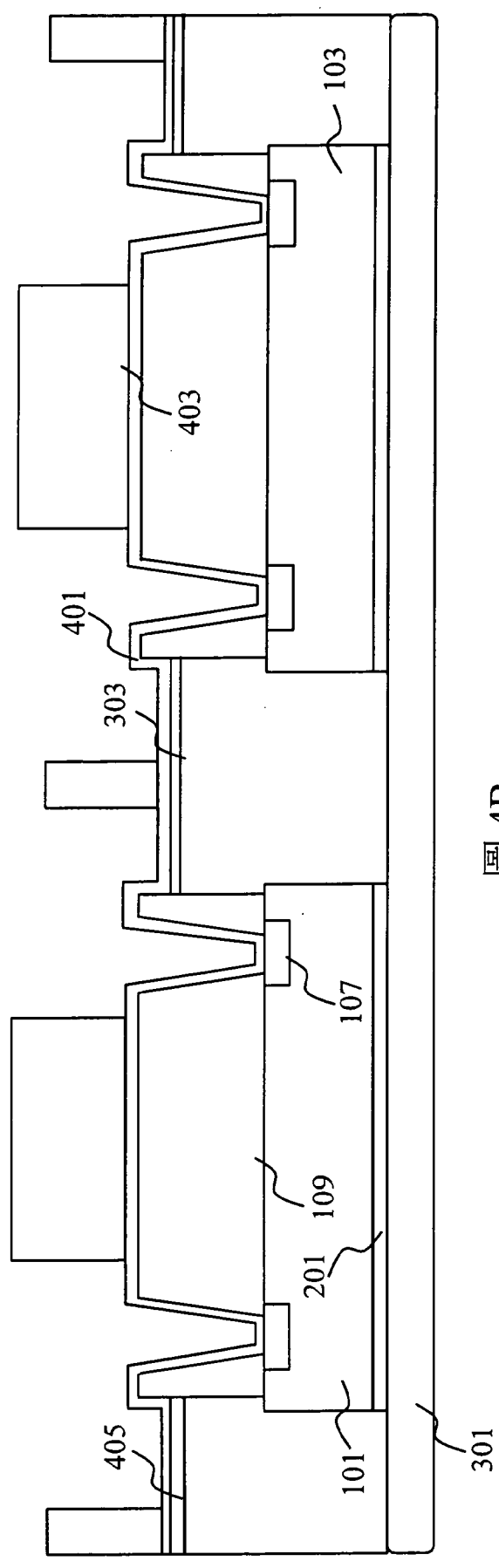


圖 4B

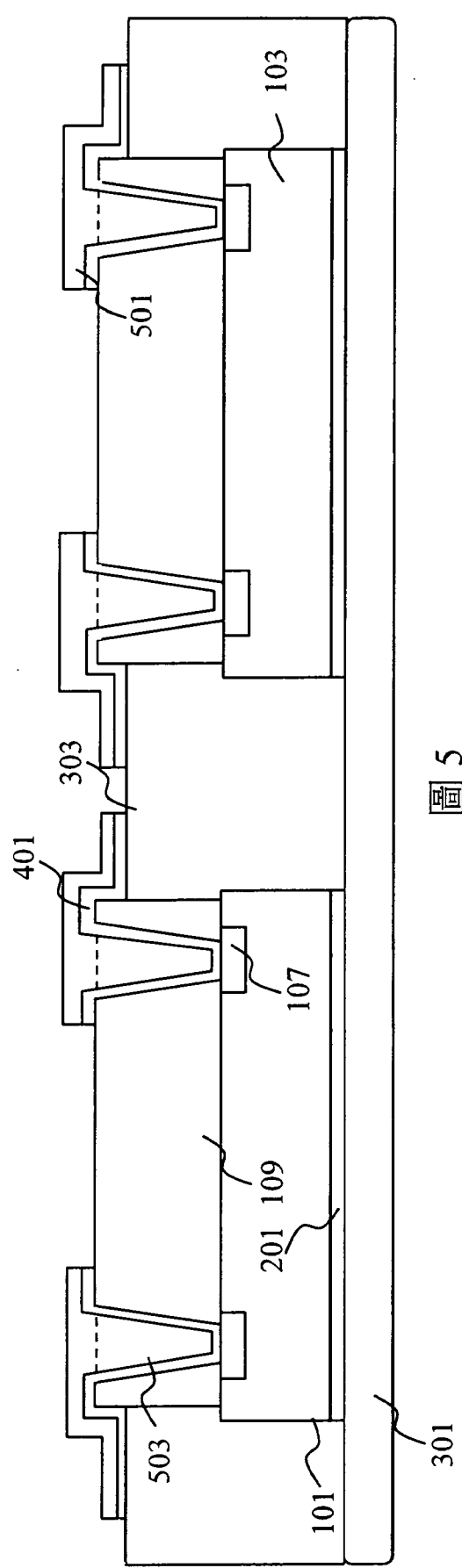


圖 5

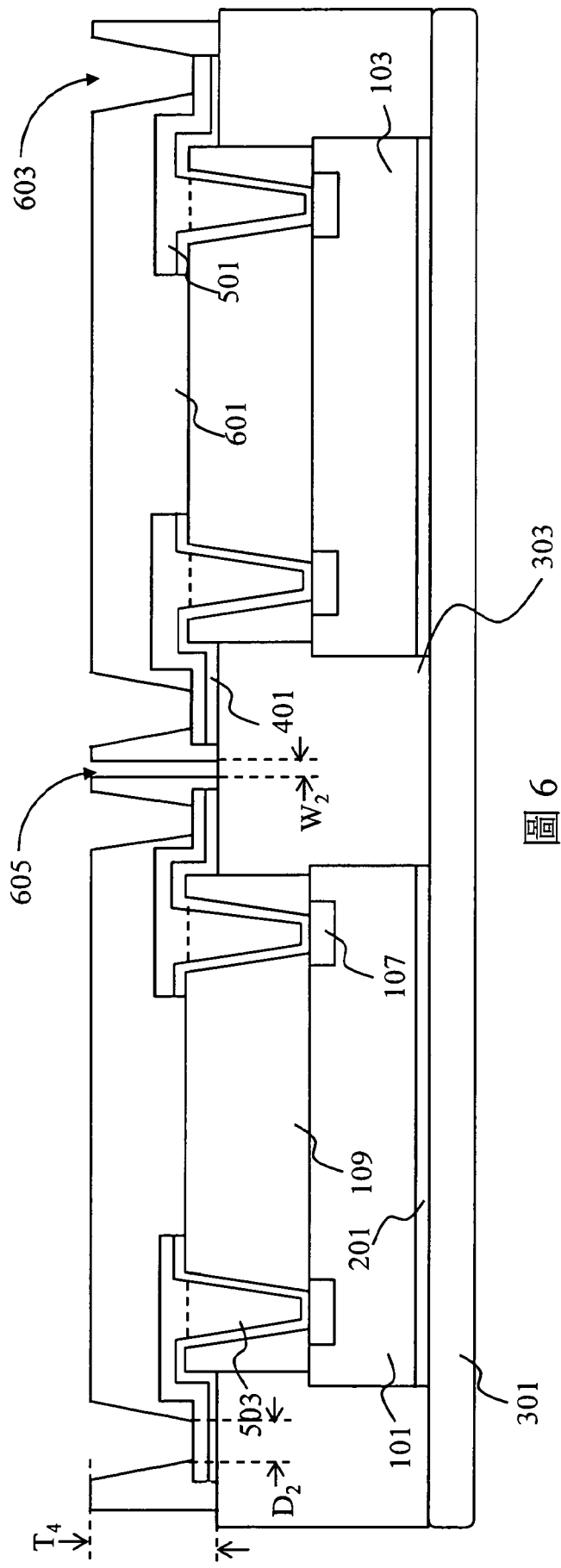


圖 6

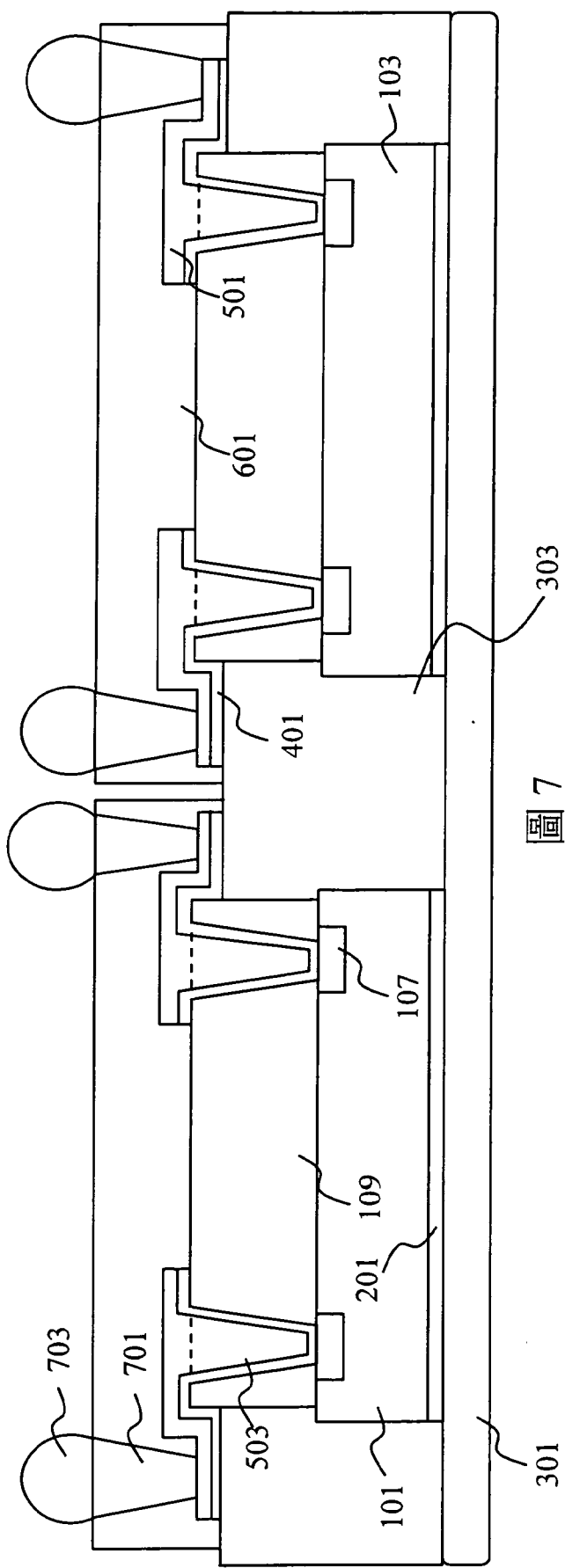


圖 7

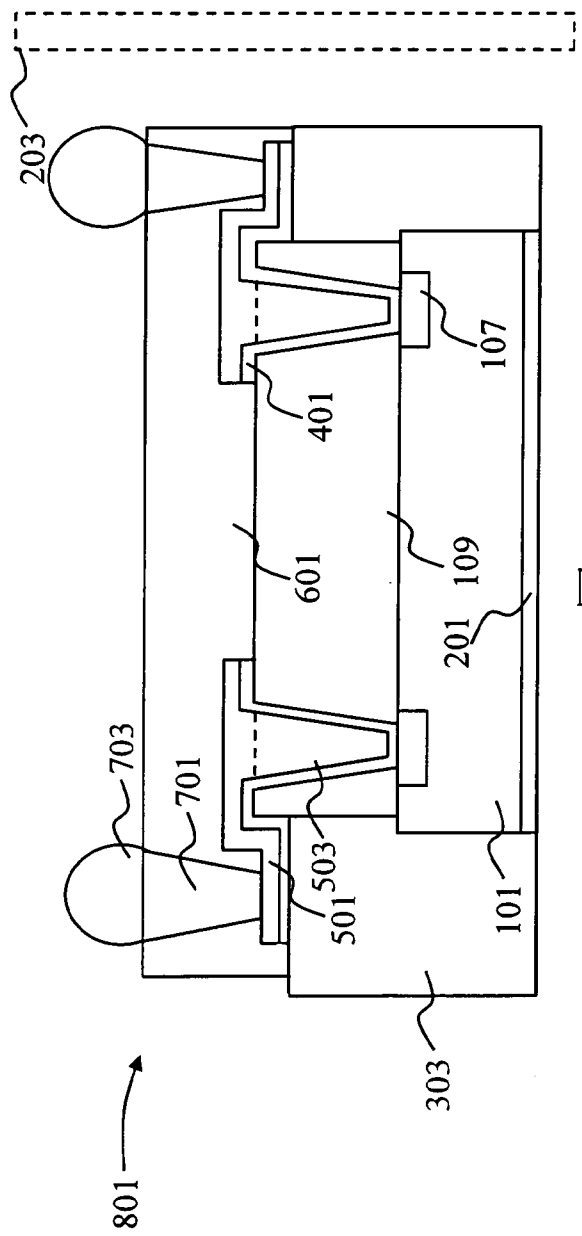


圖 8

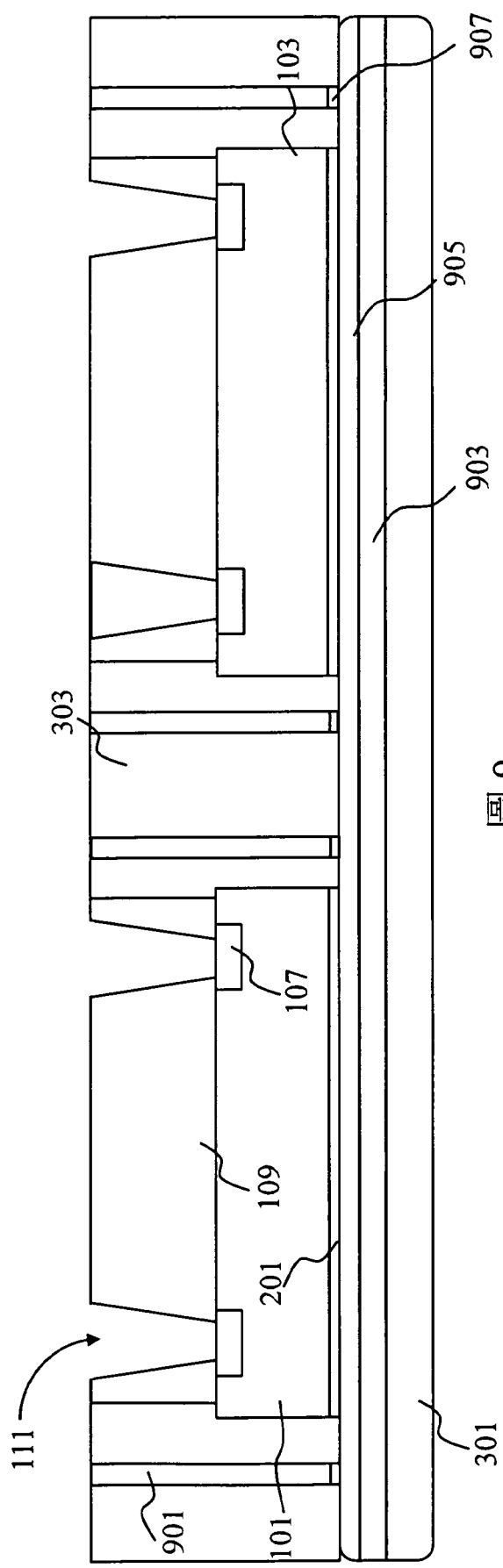


圖 9

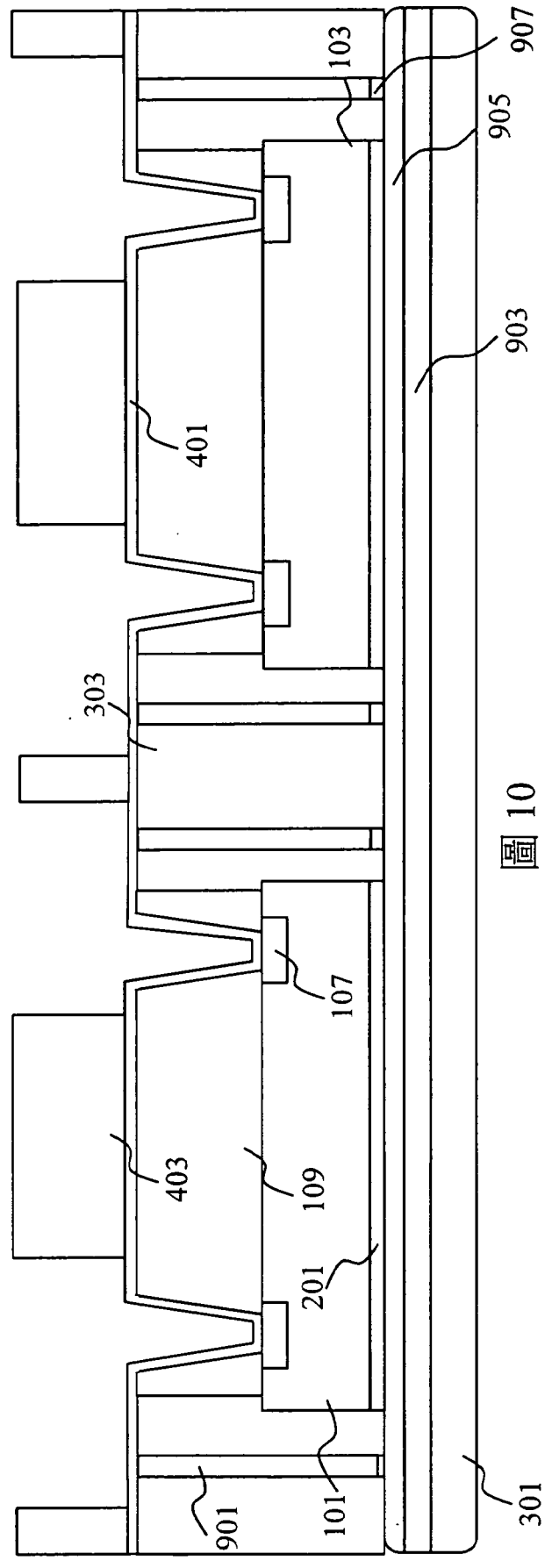


圖 10

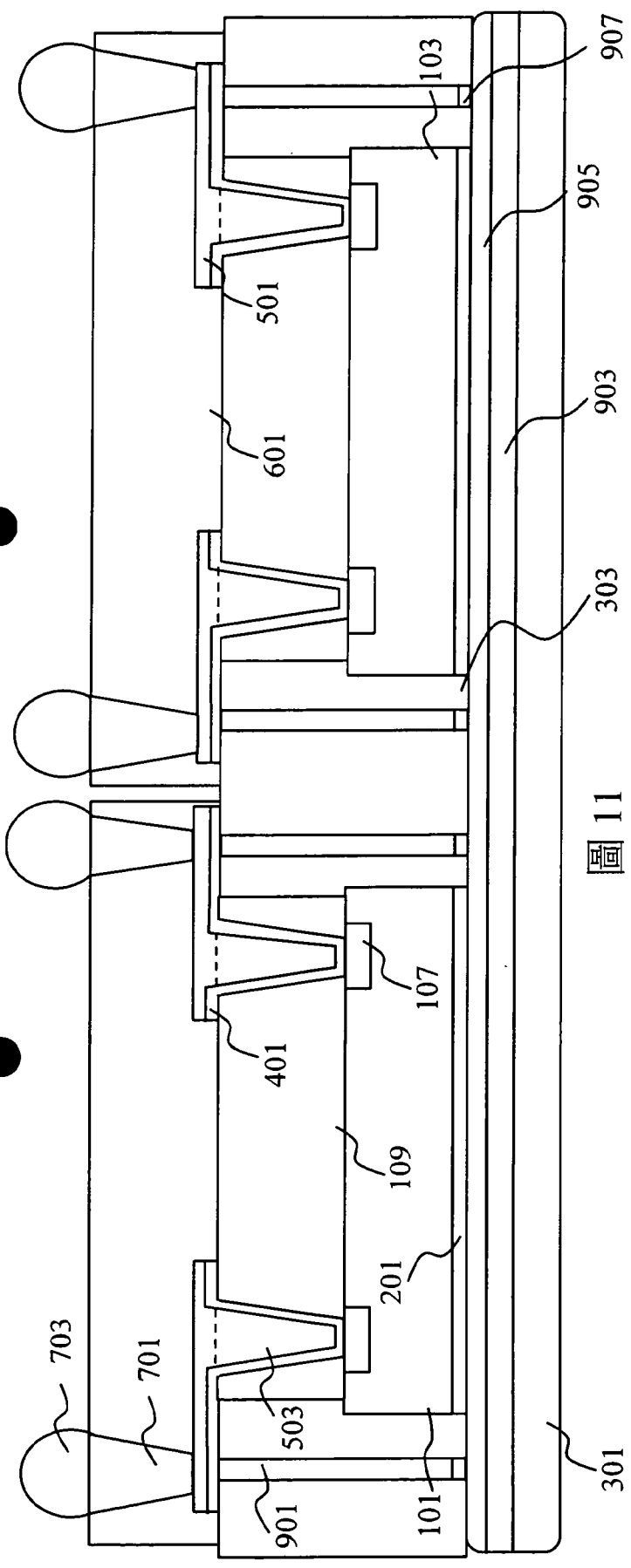


圖 11

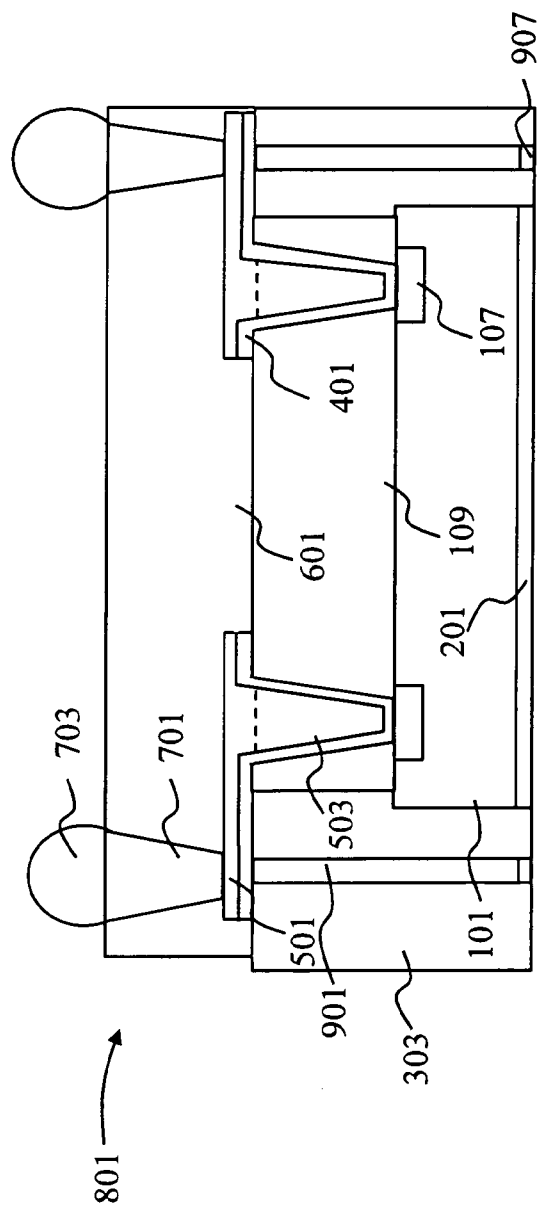


圖 12

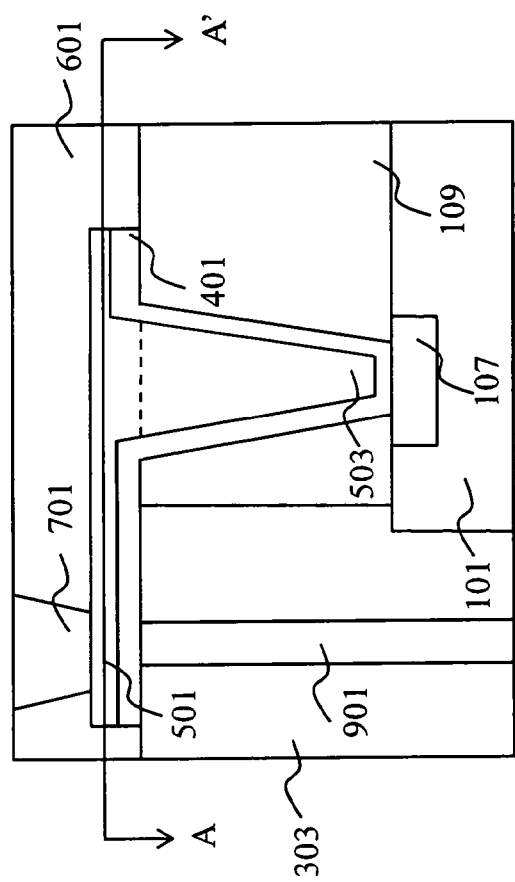


圖 13A

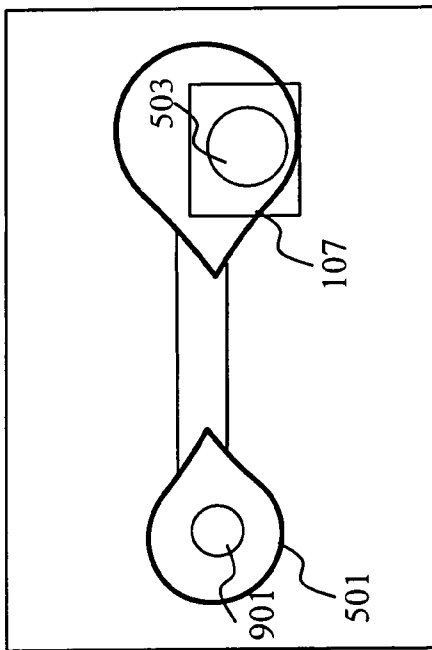


圖 13B

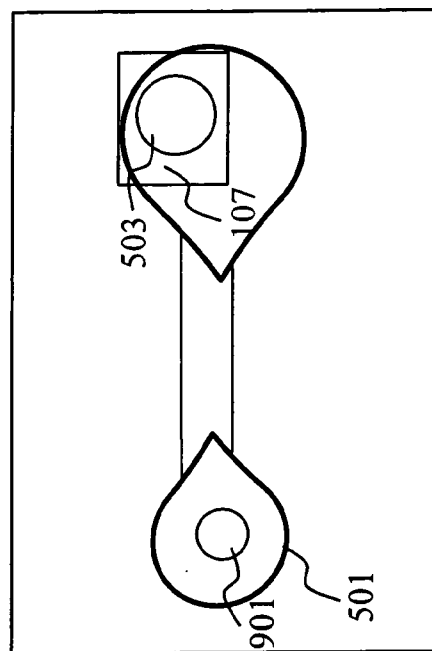


圖 13C