(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4833652号
(P4833652)
(45)発行日　平成23年12月7日(2011.12.7)　(24)登録日　平成23年9月30日(2011.9.30)

(51)Int.Cl.
G05F 1/56 (2006.01)
B60R 16/03 (2006.01)

F I
G05F 1/56 310C
B60R 16/02 670T

請求項の数 13　(全 20 頁)

(21)出願番号　特願2005-355150 (P2005-355150)
(22)出願日　平成17年12月8日 (2005.12.8)
(65)公開番号　特開2007-157071 (P2007-157071A)
(43)公開日　平成19年6月21日 (2007.6.21)
審査請求日　平成20年11月17日 (2008.11.17)

(73)特許権者　000116024
ローム株式会社
京都府京都市右京区西院溝崎町２１番地
(74)代理人　100105924
弁理士　森下　賢樹
(72)発明者　猪上　浩樹
京都府京都市右京区西院溝崎町２１番地
ローム株式会社内

審査官　櫻田　正紀

最終頁に続く

(54)【発明の名称】レギュレータ回路およびそれを搭載した自動車

(57)【特許請求の範囲】
【請求項１】
入力端子に印加された入力電圧を安定化し、出力端子から出力電圧を出力するレギュレータ回路であって、
前記入力端子と前記出力端子の間に設けられた出力トランジスタと、
前記出力電圧に応じた電圧が所定の基準電圧に近づくように、前記出力トランジスタの制御端子の電圧を調節する誤差増幅器と、
前記入力端子から接地端子に至る経路上に設けられ、一端の電位が固定された変動検出キャパシタと、
前記変動検出キャパシタに流れる電流に応じた電流を、前記出力トランジスタの制御端子に供給する電流帰還回路と、
前記出力トランジスタの制御端子の電圧を、前記出力電圧より差分電圧だけ低いクランプ電圧以上となるようにクランプするとともに、前記差分電圧を、前記出力トランジスタに流れる出力電流に応じて大きくするクランプ回路と、
を備えることを特徴とするレギュレータ回路。
【請求項２】
前記クランプ回路は、
前記出力トランジスタに流れる出力電流に応じた検出電流を生成する電流検出回路と、
前記出力電圧より前記検出電流に比例した電圧だけ低いクランプ基準電圧を生成するクランプ基準電圧生成回路と、

前記クランプ基準電圧生成回路により生成されるクランプ基準電圧よりも、さらに所定の電圧だけ低い電圧を、前記クランプ電圧に設定し、前記出力トランジスタの制御端子の電圧をクランプするクランプ実行回路と、

を含むことを特徴とする請求項１に記載のレギュレータ回路。

【請求項３】

前記クランプ基準電圧生成回路は、

一端が前記出力端子に接続され、前記電流検出回路により生成される検出電流の経路上に設けられた抵抗を含み、当該抵抗の他端に現れる電圧を、前記クランプ基準電圧として出力することを特徴とする請求項２に記載のレギュレータ回路。

【請求項４】

前記クランプ実行回路は、

前記クランプ基準電圧生成回路の出力端子から、前記出力トランジスタの制御端子に至る経路上に、カソード端子が前記出力トランジスタの制御端子側となるように設けられたダイオードを含むことを特徴とする請求項２に記載のレギュレータ回路。

【請求項５】

前記クランプ実行回路は、

ゲートに前記クランプ基準電圧が印加されたＮチャンネル電界効果トランジスタと、

アノードが、前記Ｎチャンネル電界効果トランジスタのソースに接続され、カソードが前記出力トランジスタの制御端子に接続されたダイオードと、

を含むことを特徴とする請求項２に記載のレギュレータ回路。

【請求項６】

前記出力トランジスタの制御端子と前記入力端子の電圧差が、所定のクランプ電圧以上となるように、前記出力トランジスタの制御端子の電圧をクランプする第２クランプ回路をさらに備えることを特徴とする請求項１から５のいずれかに記載のレギュレータ回路。

【請求項７】

前記第２クランプ回路は、前記変動検出キャパシタに電流が流れる期間、動作することを特徴とする請求項６に記載のレギュレータ回路。

【請求項８】

前記出力トランジスタは、Ｐチャンネル電界効果トランジスタであって、前記クランプ電圧は、前記出力トランジスタのしきい値電圧より小さく設定されることを特徴とする請求項６または７に記載のレギュレータ回路。

【請求項９】

前記第２クランプ回路は、前記電流帰還回路から前記出力トランジスタの制御端子への電流供給経路上に、カソードが前記出力トランジスタの制御端子側に、アノードが前記電流帰還回路側となるように配置されたダイオードを含むことを特徴とする請求項６から８のいずれかに記載のレギュレータ回路。

【請求項１０】

前記第２クランプ回路は、前記電流帰還回路から前記出力トランジスタの制御端子への電流供給経路上に設けられた抵抗を含むことを特徴とする請求項６から８のいずれかに記載のレギュレータ回路。

【請求項１１】

前記電流帰還回路は、前記入力端子から前記変動検出キャパシタの他端に至る経路上に設けられた第１トランジスタと、

前記第１トランジスタとカレントミラー回路を構成する第２トランジスタと、

を含み、前記第２トランジスタに流れる電流を、前記クランプ回路を介して前記出力トランジスタの制御端子に供給することを特徴とする請求項９または１０に記載のレギュレータ回路。

【請求項１２】

ひとつの半導体基板上に一体集積化されたことを特徴とする請求項１から１１のいずれかに記載のレギュレータ回路。

【請求項１３】
　バッテリと、
　前記バッテリの電圧を安定化して負荷に供給する請求項１から１２のいずれかに記載のレギュレータ回路と、
　を備えることを特徴とする自動車。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明は、出力電圧を安定化するレギュレータ回路に関する。
【背景技術】
【０００２】
　電子回路を安定に動作させるために、その電源電圧を一定の値に安定化させたい場合がある。また、各電子回路が必要とする電源電圧は、必ずしも電子回路が搭載される機器に用意されているとは限らない。例えば、車載機器の５Ｖマイコンなどは、電源電圧として５Ｖを必要とするが、自動車のバッテリから供給される電圧は１２Ｖであり、なおかつ不安定である。このような場合に、電子回路が必要とする電源電圧を簡易かつ安定に生成するために、レギュレータ回路が広く用いられている。
【０００３】
　このレギュレータ回路は一般的に、誤差増幅器と出力トランジスタとフィードバック抵抗を備えている。誤差増幅器は、フィードバック抵抗により帰還した出力電圧と所望の基準電圧値とを比較し、２つの電圧が近づくように出力トランジスタの制御端子の電圧を制御する。従って、入力電圧や負荷が変動した場合には、その変動に応じて出力トランジスタの制御端子の電圧を変化させなければならない。
【０００４】
　ここで、出力トランジスタとして低消費電流化のために、ＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）を使用する場合がある。ＭＯＳＦＥＴを使用した場合、電流許容量を大きくとるためにトランジスタサイズを大きくすると、それに伴ってゲート容量が大きくなり、誤差増幅器によって制御されるゲート電圧の応答が、入力電圧あるいは負荷の変動に対して遅れることになる。この遅れは、出力電圧のオーバーシュートやアンダーシュートを引き起こす。また、負荷変動すなわち出力電流が変動する際にも、オーバーシュートやアンダーシュートが発生する。
【０００５】
　このような問題を解決するために、出力トランジスタから負荷に流れる電流をモニタし、その電流に応じて誤差増幅器のバイアス電流を増やすことによりレギュレータの応答速度を速める手法が提案されている。
【０００６】
【特許文献１】特開２００１－３４３５１号公報
【発明の開示】
【発明が解決しようとする課題】
【０００７】
　上記文献に記載の技術を用いた場合には、負荷に多くの電流が流れる場合には、誤差増幅器にも大きなバイアス電流が流れ応答速度が高速化される。しかしながら、負荷に流れる電流が急激に減少した時には、それに伴い応答速度が遅くなってしまうため、出力電圧が変動するおそれがある。また、入力電圧の変動に起因する出力電圧の変動を抑制することが困難である。
【０００８】
　本発明はこうした課題に鑑みてなされたものであり、その目的は、安定状態における消費電力を増加を抑えつつ、入力電圧や出力電流が変動した時の出力電圧の変動を抑制することができるレギュレータ回路の提供にある。

【課題を解決するための手段】

【０００９】

本発明のある態様は、入力端子に印加された入力電圧を安定化し、出力端子から出力電圧を出力するレギュレータ回路に関する。このレギュレータ回路は、入力端子と出力端子の間に設けられた出力トランジスタと、出力電圧に応じた電圧が所定の基準電圧に近づくように、出力トランジスタの制御端子の電圧を調節する誤差増幅器と、入力端子から接地端子に至る経路上に設けられ、一端の電位が固定された変動検出キャパシタと、変動検出キャパシタに流れる電流に応じた電流を、出力トランジスタの制御端子に供給する電流帰還回路と、出力トランジスタの制御端子の電圧をクランプするクランプ回路と、を備える。

【００１０】

入力電圧が上昇すると、電圧変動量の時間微分に比例した電流が変動検出キャパシタに流れる。変動検出キャパシタに流れる電流に応じた電流を、出力トランジスタの制御端子に供給することにより、出力トランジスタの制御端子の電圧を強制的に上昇させることができ、オーバーシュートが抑制される。この態様においては、クランプ回路を設けて、出力トランジスタの制御端子をクランプし、出力トランジスタのゲートソース、あるいはベースエミッタ間電圧（以下、ゲートソース間電圧およびベースエミッタ間電圧を、ゲートソース間電圧と総称する）の上限値、あるいは下限値、もしくはその両方を設定することにより、必要以上に、出力トランジスタの制御端子の電圧が変化するのを抑制し、オーバーシュートやアンダーシュートをさらに抑制することができる。

【００１１】

クランプ回路は、出力トランジスタの制御端子と入力端子の電圧差が、所定のクランプ電圧以上となるように、出力トランジスタの制御端子の電圧をクランプしてもよい。

出力トランジスタの制御端子と入力端子の間の電圧差、すなわち、ゲートソース間電圧に下限値を設定することにより、出力トランジスタが完全にオフするのを防止することができる。この態様によれば、入力電圧が非常に速い速度で変化しても、アンダーシュートを抑制することができる。

【００１２】

クランプ回路は、変動検出キャパシタに電流が流れる期間、動作してもよい。この場合、変動検出キャパシタに電流が流れない期間、すなわち、回路が定常状態にある期間は、クランプ回路が動作しないため、ゲートソース間電圧がクランプされず、出力電圧を基準電圧に一致するように安定化することができる。

【００１３】

出力トランジスタは、Ｐチャンネル電界効果トランジスタであって、クランプ電圧は、出力トランジスタのしきい値電圧より小さく設定されてもよい。

【００１４】

クランプ回路は、電流帰還回路から出力トランジスタの制御端子への電流供給経路上に、カソードが出力トランジスタの制御端子側に、アノードが電流帰還回路側となるように配置されたダイオードを含んでもよい。この場合、クランプ回路を、ダイオードに電流が流れる期間、すなわち、変動検出キャパシタに電流が流れる期間、アクティブとすることができ、さらに、出力トランジスタのゲートソース間電圧を、少なくとも、ダイオードの順方向電圧以上にクランプすることができる。

【００１５】

クランプ回路は、電流帰還回路から出力トランジスタの制御端子への電流供給経路上に設けられた抵抗を含んでもよい。この場合、クランプ回路を、抵抗に電流が流れる期間、すなわち、変動検出キャパシタに電流が流れる期間、アクティブとすることができ、さらに、出力トランジスタのゲートソース間電圧を、少なくとも、抵抗に発生する電圧降下以上にクランプすることができる。

【００１６】

電流帰還回路は、入力端子から変動検出キャパシタの他端に至る経路上に設けられた第

１トランジスタと、第１トランジスタとカレントミラー回路を構成する第２トランジスタと、を含み、第２トランジスタに流れる電流を、クランプ回路を介して出力トランジスタの制御端子に供給してもよい。
【００１７】
　クランプ回路は、出力電圧より差分電圧だけ低い電圧を、クランプ電圧に設定し、出力トランジスタの制御端子の電圧を、クランプ電圧以上となるようにクランプしてもよい。
　入力電圧が変動し、出力電圧の目標値である基準電圧に近接し、あるいはそれより低くなると（以下、本明細書において、入力電圧低下状態という）、誤差増幅器は、出力トランジスタがフルオンするように、出力トランジスタの制御端子の電圧を低下させて、ゲートソース間電圧を増大させる。この態様では、出力トランジスタの制御端子の電圧に、下限値を設定することにより、出力トランジスタのゲートソース間電圧がある電圧でクランプされるため、入力電圧低下状態から、入力電圧が急激に上昇した場合において、出力電圧がオーバーシュートするのを抑制することができる。
【００１８】
　クランプ回路は、出力トランジスタに流れる出力電流に応じて大きくなる電圧を差分電圧として、クランプ電圧を設定してもよい。
　差分電圧を、出力電流に応じて増大させることにより、重負荷となるに従って、出力トランジスタの制御端子の下限値は低くなる。その結果、負荷電流に応じて、出力トランジスタのオンの程度の上限を設定することができ、より好適に出力電圧のオーバーシュートを抑制することができる。
【００１９】
　クランプ回路は、出力トランジスタに流れる出力電流に応じた検出電流を生成する電流検出回路と、出力電圧より検出電流に比例した電圧だけ低いクランプ基準電圧を生成するクランプ基準電圧生成回路と、クランプ基準電圧生成回路により生成されるクランプ基準電圧よりも、さらに所定の電圧だけ低い電圧を、クランプ電圧に設定し、出力トランジスタの制御端子の電圧をクランプするクランプ実行回路と、を含んでもよい。
　この場合、出力トランジスタに流れる出力電流に比例した電圧と、所定の電圧の和を、差分電圧として設定することができる。
【００２０】
　クランプ基準電圧生成回路は、一端が出力端子に接続され、電流検出回路により生成される検出電流の経路上に設けられた抵抗を含み、当該抵抗の他端に現れる電圧を、クランプ基準電圧として出力してもよい。
【００２１】
　クランプ実行回路は、クランプ基準電圧生成回路の出力端子から、出力トランジスタの制御端子に至る経路上に、カソード端子が出力トランジスタの制御端子側となるように設けられたダイオードを含んでもよい。
【００２２】
　クランプ実行回路は、ゲートにクランプ基準電圧が印加されたＮチャンネル電界効果トランジスタと、アノードが、Ｎチャンネル電界効果トランジスタのソースに接続され、カソードが出力トランジスタの制御端子に接続されたダイオードと、を含んでもよい。
【００２３】
　レギュレータ回路は、ひとつの半導体基板上に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。
【００２４】
　本発明の別の態様は、自動車である。この自動車は、バッテリと、バッテリの電圧を安定化して負荷に供給する上述のレギュレータ回路と、を備える。
【００２５】
　この態様によると、バッテリの電圧が変動しても、負荷に供給される電圧のオーバーシ

ュートやアンダーシュートを抑制することができ、負荷を安定に駆動することができる。
【００２６】
なお、以上の構成要素の任意の組合せや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。
【発明の効果】
【００２７】
本発明に係るレギュレータ回路によれば、安定状態における消費電力の増加を抑えつつ、入力電圧の変動にともなうアンダーシュートを抑制することができる。
【発明を実施するための最良の形態】
【００２８】
（本発明の実施の形態の概要）
はじめに、本発明の実施の形態に係るレギュレータ回路１００の構成および動作の概略を、図１の回路図をもとに説明する。図１は、本実施の形態に係るレギュレータ回路１００の構成を示すブロック図である。以降の図において、同一の構成要素には同一の符号を付し、適宜説明を省略する。以下の説明において、電圧信号、電流信号あるいは抵抗、容量などに付された符号は、必要に応じてそれぞれの電圧値、電流値あるいは抵抗値、容量値を表すものとして用いることとする。
【００２９】
本実施の形態にかかるレギュレータ回路１００は、入力端子１０２に印加された入力電圧Ｖｉｎを安定化し、出力端子１０４から出力電圧Ｖｏｕｔを出力する。このレギュレータ回路１００は、誤差増幅器１０、出力トランジスタ１２、第１抵抗Ｒ１、第２抵抗Ｒ２、基準電圧源１４に加えて、変動検出キャパシタＣ１、電流帰還回路２０、クランプ回路３０を備える。
【００３０】
誤差増幅器１０、出力トランジスタ１２、第１抵抗Ｒ１、第２抵抗Ｒ２は一般的なリニアレギュレータを構成する。出力トランジスタ１２は、入力端子１０２と出力端子１０４間に設けられており、出力電圧Ｖｏｕｔが所望の電圧となるように入力電圧Ｖｉｎを電圧降下させる。本実施の形態において出力トランジスタ１２はＰチャンネルＭＯＳＦＥＴであって、そのソースがレギュレータ回路１００の入力端子１０２に接続され、ドレインがレギュレータ回路１００の出力端子１０４に接続される。また、制御端子であるゲートには、誤差増幅器１０の出力が接続され、この誤差増幅器１０によってゲート電圧Ｖｇが制御される。
【００３１】
誤差増幅器１０は、反転入力端子－に基準電圧源１４から出力される基準電圧Ｖｒｅｆが入力されている。誤差増幅器１０の非反転入力端子＋には、出力電圧Ｖｏｕｔが第１抵抗Ｒ１、第２抵抗Ｒ２により抵抗分割され、Ｒ２／（Ｒ１＋Ｒ２）倍して帰還入力される。誤差増幅器１０は、反転、非反転入力端子の電圧が等しくなるように出力トランジスタ１２のゲート電圧Ｖｇを調節する。その結果、出力電圧Ｖｏｕｔは、入力電圧Ｖｉｎの値に関わらず、Ｖｏｕｔ＝（Ｒ１＋Ｒ２）／Ｒ２×Ｖｒｅｆが成り立つように安定化される。
【００３２】
変動検出キャパシタＣ１は、入力端子１０２から接地端子ＧＮＤに至る経路上に設けられ、一端が接地されて電位が固定される。電流帰還回路２０は、変動検出キャパシタＣ１に流れる電流Ｉｘ１に応じた電流Ｉｘ２を、出力トランジスタ１２のゲートに供給する。変動検出キャパシタＣ１および電流帰還回路２０は、入力端子１０２に印加される入力電圧Ｖｉｎが急激に変動した場合において、出力電圧Ｖｏｕｔがオーバーシュートするのを抑制するものである。
【００３３】
電流帰還回路２０は、入力端子１０２から変動検出キャパシタＣ１の他端に電流が流れ込むとき、出力トランジスタ１２のゲート電圧Ｖｇを強制的に上昇せしめる。電流帰還回

路２０は、入力端子１０２から変動検出キャパシタＣ１の他端に流れ込む電流Ｉｘ１に応じた電流Ｉｘ２を、出力トランジスタ１２のゲートに供給する。

【００３４】

電流帰還回路２０は、たとえばカレントミラー回路を用いて構成することができる。本実施の形態において、電流帰還回路２０は、第１トランジスタＭ１、第２トランジスタＭ２、利得調整抵抗Ｒ３を含む。第１トランジスタＭ１および利得調整抵抗Ｒ３は、入力端子１０２から変動検出キャパシタＣ１の他端に至る経路上に直列に接続される。第１トランジスタＭ１は、ＰチャンネルＭＯＳＦＥＴであって、ソースが入力端子１０２に接続され、ドレインが利得調整抵抗Ｒ３に接続される。第２トランジスタＭ２も、ＰチャンネルＭＯＳＦＥＴであって、ソースが入力端子１０２に接続され、ゲートが第３トランジスタＭ３のゲートに接続される。第２トランジスタＭ２は、第１トランジスタＭ１とともにカレントミラー回路を構成する。第１トランジスタＭ１、第２トランジスタＭ２は、入力端子１０２から変動検出キャパシタＣ１に流れ込む電流Ｉｘ１を定数倍した電流Ｉｘ２を、出力トランジスタ１２のゲートに供給し、ゲート電圧Ｖｇを強制的に上昇せしめる。

【００３５】

回路が安定状態にある場合には、第１トランジスタＭ１にはほとんど電流は流れず、そのドレインソース間の電位差はほぼ０Ｖとなり、さらに、利得調整抵抗Ｒ３での電圧降下もほぼ０Ｖとなる。したがって、変動検出キャパシタＣ１の一端には、入力電圧Ｖｉｎがほぼそのまま入力され、Ｖｘ　Ｖｉｎが成り立っている。また、第１トランジスタＭ１のドレインソース間電圧および利得調整抵抗Ｒ３での電圧降下の和電圧は、第２トランジスタＭ２のゲートソース間電圧に相当するが、上述のようにいずれの電圧も非常に小さいため、第２トランジスタＭ２はオフ状態となる。

【００３６】

入力端子１０２に印加されている入力電圧Ｖｉｎが上昇すると、変動検出キャパシタＣ１の高電位側の電圧が入力電圧Ｖｉｎに伴って上昇する。この結果、変動検出キャパシタＣ１を充電するために、第１トランジスタＭ１および利得調整抵抗Ｒ３を介して、過渡的に電流Ｉｘ１が流れる。

【００３７】

電流帰還回路２０は、この電流Ｉｘ１を増幅して電流Ｉｘ２として出力トランジスタ１２の制御端子であるゲートに帰還する。ここでの増幅には、利得が１より低い場合も含まれる。電流Ｉｘ１と電流Ｉｘ２の比は、第１トランジスタＭ１、第２トランジスタＭ２のサイズ比および利得調整抵抗Ｒ３によって調節することができる。すなわち電流利得を大きくするには、サイズ比を大きく、あるいは利得調整抵抗Ｒ３を大きく設定すればよい。

【００３８】

クランプ回路３０は、出力トランジスタ１２の制御端子の電圧、すなわちゲート電圧Ｖｇをクランプする。クランプ回路３０は、出力トランジスタ１２のゲート電圧Ｖｇをクランプすることにより、出力トランジスタ１２のゲートソース間電圧Ｖｇｓの上限値、あるいは下限値、もしくはその両方を設定する。

【００３９】

次に、図１のレギュレータ回路１００の動作のオーバーシュート抑制機能について図２をもとに説明する。図２は、入力電圧Ｖｉｎが急激に上昇したときのレギュレータ回路１００の動作波形図である。以降の図において、縦軸および横軸は、見やすさおよび理解の容易化のために、適宜拡大、縮小されており、実際のスケールとは異なって示されている。

【００４０】

本実施の形態にかかるレギュレータ回路１００のオーバーシュートの抑制機能をより理解するため、はじめに、変動検出キャパシタＣ１および電流帰還回路２０を使用しない場合の動作について説明する。図２に破線で示されるゲート電圧Ｖｇ’および出力電圧Ｖｏｕｔ’がこのときの電圧波形を示している。

【００４１】

時刻ｔ０～ｔ１においては、入力電圧Ｖｉｎは一定値をとっており、回路は安定状態であって、出力電圧はＶｏｕｔ＝（Ｒ１＋Ｒ２）／Ｒ２×Ｖｒｅｆとなるようにレギュレートされている。時刻ｔ１に、入力電圧Ｖｉｎが急激に上昇する場合を考える。

【００４２】

ゲート電圧Ｖｇ’は、ゲート容量によって形成される時定数回路によって応答が遅れ、ソース電圧である入力電圧Ｖｉｎの急激な上昇に追従できない。したがって、出力トランジスタ１２のゲートソース間電圧は一時的に大きくなる。その結果、ドレイン電圧である出力電圧Ｖｏｕｔ’は一時的に上昇し、オーバーシュートが発生してしまう。

【００４３】

次に、本発明の実施形態にかかるレギュレータ回路１００について、オーバーシュートを防止するために変動検出キャパシタＣ１、電流帰還回路２０を動作させた場合の動作について図２に、実線で示される電圧波形Ｖｇ、Ｖｏｕｔをもとに説明する。

【００４４】

時刻ｔ０～ｔ１において回路は安定状態にあり、時刻ｔ１に入力電圧Ｖｉｎが上昇する。入力電圧Ｖｉｎが上昇すると、入力端子１０２から変動検出キャパシタＣ１に電流Ｉｘ１が流れることになる。電流Ｉｘ１は、変動検出キャパシタＣ１の容量値を用いて、Ｉｘ１　Ｃ１×ｄＶｉｎ／ｄｔで与えられる。従って、図２において、電流Ｉｘ１は、入力電圧Ｖｉｎを時間微分した波形にほぼ比例し、入力電圧Ｖｉｎが変化したときに流れる。

【００４５】

電流Ｉｘ１は、電流帰還回路２０によって増幅され、電流Ｉｘ２が生成される。この増幅率は先述のように第１トランジスタＭ１、第２トランジスタＭ２および利得調整抵抗Ｒ３により決定される。電流帰還回路２０によって増幅された電流Ｉｘ２は、出力トランジスタ１２のゲートに供給され、出力トランジスタ１２のゲート容量Ｃｇは、この電流Ｉｘ２によって充電される。これはｄＶｇ／ｄｔ＝Ｉ／Ｃｇの関係において、充電電流Ｉが電流Ｉｘ２だけ増加することによってゲート電圧Ｖｇの時間変化率が大きくなることを意味する。その結果、ゲート電圧Ｖｇは、図２に実線で示すように破線で示したＶｇ’よりも素早く立ち上がることになる。

【００４６】

その結果、出力トランジスタ１２のゲートソース間電圧Ｖｇｓは、ソース電圧である入力電圧Ｖｉｎが変動した場合でも適切な値に調節され、出力電圧Ｖｏｕｔは実線で示すようにオーバーシュートが抑制されて、安定化することができる。

【００４７】

このように、本実施形態にかかるレギュレータ回路１００では、電流帰還回路２０によって入力電圧Ｖｉｎが変動する期間に過渡的に流れる電流Ｉｘ１を検出し、その電流を増幅して出力トランジスタ１２のゲート端子に供給することによりゲート電圧Ｖｇを強制的に上昇させてオーバーシュートを防止することができる。

【００４８】

また、このオーバーシュート抑制機能によって、通常、出力端子１０４と接地端子間に設けられるキャパシタ（図示せず）の容量値を小さくすることができる。

【００４９】

さらに、電流Ｉｘ１、Ｉｘ２は、上述のように入力電圧Ｖｉｎの時間微分に比例するため、入力電圧Ｖｉｎが時間的に変動した期間にのみ流れる。従って、本実施形態に係るレギュレータ回路１００は、安定状態にあるときの消費電流を増やすことなく、出力電圧Ｖｏｕｔのオーバーシュートを抑制することができる。

【００５０】

このように、本実施の形態に係るレギュレータ回路１００は、変動検出キャパシタＣ１および電流帰還回路２０によって、入力電圧Ｖｉｎの変動時に、出力トランジスタ１２のゲート電圧Ｖｇを強制的に変化させ、オーバーシュートを抑制する。クランプ回路３０は、上述のように、出力トランジスタ１２のゲートソース間電圧Ｖｇｓの上限値、あるいは下限値、もしくはその両方を設定するものである。以下、ゲートソース間電圧Ｖｇｓの下

限値を設定する場合、上限値を設定する場合それぞれについて、第１、第２の実施の形態にもとづいて、順に説明する。
【００５１】
（第１の実施の形態）
第１の実施の形態では、図１のクランプ回路３０によって、出力トランジスタ１２のゲートソース間電圧Ｖｇｓの下限値を設定する場合について説明する。はじめにその動作について説明し、次いでその具体的な構成例について説明する。
【００５２】
上述のように、電流帰還回路２０により出力トランジスタ１２のゲートに供給される電流は、入力電圧Ｖｉｎの時間変化率に比例する。したがって、入力電圧Ｖｉｎがきわめて速い速度で変動すると、過剰な電流が出力トランジスタ１２のゲートに供給されることになる。その結果、出力トランジスタ１２のゲートソース間電圧が小さくなり過ぎ、ひいては、ドレインソース間電圧Ｖｄｓが大きくなり過ぎて、アンダーシュートが発生する場合があった。本実施の形態において、図１のクランプ回路３０は、以下のように、このアンダーシュートを抑制する機能を果たす。
【００５３】
図３は、出力トランジスタ１２のゲートソース間電圧Ｖｇｓの下限値を設定した場合の、図１のレギュレータ回路１００の動作波形図である。はじめに、クランプ回路３０の効果をより明確とするため、クランプ回路３０を設けない場合の動作について説明する。図３に破線で示されるゲート電圧Ｖｇ’および出力電圧Ｖｏｕｔ’がこのときの電圧波形を示している。
【００５４】
時刻ｔ０～ｔ１においては、入力電圧Ｖｉｎは一定値をとっており、回路は安定状態であって、出力電圧はＶｏｕｔ＝（Ｒ１＋Ｒ２）／Ｒ２×Ｖｒｅｆとなるようにレギュレートされている。時刻ｔ１に、入力電圧Ｖｉｎが急激に上昇する場合を考える。このときの入力電圧Ｖｉｎの変動速度は、図２の場合よりも速いものとする。
【００５５】
このとき、変動検出キャパシタＣ１には、入力電圧Ｖｉｎの時間変化率ｄＶｉｎ／ｄｔに比例した電流Ｉｘ１が流れる。その結果、出力トランジスタ１２のゲートに供給される電流Ｉｘ２は、図２の場合に比べて非常に大きくなる。出力トランジスタ１２のゲート容量に、過剰な電流が供給されると、ゲート電圧Ｖｇは、所望の出力電圧を与える安定すべき電圧Ｖｇｒを超えて上昇する。その結果、出力トランジスタ１２のゲートソース間電圧Ｖｇｓが非常に小さくなり、出力トランジスタ１２のドレインソース間電圧Ｖｄｓが大きくなるため、出力電圧Ｖｏｕｔ’が、破線で示すようにアンダーシュートする。
【００５６】
次に、本発明の実施形態にかかるレギュレータ回路１００について、クランプ回路３０を設けて、出力トランジスタ１２のゲートソース間電圧Ｖｇｓの下限値（以下、クランプ電圧Ｖｃｌｍｐという）を設定した場合の動作について、図３に、実線で示される電圧波形Ｖｇ、Ｖｏｕｔをもとに説明する。
【００５７】
時刻ｔ１に、入力電圧Ｖｉｎが急激に上昇し、その時間変化率に比例した電流Ｉｘ２が、出力トランジスタ１２のゲートに供給され、ゲート電圧Ｖｇが急速に上昇する。時刻ｔ１に、ゲートソース間電圧Ｖｇが、クランプ電圧Ｖｃｌｍｐまで小さくなると、クランプ回路３０によってゲート電圧Ｖｇがクランプされる。このとき、出力トランジスタ１２は完全にオフせず、したがって、ドレインソース間電圧Ｖｄｓが必要以上に大きくなならないため、出力電圧Ｖｏｕｔのアンダーシュートを抑制することができる。
【００５８】
次に、クランプ回路３０の構成例について説明する。図４は、本実施の形態に係るレギュレータ回路１００ａの構成例を示す回路図である。本実施の形態に係るレギュレータ回路１００ａのクランプ回路３０ａは、第１ダイオードＤ１を含む。第１ダイオードＤ１は

、電流帰還回路２０から出力トランジスタ１２のゲートへの電流供給経路上に、カソードが出力トランジスタ１２のゲート側に、アノードが電流帰還回路２０側となるように配置される。この第１ダイオードＤ１は、ＰＮ接合を有するダイオード素子、ベースコレクタ間を接続したバイポーラトランジスタ、あるいはＭＯＳＦＥＴのボディダイオードなどを利用して形成してもよい。

【００５９】

本実施の形態に係るレギュレータ回路１００ａのクランプ回路３０ａは、出力トランジスタ１２のゲートと、入力端子１０２の電圧差、すなわち、出力トランジスタ１２のゲートソース間電圧Ｖｇｓが、第１ダイオードＤ１の順方向電圧Ｖｆ（　０．７Ｖ）以上となるようにクランプすることができる。より厳密には、本実施の形態に係るレギュレータ回路１００ａでは、出力トランジスタ１２のゲートソース間電圧Ｖｇｓは、ダイオードの順方向電圧Ｖｆと、第２トランジスタＭ２のドレインソース間電圧Ｖｄｓの和電圧以上となるようにクランプされる。

【００６０】

なお、クランプ回路３０ａは、第１ダイオードＤ１を抵抗に置換して構成しても良い。この場合、この抵抗には、電流Ｉｘ２に、抵抗値を乗じた電圧降下をクランプ電圧Ｖｃｌｍｐに設定することができる。この場合、抵抗値の選択によって、クランプ電圧Ｖｃｌｍｐを調節することができる。また、クランプ回路３０ａは、ダイオードと抵抗を直列に接続して構成してもよい。

【００６１】

このクランプ回路３０ａは、変動検出キャパシタＣ１に電流Ｉｘ１が流れる期間、アクティブとなって動作するように構成されている。すなわち、変動検出キャパシタＣ１に電流Ｉｘ１が流れない期間は、第１トランジスタＭ１、第２トランジスタＭ２はオフとなるため、電流Ｉｘ２も流れず、クランプ回路３０ａは無視できる。入力電圧Ｖｉｎが変動し、電流Ｉｘ１、Ｉｘ２が流れると、第１ダイオードＤ１のアノードカソード間に電位差が発生し、クランプ回路３０は出力トランジスタ１２のゲート電圧Ｖｇをクランプする。

【００６２】

このように、クランプ回路３０ａを入力電圧Ｖｉｎの変動時のみ動作させることにより、定常状態においては、出力トランジスタ１２のゲートソース間電圧Ｖｇｓはクランプされないため、出力トランジスタ１２のオン抵抗を、クランプ回路３０ａによって制約を受けることなく自由に制御し、出力電圧Ｖｏｕｔを所望の電圧に安定化することができる。

【００６３】

さらに、出力トランジスタ１２のゲートソースしきい値電圧Ｖｔｈは、プロセスにも依存するが、典型的には１Ｖ～２Ｖの範囲である。一方、本実施の形態に係るレギュレータ回路１００ａにおいて、クランプ電圧Ｖｃｌｍｐ　０．７Ｖである。このように、クランプ電圧Ｖｃｌｍｐを、出力トランジスタ１２のしきい値電圧Ｖｔｈより小さく設定することにより、変動検出キャパシタＣ１および電流帰還回路２０によるオーバーシュート抑制機能と、クランプ回路３０によるアンダーシュート抑制機能をバランス良く実現することができる。

【００６４】

（第２の実施の形態）

第２の実施の形態では、クランプ回路３０によって、出力トランジスタ１２のゲートソース間電圧Ｖｇｓの上限値を設定する場合について説明する。はじめにその動作について説明し、次いでその具体的な構成例について説明する。

【００６５】

本実施の形態において、クランプ回路３０は、出力トランジスタ１２のゲート電圧Ｖｇを、クランプ電圧Ｖｃｌｍｐ以上となるようにクランプする。

【００６６】

図５は、第２の実施の形態に係るレギュレータ回路１００の動作波形図である。はじめに、クランプ回路３０の効果をより明確とするため、クランプ回路３０を機能させない場

合の動作について説明する。図５に破線で示されるゲート電圧Ｖｇ’および出力電圧Ｖｏｕｔ’がこのときの電圧波形を示している。

【００６７】

時刻ｔ０～ｔ１の期間、入力電圧Ｖｉｎが、出力電圧Ｖｏｕｔの目標電圧（たとえば５Ｖ）より低い電圧（たとえば４．７Ｖ）まで低下しているものとする。このとき、出力トランジスタ１２は、フルオンしており、出力電圧Ｖｏｕｔは、入力電圧Ｖｉｎよりわずかに低い電圧に安定化される。このときの出力トランジスタ１２のゲート電圧Ｖｇ’は、出力トランジスタ１２をフルオンするために、０Ｖ付近まで低下している。

【００６８】

この状態で、時刻ｔ１に入力電圧Ｖｉｎが急激に上昇する。入力電圧Ｖｉｎの変動によって、その時間変化率に比例した電流Ｉｘ２が、出力トランジスタ１２のゲートに供給され、ゲート電圧Ｖｇ’が上昇し始める。しかしながら、ゲート電圧Ｖｇ’が０Ｖ付近まで低下しているため、出力トランジスタ１２のドレインソース間電圧Ｖｄｓが０Ｖに近いフルオンした状態で入力電圧Ｖｉｎが上昇することになる。その結果、出力電圧Ｖｏｕｔは、入力電圧Ｖｉｎの上昇にともない、目標電圧を超える電圧まで上昇してしまう。かかる状況においては、クランプ回路３０を機能させないと、オーバーシュートが発生する場合があった。

【００６９】

次に、本発明の実施形態にかかるレギュレータ回路１００について、クランプ回路３０を機能させた場合の動作について、図５に、実線で示される電圧波形Ｖｇ、Ｖｏｕｔをもとに説明する。

【００７０】

時刻ｔ０～ｔ１の入力電圧低下状態において、出力トランジスタ１２のゲート電圧Ｖｇは、クランプ回路３０によってクランプ電圧Ｖｃｌｍｐ以上となるようにクランプされる。ゲート電圧Ｖｇの下限値が設定されることは、出力トランジスタ１２のゲートソース間電圧Ｖｇｓに上限値が設定されることと等価である。ゲートソース間電圧Ｖｇｓに上限値が設定されると、出力トランジスタ１２はフルオンしなくなるため、時刻ｔ０～ｔ１の間の出力電圧Ｖｏｕｔは、破線の出力電圧Ｖｏｕｔ’よりも低くなる。

【００７１】

時刻ｔ１に、入力電圧Ｖｉｎが上昇すると、電流Ｉｘ２によって出力トランジスタ１２のゲート容量が充電され、ゲート電圧Ｖｇが上昇する。このときの出力トランジスタ１２のゲートソース間電圧Ｖｇｓは、クランプ回路３０を機能させない場合のゲートソース間電圧Ｖｇｓに比べて、概ねクランプ電圧Ｖｃｌｍｐ分だけ小さくなる。その結果、出力トランジスタ１２はフルオンせず、ドレインソース間電圧Ｖｄｓをある程度以上の値に保ちつつ、入力電圧Ｖｉｎが上昇ことになる。その結果、出力電圧Ｖｏｕｔが、入力電圧Ｖｉｎに追従して上昇するのを防止し、オーバーシュートを抑制することができる。

【００７２】

図６は、第２の実施の形態に係るレギュレータ回路１００ｂの構成例を示す回路図である。このレギュレータ回路１００ｂのクランプ回路３０ｂは、出力電圧Ｖｏｕｔより差分電圧ΔＶだけ低い電圧を、クランプ電圧Ｖｃｌｍｐに設定し、出力トランジスタ１２のゲート電圧Ｖｇを、クランプ電圧Ｖｃｌｍｐ以上となるようにクランプする。本実施の形態において、差分電圧ΔＶは、出力トランジスタ１２に流れる出力電流Ｉｏｕｔに応じて大きくなる電圧である。差分電圧ΔＶは、出力トランジスタ１２に流れる出力電流Ｉｏｕｔに比例して大きくなる成分ΔＶ１と、所定の固定電圧ΔＶ２の和となるように設定してもよい。

【００７３】

クランプ回路３０ｂは、電流検出回路３２、クランプ基準電圧生成回路３４、クランプ実行回路３６を含む。電流検出回路３２は、出力トランジスタ１２に流れる出力電流Ｉｏｕｔに応じた検出電流Ｉｄｅｔを生成する。クランプ基準電圧生成回路３４は、出力電圧Ｖｏｕｔよりも、検出電流Ｉｄｅｔに比例した電圧ΔＶ１だけ低いクランプ基準電圧Ｖｃ

ｌｍｐｒｅｆを生成する。Ｖｃｌｍｐｒｅｆ＝Ｖｏｕｔ－ΔＶ１が成り立つ。

【００７４】

クランプ実行回路３６は、クランプ基準電圧生成回路３４により生成されるクランプ基準電圧Ｖｃｌｍｐｒｅｆよりも、さらに所定の電圧ΔＶ２だけ低い電圧を、クランプ電圧Ｖｃｌｍｐに設定し、出力トランジスタ１２のゲート電圧Ｖｇをクランプする。

【００７５】

図７は、図６のレギュレータ回路１００ｂのより詳細な回路図である。図７において、変動検出キャパシタＣ１および電流帰還回路２０は省略している。

【００７６】

電流検出回路３２は、トランジスタＭ３、Ｍ４、Ｍ５を含む。トランジスタＭ３は、出力トランジスタ１２とゲート、ソースが共通に接続されたＰチャンネルＭＯＳＦＥＴである。出力トランジスタ１２およびトランジスタＭ３のサイズ比は、たとえば１０００：１程度に設定する。トランジスタＭ３には、出力トランジスタ１２に流れる出力電流Ｉｏｕｔに比例した電流Ｉｏｕｔ’が流れる。トランジスタＭ４は、ＮチャンネルＭＯＳＦＥＴであって、電流Ｉｏｕｔ’の経路上に設けられる。トランジスタＭ５は、トランジスタＭ４とともにカレントミラー回路を構成しており、電流Ｉｏｕｔ’を定数倍した検出電流Ｉｄｅｔを生成する。

【００７７】

本実施の形態において、クランプ基準電圧生成回路３４は抵抗Ｒ４を含んで構成される。この抵抗Ｒ４は、一端が出力端子１０４に接続され、電流検出回路３２により生成される検出電流Ｉｄｅｔの経路上に設けられる。この抵抗Ｒ４には、検出電流Ｉｄｅｔに、抵抗値Ｒ４を乗じた電圧降下ΔＶ１が発生する。すなわち、抵抗Ｒ４の他端の電圧には、出力電圧Ｖｏｕｔより検出電流Ｉｄｅｔに比例した電圧ΔＶ１だけ低いクランプ基準電圧Ｖｃｌｍｐｒｅｆ（＝Ｖｏｕｔ－ΔＶ１＝Ｖｏｕｔ－Ｉｄｅｔ×Ｒ４）が現れる。

【００７８】

クランプ実行回路３６には、クランプ基準電圧Ｖｃｌｍｐｒｅｆおよび出力電圧Ｖｏｕｔが入力される。図７のクランプ実行回路３６は、トランジスタＭ６、Ｍ７、第２ダイオードＤ２を含む。トランジスタＭ６は、ＮチャンネルＭＯＳＦＥＴであって、ゲートにクランプ基準電圧Ｖｃｌｍｐｒｅｆが印加される。第２ダイオードＤ２は、アノードがトランジスタＭ６のソースに接続され、カソードが出力トランジスタ１２のゲートに接続される。また、トランジスタＭ６のドレインには、ドレインソースが接続されたＰチャンネルＭＯＳＦＥＴであるトランジスタＭ７が接続される。トランジスタＭ７のソースは、出力端子１０４と接続され、出力電圧Ｖｏｕｔが印加される。トランジスタＭ７は、出力トランジスタ１２とペアリングして構成することが望ましい。

【００７９】

第２ダイオードＤ２は、クランプ基準電圧生成回路３４の出力端子から、出力トランジスタ１２のゲートに至る経路上に、カソード端子が出力トランジスタ１２のゲート側となるように設けられる。

【００８０】

このように構成したクランプ実行回路３６は、クランプ基準電圧Ｖｃｌｍｐｒｅｆよりも、電圧ΔＶ２だけ低い電圧をクランプ電圧Ｖｃｌｍｐに設定する。ここで電圧ΔＶ２は、トランジスタＭ６のゲートソースしきい値電圧Ｖｔｈと、第２ダイオードＤ２の順方向電圧Ｖｆの和となる。また、トランジスタＭ７は、出力トランジスタ１２とペアリングして形成されるため、２つのトランジスタのゲートソースしきい値電圧Ｖｔｈはほぼ等しくなる。したがって、トランジスタＭ６のゲートソースしきい値電圧Ｖｔｈがばらついた場合においても、電圧ΔＶ２は、トランジスタＭ７のゲートソースしきい値電圧Ｖｔｈと、第２ダイオードＤ２の順方向電圧Ｖｆの和に設定される。

【００８１】

以上のように構成されたレギュレータ回路１００ｂによれば、出力電圧Ｖｏｕｔが低下するに従って、クランプ電圧Ｖｃｌｍｐを低下させることができる。その結果、入力電圧

Ｖｉｎが出力電圧Ｖｏｕｔの目標値を下回るような場合、入力電圧Ｖｉｎに応じてクランプ電圧Ｖｃｌｍｐを設定することができ、幅広い入力電圧Ｖｉｎの範囲において、より好適にオーバーシュートを抑制することができる。

【００８２】

図８は、本実施の形態に係るレギュレータ回路１００ｂの、出力電流Ｉｏｕｔと、クランプ電圧ＶｃｌｍｐならびにクランプＶｃｌｍｐｒｅｆの関係を示す。上述のようにクランプ基準電圧Ｖｃｌｍｐｒｅｆは、出力電圧Ｖｏｕｔから、差分電圧ΔＶ１だけ低い値に設定される。ここで、ΔＶ１＝Ｉｄｅｔ×Ｒ４であるから、出力電流Ｉｏｕｔが増加するにしたがい、クランプ基準電圧Ｖｃｌｍｐｒｅｆは低下する。

【００８３】

クランプ電圧Ｖｃｌｍｐは、クランプ基準電圧Ｖｃｌｍｐｒｅｆよりも、差分電圧ΔＶ２だけ低い電圧に設定される。ここで、差分電圧ΔＶ２は、ΔＶ２＝Ｖｔｈ＋Ｖｆである。本実施の形態に係るレギュレータ回路１００ｂでは、負荷に流れる出力電流Ｉｏｕｔが大きくなるに従って、クランプ電圧Ｖｃｌｍｐが低く設定される。

【００８４】

あるドレインソース間電圧Ｖｄｓを得るために必要なゲートソース間電圧Ｖｇｓは、出力電流Ｉｏｕｔが大きいほど大きくなる。本実施の形態に係るレギュレータ回路１００によれば、軽負荷時には、ゲート電圧Ｖｇの下限値を高く（すなわちゲートソース間電圧Ｖｇｓの上限値を低く）設定し、重負荷となるに従って、ゲート電圧Ｖｇの下限値を低く（すなわちゲートソース間電圧Ｖｇｓの上限値を高く）設定することができる。その結果、負荷の状態に応じて、より好適にオーバーシュートを抑制することができる。

【００８５】

図９は、本実施の形態に係るレギュレータ回路の電流検出回路３２、クランプ基準電圧生成回路３４の変形例である。図９の電流検出回路３２は、トランジスタＭ３～Ｍ５、抵抗Ｒ５、トランジスタＱ１、Ｑ２、定電流源ＣＣＳ１、ＣＣＳ２、を含む。

【００８６】

トランジスタＭ３は、出力トランジスタ１２とゲートおよびソースが共通に接続されており、カレントミラー回路を構成する。出力トランジスタ１２およびトランジスタＭ３のそれぞれのドレイン間には、抵抗Ｒ５が設けられる。トランジスタＱ１およびＱ２は、サイズの異なるＰＮＰ型のバイポーラトランジスタである。たとえば、トランジスタＱ１とＱ２のサイズ比を、３：２に設定する。トランジスタＱ１、Ｑ２のベースは共通に接続され、トランジスタＱ１のベースとコレクタは接続される。トランジスタＱ１のエミッタは、出力トランジスタ１２のドレインに接続され、トランジスタＱ２のエミッタは、トランジスタＭ３のドレインに接続される。トランジスタＱ１、Ｑ２のコレクタには、それぞれ定電流源ＣＣＳ１、ＣＣＳ２が負荷として接続される。定電流源ＣＣＳ１、ＣＣＳ２は、等しい定電流Ｉｃを生成する。この定電流Ｉｃは、数十ｎＡから数μＡの非常に低い電流値に設定することが望ましい。

【００８７】

このように構成された電流検出回路３２の動作について説明する。はじめに、出力トランジスタ１２に流れる出力電流Ｉｏｕｔが流れないあるいは非常に小さい無負荷状態について説明する。トランジスタＱ１と、Ｑ２には、等しい定電流Ｉｃが流れるが、そのサイズ比が異なっているため、それぞれのエミッタ間、すなわち抵抗Ｒ５の両端には電位差が生ずる。出力電流Ｉｏｕｔが流れないとき、トランジスタＱ２には、定電流源ＣＣＳ２により生成される定電流Ｉｃのみが流れる。その結果、トランジスタＭ４には電流が流れず、検出電流Ｉｄｅｔは０Ａとなる。

【００８８】

レギュレータ回路１００ｂから負荷に出力電流Ｉｏｕｔが流れ始めると、トランジスタＭ３にも、出力電流Ｉｏｕｔに比例した電流Ｉｏｕｔ’が流れる。この電流Ｉｏｕｔ’は、その一部が、抵抗Ｒ５を介して負荷に供給され、その残りがトランジスタＱ２に供給される。トランジスタＱ２の経路に流れる電流をＩｑ２とすると、トランジスタＭ４には、

電流（Ｉｑ２－Ｉｃ）が流れることになる。上述のように定電流Ｉｃの値を非常に小さく設定しておけば、トランジスタＭ４に流れる電流は、出力電流Ｉｏｕｔにほぼ比例した電流とみなすことができる。トランジスタＭ４に流れる電流は、トランジスタＭ５により複製され、抵抗Ｒ４によって電圧変換される。

【００８９】

図９の電流検出回路３２によれば、第３トランジスタＭ３に流れる電流の大部分は負荷に供給され、定電流源ＣＣＳ２およびトランジスタＭ４を介して接地に流れる電流は、非常に小さくなる。その結果、検出電流Ｉｄｅｔを低減することができ、回路の消費電流を低減することができる。

【００９０】

図１０は、クランプ実行回路３６の別の変形例を示す回路図である。図１０のクランプ実行回路３６は、図７のクランプ実行回路３６に加えて、さらにトランジスタＭ８、Ｍ９を備える。トランジスタＭ８、Ｍ９は、いずれも、ゲートドレインを接続したＰチャンネルＭＯＳＦＥＴであり、第２ダイオードＤ２のアノードと出力端子１０４との間に、直列に接続される。すなわち、トランジスタＭ８のドレインは、第２ダイオードＤ２のアノードに接続され、そのソースは、トランジスタＭ９のドレインに接続される。トランジスタＭ９のソースは、出力端子１０４と接続され、出力電圧Ｖｏｕｔが印加される。

【００９１】

図１１は、図１０のクランプ実行回路３６における、出力電流Ｉｏｕｔと、クランプ電圧Ｖｃｌｍｐの関係を示す図である。図８と同様に、クランプ基準電圧Ｖｃｌｍｐｒｅｆは、出力電流Ｉｏｕｔの増加にともない、低下していく。クランプ電圧Ｖｃｌｍｐは、クランプ基準電圧Ｖｃｌｍｐｒｅｆよりも、差分電圧ΔＶ２低い電圧に設定されるため、出力電流Ｉｏｕｔの増加にともない、一定の傾きで低下する。出力電流Ｉｏｕｔが、所定レベル（図１１のＩｚ）まで増加すると、トランジスタＭ８、Ｍ９および第２ダイオードＤ２によってゲート電圧Ｖｇがクランプされる。その結果、クランプ電圧Ｖｃｌｍｐは、最低クランプ電圧Ｖｃｌｍｐｍｉｎ以下にはならない。この最低クランプ電圧Ｖｃｌｍｐｍｉｎは、出力電圧Ｖｏｕｔから、トランジスタＭ８、Ｍ９のゲートソースしきい値電圧Ｖｔｈおよび第２ダイオードＤ２の順方向電圧Ｖｆだけ低下した電圧Ｖｏｕｔ－（Ｖｔｈ×２＋Ｖｆ）に設定される。

【００９２】

このように、図１０のクランプ実行回路３６を用いることにより、クランプ電圧Ｖｃｌｍｐに、出力電圧Ｖｏｕｔに応じた下限値を設定することができる。

【００９３】

最後に、上述のレギュレータ回路１００の用途について説明する。レギュレータ回路１００は、たとえば、自動車に搭載される。図１２は、レギュレータ回路１００を搭載した自動車３００の電気系統のブロック図である。自動車３００は、バッテリ３１０、レギュレータ回路１００、電装機器３２０を備える。バッテリ３１０は、１３Ｖ程度のバッテリ電圧Ｖｂａｔを出力する。このバッテリ電圧Ｖｂａｔは、リレーを介して出力されるため、時間的に変動が大きい。一方、電装機器３２０は、たとえば、カーステレオやカーナビゲーションシステム、インテリアパネルの照明用ＬＥＤなどであって、時間的に変動しない安定した電源電圧を必要とする負荷である。レギュレータ回路１００は、バッテリ電圧Ｖｂａｔを所定の電圧に降圧して電装機器３２０に出力する。

【００９４】

上述したように、実施形態で説明したレギュレータ回路１００は、入力電圧Ｖｉｎや出力電圧Ｖｏｕｔの急峻な変動に対して、高速に追従し、出力電圧Ｖｏｕｔのアンダーシュート、オーバーシュートを小さく抑えることができる。したがって、自動車に搭載されるバッテリなどのように、電圧が大きく変動するような電源を安定化する用途に好適に用いることができる。

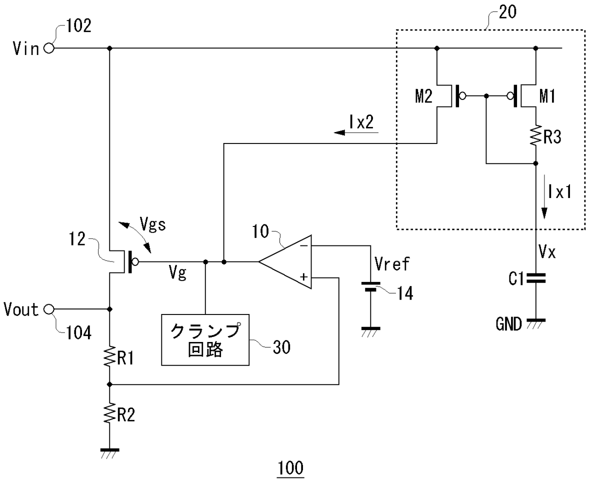
【００９５】

もっとも、実施形態で説明したレギュレータ回路１００は、車載用途に限らず、入力電

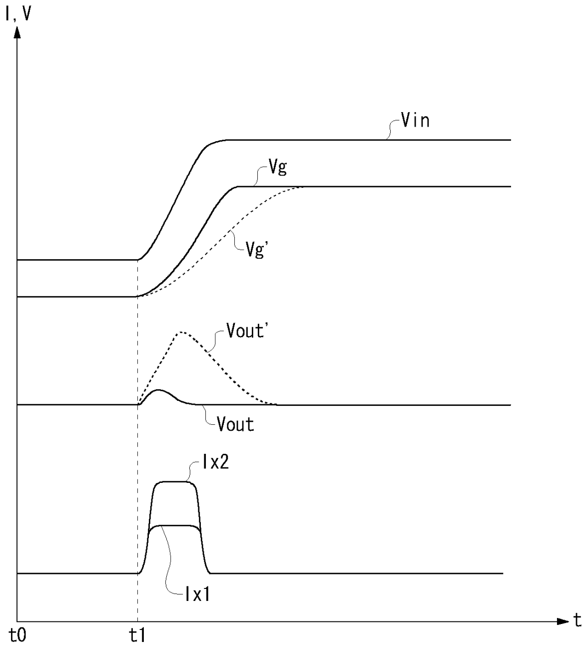
圧を安定化して負荷に供給するさまざまな用途に用いることができる。
【００９６】
上述の実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。
【００９７】
各実施の形態に係るレギュレータ回路１００の各構成要素は、単独で用いた場合には、上述の作用および効果を有するが、任意に組み合わせてもよい。この場合、より好適にアンダーシュートやオーバーシュートを好適に抑圧することができる。たとえば、図１のクランプ回路３０が、図４のクランプ回路３０ａと、図６あるいは図７に示されるクランプ回路３０ｂの両方を含む構成となっていてもよい。
【００９８】
実施の形態において、クランプ回路３０、さらには電流検出回路３２、クランプ基準電圧生成回路３４、クランプ実行回路３６の構成について、好ましい形態について例示したが、本発明はこれらに限定されるものではない。たとえば、クランプ実行回路３６については、ある電圧を基準として対象電圧をクランプする回路を用いることができる。
【００９９】
実施の形態においてＭＯＳＦＥＴとして例示されたトランジスタは、バイポーラトランジスタで構成してもよく、また、バイポーラトランジスタで例示されたトランジスタは、ＭＯＳＦＥＴで構成してもよい。また、天地反転にともなうＰチャンネルとＮチャンネル、ＰＮＰ型とＮＰＮ型の置換や、抵抗の挿入などによる回路の変形例は、当然に本発明の技術的範囲に含まれる。いずれのトランジスタを用いるかは、レギュレータ回路に要求される設計仕様、使用する半導体製造プロセスなどによって決めればよい。
【０１００】
実施の形態において、レギュレータ回路１００を構成する素子はすべて一体集積化されていてもよく、その一部がディスクリート部品で構成されていてもよい。どの部分を集積化するかは、コストや占有面積などによって決めればよい。
【図面の簡単な説明】
【０１０１】
【図１】実施の形態に係るレギュレータ回路の構成を示すブロック図である。
【図２】入力電圧が急激に上昇したときの、図１のレギュレータ回路の動作波形図である。
【図３】第１の実施の形態に係るレギュレータ回路の動作波形図である。
【図４】第１の実施の形態に係るレギュレータ回路の構成例を示す回路図である。
【図５】第２の実施の形態に係るレギュレータ回路の動作波形図である。
【図６】第２の実施の形態に係るレギュレータ回路の構成例を示す回路図である。
【図７】図６のレギュレータ回路のより詳細な回路図である。
【図８】本実施の形態に係るレギュレータ回路の、出力電流と、クランプ電圧ならびにクランプ基準電圧の関係を示す図である。
【図９】レギュレータ回路の電流検出回路、クランプ基準電圧生成回路の変形例を示す回路図である。
【図１０】クランプ実行回路の別の変形例を示す回路図である。
【図１１】図１０のクランプ実行回路における、出力電流と、クランプ電圧ならびにクランプ基準電圧の関係を示す図である。
【図１２】レギュレータ回路を搭載した自動車の電気系統のブロック図である。
【符号の説明】
【０１０２】
１００　レギュレータ回路、　１０２　入力端子、　１０４　出力端子、　１０　誤差増幅器、　１２　出力トランジスタ、　１４　基準電圧源、　Ｒ１　第１抵抗、　Ｒ２　第２抵抗、　Ｒ３　利得調整抵抗、　Ｃ１　変動検出キャパシタ、　Ｄ１　第１ダイオー

ド、　２０　電流帰還回路、　３０　クランプ回路、　３２　電流検出回路、　３４　クランプ基準電圧生成回路、　３６　クランプ実行回路、　Ｄ２　第２ダイオード、　５０　オーバーシュート抑制回路、　Ｍ１　第１トランジスタ、　Ｍ２　第２トランジスタ。

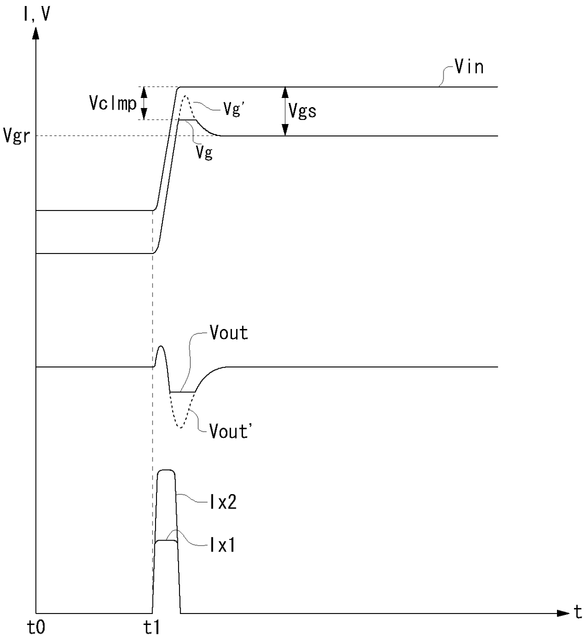
【図１】



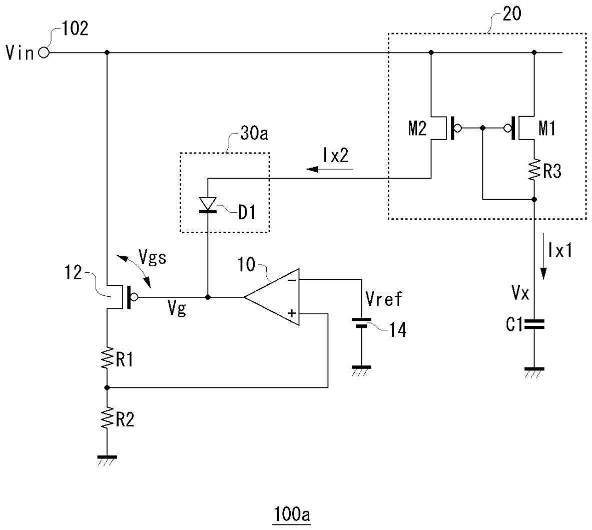
【図２】



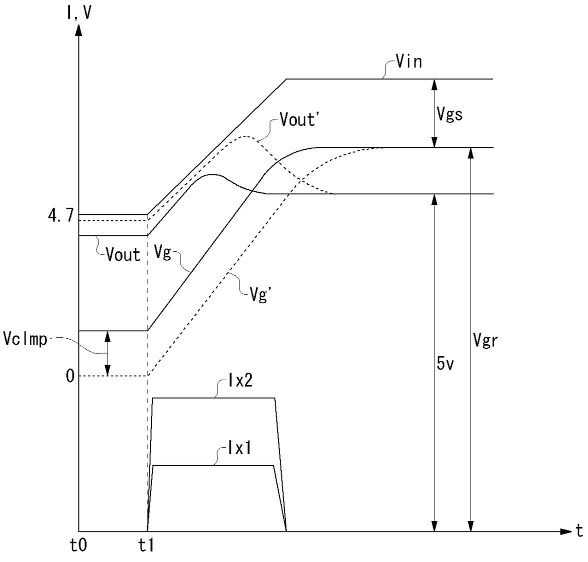
【図３】


I,V
Vin
Vclmp
Vg'
Vgs
Vgr
Vg
Vout
Vout'
Ix2
Ix1
t0
t1
t

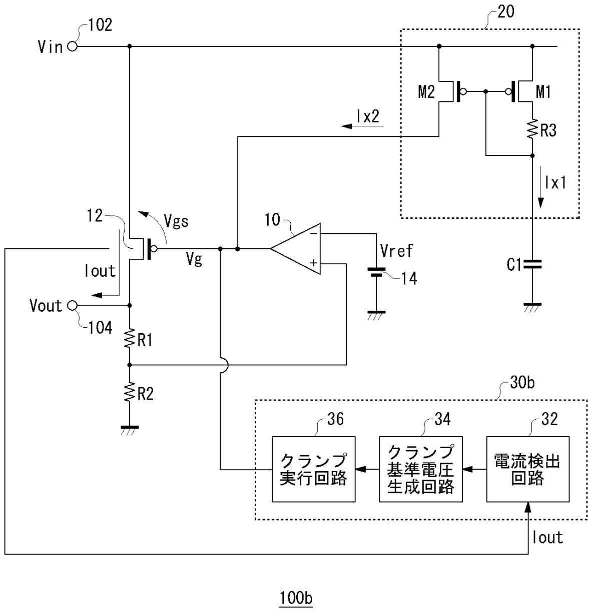
【図４】


20
102
Vin
30a
M2
M1
Ix2
R3
D1
Ix1
Vgs
12
10
Vx
Vg
Vref
C1
14
R1
R2
100a

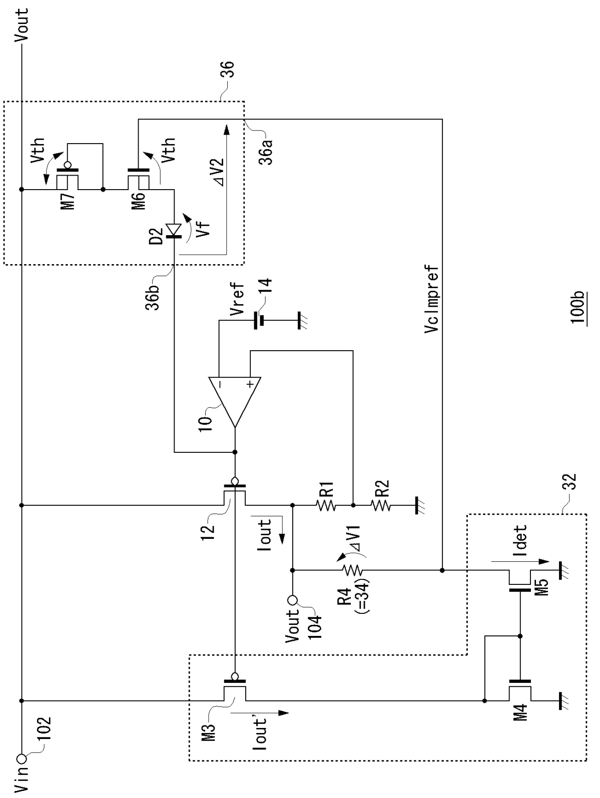
【図５】


I,V
Vin
Vout'
Vgs
4.7
Vout
Vg
Vg'
Vclmp
0
Ix2
Ix1
5v
Vgr
t0
t1
t

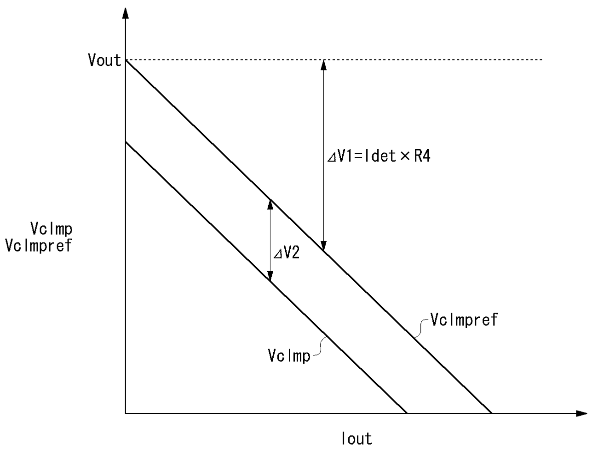
【図６】


20
102
Vin
M2
M1
Ix2
R3
Ix1
12
Vgs
10
Iout
Vg
Vref
C1
14
Vout
104
R1
R2
30b
36
34
32
クランプ
実行回路
クランプ
基準電圧
生成回路
電流検出
回路
Iout
100b

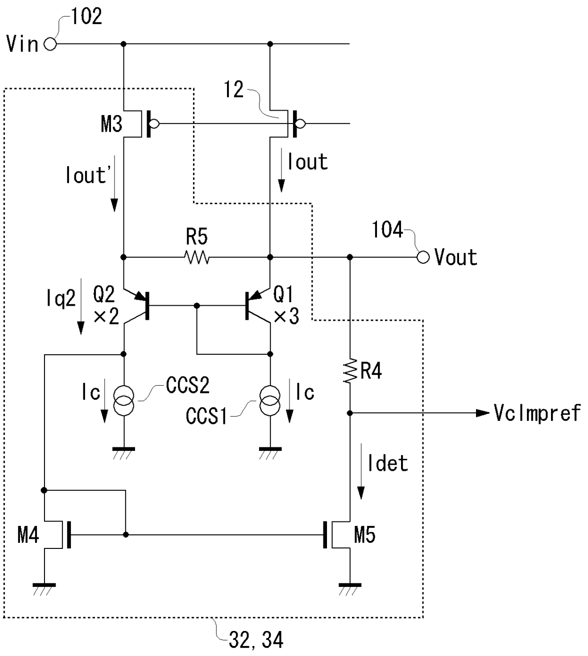
【図７】


Vout
36
36a
Vth
Vth
M7
M6
⊿V2
D2
Vf
36b
Vref
14
Vclmpref
100b
10
R1
R2
32
12
Iout
⊿V1
Idet
M5
Vout
104
R4
(=34)
M3
Iout'
M4
Vin
102

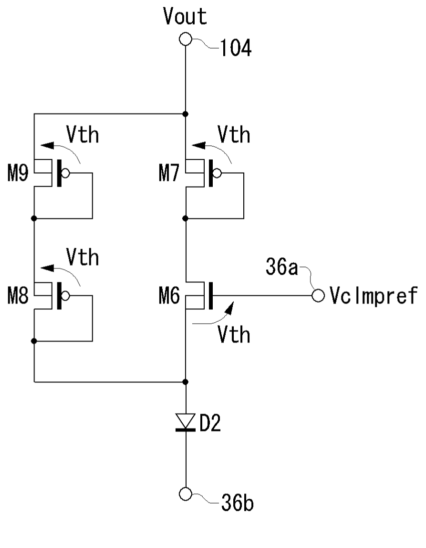
【図８】


Vout
⊿V1=Idet×R4
Vclmp
Vclmpref
⊿V2
Vclmpref
Vclmp
Iout

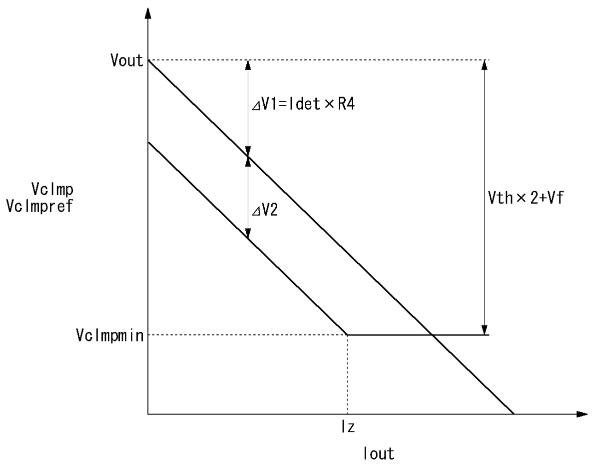
【図９】


102
Vin
12
M3
Iout'
Iout
R5
104
Vout
Iq2
Q2
×2
Q1
×3
Ic
CCS2
CCS1
Ic
R4
Vclmpref
Idet
M4
M5
32,34

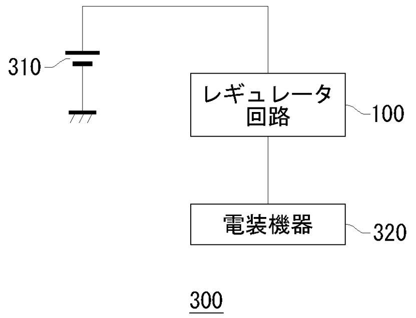
【図１０】


Vout
104
Vth
Vth
M9
M7
Vth
36a
M8
M6
Vclmpref
Vth
D2
36b

【図１１】


Vout
⊿V1=Idet×R4
Vclmp
Vclmpref
⊿V2
Vth×2+Vf
Vclmpmin
Iz
Iout

【図１２】


310
レギュレータ
回路
100
電装機器
320
300

フロントページの続き

(56)参考文献　特開２００２－１８９５２２（ＪＰ，Ａ）
特開昭５３－０６７８４８（ＪＰ，Ａ）
特開２００２－３４３８７４（ＪＰ，Ａ）
特開平０８－１９０４３７（ＪＰ，Ａ）
米国特許出願公開第２００４／０２６３１３７（ＵＳ，Ａ１）
特開２００２－２２２９２９（ＪＰ，Ａ）
特開２００１－３３７７２９（ＪＰ，Ａ）
特開２００３－０４４１５０（ＪＰ，Ａ）
特開２０００－０２２４５６（ＪＰ，Ａ）
特開２００６－０６５８３６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
ＧＯ５Ｆ　　１／４４５，１／５６，１／６１３，１／６１８
Ｂ６０Ｒ　１６／０３