

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4522738号
(P4522738)

(45) 発行日 平成22年8月11日(2010.8.11)

(24) 登録日 平成22年6月4日(2010.6.4)

(51) Int. Cl. F I
H03K 17/22 (2006.01) H03K 17/22 C
H02J 7/10 (2006.01) H02J 7/10 B

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2004-101680 (P2004-101680)	(73) 特許権者	000006633
(22) 出願日	平成16年3月31日 (2004.3.31)		京セラ株式会社
(65) 公開番号	特開2005-286931 (P2005-286931A)		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成17年10月13日 (2005.10.13)	(74) 代理人	100064908
審査請求日	平成19年2月13日 (2007.2.13)		弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100101465
			弁理士 青山 正和
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(72) 発明者	佐藤 辰之
			神奈川県横浜市都筑区加賀原2丁目1番1号 京セラ株式会社 横浜事業所内

最終頁に続く

(54) 【発明の名称】 パワーオンリセット装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

バッテリーのバッテリー電圧を制御する電源制御手段が負荷回路に供給する入力電圧を検出する第1の検出手段と、

前記バッテリー電圧を検出する第2の検出手段と、

前記バッテリーの充電時に前記負荷回路をリセットし、このリセット状態で前記第1の検出手段の検出値が第1の所定値に達し、かつ前記第2の検出手段の検出値が第2の所定値に達したときに前記負荷回路の前記リセットを解除するリセット制御手段と、

前記第1の所定値および前記第2の所定値を変更する変更手段と、を備え、

前記第2の所定値 > 前記第1の所定値となり、

前記リセット制御手段が前記リセットを解除した後に、

前記負荷回路の動作電流により、前記バッテリー電圧の電圧ドロップが生じた場合、

前記変更手段は、

前記第2の所定値を、ヒステリシス特性を持った第2の所定値に変更し、かつ、

前記第1の所定値を、ヒステリシス特性を持った第1の所定値に変更する

ことを特徴とするパワーオンリセット装置。

【請求項2】

前記リセット制御手段は、前記第2の検出手段の検出値が前記第2の所定値に達してから所定時間経過後に前記リセットを解除することを特徴とする請求項1記載のパワーオンリセット装置。

【請求項 3】

バッテリーのバッテリー電圧を制御して負荷回路に供給する電源制御手段と、
前記電源制御手段から前記負荷回路に供給される入力電圧を検出する第1の検出手段と

、
前記バッテリー電圧を検出する第2の検出手段と、

前記バッテリーの充電時に前記負荷回路をリセットし、このリセット状態で前記第1の検出手段の検出値が第1の所定値に達し、かつ前記第2の検出手段の検出値が第2の所定値に達したときに前記負荷回路のリセットを解除するリセット制御手段と、

前記第1の所定値および前記第2の所定値を変更する変更手段と、を備え、

前記第2の所定値 > 前記第1の所定値となり、

前記リセット制御手段が前記リセットを解除した後に、

前記負荷回路の動作電流により、前記バッテリー電圧の電圧ドロップが生じた場合、

前記変更手段は、

前記第2の所定値を、ヒステリシス特性を持った第2の所定値に変更し、かつ、

前記第1の所定値を、ヒステリシス特性を持った第1の所定値に変更する

ことを特徴とする電子機器。

【請求項 4】

前記リセット制御手段は、前記第2の検出手段の検出値が前記第2の所定値に達してから所定時間経過後に前記リセットを解除することを特徴とする請求項3記載の電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、携帯端末等のバッテリーを用いる電子機器におけるCPU等の負荷回路のリセット動作を制御するパワーオンリセット装置及びこのパワーオンリセット装置を備えた電子機器に関するものである。

【背景技術】

【0002】

携帯電話機等の携帯端末においては、図6に示すようにバッテリー1の電圧Vbat（例えば4V）を電源スイッチ2を介してDC/DCレギュレータ等からなる電源制御回路3で所定（例えば3V）の入力電圧Vinに変換して端末システムのCPU4に供給すると共に、この入力電圧Vinをパワーオンリセット回路5で監視している。パワーオンリセット回路5はバッテリー1から電源電圧を供給されている。バッテリー1の放電に伴ってバッテリー電圧Vbatが低下し、CPU4への入力電圧Vinと同程度かそれ以下になると、パワーオンリセット回路5はリセット信号RESET/を出力してCPU4をリセット状態となす。ここで、リセット状態とは、CPU4がクロックの供給も停止されて全く動作しようとしないう状態をいう。尚、リセット状態に対してスリープ状態があるが、スリープ状態は、バッテリー電圧Vbatが正常でCPU4に所定の入力電圧Vinが供給され、クロックも供給されているが動作を一時停止して、実行命令があればいつでも動作可能な状態をいう。

【0003】

次にバッテリー電圧Vbatが放電に伴って低下し、システムのCPU4への入力電圧Vinと同程度かそれ以下になると、バッテリー1はACバッテリーチャージャにより充電される。このとき最初は少ない定電流値のプリチャージモードで充電を開始する。図7において、リセット信号RESET/は充電開始時から“Low”レベルのリセット状態になっている。充電に伴いバッテリー電圧Vbat及び入力電圧Vinが徐々に高くなり、Vinが所定のリセット基準電圧Vreset+に達すると、パワーオンリセット回路5は、所定の遅延時間td1の経過後にリセット信号RESET/を“High”レベルにしてリセット状態を解除し、CPU4は初期動作を開始する。この時、従来システムでは、初期動作電流が特に大きくなることはなく、従って、この電流による電圧ドロップも小さく、Vinがリセット基準電圧Vreset-より低くなることはない。尚、リセット基準電圧Vreset+はヒステリシス特性をもっていて、リセット以降Vreset+はVreset-に変更さ

10

20

30

40

50

れる。

尚、リセット回路に関する従来技術として下記の特許文献に示すものがある。

【特許文献1】特開平7-244916号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

近年の携帯端末は高機能化によりシステムの動作電流が大きくなっており、このためバッテリーの等価直列抵抗が大きくなり、この等価直列抵抗値による電圧ドロップも大きくなっている。このため図7において上記リセット解除後、バッテリー電圧Vbat及び入力電圧Vinが一旦下降し、Vinが上記リセット基準値Vreset-より低下すると、リセット信号RESET/が再び“Low”レベルになって再びリセットされてしまうことがある。

10

【0005】

図7において、再びリセットされた状態で充電が再開され、Vbat、Vinは上昇する。Vinが再びリセット基準値Vreset+に達した後、時間td2が経過するとリセット信号RESET/が再び“High”レベルになってリセットが解除され電流が流れるが、このときVinがVreset-より低下してまたリセットされてしまう。その後Vinは上昇し、Vreset+に達し遅延時間が経過するとリセットが解除され、CPU4が動作する。この結果、図示のようにリセット状態からリセット解除、CPU動作、リセット状態、リセット解除の動作が繰り返し行われることになり、端末システムが正常に立ち上がらなくなるという問題があった。

従って、本発明は上記の問題を解決し、バッテリーを充電する際のCPU等の負荷回路のリセット解除を確実にを行い、システムの初期動作が確実に行われるようにすることを課題とする。

20

【課題を解決するための手段】

【0006】

本発明に係るパワーオンリセット装置は、バッテリーのバッテリー電圧を制御する電源制御手段が負荷回路に供給する入力電圧を検出する第1の検出手段と、前記バッテリー電圧を検出する第2の検出手段と、前記バッテリーの充電時に前記負荷回路をリセットし、このリセット状態で前記第1の検出手段の検出値が第1の所定値に達し、かつ前記第2の検出手段の検出値が第2の所定値に達したときに前記負荷回路の前記リセットを解除するリセット制御手段と、前記第1の所定値および前記第2の所定値を変更する変更手段と、を備え、前記第2の所定値 > 前記第1の所定値となり、前記リセット制御手段が前記リセットを解除した後、前記負荷回路の動作電流により、前記バッテリー電圧の電圧ドロップが生じた場合、前記変更手段は、前記第2の所定値を、ヒステリシス特性を持った第2の所定値に変更し、かつ、前記第1の所定値を、ヒステリシス特性を持った第1の所定値に変更することを特徴とする。

30

【0007】

本発明に係る電子機器は、バッテリーのバッテリー電圧を制御して負荷回路に供給する電源制御手段と、前記電源制御手段から前記負荷回路に供給される入力電圧を検出する第1の検出手段と、前記バッテリー電圧を検出する第2の検出手段と、前記バッテリーの充電時に前記負荷回路をリセットし、このリセット状態で前記第1の検出手段の検出値が第1の所定値に達し、かつ前記第2の検出手段の検出値が第2の所定値に達したときに前記負荷回路のリセットを解除するリセット制御手段と、前記第1の所定値および前記第2の所定値を変更する変更手段と、を備え、前記第2の所定値 > 前記第1の所定値となり、前記リセット制御手段が前記リセットを解除した後、前記負荷回路の動作電流により、前記バッテリー電圧の電圧ドロップが生じた場合、前記変更手段は、前記第2の所定値を、ヒステリシス特性を持った第2の所定値に変更し、かつ、前記第1の所定値を、ヒステリシス特性を持った第1の所定値に変更することを特徴とする。

40

【発明の効果】

【0008】

本発明によれば、バッテリーを充電し所定のバッテリー電圧に達したら確実にリセットを解

50

除して負荷回路を動作させ、システムを確実に正常に立ち上げることができる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態を図面と共に説明する。

図1は本発明の実施の形態によるパワーオンリセット装置を含む携帯端末の電源回路の回路構成図である。

図1において、パワーオンリセット装置100はICチップ上に構成され、チップ端子101～106を有する。

バッテリー1の電圧Vbatは電源スイッチ2を介してDC/DCレギュレータ等からなる電源制御回路3に供給され、ここで入力電圧Vin(定電圧で例えば4V)に変換されて負荷回路としてのCPU4に供給される。本装置100のチップ端子104からCPU4に対してリセット信号RESET/が出力され、CPU4のリセット及びリセット解除を制御する。

【0010】

コンパレータCOMP1は、チップ端子101を介して入力される入力電圧Vinを監視する。この電圧Vinは本装置100の電源電圧としても用いられる。定電流電源11と基準電圧源12は、コンパレータCOMP1の基準電圧Vref1を設定する。抵抗R1,R2,R3は、入力電圧Vinを分割してコンパレータCOMP1の負(-)端子に供給する分割抵抗である。

トランジスタQ2は、抵抗R3の接続・切り離しを行ってコンパレータCOMP1のヒステリシス特性を制御する。積分回路13は、リセット信号RESET/の遅延時間を決定するもので、トランジスタQ1、抵抗Rd1、外部コンデンサCdで構成される。インバータGATE1は、積分回路13の積分信号を成形するシュミットトリガ回路からなるインバータである。

このインバータGATE1と積分回路13によりAND回路14が構成され、トランジスタQ3、Q4により出力バッファ回路15が構成される。AND回路14から出力バッファ回路15を介してチップ端子104にリセット信号RESET/が出力される。

【0011】

コンパレータCOMP2は、チップ端子105を介して入力されるバッテリー電圧Vbatを監視する。定電流源16と基準電圧源17は、コンパレータCOMP2の基準電圧Vref2を設定する。抵抗R7,R8は、コンパレータCOMP2の基準電圧Vref2を設定する。抵抗R8はチップ端子105に外部接続されている。抵抗R4,R5,R6は、バッテリー電圧Vbatを分割してコンパレータCOMP2の負(-)端子に供給する分割抵抗である。トランジスタQ5は、抵抗R6の接続・切り離しを行ってコンパレータCOMP2のヒステリシス特性を制御する。トランジスタQ6,Q7は、コンパレータCOMP2の出力を制御し、抵抗Rd1を介してトランジスタQ1に供給する。

【0012】

次に、動作について図1、図2、図3及び図4を参照して説明する。

前述したように、バッテリー電圧Vbatが放電に伴って低下し、システムのCPU4への入力電圧Vinと同程度かそれ以下になり、バッテリー1をACバッテリーチャージャで充電する時、チャージャは最初に少ない定電流値のプリチャージモードで充電を開始する。バッテリー電圧Vbatは徐々に高くなり、リセット解除電圧に達するとCPU4は動作状態に移る。この時、システムの初期動作電流値が上記少ない定電流値より大きい場合は、パワーオンリセットの閾値を超えて再度リセットが発生することになる。本実施の形態は、この現象を回避するものである。

【0013】

バッテリー1の充電時には、バッテリー電圧Vbatから電源制御回路3で生成されたCPU4への入力電圧VinがVbatと共に徐々に上昇していく。このときコンパレータCOMP1の出力は“High”レベルで、トランジスタQ2がオンして抵抗R3は切り離され、トランジスタQ1はオンとなっている。また、インバータGATE1の出力は“High”レベルで、トランジスタQ3がオフ、トランジスタQ4がオンしてリセット信号RESET/が“Low”レベルになり、CPU4はリセット状態となっている。また、コンパレータCOMP2の出力は“High”レベルで、トランジスタQ5がオンして抵抗R6は切り離され、トランジスタQ7がオン、トランジスタQ6がオフとなっている。入力電圧Vinは抵抗R1、R2で分割され、コンパレータCOMP1の負(-)端子に

10

20

30

40

50

は、 $R2/(R1+R2) \cdot V_{in}$ の電圧が入力されている。

バッテリー電圧 V_{bat} は抵抗 $R4, R5$ で分割され、コンパレータCOMP2の負(-)端子には入力電圧 $R5/(R4+R5) \cdot V_{bat}$ の電圧が入力されている。

【0014】

図2において、 V_{in} がリセット基準電圧 V_{reset+} を超えると、コンパレータCOMP1の負(-)端子の電圧が基準電圧 V_{ref1} を超え、コンパレータCOMP1の出力は“Low”レベルになり、トランジスタ $Q1$ がオフする。この時、 V_{bat} を監視するコンパレータCOMP2の基準電圧 V_{ref2} は、入力電圧 V_{in} の定電圧(例えば3V)を生成するのに必要な最小入力電圧よりも高めに設定されている。そのため、上記の時点では、コンパレータCOMP2の出力はまだ“High”レベルであり、リセット信号 $RESET/$ の遅延時間を決める積分回路13には電圧が供給

10

【0015】

その後 V_{in} と共にバッテリー電圧 V_{bat} が徐々に上昇していき、図2の閾値 V_{bat+} を超えると、コンパレータCOMP2の負(-)端子の電圧が基準電圧 V_{ref2} を超えるので、コンパレータCOMP2の出力は“Low”レベルになり、トランジスタ $Q7$ がオフ、トランジスタ $Q6$ がオンして、積分回路13の積分抵抗 $Rd1$ に電圧が供給される。この電圧は積分時定数 $Rd1 \cdot Cd$ の経過後、インバータGATE1の閾値を超えるので、インバータGATE1の出力は“Low”レベルになり、トランジスタ $Q3$ がオン、トランジスタ $Q4$ がオフする。従って、リセット信号 $RESET/$ が“High”レベルになり、リセットが解除されてCPU4は初期動作を開始する。この時、システムの動作電流が大きくて電圧ドロップが生じてても、リセット解除時の閾値 V_{bat-}

20

【0016】

また、さらに動作電流が多い場合には、外部抵抗 $R8$ を調整することによりコンパレータCOMP2の負(-)端子の入力電圧 V_{bat+} 、 V_{bat-} を調整できるようにしているので、任意のシステムに対応できる。

また、リセットが解除された状態では、トランジスタ $Q2$ 及びトランジスタ $Q5$ はオフであり、抵抗 $R3, R6$ が接続される。このため、各コンパレータCOMP1、COMP2の負(-)端子に入力される分割電圧は、それぞれ $\{(R2+R3)/(R1+R2+R3)\} \cdot V_{in}$ 、 $\{(R6R7)/(R5+R6+R7)\} \cdot V_{bat}$

30

【0017】

図4のテーブル1は、リセット信号 $RESET/$ のヒステリシス電圧値を示し、テーブル2は、バッテリー電圧 V_{bat} を監視するヒステリシス電圧値を示す。入力電圧 V_{in} に対する V_{reset+} 、 V_{reset-} と各コンパレータCOMP1、COMP2の出力及び負(-)端子の入力電圧、各トランジスタ $Q1, Q2, Q5, Q6, Q7$ の状態、リセット信号 $RESET/$ 等の状態の遷移の様子が示されている。

【0018】

図3は図2のリセット解除付近の詳細な拡大図である。

40

図3において、まず、 V_{in} が V_{reset+} を超え、その後 V_{bat} が V_{bat+} を超えてから積分回路13の時定数 $td1$ 経過後にリセット信号 $RESET/$ が“High”レベルになってリセットが解除される。その後、 V_{in} 、 V_{bat} は一旦下降するが、図示のように、

$$V = (V_{bat-}) - (V_{reset+})$$

$$V_{in-} - V = V_{reset-}$$

の関係に選ばれているので、 V_{in} 、 V_{bat} は V_{reset-} より下降することがなく、再びリセットされてしまうことがない。

【0019】

充電が終了し、端末が通常動作するに従ってバッテリー電圧 V_{bat} が徐々に下降してきた場合は、上記の各負(-)端子の電圧がそれぞれの閾値を下回れば、リセット信号 $RESET/$ が

50

“ Low ” レベルになり、CPU 4 はリセット状態になる。

【 0 0 2 0 】

また、バッテリー 1 の残容量が多い場合、即ち、Vbat が十分高い場合に電源が投入されると、図 5 に示すように電源制御回路 3 の出力電圧 Vin がオンになり、コンパレータ COMP1 の負 (-) 端子の分割電圧 $((R2+R3)/(R1+R2+R3)) * Vin$ が Vreset+ を超えた時点でリセット解除される。また、バッテリー 1 の残容量が多い時にパワーオフキーが入力されると電源制御回路 3 の出力電圧 Vin がオフになり、コンパレータ COMP1 の負 (-) 端子電圧 $((R2+R3)/(R1+R2+R3)) * Vin$ が基準電圧電圧 Vref 1 を下回った時点でリセット状態になる。

【 0 0 2 1 】

本実施の形態によれば、リセットシーケンスが繰り返されることなく、システムを正常に立ち上げることができる。また、端末の初期動作に要する電流値によって、バッテリー電圧 Vbat の閾値を任意に設定することができると共に、携帯端末の高機能化による消費電流の増大にも対応可能であり、システム L S I 化にも適した方式を実現することができる。

このため、今後の端末の高機能化により、消費電力が増大する方向にある携帯型の情報通信システム、特に携帯電話システムにおいて、搭載されているバッテリーの容量が空に近い状態まで放電したバッテリーを充電する際、充電中にシステムがリセット解除を確実に実行し、端末システムの初期動作が問題なく動くようにするパワーオンリセット装置を提供することができる。

【 図面の簡単な説明 】

【 0 0 2 2 】

【 図 1 】 本発明の実施の形態によるパワーオンリセット装置の回路構成図である。

【 図 2 】 動作を説明するリセットタイミングチャートである。

【 図 3 】 動作の詳細を説明するリセットタイミングチャートである。

【 図 4 】 リセット信号のヒステリシス電圧値を示すテーブル 1 と、バッテリー電圧を監視するヒステリシス電圧値を示すテーブル 2 を示す構成図である。

【 図 5 】 バッテリー高容量時のリセットタイミングチャートである。

【 図 6 】 従来のパワーオンリセットを行う電源回路を示すブロック図である。

【 図 7 】 従来のパワーオンリセット動作を説明するリセットタイミングチャートである。

【 符号の説明 】

【 0 0 2 3 】

1 ... バッテリー

3 ... 電源制御回路

4 ... CPU

1 3 ... 積分回路

1 4 ... AND 回路

1 5 ... 出力バッファ回路

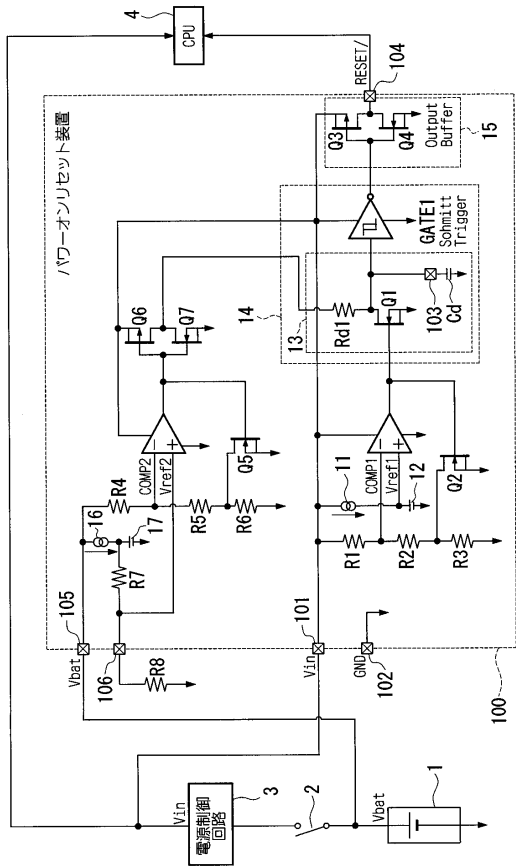
1 0 1 ~ 1 0 6 ... チップ端子

10

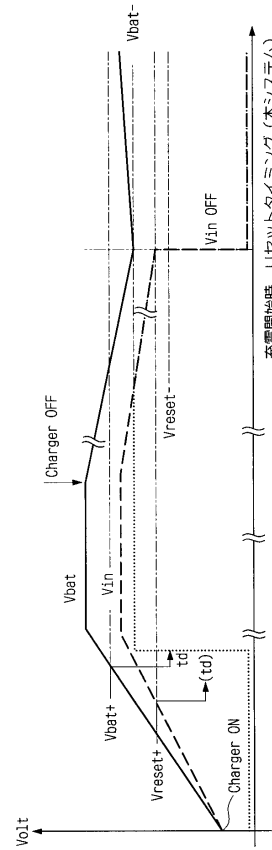
20

30

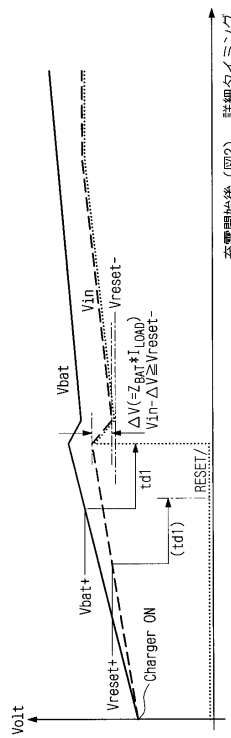
【図1】



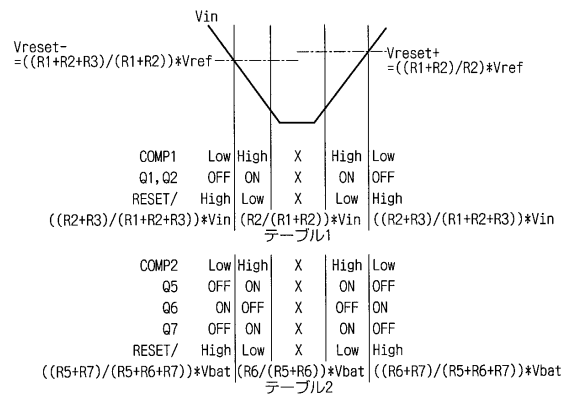
【図2】



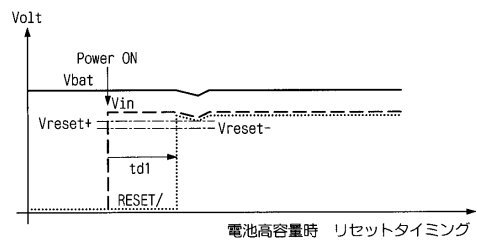
【図3】



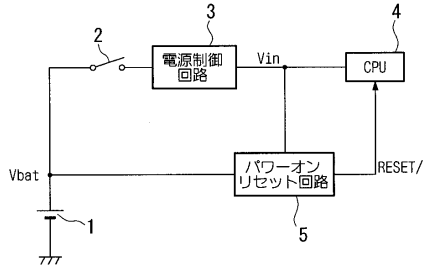
【図4】



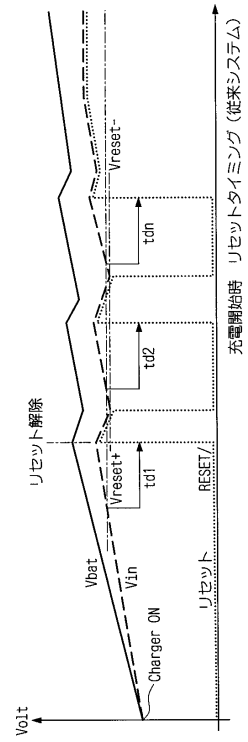
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 長町 和夫

神奈川県横浜市都筑区加賀原2丁目1番1号 京セラ株式会社 横浜事業所内

審査官 栗栖 正和

(56)参考文献 特開2000-347752(JP,A)

特開平07-160666(JP,A)

特開2001-161035(JP,A)

特開平08-106335(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70

H02J 7/00; 7/10