



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월21일
(11) 등록번호 10-2068395
(24) 등록일자 2020년01월14일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/265 (2006.01)
H01L 29/08 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7835 (2013.01)
H01L 21/26586 (2013.01)
(21) 출원번호 10-2017-0039978
(22) 출원일자 2017년03월29일
심사청구일자 2018년08월17일
(65) 공개번호 10-2018-0110703
(43) 공개일자 2018년10월11일
(56) 선행기술조사문헌
KR1020040059386 A*
KR1020090050895 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1
(72) 발명자
장재형
대전광역시 중구 수침로 138, 103동 403호 (태평동, 유등마을아파트)
지희환
대전광역시 서구 둔산남로 15, 109동 1109호 (둔산동, 은하수아파트)
손진영
충청북도 청주시 서원구 신성화로 8, 304동 704호 (성화동, 구룡산휴먼시아)
(74) 대리인
김중선, 이형석

전체 청구항 수 : 총 25 항

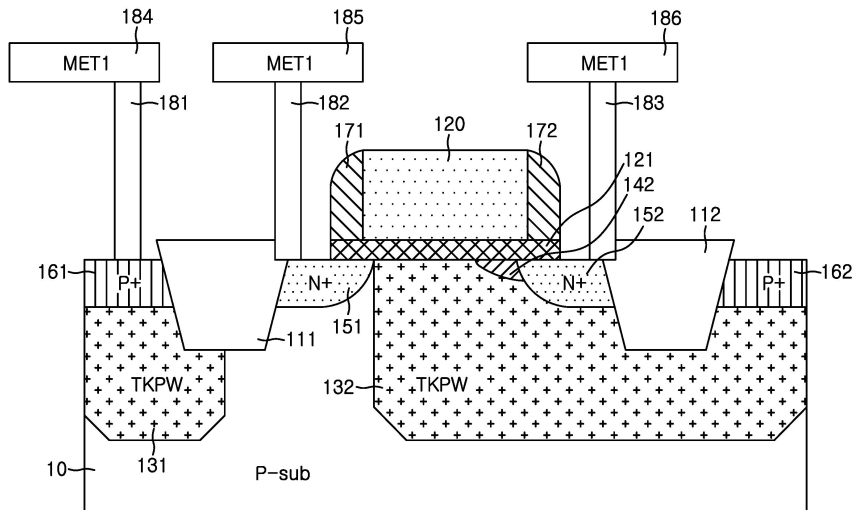
심사관 : 최정민

(54) 발명의 명칭 낮은 소스-드레인 저항을 갖는 반도체 소자 구조 및 그 제조 방법

(57) 요약

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 본 발명의 실시 예에 따른 반도체 소자는, 반도체 기판에 형성된 P형의 제1 웰 영역과 비대칭의 P형의 제2 웰 영역; 상기 기판 상에 형성된 게이트 절연막 및 게이트 전극; 상기 게이트 전극 옆에 각각 형성된 N형의 제1 소스 드레인 영역 및 제2 소스 드레인 영역; 및 상기 제2 소스 드레인 영역으로부터 연장되어 형성되는 N형의 비대칭 LDD 영역;을 포함하고, 상기 비대칭의 P형의 제2 웰 영역은 상기 N형의 제2 소스 드레인 영역 및 비대칭 LDD 영역을 감싸고, 상기 제1 소스 드레인 영역은 상기 비대칭의 P형의 제2 웰 영역과 기판을 동시에 접촉하고, 상기 비대칭의 P형의 제2 웰 영역은 상기 제1 소스 드레인 영역보다 상기 제2 소스 드레인 영역으로 치우쳐 형성된다.

대표도 - 도1a



(52) CPC특허분류

H01L 29/0847 (2013.01)

H01L 29/66659 (2013.01)

명세서

청구범위

청구항 1

반도체 기판에 각각 형성된 P형의 제1 웰 영역과 상기 P형의 제1 웰 영역에 대해 비대칭인 P형의 제2 웰 영역;
 상기 기판 상에 형성된 게이트 절연막 및 게이트 전극;
 상기 게이트 전극의 양측에 형성된 N형의 제1 소스/드레인 영역 및 N형의 제2 소스/드레인 영역; 및
 상기 N형의 제2 소스/드레인 영역으로부터 연장되고 상기 게이트 전극에 대하여 비대칭으로 형성되는 N형의 LDD(lightly doped drain) 영역;을 포함하고,
 상기 P형의 제2 웰 영역은 상기 N형의 제2 소스/드레인 영역 및 상기 N형의 LDD 영역을 감싸고,
 상기 N형의 제1 소스/드레인 영역은 상기 P형의 제2 웰 영역과 접촉하여 형성되고, 상기 P형의 제2 웰 영역에 인접한 상기 기판의 영역과 접하여 형성되는 반도체 소자.

청구항 2

제1항에 있어서,
 상기 N형의 제1 소스/드레인 영역과 떨어져 형성되고, 상기 P형의 제1 웰 영역의 안에 형성되는 P형의 제1 벌크 영역;
 상기 N형의 제2 소스/드레인 영역과 떨어져 형성되고, 상기 P형의 제2 웰 영역의 안에 형성되는 P형의 제2 벌크 영역;
 상기 N형의 제1 소스/드레인 영역과 상기 P형의 제1 벌크 영역 사이에 형성되는 제1 트렌치; 및
 상기 N형의 제2 소스/드레인 영역과 상기 P형의 제2 벌크 영역 사이에 형성되는 제2 트렌치;를 더 포함하는 반도체 소자.

청구항 3

제1항에 있어서,
 상기 제1 소스/드레인 영역과 중첩되어 형성되는 제1 스페이서; 및
 상기 N형의 제2 소스/드레인 영역과 중첩되어 형성되는 제2 스페이서; 를 더 포함하는 반도체 소자.

청구항 4

제2항에 있어서,
 상기 P형의 제2 웰 영역은 상기 제1 트렌치와 떨어져서 형성되는 반도체 소자.

청구항 5

제3항에 있어서,
 상기 P형의 제2 웰 영역의 에지가 상기 제1 스페이서의 아웃터 에지(outer edge)를 넘지 않는 반도체 소자.

청구항 6

제1항에 있어서,

상기 N형의 LDD 영역은 상기 N형의 제1 소스/드레인 영역에는 형성되지 않는 반도체 소자.

청구항 7

제1항에 있어서,

상기 P형의 제2 웰 영역은 상기 N형의 제1 소스/드레인 영역을 부분적으로 감싸는 반도체 소자.

청구항 8

제1항에 있어서,

상기 P형의 제2 웰 영역의 면적과 상기 P형의 제1 웰 영역의 면적이 다른 것을 특징으로 하는 반도체 소자.

청구항 9

기관 상에 게이트 절연막 및 게이트 전극을 형성하는 단계;

상기 기관 및 게이트 전극 상에 포토레지스트를 형성하는 단계;

상기 포토레지스트를 패터닝하여, 상기 게이트 전극의 일부를 노출시키는 비대칭 마스크 패턴을 형성하는 단계;

상기 비대칭 마스크 패턴을 이용하여, 상기 게이트 전극의 노출된 부분을 통과하는 제1 주입을 실시하여, 상기 기관에 비대칭의 P형의 웰 영역을 형성하는 단계;

상기 비대칭 마스크 패턴을 이용하여, 제2 주입을 실시하고 상기 P형의 웰 영역에 비대칭의 N형의 LDD영역을 형성하는 단계; 및

상기 기관에 상기 게이트 전극의 양측에 N형의 제1 소스/드레인 영역 및 N형의 제2 소스/드레인 영역을 형성하는 단계;를 포함하고,

상기 N형의 제2 소스/드레인 영역은 상기 비대칭의 N형의 LDD 영역과 접하여 형성되고,

상기 비대칭의 P형의 웰 영역은 상기 N형의 제2 소스/드레인 영역을 감싸서 형성되고 상기 N형의 제1 소스/드레인 영역은 감싸지 않도록 형성되는 반도체 소자의 제조 방법

청구항 10

제9항에 있어서,

상기 제2 주입은 주입 각도가 상기 기관의 상부 표면에 대해 기울어진 주입인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 11

제9항에 있어서,

상기 N형의 제1 소스/드레인 영역과 증착되는 제1 스페이서를 형성하는 단계; 및

상기 N형의 제2 소스/드레인 영역과 증착되는 제2 스페이서를 형성하는 단계;를 더 포함하고,

상기 비대칭의 P형의 웰 영역의 에지는 상기 제1 스페이서의 아웃터 에지(outer edge)를 넘지 않는 반도체 소자

의 제조 방법.

청구항 12

제9항에 있어서,

상기 비대칭의 N형의 LDD 영역은 상기 N형의 제1 소스/드레인 영역과 접하여 형성되지 않는 반도체 소자의 제조 방법.

청구항 13

제9항에 있어서,

상기 기판에 제1 트렌치 및 제2 트렌치를 형성하는 단계;

상기 제1 트렌치를 사이에 두고, 상기 N형의 제1 소스/드레인 영역과 떨어져 형성되는 P형의 제1 벌크 영역을 형성하는 단계; 및

상기 제2 트렌치를 사이에 두고, 상기 N형의 제2 소스/드레인 영역과 떨어져 형성되는 P형의 제2 벌크 영역을 형성하는 단계;를 더 포함하는 반도체 소자의 제조 방법.

청구항 14

게이트 절연막이 형성된 P형의 반도체 기판;

상기 게이트 절연막 상에 형성된 게이트 전극;

상기 반도체 기판에 형성되고, 상기 게이트 전극의 제1 및 제2 면의 반대편의 상기 게이트 절연막의 각각의 에지에 중첩되는 N형의 제1 및 제2의 소스/드레인 영역;

상기 게이트 전극의 제1 면의 반도체 기판에 형성되는 P형의 제1 웰 영역;

상기 게이트 전극의 제2 면의 반도체 기판에 형성되고, 상기 게이트 전극의 아래로 연장되는 P형의 제2 웰 영역; 및

상기 N형의 제2 소스/드레인의 제1 단부로부터 N형의 제1 소스/드레인 영역을 향하여 게이트 전극 아래로 연장되는 N형의 LDD(lightly doped drain)영역을 포함하는 반도체 소자.

청구항 15

제 14항에 있어서,

상기 P형의 제2 웰 영역은 상기 게이트 전극 아래가 아닌 위치에서, 상기 N형의 제1 소스/드레인 영역의 단부와 상기 게이트 절연막의 하면의 모두에 접하는 것을 특징으로 하는 반도체 소자.

청구항 16

제 15항에 있어서,

상기 P형의 제2 웰 영역은 상기 게이트 전극 아래가 아닌 위치에서, 상기 N형의 제1 소스/드레인 영역과 접하는 것을 특징으로 하는 반도체 소자.

청구항 17

제 14항에 있어서,

상기 P형의 제1 및 제2 웰 영역은 상기 N형의 제1 소스/드레인 영역 아래의 상기 반도체 기판의 일부분과 분리되는 반도체 소자.

청구항 18

제 14항에 있어서,

상기 N형의 제1 소스/드레인 영역과 접하여 형성되는 제1 트렌치; 및

상기 N형의 제2 소스/드레인 영역과 접하여 형성되는 제2 트렌치;를 더 포함하는 반도체 소자.

청구항 19

제 18항에 있어서,

상기 P형의 제2 웰 영역은 상기 제2 트렌치를 둘러싸도록 형성되는 반도체 소자.

청구항 20

제 14항에 있어서,

상기 P형의 제1 웰 영역에 형성되는 P형의 제1 벌크 영역; 및

상기 P형의 제2 웰 영역에 형성되는 제2의 P형의 제1 벌크 영역을 더 포함하는 반도체 소자.

청구항 21

제14항에 있어서,

상기 제1 소스/드레인 영역 근처에 형성되고 상기 게이트 전극 측면에 형성된 스페이서;를 더 포함하고,

상기 P형의 제2 웰 영역은 상기 스페이서의 아웃터 에지를 넘지 않도록 형성되는 반도체 소자.

청구항 22

제14항에 있어서,

상기 N형의 제2 소스/드레인 영역과 접하여 형성되는 N형의 LLD(Lightly doped drain) 영역;을 더 포함하는 반도체 소자.

청구항 23

제 18항에 있어서,

상기 P형의 제1 웰 영역은 상기 제1 트렌치와 접하여 형성되고, 상기 제1 소스/드레인 영역과 떨어져 형성되는 반도체 소자.

청구항 24

제18항에 있어서,

상기 P형의 제2 웰 영역은 상기 N형의 제2 소스/드레인 영역 및 제2 트렌치를 둘러싸는 반도체 소자.

청구항 25

제14항에 있어서,

상기 P형의 제2 웰 영역은 상기 N형의 제2의 소스/드레인 영역을 감싸도록 형성되고, 상기 N형의 제1 소스/드레인 영역은 감싸지 않도록 형성되는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 낮은 온 상태의 소스-드레인 저항 (Rdson)을 갖는 반도체 소자 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 비대칭 LDD(lightly doped drain) 영역 및 비대칭 웰 영역을 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0003] 반도체 칩은 칩 크기(Chip size)가 줄어들면서 회로를 구성하고 있는 트랜지스터 크기도 줄어들어야 하는 것을 요구받고 있다. 반도체 소자는 크기가 줄어들면서도 성능은 유지 또는 더욱 향상시켜야 경쟁력을 갖추게 된다.

[0004] 이에 따라, 비대칭(asymmetric) 또는 하이브리드(Hybrid) 소자가 개발되고 있다. 종래의 하이브리드 반도체 소자는 제1 소스 드레인과 제2 소스 드레인 쪽의 LDD 깊이가 서로 다른 것을 볼 수 있다. 예를 들어 제1 소스 드레인에 깊이가 얇은(shallow) LDD 공정을 적용하고, 제2 소스 드레인에 깊은 LDD 공정을 적용할 수 있다.

[0005] 하지만, 이러한 다양한 깊이를 갖는 하이브리드 소자를 제조하기 위해서, 많은 마스크를 필요로 한다. 그만큼 마스크 비용이 늘어나고, 반도체 소자의 제조 시간(TAT)이 길어지는 단점이 있다. 또한 원하는 만큼의 Rdson(온 상태의 소스-드레인 사이의 저항)을 얻을 수 없는 문제점이 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 미국 등록특허 US 8,912,597 (2014.12.16.)
- (특허문헌 0002) 미국 공개특허 US 2012-0061761 (2012.03.15.)
- (특허문헌 0003) 미국 등록특허 US 8,084,317 (2011.12.27.)
- (특허문헌 0004) 미국 공개특허 US 2009-0090980 (2009.04.09.)
- (특허문헌 0005) 미국 등록특허 US 7,447,082 (2008.11.04.)

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시 예들은 비대칭 LDD 구조 및 웰 구조를 사용함으로써, 온 상태의 소스-드레인 사이의 저항 (Rdson) 성능을 개선할 수 있는 반도체 소자 구조를 제공하고자 한다.

[0009] 또한, 본 발명의 실시 예들은 게이트 공정 이후에 웰 영역과 LDD 영역을 동일한 비대칭 마스크 패턴을 통해 형성함으로써, 반도체 소자에 사용되는 마스크 개수를 줄여서, 저비용으로 반도체 소자 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0011] 본 발명의 제1 측면에 따르면, 반도체 기판에 형성된 P형의 제1 웰 영역과 비대칭의 P형의 제2 웰 영역; 상기 기판 상에 형성된 게이트 절연막 및 게이트 전극; 상기 게이트 전극 옆에 각각 형성된 N형의 제1 소스 드레인 영역 및 제2 소스 드레인 영역; 및 상기 제2 소스 드레인 영역으로부터 연장되어 형성되는 N형의 비대칭 LDD 영역;을 포함하고, 상기 비대칭의 P형의 제2 웰 영역은 상기 N형의 제2 소스 드레인 영역 및 비대칭 LDD 영역을 감싸고, 상기 제1 소스 드레인 영역은 상기 비대칭의 P형의 제2 웰 영역과 기판을 동시에 접촉하고, 상기 비대칭의 P형의 제2 웰 영역은 상기 제1 소스 드레인 영역보다 상기 제2 소스 드레인 영역으로 치우쳐 형성되는 반도체 소자가 제공될 수 있다.
- [0012] 상기 반도체 소자는, 상기 N형의 제1 소스 드레인 영역과 떨어져 형성되고, 상기 P형의 제1 웰 영역 안에 형성되는 P형의 제1 벌크 영역; 상기 N형의 제2 소스 드레인 영역과 떨어져 형성되고, 상기 비대칭의 P형의 제2 웰 영역 안에 형성되는 P형의 제2 벌크 영역; 상기 N형의 제1 소스 드레인 영역과 상기 P형의 제1 벌크 영역 사이에 형성되는 제1 트렌치; 및 상기 N형의 제2 소스 드레인 영역과 상기 P형의 제2 벌크 영역 사이에 형성되는 제2 트렌치;를 더 포함할 수 있다.
- [0013] 상기 반도체 소자는, 상기 N형의 제1 소스 드레인 영역과 중첩되어 형성되는 제1 스페이서; 및 상기 N형의 제2 소스 드레인 영역과 중첩되어 형성되는 제2 스페이서; 를 더 포함 할 수 있다.
- [0014] 상기 P형의 제2 웰 영역은 상기 제1 트렌치와 떨어져서 형성될 수 있다.
- [0015] 상기 P형의 제2 웰 영역의 에지가 상기 제1 스페이서의 아웃터 에지(outer edge)를 넘지 않을 수 있다.
- [0016] 상기 N형의 비대칭 LDD 영역은 상기 N형의 제1 소스 드레인 영역에는 형성되지 않을 수 있다.
- [0017] 상기 비대칭의 P형의 제2 웰 영역은 상기 N형의 제1 소스 드레인 영역을 부분적으로 감쌀 수 있다.
- [0018] 상기 비대칭의 P형의 제2 웰 영역의 면적과 상기 P형의 제1 웰 영역의 면적이 서로 다를 수 있다.
- [0019] 한편, 본 발명의 제2 측면에 따르면, 반도체 기판에 게이트 절연막 및 게이트 전극을 형성하는 단계; 상기 기판 및 게이트 전극 상에 포토레지스트를 형성하는 단계; 상기 포토레지스트를 패터닝하여, 상기 게이트 전극의 일부를 노출시키는 비대칭 마스크 패턴을 형성하는 단계; 상기 노출된 게이트 전극의 일부를 통과하도록 제1 이온 주입을 실시하여, 상기 기판에 비대칭의 P형의 제2 웰 영역을 형성하는 단계; 상기 비대칭 마스크 패턴을 마스크로 해서, 제2 이온 주입을 실시하여, 상기 게이트 전극의 한쪽 에지만 중첩되는 N형의 비대칭 LDD 영역을 상기 제2 웰 영역에 형성하는 단계; 및 상기 게이트 전극 옆에 N형의 제1 소스 드레인 및 제2 소스 드레인 영역을 상기 기판에 형성하는 단계;를 포함하고, 상기 N형의 제2 소스 드레인 영역은 상기 N형의 비대칭 LDD 영역과 접하여 형성되고, 상기 비대칭의 P형의 제2 웰 영역은 상기 N형의 제1 소스 드레인 영역보다 상기 제2 소스 드레인 영역으로 치우쳐 형성되는 반도체 소자의 제조 방법이 제공될 수 있다.
- [0020] 상기 제2 이온 주입은 이온 주입 각도가 기울어진 이온 주입(angled ion implant)을 할 수 있다.
- [0021] 상기 반도체 소자의 제조 방법은, 상기 게이트 전극 측면에, 상기 N형의 제1 소스 드레인 영역과 중첩되는 제1 스페이서를 형성하는 단계; 및 상기 게이트 전극 측면에, 상기 N형의 제2 소스 드레인 영역과 중첩되는 제2 스페이서를 형성하는 단계;를 더 포함하고, 상기 비대칭의 P형의 제2 웰 영역의 에지가 상기 제1 스페이서의 아웃터 에지(outer edge)를 넘지 않을 수 있다.
- [0022] 상기 N형의 비대칭 LDD 영역은 상기 N형의 비대칭 LDD 영역을 접하여 형성되지 않을 수 있다.
- [0023] 상기 반도체 소자의 제조 방법은, 상기 기판에 서로 떨어진 제1 및 제2 트렌치를 형성하는 단계; 상기 게이트 전극 전부를 덮은 마스크 패턴을 이용해서, 이온 주입을 실시하여, 상기 제1 트렌치를 사이에 두고, 상기 N형의 제1 소스 드레인 영역과 떨어져 형성되는 P형의 제1 벌크 영역을 형성하는 단계; 및 상기 제2 트렌치를 사이에 두고, 상기 N형의 제2 소스 드레인 영역과 떨어져 형성되는 P형의 제2 벌크 영역을 형성하는 단계;를 더 포함할 수 있다.
- 발명의 효과**
- [0025] 본 발명의 실시 예들은 비대칭 LDD 구조 및 웰 구조를 사용함으로써, 온 상태의 소스-드레인 사이의 저항(R_{ds(on)})을 더 감소 시킬 수 있다.
- [0026] 또한, 본 발명의 실시 예들은 게이트 공정 이후에 웰 영역과 LDD 영역을 동일한 마스크 패턴을 통해 형성함으로써, 반도체 소자에 사용되는 마스크 개수를 줄여서, 저비용으로 반도체 소자를 제조할 수 있다.

[0027] 본 발명의 실시 예들은 반도체 소자 제작에 필요한 마스크 중에서, 2개의 마스크를 사용하지 않아도 되기 때문에, 기존에 필요로 하는 이온 주입 공정을 생략할 수 있다. 이에 따라 반도체 소자의 제조 비용이 획기적으로 감소한다.

도면의 간단한 설명

[0029] 도 1a는 본 발명의 실시 예에 따른 NMOS 반도체 소자의 구조를 나타낸 도면이다.
 도 1b는 본 발명의 실시 예에 따른 PMOS 반도체 소자의 구조를 나타낸 도면이다.
 도 2 내지 도 10은 본 발명의 실시 예에 따른 NMOS 반도체 소자를 제조하는 제조 공정을 나타낸 도면이다.
 도 11은 본 발명의 다른 실시 예에 따른 NMOS 반도체 소자의 구조를 나타낸 도면이다.
 도 12는 본 발명의 다른 실시 예에 따른 PMOS 반도체 소자의 구조를 나타낸 도면이다.
 도 13은 중전압(medium voltage) 반도체 소자에 사용되는 마스크와 구조를 나타낸 도면이다.
 도 14는 본 발명의 실시 예에 따른 반도체 소자에 사용되는 마스크와 구조를 나타낸 도면이다.
 도 15는 본 발명의 실시 예에 따른 NMOS 및 PMOS 반도체 소자의 전기적 특성을 나타낸 도면이다.
 도 16은 중전압 소자와 본 발명의 실시 예에 따른 반도체 소자에서의 온 상태의 소스-드레인 사이의 저항을 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다. 본 발명에 따른 동작 및 작용을 이해하는 데 필요한 부분을 중심으로 상세히 설명한다. 본 발명의 실시 예를 설명하면서, 본 발명이 속하는 기술 분야에 익히 알려졌고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.

[0031] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 동일한 명칭의 구성 요소에 대하여 도면에 따라 다른 참조부호를 부여할 수도 있으며, 서로 다른 도면임에도 동일한 참조부호를 부여할 수도 있다. 그러나 이와 같은 경우라 하더라도 해당 구성 요소가 실시 예에 따라 서로 다른 기능을 갖는다는 것을 의미하거나, 서로 다른 실시 예에서 동일한 기능을 갖는다는 것을 의미하는 것은 아니며, 각각의 구성 요소의 기능은 해당 실시 예에서의 각각의 구성 요소에 대한 설명에 기초하여 판단하여야 할 것이다.

[0033] 도 1a는 본 발명의 실시 예에 따른 NMOS 소자의 구조를 나타낸 도면이다.

[0034] 도 1a에 도시된 바와 같이, 본 발명의 실시 예에 따른 NMOS 소자는 반도체 기판(10)에 N형의 제1 소스 드레인 및 제2 소스 드레인 영역(151 및 152)을 포함한다. 여기서 제1 소스 드레인 영역(151)은 소스 역할을 하고, 제2 소스 드레인 영역(152)은 드레인 역할을 담당할 수 있다. 반대의 경우도 가능하다. 즉, 제1 소스 드레인 영역(151)은 드레인 역할을 하고, 제2 소스 드레인 영역(152)은 소스 역할을 담당할 수 있다. 하지만, 본 발명의 실시 예는 비대칭 반도체 소자이기 때문에, 제1 소스 드레인 영역(151)은 소스 역할을 하고, 제2 소스 드레인 영역(152)은 드레인 역할을 담당하는 것을 예를 들어 설명하고자 한다. NMOS 소자는 제2 소스 드레인 영역(152)으로부터 연장되어 형성되는 N형의 비대칭 LDD(lightly doped drain) 영역(142)을 포함한다. N형의 비대칭 LDD 영역(142)은 상기 N형의 제1 소스 드레인 영역(151)에는 형성되지 않는다. 그리고 비대칭 LDD 영역(142)의 깊이는 상기 제2 소스 드레인 영역(152)보다 얇다. 비대칭 LDD 영역(142)은 제2 소스 드레인 영역(152) 근처에 형성되고, 전기(electric field)를 떨어뜨려 주는 효과를 준다. 그로 인해 비대칭 LDD 영역(142)은 뜨거운 캐리어(Hot carrier) 생성을 억제해 주고, 그에 따라 신뢰성 측면에서 유리하다. 여기서 비대칭 LDD 영역으로 부르는 이유는 제1 소스 드레인 영역(151)과 접촉하는 LDD 영역이 형성되지 않기 때문이다. 제1 소스 드레인 영역(151)은 P형의 제2 웰 영역(132)과 반도체 기판(10)을 동시에 접촉하고 있다.

[0035] 제1 소스 드레인 영역(151)에 LDD 영역이 형성되지 않을 경우, 짧은 채널(short channel)에서 제1 소스 드레인 영역(151)과 제2 소스 드레인 영역(152) 사이의 펀치 썬드(punch through)를 억제할 수 있다. 왜냐하면 LDD 영역이 없기 때문에 LDD 영역이 있을 경우(대칭 소자)와 비교해서, 그만큼 채널 길이가 길어지는 효과가 있기 때문이다. 또한 LDD 영역이 없으므로 인해, 채널 길이를 더 줄일 수 있는 마진이 생긴다. LDD 영역을 제거함으로써, 채널 길이를 더 작게 조절할 수 있는 공간적 여유가 생긴다. 대칭(Symmetric) 소자에 비해 채널 길이는 더

짧게 형성될 수 있다. 문턱 전압은 채널 길이가 짧아질수록 낮아진다. 이에 따라 문턱 전압(이하, V_t) 값이 낮아지고, 그에 따라 대칭 소자에 비해 제1 소스 드레인 영역(151) 및 제2 소스 드레인 영역(152) 사이의 전류가 증가된다. R_{dson} 값이 감소하는 효과가 나타나는 것이다.

[0036] 또한 NMOS 소자는 P형의 제1 웰 영역(131) 및 제2 웰 영역(132)을 포함한다. P형의 제1 웰 영역(131)은 P형의 제1 벌크 영역(161)을 감싸고 있다. P형의 제2 웰 영역(132)은 P형의 제1 웰 영역(131)과 떨어져 형성된다. 또한 P형의 제2 웰 영역(132)은 N형의 제2 소스 드레인 영역(152) 및 비대칭 LDD 영역(142)을 감싼다. 또한 P형의 제2 웰 영역(132)은 P형의 제2 벌크 영역(162)을 감싸고 있다.

[0037] P형의 제2 웰 영역(132)은 제1 소스 드레인 영역(151)과 제2 소스 드레인 영역(152) 사이에서 채널 역할을 한다. P형의 제2 웰 영역(132)은 비대칭 구조라고 보아야 한다. 왜냐하면 도 13b의 일반적인 증전압 소자(Medium voltage device)의 P형의 웰 영역(132)은 좌/우 대칭적인 구조를 갖는다. 반면에 본 발명의 실시 예에 의한 도 1a 및 도 1b, 도 10, 도 11, 도 12, 도 14의 (b)에 도시된 P형의 웰 영역(132, 137)은 비대칭 구조를 갖고 있다.

[0038] 그러므로 본 발명의 실시 예에 의한 반도체 소자는 비대칭 LDD 영역(142)뿐만 아니라 비대칭 P형의 웰 영역 구조를 갖고 있다고 볼 수 있다. 본 발명의 실시 예에 따른 비대칭의 P형의 웰 영역(132, 137)은 제1 소스 드레인 영역(151)의 방향보다, 제2 소스 드레인 영역(152)의 방향으로 치우쳐 형성되어 있다. 즉, 비대칭의 P형의 제2 웰 영역(132)은 N형의 제1 소스 드레인 영역(151)보다 상기 제2 소스 드레인 영역(152)으로 치우쳐 형성된다. 이러한 비대칭 LDD 영역(142) 및 P형의 제2 웰 영역(152)을 사용함으로써 인해, V_t 감소 및 R_{dson} 감소, I_{dsat} 증가 효과가 발생한다. 또한 P형의 제2 웰 영역(132)의 면적이 P형의 제1 웰 영역(131)의 면적보다 큰 것을 볼 수 있다. 이는 벌크 영역의 자체 면적보다 소스-드레인 사이의 면적이 크기 때문이다.

[0039] P형의 제1 및 제2 웰 영역(131 및 132) 사이에 반도체 기판(10)이 존재한다. 그래서 제1 소스 드레인 영역(151)은 P형의 제2 웰 영역(132)과 반도체 기판(10)을 동시에 접촉하고 있다. P형의 제1 및 제2 웰 영역(131 및 132) 사이에 존재하는 반도체 기판(10)에 의해 저항이 높아지는 단점은 있지만, 반도체 소자의 내압(breakdown voltage)을 증가시키는 효과가 있다. 또한 반도체 기판(10)은 V_t 를 감소시키는 역할을 한다. 반도체 기판(10)의 농도는 같은 P형의 제2 웰 영역(132)보다 낮다. 왜냐하면 P형의 도펀트 농도가 낮기 때문이다.

[0040] 도 1a에 도시된 바와 같이, 비대칭의 P형의 제2 웰 영역(132)은 N형의 제1 소스 드레인 영역(151)과 접하여 형성한다. 또는, 비대칭의 P형의 제2 웰 영역(132)은 도 11의 (a)와 같이 N형의 제1 소스 드레인 영역(151)을 부분적으로 감싸는 구조일 수 있다. 여기서, 제1 소스 드레인 영역(151)과 접하여 형성되는 구조는 선형 문턱 전압(이하 $V_t(\text{linear})$) 값이 작아지는 효과가 있다. 반면에 제1 소스 드레인 영역(151)을 부분적으로 감싸는 구조는 $V_t(\text{linear})$ 값이 상승하는 효과가 있다.

[0041] 비대칭의 P형의 제2 웰 영역(132)은 N형의 제1 소스 드레인 영역(151)과 떨어져 형성될 수 있다(미 도시). 이 경우, $V_t(\text{linear})$ 값이 더 떨어지는 효과가 있다. 이는 R_{dson} 값이 감소하는 효과를 발생한다. $V_t(\text{linear})$ 값이 떨어지면 드레인 전류(이하 I_{dsat}) 값이 증가하는 효과가 있다. 같은 게이트 전압에서, 선형 문턱 전압이 낮을수록 전류량이 증가하기 때문이다. 비대칭의 P형의 제2 웰 영역(132)이 제1 소스 드레인 영역(151)으로부터 멀어질수록 P형의 제1 웰 영역(131)과 제2 웰 영역(132) 사이에 존재하는 반도체 기판(10)의 면적이 커진다. 이에 따라 $V_t(\text{linear})$ 값은 감소한다. 그리고 R_{dson} 값도 감소한다. 반도체 기판(10)은 제2 웰 영역(132)보다 P형 농도가 더 낮다. 그래서 게이트 전극(120) 아래에 반도체 기판(10)이 차지하는 면적이 커질수록 턴-온 문턱 전압이 낮아지는 효과를 발휘한다.

[0042] 그리고 NMOS 소자는 기판(10) 상에 형성된 게이트 절연막(121) 및 게이트 전극(120)을 포함한다. 또한 NMOS 소자는 기판(10)에 N형의 제1 소스 드레인 영역(151)과 상기 P형의 제1 벌크 영역(161) 사이에 형성된 제1 트렌치(111)를 더 포함한다. NMOS 소자는 N형의 제2 소스 드레인 영역(152)과 P형의 제2 벌크 영역(162) 사이에 형성된 제2 트렌치(112)를 더 포함한다. 제2 트렌치(112)는 제2 소스 드레인 영역(152)과 P형의 제2 벌크 영역(162)을 전기적으로 분리하기 위함이다.

[0043] 비대칭의 P형의 제2 웰 영역(132)은 상기 제1 트렌치(111)와 떨어져서 형성된다. 게이트 전극(120) 측벽에 각각 스페이서(171, 172)가 형성된다. NMOS 소자는 N형의 제1 소스 드레인 영역(151)과 중첩되어 형성되는 제1 스페이서(171)를 포함한다. NMOS 소자는 비대칭의 P형의 제2 웰 영역(132)의 에지가 상기 제1 스페이서(171 및 172)의 아웃터 에지(outer edge)를 넘지 않는 반도체 소자이다. 그리고 NMOS 소자는 P형의 제2 웰 영역(132) 안에 형성되는 P형의 제2 벌크 영역(162)을 포함한다. P형의 제2 벌크 영역(162)은 N형의 제2 소스 드레인 영역(15

2)과 서로 떨어져 형성된다.

- [0044] 다시 종합해서 설명하면, NMOS 소자는 반도체 기판(10), P형의 제1 및 제2 웰 영역(131 및 132), 제1 및 제2 트랜치(111 및 112), 게이트 절연막(121), 게이트 전극(120), 스페이서(171 및 172), 제1 소스 드레인 및 제2 소스 드레인 영역(151 및 152), N형의 비대칭 LDD(lightly doped drain) 영역(142) 및 P형의 제1 및 제2 벌크 영역(161 및 162)을 포함한다. 여기서, NMOS 소자는 제1 내지 제3 콘택 플러그 및 금속 배선들(181 내지 186)을 포함한다.
- [0045] 이하, 도 1a의 본 발명의 실시 예에 따른 NMOS 소자의 각 구성요소들의 구체적인 구성을 설명한다.
- [0046] 제1 및 제2 트랜치(111 및 112)는 반도체 기판(10)에 형성된다. P형의 제1 및 제2 웰 영역(131 및 132)은 반도체 기판(10)에 형성된 제1 및 제2 트랜치(111 및 112)와 접하거나 아래에 각각 형성된다. 그래서 제1 및 제2 웰 영역(131 및 132)의 깊이는 제1 및 제2 트랜치(111 및 112)보다 깊게 형성된다. 제1 및 제2 웰 영역(131 및 132)은 서로 이격되어 있으며, 게이트 전극(20)을 기준으로 양쪽에 형성된다.
- [0047] 게이트 절연막(121)은 반도체 기판(10)에 형성된다. 게이트 전극(120)은 게이트 절연막(121) 상에서 제1 및 제2 트랜치(111 및 112) 사이에 형성된다. 스페이서(171 및 172)는 게이트 전극(120)의 좌우 측면에 각각 형성된다. N형의 제1 소스 드레인 영역 및 제2 소스 드레인 영역(151 및 152)은 게이트 절연막(121)과 인접하여 형성된다.
- [0048] N형의 비대칭 LDD 영역(142)은 P형의 제2 웰 영역(132) 및 제2 소스 드레인 영역(152)과 인접하여 형성된다. 제1 소스 드레인 영역(151)에 낮은 전압(LV, Low Voltage) LDD 영역이 따로 형성되어 있지 않지만, 필요에 의해 LV LDD 영역이 제1 소스 드레인 영역(151)에 형성될 수 있다. 제1 소스 드레인 영역(151)은 제1 및 제2 웰 영역(131 및 132) 사이에 위치한 반도체 기판(10)과 콘택하며 형성된다. 일반적으로 P형의 웰 영역이 제1 소스 드레인 영역(151)의 둘레 주변을 완전히 감싸는 구조이다. 반면에, 본 발명의 실시 예에서는 제1 소스 드레인 영역(151)의 일부 영역이 P형의 제2 웰 영역(132)과 콘택하여 형성되고, 나머지 영역은 반도체 기판(10)과 접하여 형성된다는 것이다.
- [0049] 한편, 제2 소스 드레인 영역(152)과 제1 소스 드레인 영역(151)의 도핑 프로파일이 수직 방향 및 수평 방향에서 서로 다르다. 수직 방향을 살펴보면, 제2 소스 드레인 쪽은 제2 소스 드레인 영역(152), 제2 웰 영역(132) 및 기판(10) 순서대로 형성된 반면, 제1 소스 드레인(151) 쪽은 제1 소스 드레인 영역(151) 및 기판(10) 순서대로 형성되어, 도핑 프로파일이 서로 다르다. 수평 방향에서 살펴보면, 제2 소스 드레인 쪽은 제2 소스 드레인 영역(152) 및 비대칭 LDD 영역(142) 순서대로 형성된 반면, 제1 소스 드레인(151) 쪽은 제1 소스 드레인 영역(151) 및 제2 웰 영역(132) 순서대로 형성되어, 도핑 프로파일이 서로 다르다.
- [0050] P형의 제1 및 제2 벌크 영역(161 및 162)은 제1 및 제2 트랜치(111 및 112)와 인접하여 각각 형성된다. P형의 제1 및 제2 벌크 영역(161 및 162)은 P형의 제1 웰 영역(132)과 제2 웰 영역(132)의 도핑 농도보다 훨씬 높아 낮은 항을 갖는다. 그래서 P형의 제1 및 제2 벌크 영역(161 및 162)은 P형의 제1 웰 영역(131)과 제2 웰 영역(132)에 각각 바이어스를 가해 줄 때 저항을 줄이기 위해 필요하다. 일반적으로 웰 영역에는 벌크 영역이 한 개만 있으면 된다, 반면에, 본 발명의 실시 예에서는, 1개의 트랜지스터 또는 반도체 소자에 서로 떨어져 있는 두 개의 웰 영역(131, 132)이 존재하고 있다. 그리고 그 두 개의 웰 영역(131, 132)은 서로 같은 전도도 (conductivity type)를 갖고 있다. 그래서 각각의 웰 영역마다 웰 영역의 농도보다 높은 농도를 갖는 벌크 영역 또는 웰-탭 영역이 필요하다.
- [0051] 제1 콘택 플러그 및 금속 배선(181 및 184)은 제1 벌크 영역(161)에 형성된다. 제2 콘택 플러그 및 금속 배선(182 및 185)은 제1 소스 드레인 영역(151)에 형성된다. 제3 콘택 플러그 및 금속 배선(183 및 186)은 제2 소스 드레인 영역(152)에 형성된다. 콘택 플러그(181 내지 183)는 전원전압 또는 접지전압 등과 같이 일정한 전압을 가할 수 있다.
- [0052] 한편, 본 발명의 실시 예에 따른 NMOS 소자의 제조 방법은 N형의 웰 영역(P-well) 또는 P형의 웰 영역(N-well) 형성을 위한 이온 주입공정이 게이트 공정 이후에 진행된다. 이는 제조 공정에 사용되는 마스크 수를 줄이기 위함이다.
- [0053] 한편, 도 1b는 본 발명의 실시 예에 따른 PMOS 반도체 소자의 구조를 나타낸 도면이다.
- [0054] 도 1b에 도시된 바와 같이, PMOS 반도체 소자는 반도체 기판(10), N형의 제1 및 제2 웰 영역(TKNW, 136 및 137), 제1 및 제2 트랜치(111 및 112), 게이트 절연막(121), 게이트 전극(120), 스페이서(171 및 172), P형의 제1 소스 드레인 및 제2 소스 드레인 영역(P+, 156 및 157), P형의 비대칭 LDD 영역(PTK, 146) 및 N형의 제1

및 제2 벌크 영역(N+, 166 및 167)을 포함한다. 여기서, PMOS 반도체 소자는 제1 내지 제3 콘택 플러그 및 금속 배선들(181 내지 186)을 포함한다. 앞에서 언급한 비대칭 NMSO 반도체 소자와 유사한 구조를 갖기 때문에, 자세한 내용은 생략한다.

- [0056] 도 2 내지 도 10은 본 발명의 실시 예에 따른 NMOS 반도체 소자를 제조하는 제조 공정을 나타낸 도면이다.
- [0057] 이하, 도 2 내지 도 9를 참조하여, 본 발명의 실시 예에 따른 NMOS 소자의 제조방법의 구체적인 공정을 설명한다.
- [0058] 도 2는 본 발명의 실시 예에 따른 트렌치 마스크 패턴(114 및 115)을 이용한 트렌치 형성 단계를 나타낸다.
- [0059] 도 2에 도시된 바와 같이, 트렌치 형성 단계는 기판(10)에 복수의 절연막(Oxide/nitride, 113)을 형성하고, 트렌치 마스크 패턴(114 및 115)을 이용하여 제1 및 제2 트렌치(111 및 112)를 형성한다. 일례로, 트렌치 마스크 패턴(114 및 115)은 STI 마스크 패턴(mask pattern)으로 형성될 수 있다. 여기서 STI 대신 MTI(Medium trench isolation), DTI(Deep trench isolation) 마스크 패턴을 사용할 수 있다.
- [0061] 도 3은 본 발명의 실시 예에 따른 제1 마스크 패턴을 이용한 게이트 전극 형성 단계를 나타낸다.
- [0062] 도 3에 도시된 바와 같이, 게이트 전극(120) 형성 단계는 기판(10)에 형성된 게이트 절연막(121) 상에 전도성 물질(122)을 증착한다. 그리고 게이트 전극(120) 형성 단계는 제1 마스크 패턴(FG mask pattern, 123)을 이용하여 증착된 전도성 물질(122)을 식각(etching)하여 게이트 전극(120)을 형성한다. 게이트 절연막(121)은 열 산화 방법(thermal oxidation)으로 두꺼운 산화막(thick gate oxide)으로 형성된다. 전도성 물질(122)은 폴리 실리콘(Poly-Si) 물질을 이용한다. 게이트 전극(120)은 3 - 30 V 사이의 중전압 게이트(MV Gate)로 사용될 수 있다.
- [0064] 도 4는 본 발명의 실시 예에 따른 제2 마스크 패턴(133, 134 및 135)을 이용한 웰 영역 형성 단계를 나타낸다.
- [0065] 먼저, 웰 영역 형성 단계는 기판(10) 및 게이트 전극(120) 상에 포토레지스트(미 도시)를 형성한다. 웰 영역 형성 단계는 포토레지스트를 패터닝하여, 도 4와 같이, 웰 영역 형성 단계는 게이트 전극(120)의 일부를 노출시키는 제2 마스크 패턴(133, 134 및 135)을 형성한다. 제2 마스크 패턴(133, 134 및 135)은 반도체 소자가 NMOS인 경우에 비대칭(asymmetric)의 P형 웰 마스크(APW)를 사용하여 형성된다. 반면, 반도체 소자가 PMOS인 경우에 비대칭의 N형 웰 마스크(ANW)가 사용된다. 여기서 제2 마스크 패턴(133, 134 및 135)은 게이트 전극(120)을 기준으로 보았을 때 비대칭 마스크 패턴이 된다. 한쪽에만 마스크가 형성되기 때문이다. 비대칭 제2 마스크 패턴(133, 134 및 135)을 이용해서 비대칭 LDD 영역(142, 143) 및 비대칭의 P형의 웰 영역(132)이 형성될 수 있다.
- [0066] 그리고 웰 영역 형성 단계는 노출된 게이트 전극(120)의 일부를 통과하도록 제1 이온 주입을 실시한다. 그래서 웰 영역 형성 단계는 기판(10)에 서로 떨어져 있는 P형의 제1 웰 영역(131)과 비대칭의 P형의 제2 웰 영역(132)을 각각 형성한다. 제1 및 제2 웰 영역(131 및 132)은 이격되어 있고, 이격된 공간에 반도체 기판(10)이 위치한다. 도 3의 게이트 전극(120) 형성 단계 이후에 도 4의 웰 영역 형성 단계가 진행된다.
- [0067] 제1 이온 주입은 반도체 소자가 NMOS인 경우에 P형의 이온 주입(TKPW implant)으로 실시되어, P형의 제1 및 제2 웰 영역(TKPW, 131 및 132)이 형성된다. 반면, 제1 이온 주입은 반도체 소자가 PMOS인 경우에 N형의 이온 주입(TKNW implant)으로 실시되어, 도 1b에 도시된 N형의 제1 및 제2 웰 영역(TKNW, 136 및 137)이 형성된다.
- [0069] 도 5는 본 발명의 실시 예에 따른 APW 마스크를 이용한 비대칭 LDD 형성 단계를 나타낸다.
- [0070] 도 5에 도시된 바와 같이, 비대칭 LDD 형성 단계는 형성된 제2 마스크 패턴(133, 134 및 135)과 제2 이온 주입을 이용하여 제1 웰 영역(131)에 N형의 비대칭 제1 LDD(lightly doped drain) 영역(141)을 형성하고, 그 형성된 제2 웰 영역(132)에 N형의 비대칭 제2 및 제3 LDD 영역(142 및 143)을 형성한다. 비대칭 LDD 형성 단계는 도 4에서 형성된 제2 마스크 패턴(133, 134 및 135)의 변경 없이 제2 이온 주입을 진행한다.
- [0071] 제2 이온 주입 공정은 각도를 틀어서(tilt) 이온 주입을 실시할 수 있다. 일반적으로 기판(10)에 수직인 90도 각도로 이온 주입이 된다. 그런데 비대칭 LDD 형성 단계는 게이트 전극(120) 아래에도 이온 주입이 될 수 있도록 이온 주입 각도를 90도 이하로 하여 진행할 수 있다. 각도가 더 낮아질수록, 게이트 전극(120) 아래에 형성되는 비대칭 LDD 영역(142)의 길이는 더 길어지고, 길어진다. 또한 제2 이온 주입에 사용되는 제2 이온 주입 에너지는 제1 이온 주입에 사용되는 제1 이온 주입 에너지에 비해 작다. 그래서 제2 이온 주입은 노출된 게이트 전극(120)을 통과하지 못한다. N형의 비대칭 LDD 영역(142)은 추후 열 확산(thermal diffusion)에 의해 게이트 전극(120)과 중첩되어 형성된다. 게이트 전극(120)의 하부에 위치한 비대칭 제2 웰 영역(132)에 비대칭 LDD 영역(142)이 형성된다. N형의 비대칭 LDD 영역(142)은 게이트 전극(120)의 한쪽 에지만 중첩된다.

- [0072] 그런데 제1 소스 드레인 영역(151)이 형성될 영역에 비대칭 LDD 영역(142)이 형성되는 것을 막기 위하여, 제2 마스크 패턴(134)이 게이트 전극(120)과 제1 트렌치(111)에 걸쳐서 형성된다. 제2 마스크 패턴(134)에 의해 제1 소스 드레인 영역(151)에 비대칭 LDD 영역(142)이 형성되지 않는다. 그래서 N형의 제2 소스 드레인 영역(152)은 상기 N형의 비대칭 LDD 영역(142)을 접하여 형성되지만, 반면에 N형의 제1 소스 드레인 영역(151)은 N형의 비대칭 LDD 영역(142)을 접하여 형성되지 않는다.
- [0073] 제2 이온 주입은 반도체 소자가 NMOS인 경우에 N형의 이온 주입(NTK implant)으로 진행된다. 반면, 제2 이온 주입은 반도체 소자가 PMOS인 경우에 P형의 이온 주입(PTK implant)으로 진행된다.
- [0074] 본 발명의 실시 예에 따른 반도체 소자의 제조 방법은 게이트 전극(120) 형성 단계 이후에, 제1 및 제2 웰 영역(131 및 132)과 제1, 제2 및 제3 LDD 영역(141, 142 및 143)을 각각 형성하기 위한 제1 이온 주입 및 제2 이온 주입을 순차적으로 진행하여 마스크 (mask) 를 줄일 수 있다. 여기서, 제1 이온 주입 및 제2 이온 주입은 에너지 또는 이온 종류가 다를 수 있다. 이와 같이, NMOS 트랜지스터에서 LDD 형성 단계는 P형의 웰 영역 형성 단계의 비대칭 마스크 패턴을 그대로 사용하여, N형의 제1, 제2 및 제3 LDD 영역(141, 142 및 143)을 형성한다. 또한, PMOS 소자에서, LDD 형성 단계는 N형의 웰 영역 형성 단계의 비대칭 마스크 패턴을 그대로 사용하여 P형의 제1, 제2 및 제3 LDD 영역(145, 146 및 147)을 형성한다. 또한, 반도체 소자의 제조 방법은 종래의 온 상태의 소스-드레인 사이의 저항(Rdson) 성능을 개선하면서 채널 길이(channel length)를 더욱 줄일 수 있다.
- [0076] 도 6은 본 발명의 실시 예에 따른 제3 마스크 패턴(153 및 154)을 이용한 제1 및 제2 소스 드레인 형성 단계를 나타낸다.
- [0077] 도 6에 도시된 바와 같이, 제1 및 제2 소스 드레인 형성 단계는 게이트 전극(120) 전부를 노출시키고, 이온 주입을 실시하여 게이트 전극(120) 옆에 N형의 제1 소스 드레인 및 제2 소스 드레인 영역(151 및 152)을 상기 기판(10)에 형성한다.
- [0078] 구체적으로, 제1 및 제2 소스 드레인 형성 단계는 제3 마스크 패턴(153 및 154)을 형성한다. 제3 마스크 패턴(153 및 154)은 반도체 소자가 NMOS인 경우에 N형의 마스크 패턴(NSD mask pattern)이다. 반면, 제3 마스크 패턴(153 및 154)은 반도체 소자가 PMOS인 경우에 P형의 마스크 패턴(PSD mask pattern)이다.
- [0079] 그리고 제1 및 제2 소스 드레인 형성 단계는 그 형성된 제3 마스크 패턴(153 및 154)과 제3 이온 주입을 이용하여 N형의 제1 소스 드레인 및 제2 소스 드레인 영역(151 및 152)을 형성한다. N형의 제1 소스 드레인 및 제2 소스 드레인 영역(151 및 152)은 반도체 소자가 NMOS인 경우에 N형의 제1 소스 드레인 및 제2 소스 드레인 영역(N+ Drain, Source)이다. 반면, 도 10에 도시된 N형의 제1 소스 드레인 및 제2 소스 드레인 영역(156 및 157)은 반도체 소자가 PMOS인 경우(도 1b 참조)에 P형의 제1 소스 드레인 및 제2 소스 드레인 영역(P+ Drain, Source)이 형성된다. 제1 및 제2 소스 드레인 형성 단계는 게이트 전극(120)의 하부에 위치한 비대칭 LDD 영역(142)과 인접하여 제2 소스 드레인 영역(152)을 형성한다.
- [0081] 도 7은 본 발명의 실시 예에 따른 제4 마스크 패턴을 이용한 벌크 영역 형성 단계를 나타낸다.
- [0082] 벌크 영역 형성 단계는 게이트 전극(120) 전부를 마스크하고, 이온 주입을 실시하여 N형의 제1 소스 드레인 및 제2 소스 드레인 영역(151 및 152) 옆에 각각 제1 및 제2 벌크 영역(161 및 162)을 기판(10)에 형성한다.
- [0083] 구체적으로 도 7에 도시된 바와 같이, 벌크 영역 형성 단계는 제4 마스크 패턴(163)을 제1 및 제2 트렌치(111 및 112) 영역 사이에 형성한다. 제4 마스크 패턴(163)은 반도체 소자가 NMOS인 경우에 P형의 마스크 패턴(PSD mask pattern)이다. 반면, 제4 마스크 패턴(163)은 반도체 소자가 PMOS인 경우에 N형의 마스크 패턴(NSD mask pattern)이다.
- [0084] 그리고 벌크 영역 형성 단계는 그 형성된 제4 마스크 패턴(163)과 제4 이온 주입을 이용하여 제1 및 제3 LDD 영역(141 및 143)에 P형의 제1 및 제2 벌크 영역(161 및 162)을 각각 형성한다. 제1 및 제2 벌크 영역(161 및 162)은 웰-탭(Well-tap) 영역이다.
- [0086] 도 8 및 도 9는 본 발명의 실시 예에 따른 스페이서 형성 단계를 나타낸다.
- [0087] 도 8에 도시된 바와 같이, 스페이서 형성 단계는 복수의 절연막(171, 175, 176)을 순차적으로 형성하여 상기 게이트 전극(120)의 좌우 측면에 제1 및 제2 스페이서(171 및 172)를 형성한다. 구체적으로 살펴보면, 스페이서 형성 단계는 게이트 전극(120)을 감싸도록 CVD 산화막을 증착하여 제1 절연막(174)을 형성한다. 제1 절연막(174)은 화학 기상 증착(Chemical Vapor Deposition, CVD) 공정을 이용하여 형성된다. CVD 산화막은 500 - 700 범위의 온도에서 대기압보다 낮은 저압에서 형성된다. 제1 절연막(174)은 나중에 LDD 스페이서(171 및 172)를

형성하기 위한 CVD 산화막으로서, HLD1(High temperature Low pressure Deposition)으로 증착된다. 그리고 스페이서 형성 단계는 형성된 제1 절연막(174)에 CVD 질화막을 증착하여 제2 절연막(175)을 형성한다. 제2 절연막(175)은 제1 절연막(174)의 후속으로 CVD 실리콘 질화막(Silicon nitride layer)으로 증착된다. 이어서, 스페이서 형성 단계는 형성된 제2 절연막(175)에 CVD 산화막을 증착하여 제3 절연막(176)을 형성한다. 제3 절연막(176)은 스페이서(171 및 172) 두께를 더 키우기 위해 마지막으로 CVD 산화막 물질(HLD2)로 추가로 증착된다.

- [0088] 도 9에 도시된 바와 같이, 스페이서 형성 단계는 LDD 식각 공정을 통해 LDD 스페이서(171 및 172)를 형성한다. 스페이서 형성 단계는 블랭킷 식각공정을 통해 게이트 전극(120) 측면에 스페이서(171 및 172)를 최종적으로 형성시킨다. 스페이서(171 및 172)는 적어도 3개의 절연막(113)으로 이루어져 있다. 3중의 절연막(113)으로 이루어진 스페이서(171 및 172)가 2중의 절연막(113)으로 이루어진 스페이서보다 기판(10) 또는 게이트 전극(120)에 가해지는 스트레스를 더 완화시켜 준다.
- [0090] 도 10은 본 발명의 실시 예에 따른 NMOS 소자에 콘택 플러그 및 금속 패턴의 형성 단계를 나타낸 도면이다.
- [0091] 도 10에 도시된 바와 같이, 콘택 플러그 및 금속 패턴의 형성 단계는 제1 벌크 영역(161)에 제1 콘택 플러그 및 금속 배선(181 및 184)을 형성한다. 또한, 콘택 플러그 및 금속 패턴의 형성 단계는 제1 소스 드레인 영역(151)에 형성된 제2 콘택 플러그 및 금속 배선(182 및 185)을 형성한다. 콘택 플러그 및 금속 패턴의 형성 단계는 제2 소스 드레인 영역(152)에 제3 콘택 플러그 및 금속 배선(183 및 186)을 형성한다.
- [0092] 도 2에서 도 10까지 NMOS 반도체 소자에 대한 제조 공정을 나타내었는데, PMOS 반도체 소자(도 1b 참조)도 유사한 방법으로 진행된다. PMOS 반도체 소자에 대한 제조 방법은 이온 주입의 도펀트 타입을 반대로 해서 PMOS 반도체 소자를 제조할 수 있다. 예를 들어 PMOS 반도체 소자에 대한 제조 방법은 비대칭 LDD 영역(146)을 형성할 경우, P형 도펀트를 이용해서 P형 비대칭 LDD 영역(146)을 형성할 수 있는 것이다. P형 비대칭 LDD 영역(146)을 형성하는 방법도 N형 비대칭 LDD 영역(142)의 형성 방법과 마찬가지로 기울어진 이온 주입(tilt implant 또는 angled implant) 방법을 사용해서 형성할 수 있다. 또한 PTK 마스크 패턴을 사용해서 제1 소스 드레인 영역(156)에는 형성되지 않고, 제2 소스 드레인 영역(157)에만 P형 비대칭 LDD 영역(146)이 형성될 수 있다.
- [0094] 도 11은 본 발명의 다른 실시 예에 따른 NMOS 반도체 소자의 구조를 나타낸 도면이다.
- [0095] 게이트 전극(120)의 하부에 형성된 비대칭의 P형의 제2 웰 영역(132)은 제2 마스크 패턴(133, 134 및 135)의 형성 위치에 따라 기 설정된 거리만큼 이동되어 제1 소스 드레인 영역(151)의 일부를 둘러싸거나 제1 소스 드레인 영역(151)과 겨우 접하도록 형성될 수 있다.
- [0096] 도 11의 (a)에 도시된 바와 같이, P형의 제2 웰 영역(132)은 제1 소스 드레인(151) 쪽의 제1 스페이서(171)를 기준으로 제1 소스 드레인 영역(151) 쪽으로 이동되어 제1 소스 드레인 영역(151)의 일부와 충분히 접하도록 형성될 수 있다. 도 11의 (b)에 도시된 바와 같이, P형의 제2 웰 영역(132)은 제1 소스 드레인(151) 쪽의 제1 스페이서(171)를 기준으로 제1 소스 드레인 영역(151)의 반대쪽으로 이동되어 제1 소스 드레인 영역(151)과 겨우 접하도록 형성될 수 있다. 예를 들면, P형의 제2 웰 영역(132)은 제1 소스 드레인(151) 쪽의 제1 스페이서(171)를 기준으로 -0.2 내지 0.5um 거리만큼 이동(shift)되어 형성될 수 있다.
- [0097]
- [0098] 도 12는 본 발명의 다른 실시 예에 따른 PMOS 반도체 소자의 구조를 나타낸 도면이다.
- [0099] 도 12의 (a)에 도시된 바와 같이, 비대칭의 N형의 제2 웰 영역(137)은 제1 소스 드레인(156) 쪽의 제1 스페이서(171)를 기준으로 제1 소스 드레인 영역(156) 쪽으로 이동되어 제1 소스 드레인 영역(156)의 일부와 충분히 접하도록 형성될 수 있다. 도 12의 (b)에 도시된 바와 같이, 비대칭의 N형의 제2 웰 영역(137)은 제1 소스 드레인(156) 쪽의 제1 스페이서(171)를 기준으로 제1 소스 드레인 영역(156)의 반대쪽으로 이동되어 제1 소스 드레인 영역(156)과 겨우 접하도록 형성될 수 있다. 예를 들면, 비대칭의 N형의 제2 웰 영역(137)은 제1 소스 드레인(156) 쪽의 제1 스페이서(171)를 기준으로 -0.2 내지 0.5um 거리만큼 이동(shift)되어 형성될 수 있다.
- [0101] 도 13은 중전압 반도체 소자에 사용되는 마스크와 구조를 나타낸 도면이다.
- [0102] 도 13의 (a)는 중전압 반도체 소자에 사용되는 복수의 마스크를 나열한 도면이다. 도 13의 (b)는 복수의 마스크를 사용해서 형성된 중전압 반도체 소자 구조이다. 여기서는 NMOS 소자의 구조를 예로 들었는데, PMOS 소자(미도시)도 동시에 형성된다.
- [0103] 도 13의 (a) 및 (b)에 도시된 바와 같이, 중전압 반도체 소자에 사용되는 마스크는 STI(S101), FG(S102),

NM(S103), PM(S104), PW(S105), NW(S106), NSD(S107), PSD(S108), CONT(S109), MET1(S110), VIA1(S111), MET2(S112) 및 PAD(S113) 이다. 총 13개의 마스크가 소요된다. 중전압 반도체 소자에 대한 제조 방법은 NM 마스크를 사용해서, N형의 LV LDD 영역(158)을 형성한다. 그리고 이러한 제조 방법은 짧은 채널(Short channel)에 의한 소스 및 드레인(S/D) 간의 펀치 쭈르(Punch through) 우려 때문에 NM 마스크를 이용해서 N형의 NM 할로(Halo) 영역(155)까지 형성한다. 2개의 단계(step)가 진행되는 것이다. PM 마스크도 마찬가지로이다. PMOS 소자 형성을 위해, PM 마스크를 사용해서, P형의 LV LDD 영역(미 도시)을 형성한다. 그리고 제조 방법은 짧은 채널에 의한 S/D간의 펀치 쭈르 우려 때문에 PM 마스크를 이용해서 P형의 PM 할로(Halo) 영역(미 도시)을 형성한다.

- [0105] 도 14는 본 발명의 실시 예에 따른 반도체 소자에 사용되는 마스크와 구조를 나타낸 도면이다.
- [0106] 도 14의 (a)는 본 발명의 실시 예에 따른 반도체 소자 제조할 때 사용되는 복수의 마스크를 나열한 도면이다. 도 14의 (b)는 본 발명의 실시 예에 따른 복수의 마스크를 사용해서 형성된 반도체 소자다. 여기서는 NMOS 소자의 구조를 예로 들었는데, PMOS 소자(미 도시)도 동시에 형성된다.
- [0107] 본 발명의 실시 예에 따른 반도체 소자의 제조 방법은 NM(S103) 및 PM(S104) 마스크를 생략하고, FG(S102) 마스크 이후에 바로 NMOS 소자(도 1a 참조) 형성을 위해 하나의 비대칭 PW 마스크(asymmetric PW mask)인 'APW'(S105)를 사용한다. 이러한 제조 방법은 하나의 마스크를 사용해서 TKPW와 비대칭 NTK 영역을 형성한다. 그리고 PMOS 소자(도 1b 참조) 형성을 위해서, 제조 방법은 하나의 비대칭 NW 마스크(asymmetric NW mask)인 'ANW'(S106)를 사용한다. 제조 방법은 하나의 마스크를 이용해서 TKNW와 PTK 영역을 형성한다. 여기서 NMOS 및 PMOS 소자는 하나의 웨이퍼에 동시에 형성된다. STI, FG, CONT, MET1, VIA1, VIA2, MET2, PAD 마스크는 NMOS, PMOS 구분 없이 공통으로 사용되는 마스크이고, 나머지 4개의 마스크(APW, ANW, NSD, PSD)는 각각 NMOS 및 PMOS 소자 형성을 위한 마스크이다.
- [0108] 그래서 총 11개의 마스크가 소요된다. 이러한 제조 방법은 마스크 제작 비용을 절감할 수 있을 뿐만 아니라, 제조 과정에 소요되는 시간(TAT)도 줄일 수 있어 제조 단가를 떨어뜨릴 수 있다. BCD 기술의 경쟁력을 위해서는 턴온(turn-on) 상태의 낮은 소스-드레인 저항(low Rdson)을 갖는 반도체 소자가 요구된다. 이에 따라, 본 발명의 실시 예에 따른 반도체 소자의 제조 방법은 2개의 마스크 공정을 생략할 수 있고, 반도체 소자의 특성을 개선할 수 있다.
- [0109] 또한 NM, PM 마스크를 사용하지 않기 때문에, P형의 LV LDD 영역, N형의 NM 할로(Halo) 영역, N형의 LV LDD 영역, P형의 PM 할로(Halo) 영역 형성을 위한 이온 주입 공정이 생략된다. 적어도 4개의 이온 주입 공정이 생략되기 때문에 반도체 소자의 제조 비용이 획기적으로 감소한다.
- [0110] 도 14의 (b)에서 보듯이, 본 발명의 실시 예에 의한 비대칭 소자 구조는 제1 소스 드레인 영역(151)에 LDD 영역이 형성되지 않는다. 일반적인 비대칭 소자 구조를 나타내는 도 13의 (b)의 구조와 비교해 보았을 때, 도 14의 (b)의 구조가 제1 소스 드레인 영역(151)과 제2 소스 드레인 영역(152) 사이의 펀치 쭈르(punch through)가 일어날 확률이 상당히 줄어든다. 왜냐하면 제1 소스 드레인 영역(151) 옆에 LDD 영역이 없기 때문이다. LDD 영역이 있을 경우(대칭 소자)와 비교해서, 그 만큼 채널 길이가 길어지는 효과가 있기 때문이다.
- [0111] 또한 LDD 영역이 없음으로 인해, 채널 길이를 더 줄일 수 있는 마진이 커진다. 문턱 전압은 채널 길이가 짧아질수록 낮아진다, LDD 영역을 제거함으로써, 채널 길이를 더 작게 조절할 수 있는 공간적 여유가 생긴다. 비대칭 소자는 대칭(Symmetric) 소자에 비해 채널 길이가 더 짧게 형성될 수 있다. 이에 따라 같은 조건에서, 비대칭 소자는 대칭 소자보다 문턱 전압(Vt) 값이 낮아진다. 그에 따라 대칭 소자에 비해 제1 소스 드레인 영역(151) 및 제2 소스 드레인 영역(152) 사이의 전류가 증가된다. 전류가 증가한다는 것은 Rdson 값이 떨어진다는 것과 같은 의미이다.
- [0112] 전기적 측면에서, 본 발명의 실시 예들은 턴온(turn-on) 상태의 낮은 소스-드레인 저항(low Rdson)의 필수사항인 낮은 문턱 전압(low Vth)에 적합할 수 있다. 종래에는 낮은 전압 LDD(LV LDD)를 추가하면서 펀치(Punch) 우려 때문에 할로 이온 주입(Halo implant)까지 적용한 반면, 본 발명의 실시 예들은 제1 소스 드레인 영역(151)에 할로 이온 주입 및 LDD 이온 주입을 생략함으로써, 문턱 전압을 감소시킬 수 있다. 이에 따라 턴온(turn-on) 상태의 소스-드레인 저항이 감소될 수 있다. 예를 들면, 본 발명의 실시 예들은 문턱 전압을 1.2V에서 0.8V로 감소시킬 수 있고, 채널 길이(Channel length)를 감소시킬 수 있다.
- [0113] 품질 측면에서, 본 발명의 실시 예들은 1개의 포토 마스크(APW 또는 ANW)에 의해 문턱 전압(Vth)이 결정되므로 문턱 전압 산포를 획기적으로 개선할 수 있다.

- [0115] 도 15는 본 발명의 실시 예에 따른 NMOS 및 PMOS 반도체 소자의 전기적 특성을 나타낸 도면이다.
- [0116] 도 15의 (a)에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자가 5V의 NMOS 소자 및 PMOS 소자이고, 게이트 전압이 1V 내지 5V까지 변경되면서 제2 소스-드레인 영역의 전압 및 전류 특성을 측정된 결과, 정상적인 제2 소스-드레인 영역의 전압 및 전류 특성이 측정되고 있다.
- [0117] 도 15의 (b)에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자는 5V 소자임에도 그 보다 훨씬 높은 10V 정도에서 항복 전압이 안정적으로 발생하는 것을 나타내고 있다.
- [0119] 도 16은 중전압 소자와 본 발명의 실시 예에 따른 반도체 소자에서의 온 상태의 소스-드레인 사이의 저항을 비교한 도면이다.
- [0120] 온 상태의 소스-드레인 사이 저항 (Rdson)은 하기의 [수학식 1]과 같이 계산된다.

수학식 1

[0121]
$$R_{dson} = \frac{V_{d.lin}}{I_{d.lin}} * Width(um) * 1e3$$

- [0122] 여기서, Rdson은 온 상태의 소스-드레인 사이 저항이다. 선형 전압(Vd.lin) 및 선형 전류(Id.lin)는 선형 상태에서의 드레인 전압 및 전류를 나타낸다. 너비(Width)는 채널 너비(폭)를 말한다.
- [0123] 턴온(turn-on)상태의 제2 소스-드레인-제1 소스-드레인 저항은 MOSFET의 제2 소스-드레인 영역(152)과 제1 소스-드레인 영역(151) 사이에 흐르는 저항, 즉 게이트가 턴-온(turn-on) 상태에서의 Drain-Source 저항 값이며, 문턱 전압(Vth)이 낮아지면 작아진다. 여기서, 턴온(turn-on) 상태의 제2 소스-드레인-제1 소스-드레인 저항이 작아질수록 소자 성능이 좋다고 할 수 있다.
- [0124] 도 16에 도시된 바와 같이, 본 발명의 실시 예에 따른 반도체 소자(New Tr.)의 턴온(turn-on) 상태의 제2 소스-드레인-제1 소스-드레인 저항은 중전압 반도체 소자(Reference)에 비해 감소함을 알 수 있다.
- [0126] 이상에서 설명한 실시 예들은 그 일 예로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

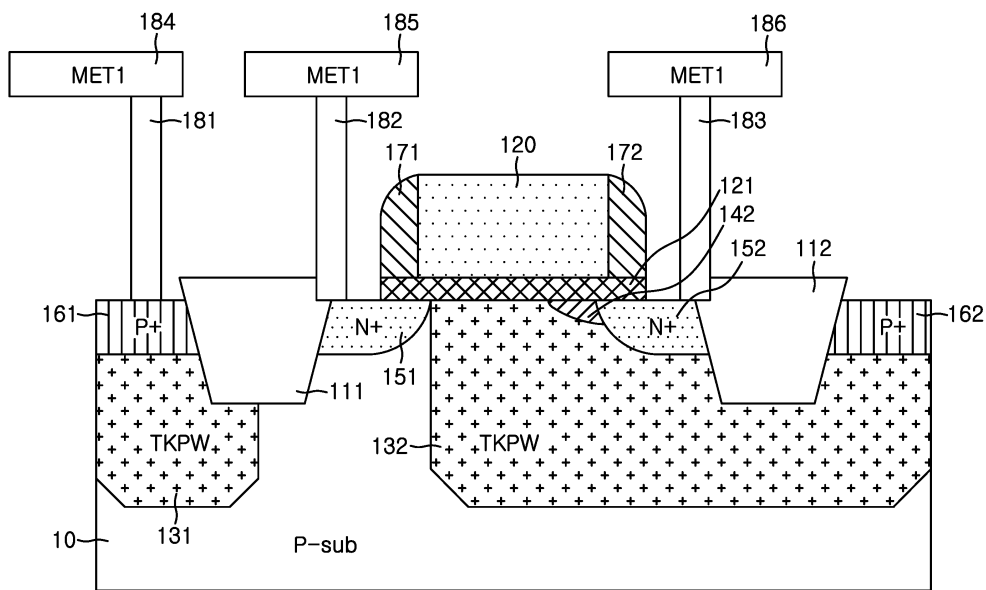
부호의 설명

- [0128] 10: 반도체 기관
- 111 및 112: 제1 및 제2 트랜치
- 113: 복수의 절연막
- 114 및 115: 트랜치 마스크 패턴
- 120: 게이트 전극
- 121: 게이트 절연막
- 122: 전도성 물질
- 123: 제1 마스크 패턴
- 131 및 132, 136 및 137: 제1 및 제2 웰 영역
- 133, 134 및 135: 제2 마스크 패턴
- 141, 142, 143, 145, 146 및 147: 제1, 제2 및 제3 LDD 영역

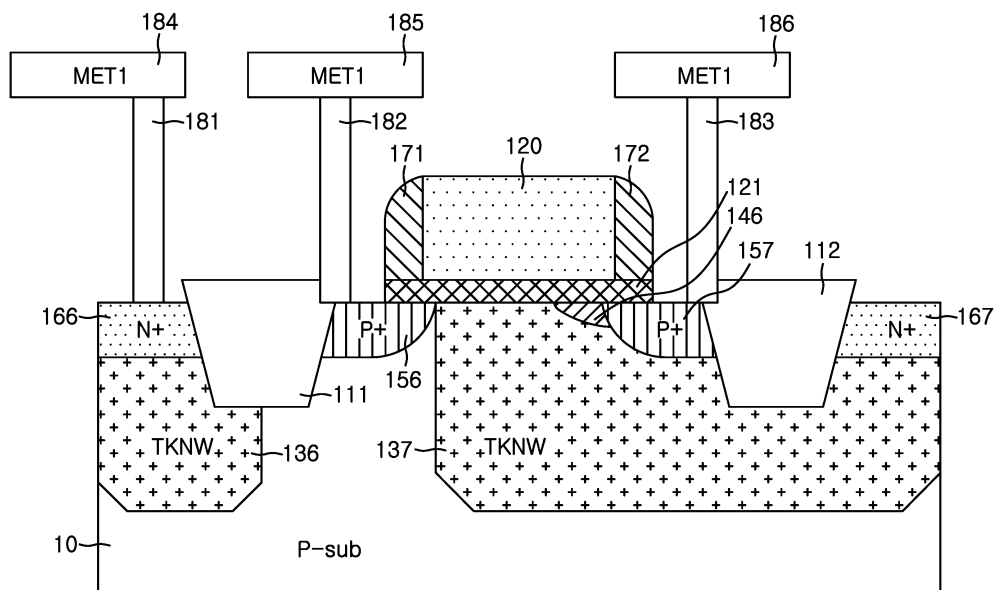
- 151, 152, 156 및 157: 제1 소스 드레인 및 제2 소스 드레인 영역
- 153 및 154: 제3 마스크 패턴
- 161, 162, 166 및 167: 제1 및 제2 벌크 영역 또는 웰-탭 영역
- 163: 제4 마스크 패턴
- 171 및 172: 제1 및 제2 스페이서
- 174, 175 및 176: 제1, 제2 및 제3 절연막
- 181 내지 186: 제1 내지 제3 콘택 플러그 및 금속 배선들

도면

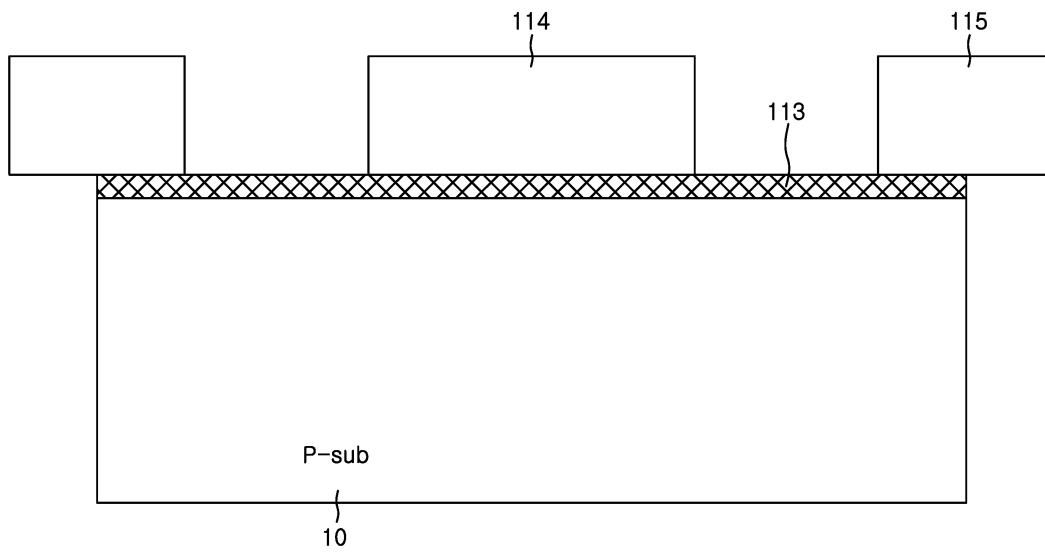
도면1a



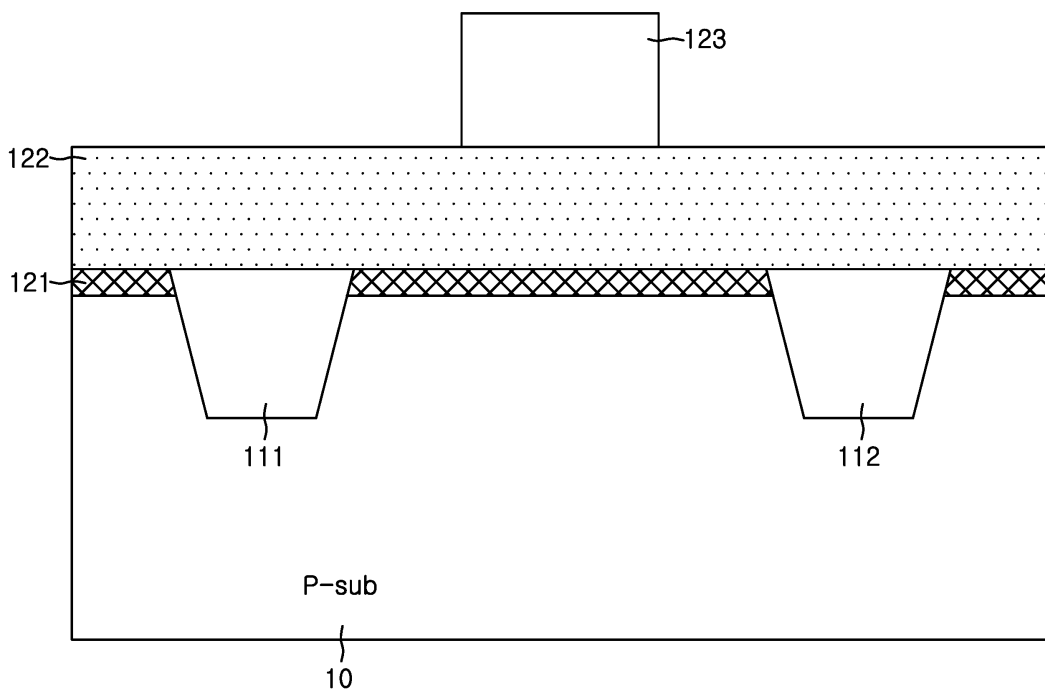
도면1b



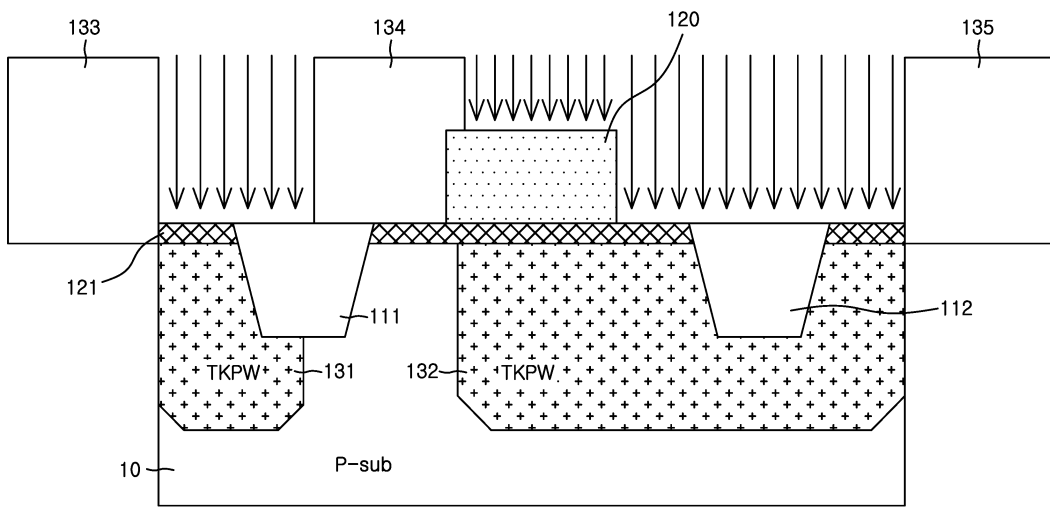
도면2



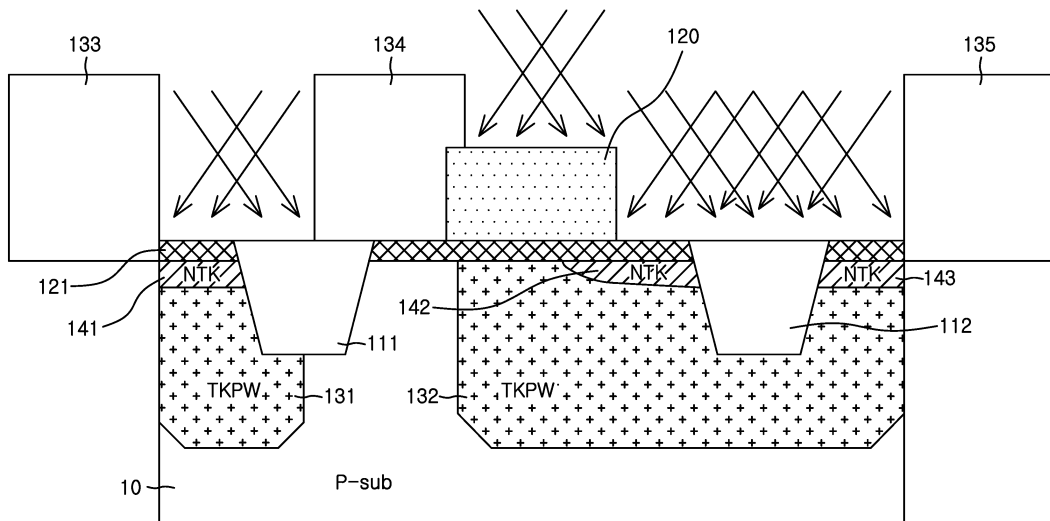
도면3



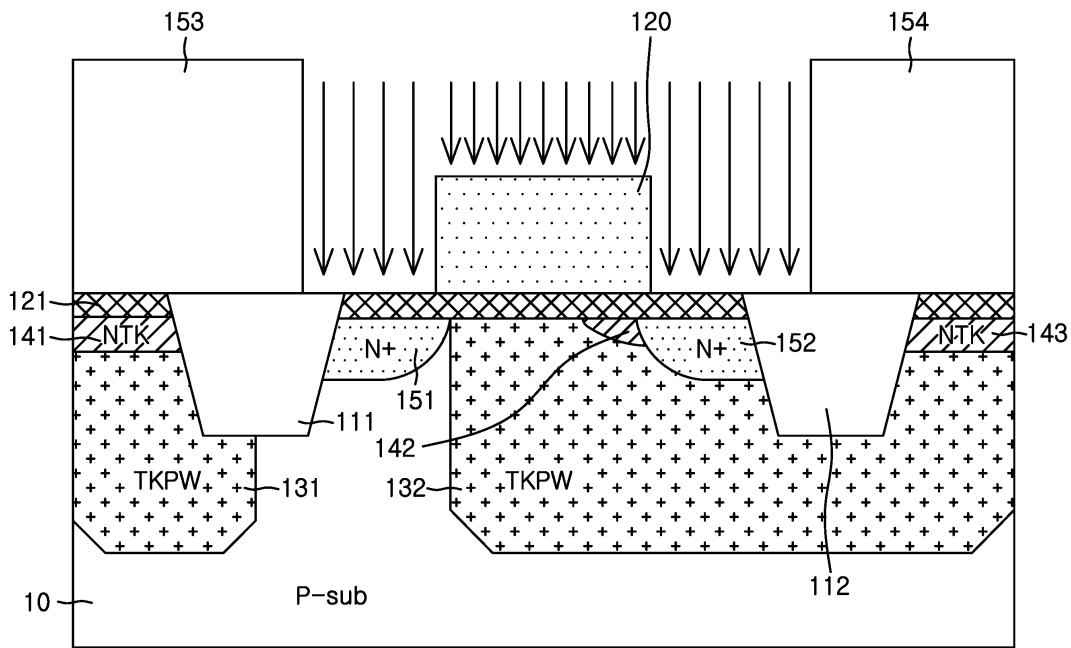
도면4



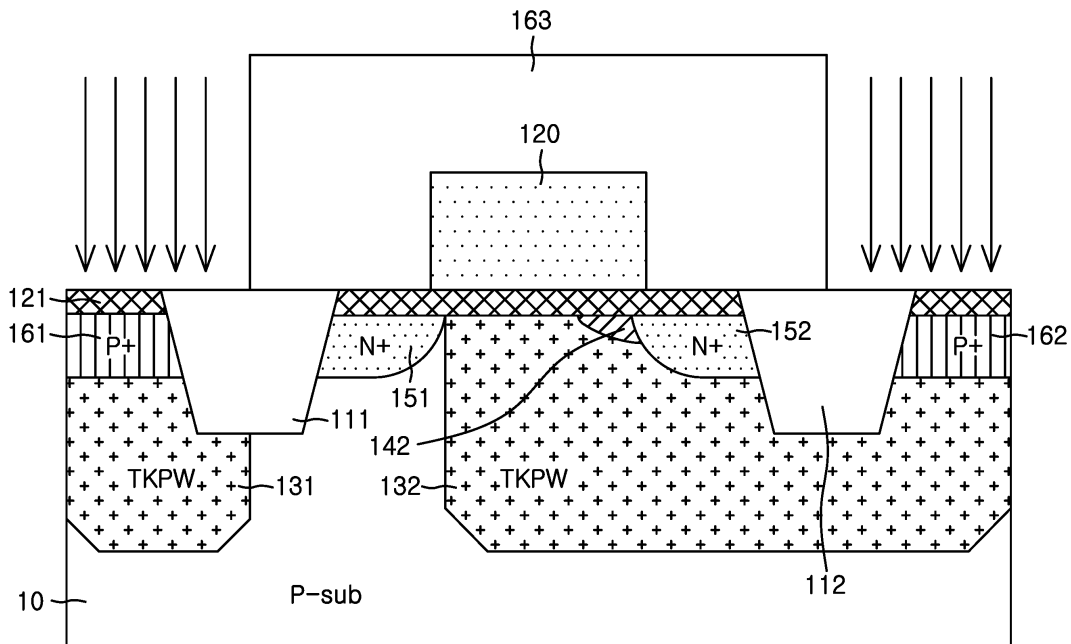
도면5



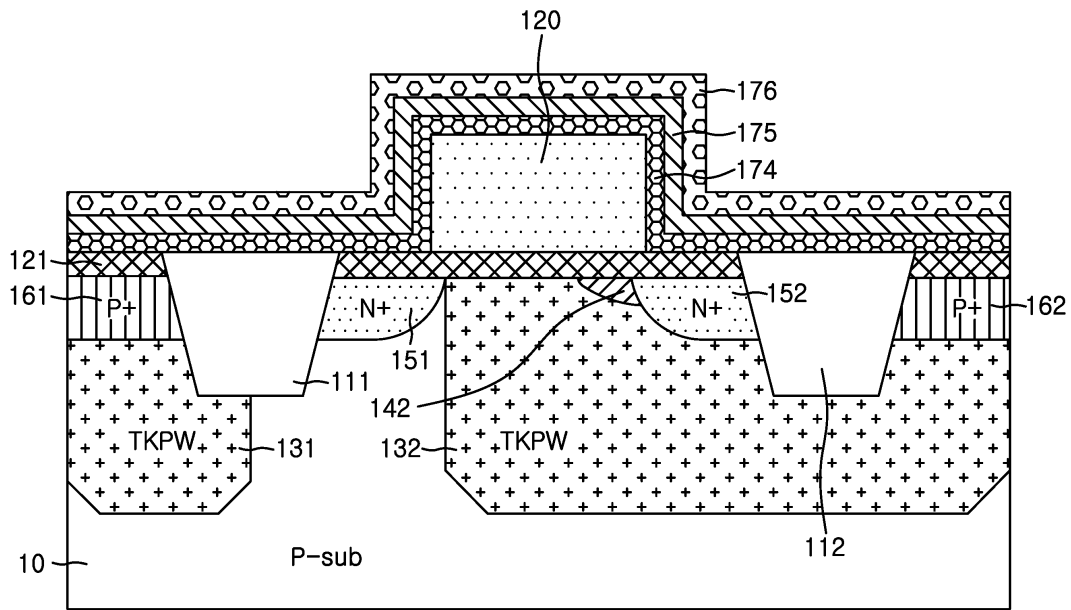
도면6



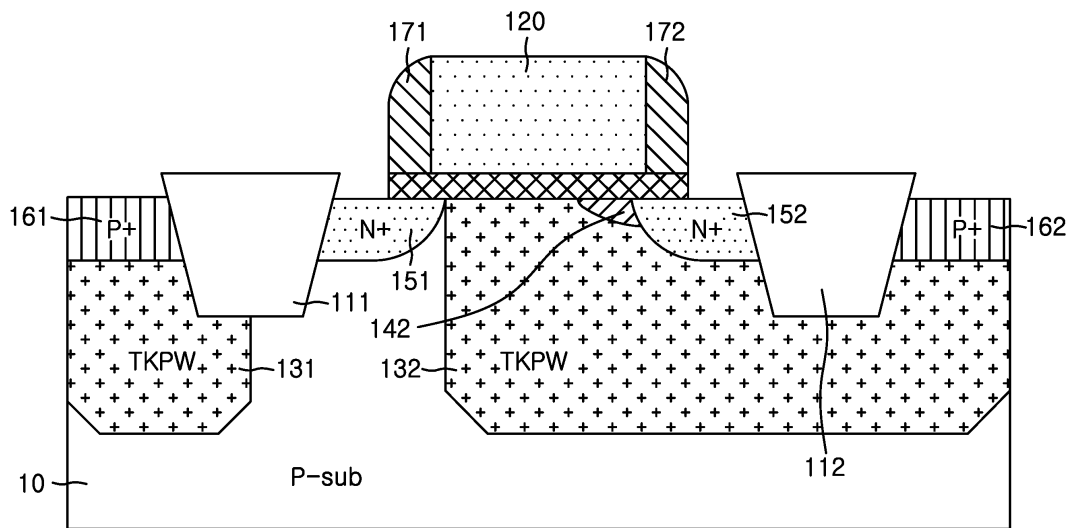
도면7



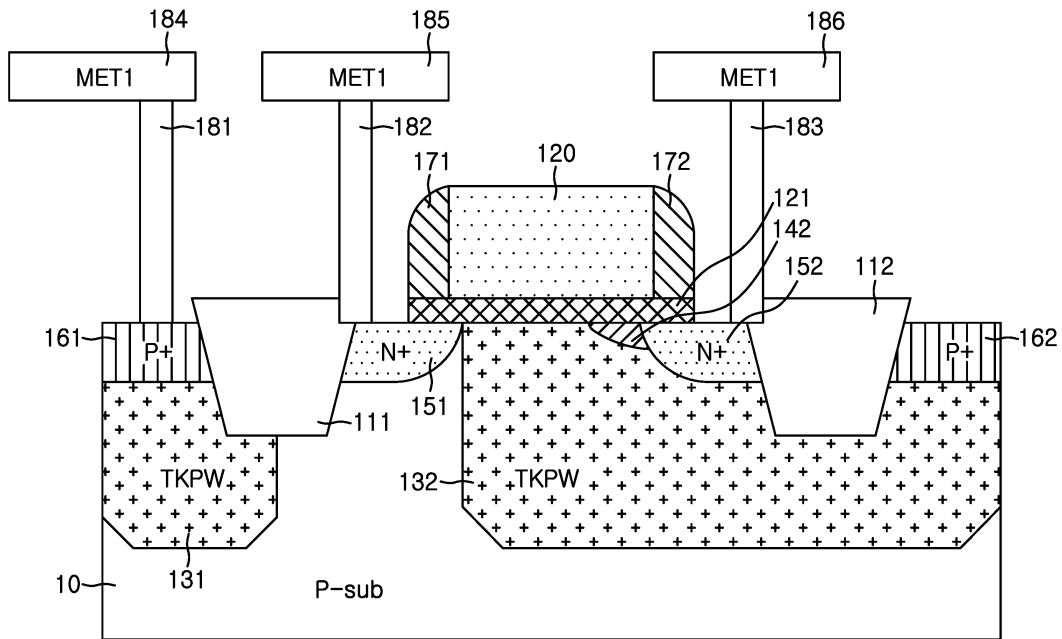
도면8



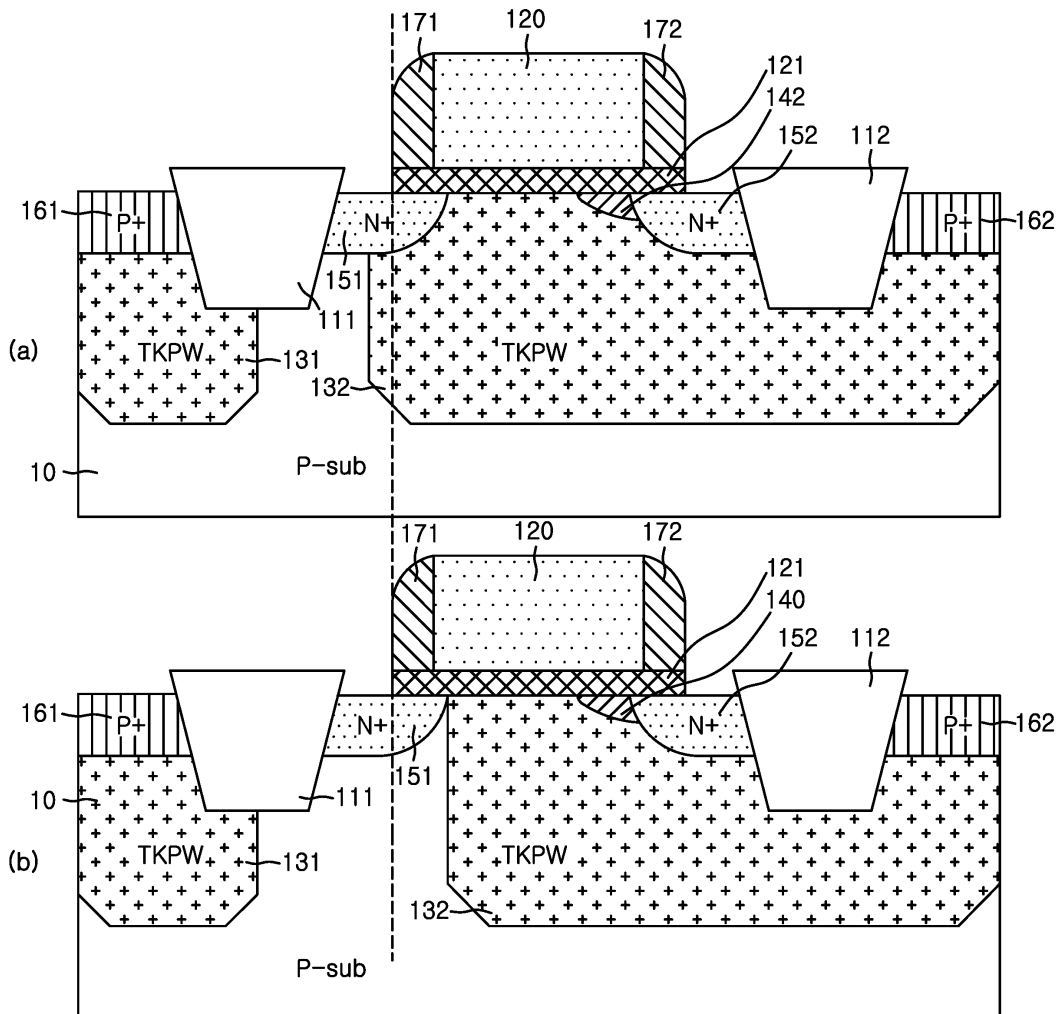
도면9



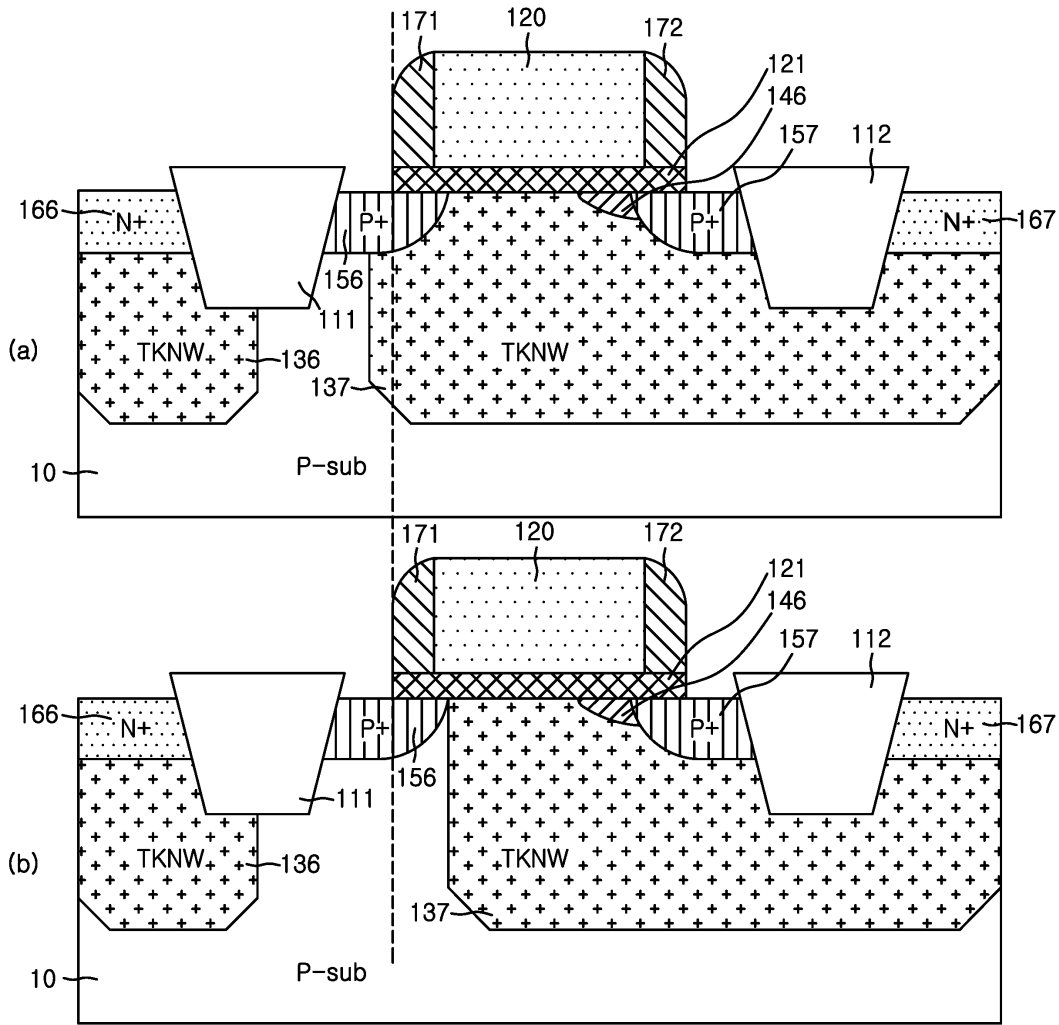
도면10



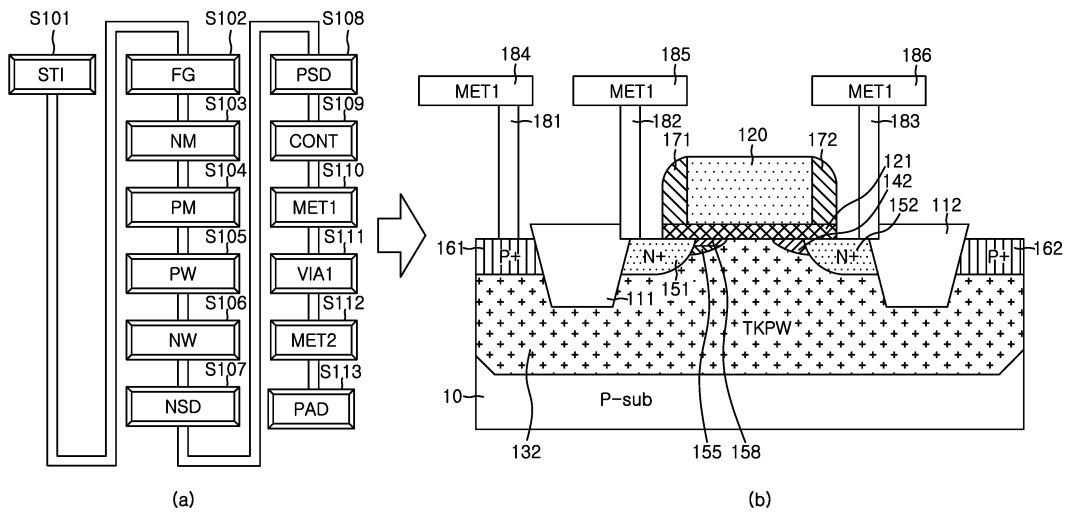
도면11



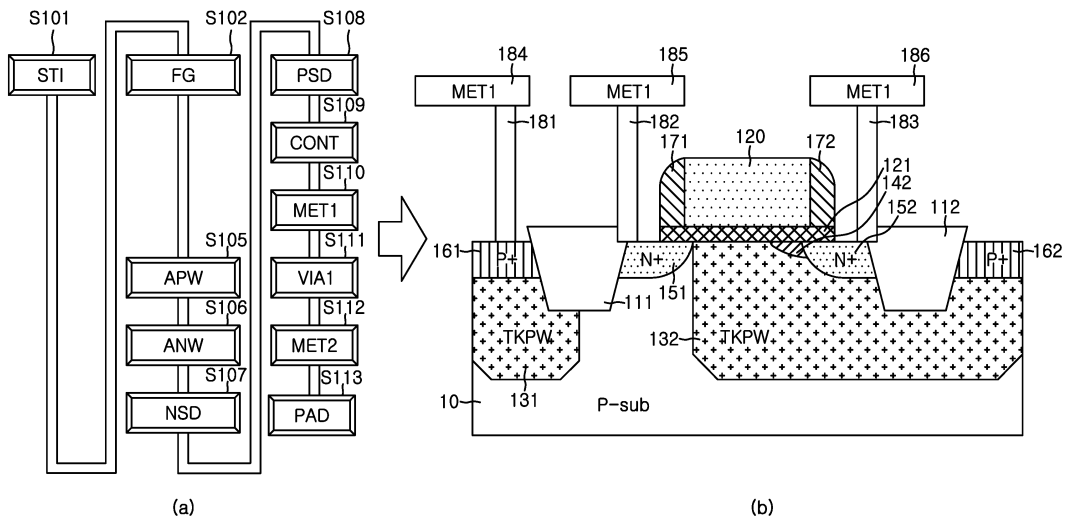
도면12



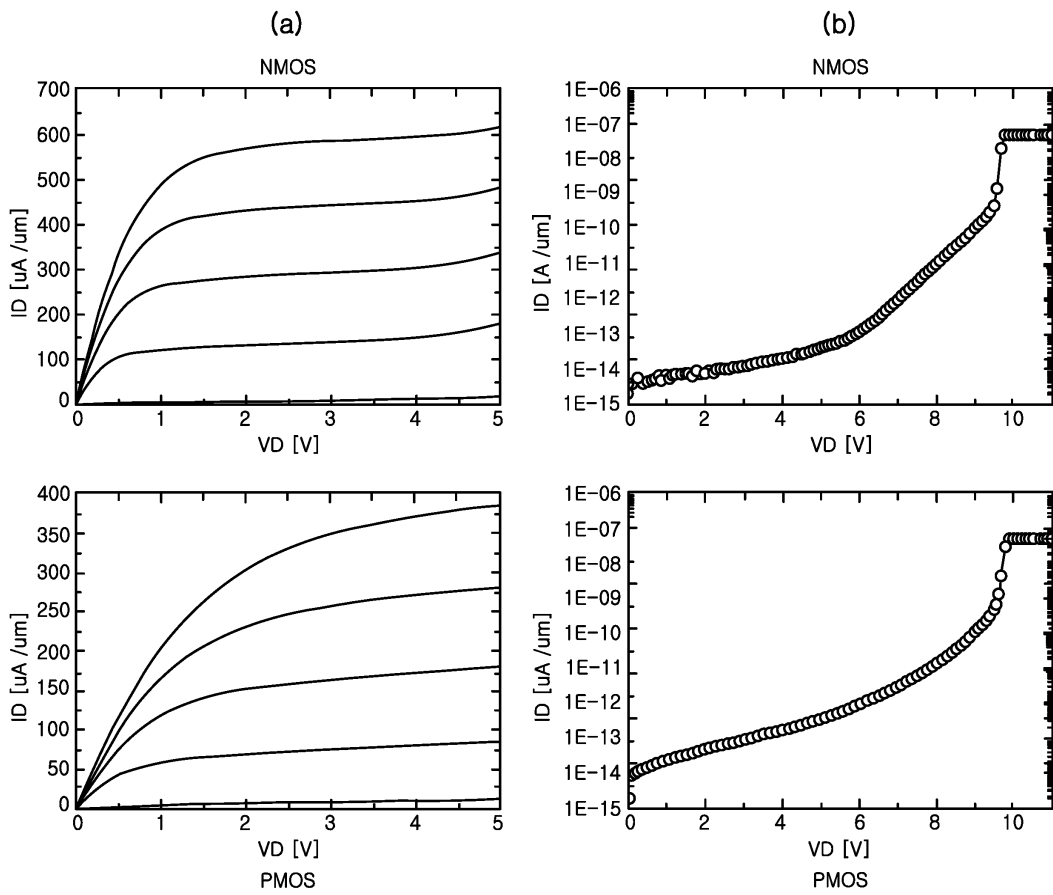
도면13



도면14



도면15



도면16

