

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/60	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년08월25일 10-0510316 2005년08월18일
--	-------------------------------------	--

(21) 출원번호	10-2000-7005856	(65) 공개번호	10-2001-0015849
(22) 출원일자	2000년05월29일	(43) 공개일자	2001년02월26일
번역문 제출일자	2000년05월29일		
(86) 국제출원번호	PCT/JP1999/004786	(87) 국제공개번호	WO 2000/19515
국제출원일자	1999년09월03일	국제공개일자	2000년04월06일

(81) 지정국

 국내특허 : 중국, 일본, 대한민국, 미국, 싱가포르,

 EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 98-292933 1998년09월30일 일본(JP)

(73) 특허권자 세이코 앵슨 가부시키키가이샤
 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 하시모토노부아키
 일본나가노켄스와시다이와3-3-5세이코앵슨가부시키키가이샤내

(74) 대리인 한양특허법인

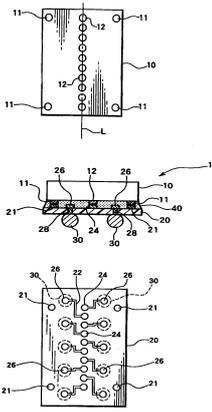
심사관 : 송원선

(54) 반도체 장치 및 그 제조방법, 회로기판 및 전자기기

요약

본 발명의 반도체 장치는, 하나의 직선(L)상에 배열된 복수의 전극(12)을 가지고 페이스다운 본딩되는 반도체 소자(10)와, 반도체 소자(10)의 전극(12)이 접속되는 본딩부(24)와, 본딩부(24)에 전기적으로 접속되는 랜드부(26)를 갖는 배선 패턴(22)이 형성된 기판(20)과, 기판(20)을 관통하여 랜드부(26)에 접속되는 외부전극(30)과, 반도체 소자(10)와 기판(20)과의 사이에 설치되는 범프(11, 21)로 이루어지는 지지부를 포함하고, 접속된 전극(12) 및 본딩부(24)와, 범프(11, 21)로 이루어지는 지지부가 반도체 소자(10)와 기판(20)을 거의 평행하게 유지한다.

대표도



색인어

본딩부, 기판, 범프, 전극, 반도체 소자

명세서

기술분야

본 발명은 반도체 장치 및 그 제조방법, 회로기판 및 전자기기에 관한 것이다.

배경기술

최근의 전자기기의 소형화에 따라, 고밀도 장착에 적합한 반도체 장치의 패키지가 요구되고 있다. 이것에 대응하기 위해서, BGA(Ball Grid Array)나 CSP(Chip Scale/Size Package)와 같은 패키지가 개발되어 있다. 이러한 패키지는 예를 들면, DRAM이나 동기(synchronize) DRAM과 같은 복수의 전극이 일렬로 배열된 반도체 소자를 패키지화할 때에도 적용된다. 구체적으로는, 반도체 소자와, 배선 패턴이 형성된 기판을 간격을 두고 배치하고, 배선 패턴의 일부를 이루는 리드를 굴곡시켜 반도체 소자의 전극에 본딩하고 있었다.

이 구조에 의하면, 하나의 리드마다 본딩하지 않으면 안 되기 때문에, 전극의 간격이 좁아지면 정밀한 본딩 공정이 요구되어, 대응이 곤란하게 되어 왔다.

발명의 상세한 설명

본 발명은 이러한 문제점을 해결하는 것이며, 그 목적은, 일렬로 배열된 전극을 갖는 반도체 소자를 사용한 소형의 반도체 장치 및 그 제조방법, 회로기판 및 전자기기를 제공하는 것에 있다.

(1) 본 발명에 관련된 반도체 장치는, 하나의 직선상에 집중하여 배열된 복수의 전극을 가지고 페이스다운 본딩되는 반도체 소자와,

상기 반도체 소자의 상기 전극이 접속되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성되어 상기 반도체 소자에 서로 겹치는 기판과,

상기 반도체 소자와 상기 기판과의 사이에 설치되는 적어도 하나의 지지부를 포함하고,

상기 접속된 전극 및 본딩부와, 상기 지지부를 사용하여 상기 반도체 소자상에 서로 겹치는 상기 기판을 상기 반도체 소자와 거의 평행하게 유지하도록 하여 이루어진다.

본 발명에 의하면, 복수의 전극이 하나의 직선상에 집중하여 배열되어 있고, 전극 및 본딩부만으로는 안정하지 않는 반도체 소자가, 지지부에 의해서 기판에 대하여 평행하게 유지된다. 따라서, 반도체 소자의 측단이, 기판에 형성된 배선 패턴에 접촉하여 도통하여 버리는 것을 방지할 수 있다. 또는, 기판의 굴곡을 방지할 수 있다.

또한, 반도체 소자는 페이스다운 본딩되기 때문에, 반도체 소자의 영역 내에서 본딩이 행해진다. 따라서, 기관의 면적을 필요 최저한으로 작게 할 수 있다. 그 결과, 반도체 장치의 소형화가 가능하게 된다.

(2) 본 발명에 관련되는 반도체 장치는, 하나의 직선의 부근에 집중하여 배열된 복수의 전극을 가지고 페이스다운 본딩되는 반도체 소자와,

상기 반도체 소자의 상기 전극이 접속되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성되어 상기 반도체 소자에 서로 겹치는 기관과,

상기 반도체 소자와 상기 기관과의 사이에 설치되는 적어도 하나의 지지부 를 포함하고,

상기 접속된 전극 및 본딩부와, 상기 지지부를 사용하여 상기 반도체 소자상에 서로 겹치는 상기 기관을 상기 반도체 소자와 거의 평행하게 유지하도록 하여 이루어진다.

본 발명에 의하면, 복수의 전극이 하나의 직선 부근에 집중하여 배열되어 있고, 전극 및 본딩부만으로는 안정하지 않는 반도체 소자가, 지지부에 의해서 기관에 대하여 평행하게 유지된다. 따라서, 반도체 소자의 측단이, 기관에 형성된 배선 패턴에 접촉하여 도통하여 버리는 것을 방지할 수 있다. 또는, 기관의 굴곡을 방지할 수 있다.

또한, 반도체 소자는 페이스다운 본딩되기 때문에, 반도체 소자의 영역 내에서 본딩이 행해진다. 따라서, 기관의 면적을 필요 최저한으로 작게 할 수 있다. 그 결과, 반도체 장치의 소형화가 가능하게 된다.

(3) 이 반도체 장치에 있어서,

상기 랜드부에 접속되는 외부전극을 가지고 있어도 좋다.

이것에 의하면, 반도체 소자와 기관이 평행하게 유지되는 것으로, 외부전극으로부터 가해진 응력이 균등하게 전해져, 응력의 집중을 방지할 수 있다.

(4) 이 반도체 장치에 있어서,

상기 지지부는, 상기 전극이 집중하는 상기 직선상으로부터 어긋난 위치에 설치되어도 좋다.

이와 같이 지지부가 배치되는 것으로, 본딩된 전극 및 본딩과, 지지부를 연결하면 삼각형 이상의 다각형이 형성되고, 반도체 소자와 기관과의 평행을 유지할 수 있다.

(5) 이 반도체 장치에 있어서,

상기 반도체 소자의 가상 중심선으로써 상정되는 2개의 영역으로 구분한 상태에서, 상기 지지부는, 상기 외부전극이 배치되는 영역과는 다른 측의 영역에 설치되어도 좋다.

(6) 이 반도체 장치에 있어서,

상기 반도체 소자의 중앙 영역에 상기 전극이 배치되고, 상기 반도체 소자의 주변 영역에 상기 지지부가 형성되어도 좋다.

(7) 이 반도체 장치에 있어서,

상기 지지부는 복수 설치되고, 인접하는 상기 지지부간의 거리는, 인접하는 상기 전극간의 거리에 비하여 크게 형성되어도 좋다.

(8) 이 반도체 장치에 있어서,

상기 지지부는, 상기 전극과 거의 같은 평면 형상을 이루어도 좋다.

이렇게 하는 것으로, 지지부는 점에 가까운 형상으로 설치되기 때문에, 눌러서 높이를 조정할 수 있다.

(9) 이 반도체 장치에 있어서,

상기 지지부는, 상기 랜드부로부터 어긋난 위치에 형성되어도 좋다.

이렇게 하는 것으로, 외부전극과는 어긋난 위치에 지지부가 설치되기 때문에, 기판에 있어서의 지지부와 접촉부분이 굴곡하더라도, 외부전극의 높이의 평탄성(코플레인리티; coplanarity)을 확보할 수 있다.

(10) 이 반도체 장치에 있어서,

상기 지지부는, 전기적으로 절연체로 형성되어도 좋다.

이렇게 하는 것으로, 반도체 소자와 기판의 배선 패턴과의 전기적인 접속을 차단할 수 있다.

(11) 이 반도체 장치에 있어서,

상기 지지부는, 상기 반도체 소자에 상기 전극과 같은 재료로 상기 전극으로부터 떨어져 형성되는 제 1 범프와, 상기 기판에 상기 배선 패턴과 같은 재료로 상기 배선 패턴으로부터 떨어져 형성되는 제 2 범프가 접합되어 구성되어도 좋다.

이렇게 하는 것으로, 제 1 범프를 전극과 동시에 형성할 수 있고, 제 2 범프를 배선 패턴과 동시에 형성할 수 있기 때문에, 제조 공정을 늘리지 않아도 좋다.

(12) 이 반도체 장치에 있어서,

상기 반도체 소자의 전극은, 접착제에 도전입자가 분산되어 이루어지는 이방성 도전재료를 개재시켜 상기 본딩부에 접속되어도 좋다.

이것에 의하면, 이방성 도전재료에 의해서 본딩부와 전극을 전기적으로 도통시키기 때문에, 신뢰성이 뛰어난 접속이 얻어진다.

(13) 본 발명에 관련되는 반도체 장치의 제조방법은, 하나의 직선상에 집중하여 배열된 복수의 전극을 갖는 반도체 소자를 준비하는 공정과,

상기 반도체 소자의 상기 전극에 대응하는 위치에 형성되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성된 기판을 준비하는 공정과,

상기 반도체 소자를 페이스다운 본딩하여, 상기 전극을 상기 본딩부에 접속하는 공정과,

상기 반도체 소자 및 상기 기판의 사이에, 상기 전극 및 상기 본딩부의 합계의 두께와 거의 같은 높이의 적어도 하나의 지지부를 설치하는 공정을 포함한다.

본 발명에 의하면, 복수의 전극이 하나의 직선상에 집중하여 배열되어 있고, 전극만으로는 안정하지 않는 반도체 소자를, 지지부에 의해서 기판에 대하여 평행하게 유지할 수 있다. 따라서, 전극과 본딩부를, 굴곡이 없도록 적정하게 본딩할 수 있다. 또한, 반도체 소자의 측단이, 기판에 형성된 배선 패턴에 접촉하여 도통하여 버리는 것을 방지할 수 있다. 또는, 기판의 굴곡을 방지할 수 있다.

또한, 반도체 소자는 페이스다운 본딩되기 때문에, 반도체 소자의 영역 내에서 본딩이 행해진다. 따라서, 기판의 면적을 필요 최저한으로 작게 할 수 있다. 그 결과, 반도체 장치의 소형화가 가능하게 된다.

(14) 본 발명에 관련되는 반도체 장치의 제조방법은, 하나의 직선의 부근에 집중하여 배열된 복수의 전극을 갖는 반도체 소자를 준비하는 단계와,

상기 반도체 소자의 상기 전극에 대응하는 위치에 형성되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성된 기판을 준비하는 단계와,

상기 반도체 소자를 페이스다운 본딩하여, 상기 전극을 상기 본딩부에 접속하는 단계와,

상기 반도체 소자 및 상기 기판의 사이에, 상기 전극 및 상기 본딩부의 합계의 두께와 거의 같은 높이의 적어도 하나의 지지부를 설치하는 단계를 포함한다.

본 발명에 의하면, 복수의 전극이 하나의 직선의 부근에 집중하여 배열되어 있고, 전극만으로는 안정하지 않는 반도체 소자를, 지지부에 의해서 기판에 대하여 평행하게 유지할 수 있다. 따라서, 전극과 본딩부를, 굴곡이 없도록 적절하게 본딩할 수 있다. 또한, 반도체 소자의 측단이, 기판에 형성된 배선 패턴에 접촉하여 도통하여 버리는 것을 방지할 수 있다. 또는, 기판의 굴곡을 방지할 수 있다.

또한, 반도체 소자는 페이스다운 본딩되기 때문에, 반도체 소자의 영역 내에서 본딩이 행해진다. 따라서, 기판의 면적을 필요 최저한으로 작게 할 수 있다. 그 결과, 반도체 장치의 소형화가 가능하게 된다.

(15) 이 제조방법에 있어서,

상기 지지부를 설치하는 공정에서는, 상기 반도체 소자 또는 상기 기판의 한쪽에 미리 상기 지지부를 설치하여 두고, 상기 반도체 소자 또는 상기 기판의 다른쪽을, 상기 지지부에 접촉시켜도 좋다.

(16) 이 제조방법에 있어서,

상기 지지부를 설치하는 공정에서는, 상기 반도체 소자에 상기 전극과 같은 재료로 상기 전극으로부터 떨어진 제 1 범프를 설치하고, 상기 기판에 상기 배선 패턴과 같은 재료로 상기 배선 패턴으로부터 떨어진 제 2 범프를 설치하며, 이 제 1 및 제 2 범프를 접합하여 상기 지지부를 구성하여도 좋다.

이렇게 하는 것으로, 제 1 범프를 전극과 동시에 형성할 수 있고, 제 2 범프를 배선 패턴과 동시에 형성할 수 있기 때문에, 제조 공정을 늘리지 않아도 좋다.

(17) 이 제조방법에 있어서,

상기 지지부를, 전기적으로 절연체로 형성하여도 좋다.

이렇게 하는 것으로, 반도체 소자와 기판의 배선 패턴과의 전기적인 접속을 차단할 수 있다.

(18) 이 제조방법에 있어서,

상기 반도체 소자를 페이스다운 본딩하고, 상기 전극을, 접촉체에 도전입자가 분산되어 이루어지는 이방성 도전재료를 개재시켜 상기 본딩부에 접속하여도 좋다.

이것에 의하면, 이방성 도전재료에 의해서 본딩부와 전극을 전기적으로 도통시키기 때문에, 신뢰성 및 생산성이 뛰어난 방법으로 반도체 장치를 제조할 수 있다.

(19) 이 반도체 장치의 제조방법에 있어서,

상기 랜드부에 외부전극을 형성하는 공정을 더 포함하여도 좋다.

이렇게 하여 얻어진 반도체 장치에 의하면, 반도체 소자와 기판이 평행하게 유지되는 것으로, 외부전극으로부터 가해진 응력이 균등하게 전달되어, 응력의 집중을 방지할 수 있다.

(20) 본 발명에 관련되는 회로기판에는, 상기 반도체 장치가 장착된다.

(21) 본 발명에 관련되는 전자기기는, 상기 회로기관을 갖는다.

도면의 간단한 설명

도 1a 내지 도 1c는 본 발명을 적용한 제 1 실시예에 관련되는 반도체 장치를 설명하는 도면.

도 2a 내지 도 2c는 본 발명을 적용한 제 1 실시예에 관련되는 반도체 장치의 변형예를 설명하는 도면.

도 3a 내지 도 3c는 본 발명을 적용한 제 2 실시예에 관련되는 반도체를 설명하는 도면.

도 4a 내지 도 4c는 본 발명을 적용한 제 3 실시예에 관련되는 반도체 장치를 설명하는 도면.

도 5는 본 실시예에 관련되는 반도체 장치가 장착된 회로기관을 도시하는 도면.

도 6은 본 실시예에 관련되는 반도체 장치가 실장된 회로기관을 구비하는 전자기기를 도시하는 도면.

실시예

이하, 본 발명의 적합한 실시예에 대하여 도면을 참조하여 설명한다.

(제 1 실시예)

도 1a 내지 도 1c는 본 발명을 적용한 제 1 실시예에 관련되는 반도체 장치를 설명하는 도면이다. 또, 도 1a는 반도체 장치의 일부를 구성하는 반도체 소자(반도체 칩)의 능동면을 도시하는 도면이고, 도 1b는 반도체 장치의 단면도이며, 도 1c는 반도체 장치의 일부를 구성하는 기관에 있어서의 배선 패턴의 형성된 면을 도시하는 도면이다. 반도체 장치(1)는, 반도체 소자(10) 및 기관(20)을 포함한다.

반도체 소자(10)는, 예를 들면 DRAM이나 동기 DRAM 등이고, 복수의 전극(12)을 갖는다. 전극(12)은, 직선(L) 및 그 부근에 집중하여 배열되어 있다. 예를 들면, 전극(12)은, 직선(L)상에 일렬로 배열되어 있다. 직선(L)은, 직사각형을 이루는 반도체 소자(10)의 중앙에 있어서, 긴변에 평행하게 연장되어 있지만, 짧은 변에 평행하게 연장되는 것이라도 좋다. 전극(12)은, 도금이나 와이어를 본딩하여 짚어 형성한 금인 것이 많지만, 니켈, 땀납 등을 재료로 하여도 좋다.

반도체 소자(10)에는, 1개 또는 복수의 범프(11)가 설치되어 있다. 범프(11)는, 직선(L)으로서 어긋난 위치에 설치되어 있다. 예를 들면, 범프(11)를 반도체 소자(11)의 4개의 모서리부 중의 적어도 하나에 설치하여도 좋다. 또는, 반도체 소자(11)에 있어서의 직선(L)과 평행인 긴변의 중앙부(모서리부를 제외하는 부분)에, 1개 또는 복수의 범프(11)를 설치하여도 좋다. 범프(11)는, 전기적으로 절연체로 형성하는 것이 바람직하다. 또한, 범프(11)는, 탄력성을 가지고, 누를 수 있는 정도의 비교적 작은 형상, 예를 들면 전극(12)과 거의 같은 평면형상인 것이 바람직하다. 전극(12)과 동일한 재료로 동일한 공정에서 범프(11)를 형성할 때에는, 절연막으로 덮는 등의 전기적인 절연수단을 실시하는 것이 바람직하다. 이 경우에도, 범프(11)는 점으로서 잡힐 정도의 작은 형상인 것이 바람직하다. 또한, 범프(11)는, 전극(12)과 거의 같은 높이로 형성할 수 있지만, 이것에 한정되는 것이 아니다. 범프(11)는, 기관(20)에 형성되는 범프(21)와 짜맞추어 지지부를 구성한다. 또한, 범프(11)는, 전극(12)으로서 기능하여도 좋고(전기적 접촉으로 되어도 좋고), 다른 배선 패턴과 접촉되어 있어도 좋다. 이것은 후술하는 실시예에서도 마찬가지이다.

기관(20)은, 유기계 또는 무기계의 어느 쪽의 재료로 형성된 것이라도 좋고, 이들의 복합 구조로 이루어지는 것이라도 좋다. 유기계의 재료로 형성된 기관(20)으로서, 예를 들면 폴리이미드 수지로 이루어지는 플렉시블 기관을 들 수 있다. 또한, 무기계의 재료로 형성된 기관(20)으로서, 예를 들면 세라믹 기관이나 유리 기관을 들 수 있다. 유기계 및 무기계의 재료의 복합구조로서, 예를 들면 유리 에폭시 기관을 들 수 있다.

기관(20)에는, 배선 패턴(22)이 형성되어 있다. 배선 패턴(22)은, 기관(20)의 한쪽 면에 형성된다. 또, 기관(20)의 한쪽 면의 배선 패턴(22)의 외에, 다른쪽의 면에도 배선 패턴을 형성하여도 좋다.

배선 패턴(22)은, 스퍼터링 등에 의해 기관(20)에 구리 등의 도전성의 막을 피착하고, 이것을 에칭하여 형성할 수 있다. 이 경우에는, 기관(20)에 배선 패턴(22)이 직접 형성되고, 접착제가 개재하지 않는 2층 기관으로 된다. 또는, 도금으로 패

턴을 형성하는 에디티브법(additive process)을 적용하여도 좋다. 또는, 기관(20)과 배선 패턴(22)과의 사이에 접착제가 개재하는 3층 기관을 사용하여도 좋다. 또는, 기관에 절연수지와 배선 패턴을 적층하여 구성되는 빌드업 다층구조의 기관이나, 복수의 기관이 적층된 다층기관을 사용하여도 좋다.

배선 패턴(22)은, 복수의 본딩부(24) 및 복수의 랜드부(26)를 포함한다. 본딩부(24)는, 반도체 소자(10)의 전극(12)의 배열에 대응하고, 기관(20)에 일렬로 배열되어 있다. 인접한 본딩부(24)의 중심간 거리는, 반도체 소자(10)의 인접한 전극(12)의 중심간 거리와 같다. 랜드부(26)는, 본딩부(24)보다도, 기관(20)에 있어서의 외측(단부측)에 설치되어 있다. 또, 랜드부(26)는, 일렬의 본딩부(24)와 평행하게, 일렬 또는 복수열로 설치하여도 좋지만, 본딩부(24)를 둘러싸고 설치하여도 좋다.

본 실시예에서는, 전극(12)이 반도체 소자(10)의 폭의 중앙에 설치되어 있기때문에, 본딩부(24)도 기관(20)의 폭의 중앙에 배치되어 있다. 따라서, 본딩부(24)와 랜드부(26)와의 거리를 짧게 할 수 있고, 배선 길이가 짧아지는 것으로 전기적 특성이 향상한다.

어느 하나의 본딩부(24)는, 적어도 어느 하나의 랜드부(26)에 전기적으로 접속되어 있다. 각 본딩부(24) 및 각 랜드부(26)는, 배선을 위한 부분보다도 넓은 면적으로 형성되어 있다. 또, 본딩부(24)상에 범프를 형성하여도 좋다. 본딩부(24) 및 랜드부(26)는, 기관(20)에 있어서의 반도체 소자(10)의 탑재영역 내에 위치하고, 그 영역의 외측에 형성하지 않아도 좋지만 형성하여도 좋다.

기관(20)에는, 관통구멍(28)이 형성되어 있다. 그리고, 관통구멍(28)상에, 랜드부(26)가 위치한다. 즉, 랜드부(26)는, 관통구멍(28)을 개재시켜, 배선 패턴(22)의 형성된 면과는 반대측의 면에 접속할 수 있도록 되어 있다. 이렇게 하여, 기관(20)에 있어서의 배선 패턴(22)이 형성된 면과는 반대측의 면에, 배선 패턴(22)에 전기적으로 접속된 복수의 외부전극(30)을 형성할 수 있다. 즉, 외부전극(30)은, 기관(20)을 관통하여 랜드부(26)에 설치되어 있다.

기관(20)에는, 1개 또는 복수의 범프(21)가 설치되어 있다. 범프(21)는,

반도체 소자(10)에 설치된 범프(11)에 대응하는 수 및 위치로 설치되어 있다. 범프(21)는, 범프(11)와 거의 같은 크기 및 형상이라도 좋다. 범프(21)는, 기관(20)에 있어서의 본딩부(24) 및 랜드부(26)보다도 외측(단부측)에 설치되어 있다. 따라서, 범프(11)도, 본딩부(24) 및 랜드부(26)가 형성되는 영역보다도 외측(단부측)에 설치되게 된다. 또한, 범프(11, 21)는, 랜드부(26)에 설치되는 외부전극(30)보다도 외측(단부측)에 위치하게 된다.

범프(21)는, 전기적으로 절연체로 형성하는 것이 바람직하다. 또한, 범프(21)는, 탄력성을 가지고, 누를 수 있는 정도의 비교적 작은 형상인 것이 바람직하다. 배선 패턴(22)과 같은 재료로 같은 공정에서 범프(21)를 형성할 때에는, 절연막으로 덮는 등의 전기적인 절연수단을 실시하는 것이 바람직하다. 이 경우에도, 범프(21)는 점으로서 잡히는 정도의 작은 형상인 것이 바람직하다, 그렇게 하는 것으로, 범프(21)는, 가압하지 않더라도 기관(20)을 움푹패게 할 수 있는 것으로, 높이를 조정할 수 있다. 또한, 범프(21)는, 본딩부(24)나 랜드부(26)와 거의 같은 높이로 형성하여도 좋지만, 이것에 한정되는 것이 아니다.

범프(21)는, 반도체 소자(10)에 형성되는 범프(11)와 짜맞추어 지지부를 구성한다. 반도체 소자(10)의 전극(12)이 일렬로 나란히 배열되어 있으면, 기관(20)에 실장하였을 때에 안정하지 않는다. 그래서, 접속된 전극(12) 및 본딩부(24)에 더하여, 범프(11, 21)에 의해서 지지부를 구성하고, 반도체 소자(10)와 기관(20)과의 평행을 유지하고 있다. 범프(11, 21)의 합계의 높이는, 전극(12) 및 본딩부(24)의 합계의 높이와 같은 것이 바람직하다. 또는, 범프(11, 21)의 합계의 높이가, 전극(12) 및 본딩부(24)의 합계의 높이보다 높더라도, 범프(11, 21)를 누르는 것으로, 높이를 조정할 수 있다. 또는, 범프(11, 21) 자체를 누르지 않더라도, 기관(20)이 약간 움푹패는 것으로, 높이를 조정하여도 좋다.

상술한 전극(12)과 본딩부(24)와의 위치 관계 및 높이 관계를 사용하는 것으로, 반도체 소자(10)의 능동면과 기관(20)의 표면과의 평행도가 안정적으로 확보되고, 그 접합 및 양자간에 충전되는 수지의 균형이 얻어지므로, 그 기계적인 접속 신뢰성은 충분히 확보된다.

반도체 소자(10)는, 이방성 도전재료(40)를 개재시켜, 기관(20)에 페이스다운 본딩된다. 이방성 도전재료(40)는, 접착제(바인더;binder)에 도전입자(도전 필러)가 분산된 것으로, 분산제가 첨가되는 경우도 있다. 이방성 도전재료(40)는, 미리 시트형으로 형성된 후 기관(20)에 접착하여도 좋고, 또는 액체 상태 그대로 기관(20)에 설치하여도 좋다. 또, 이방성 도전재료(40)의 접착제로서, 열경화성의 접착제가 사용되는 경우가 많다. 이방성 도전재료(40)는, 적어도 각 본딩부(24)상에

설치된다. 또는, 기관(20)의 전체를 덮도록 이방성 도전재료(40)를 설치하면, 간단히 그 공정을 행할 수 있다. 또, 기관(20)의 외주 단부를 제외하고 이방성 도전재료(40)를 설치하면, 기관(20)의 외주 단면에 이방성 도전재료(40)가 부착하지 않게 되고, 그 후의 기관(20)의 취급상 형편이 좋다.

이방성 도전재료(40)는, 전극(12)과 본딩부(24)와의 사이에서 눌러지고, 도전입자에 의해서 양자간에서의 전기적 도통을 도모하게 되어 있다. 반도체 소자(10)가 페이스다운 본딩된다면, 이방성 도전재료(40)를 사용하는 대신에, 빛, 열, 압력 및 진동 중의 적어도 하나에 의해서, 전극(12)과 본딩부(24)를 접합하여도 좋다. 이 경우, 금속끼리 접합되는 쪽이 신뢰성이 높다. 그 경우는, 반도체 소자(10)와 기관(20)과의 사이에, 언더필 수지가 충전되는 경우가 많다. 또한, 언더필 수지의 경화 수축력만으로도, 전극(12)과 본딩부(24)를 기계적으로 계속 접촉 보유시키도록 하여도 좋다.

외부전극(30)은, 배선 패턴(22)의 랜드부(26)에 설치되어 있다. 상세하게는, 외부전극(30)은, 기관(20)에 있어서의 배선 패턴(22)이 형성된 면과는 반대측의 면에 설치되고, 관통구멍(28)을 개재시켜, 랜드부(26)에 전기적으로 접속되어 있다. 외부전극(30)과 랜드부(26)와의 전기적인 접속은, 반도체 소자 실장면과는 반대측의 기관(20)의 관통구멍(28)상에, 플럭스와 함께 뿔납 볼을 탑재하고, 리플로를 통하여 형성하는 경우가 많지만, 관통구멍(28)의 내면에 도금된 금이나 구리 등의 도전부재에 의해서 도모하여도 좋다. 또는, 뿔납 볼을 외부전극(30)으로 하는 경우에는, 뿔납 볼의 재료가 되는 뿔납을 관통구멍(28)에 충전하여, 뿔납 볼과 일체화 한 도전부재를 관통구멍(28)내에 형성하여도 좋다.

더욱이, 반도체 소자 실장면과는 반대측에, 배선 패턴(22)과, 비어 홀이나 관통구멍으로 접속된 외부전극용의 랜드를 형성하고, 그 위에 외부전극을 형성하여도 좋다. 또한, 외부전극은, 상술한 뿔납 이외의 금속이나 도전성 수지 등으로 형성하여도 좋다.

본 실시예는 상기한 바와 같이 구성되어 있고, 이하 그 제조방법의 일 예를 설명한다. 우선, 복수의 본딩부(24)와, 본딩부(24)에 접속되는 복수의 랜드부(26)를 갖는 배선 패턴(22)이 형성된 기관(20)을 준비한다. 그리고, 기관(20)에 있어서의 배선 패턴(22)이 형성된 면에, 이방성 도전재료(40)를 설치한다. 상세하게는, 적어도 본딩부(24)상에, 이방성 도전재료(40)를 설치한다.

그리고, 복수의 전극(12)을 갖는 복수의 반도체 소자(10)를 준비한다. 이방성 도전재료(40)에 있어서의 본딩부(24)상에 전극(12)을 위치맞춤하여, 반도체 소자(10)를 기관(20)의 위에 재치한다.

계속하여, 반도체 소자(10)와 기관(20)과의 적어도 어느 한쪽을 가압하고, 이방성 도전재료(40)의 도전입자를 개재시켜, 본딩부(24)와 전극(12)을 전기적으로 접속한다.

그리고, 기관(20)에 있어서의 배선 패턴(22)의 형성된 면과는 반대측으로부터, 관통구멍(28)을 개재시켜, 랜드부(26)에 외부전극(30)을 형성한다.

이상의 공정에 의해, 반도체 장치(1)가 얻어진다. 본 실시예에 의하면, 이방성 도전재료(40)에 의해서 본딩부(24)와 전극(12)을 전기적으로 도통시키기 때문에, 신뢰성 및 생산성이 뛰어난 방법으로 반도체 장치(1)를 제조할 수 있다. 더욱이, 본 실시예에 의하면, 범프(11, 21)로 이루어지는 지지부에 의해서, 반도체 소자(210)의 페이스다운 본딩을 안정하게 행할 수 있기 때문에, 공정의 수율이 향상된다.

본 실시예에서는, 반도체 소자(10) 및 기관(20)의 각각에, 범프(11, 21)를 설치하였지만, 어느 한쪽에만 지지부를 설치하여도 좋다. 예를 들면, 도 2a 내지 도 2c에 도시하는 바와 같이, 기관(20)에만 지지부(50)를 설치하고, 반도체 소자(10)에는 범프를 설치하지 않는 구성으로 하여도 좋다. 지지부(50)는, 예를 들면, 솔더레지스트 등의 전기적으로 절연성을 갖는 재료로, 기관 형성 공정에서 원래 행해지고 있는 방법 등으로 형성할 수 있다. 또한, 지지부(50)를, 반도체 소자(10)상에, 인쇄, 전사, 잉크젯 등 방식으로 형성하도록 하여도 좋다.

또, 상기에서는 이방성 도전재료에 의한 접속의 예를 설명하였지만, 전극(12)과 본딩부(24)가, 빛, 열, 압력 및 진동 중의 적어도 하나에 의해서, 접합되어 있으면 되고, 종래부터 행해지고 있는 금속 접합이 절연성 접착제에 의한 압접에 의한 접속이라도 좋다. 지지부(50)의 높이는, 전극(12) 및 본딩부(24)의 합계의 높이와 거의 같다. 또한, 반도체 소자(10)와 기관(20)과의 사이에, 언더필 수지(52)가 충전되어 있다. 그 밖의 구성 및 제조방법은, 상술한 실시예와 같다.

더욱이, 본 실시예에서는, 전극이 완전하게 직선상에 일렬로 배치되어 있는 반도체 소자에 관해서 설명하였지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 배열된 복수의 전극중, 1군(복수)의 전극이 완전하게 직선상에 일렬로 배열되어 있고, 이 1군의 전극을 제외한 적어도 하나의 전극이 직선으로부터 어긋나 배열되어 있었다고 해도, 그 어긋난 거리가,

반도체 소자의 1변의 길이와 비교하여 작은 경우에, 거의 일렬이라고 간주할 수 있는 반도체 소자라면, 본 발명을 적용할 수 있다. 또는, 복수열로 전극이 배열되고, 인접하는 열에 나란히 배열되는 전극의 간격이, 반도체 소자의 1변의 길이와 비교하여 좁은 경우에, 거의 일렬이라고 간주할 수 있는 반도체 소자에도, 본 발명을 적용할 수 있다. 이 경우에도, 본 실시예의 대책을 실시하는 것에 의해서, 안정된 페이스다운 본딩을 행할 수 있다. 이것은, 후술하는 다른 실시예에서도 마찬가지이다.

(제 2 실시예)

도 3a 내지 도 3c는, 본 발명을 적용한 제 2 실시예에 관련되는 반도체 장치를 설명하는 도면이다. 또, 도 3a는 반도체 장치의 일부를 구성하는 반도체 소자의 능동면을 도시하는 도면이고, 도 3b는 반도체 장치의 단면도이며, 도 3c는 반도체 장치의 일부를 구성하는 기판에 있어서의 배선 패턴의 형성된 면을 도시하는 도면이다. 반도체 장치(2)는, 반도체 소자(110) 및 기판(120)을 포함한다.

반도체 소자(110)는, 복수의 전극(112)과, 하나 또는 복수의 범프(111)를 갖는다. 반도체 소자(110)는, 범프(111)의 위치를 제외하고, 제 1 실시예의 반도체 소자(10)와 같은 구성이다. 즉, 범프(111)는, 도 1a에 도시하는 범프(11)보다도, 반도체 소자(110)의 중앙부에 가까운 위치에 설치되어 있다.

기판(120)은 배선 패턴(122), 복수의 본딩부(124), 및 복수의 랜드부(126)를 가지고, 관통구멍(128)을 개재시켜 외부전극(130)이 랜드부(126)에 설치되어 있다. 랜드부(126)는, 기판(120)의 단부측에 설치되어 있고, 이것에 대응하는 형상으로 배선 패턴(122)이 형성되어 있다. 외부전극(130)도 랜드부(126)와 같은 위치에 설치되어 있다. 그리고, 범프(121)가, 랜드부(126) 및 외부전극(130)보다도, 기판(120)의 중앙부측에 설치되어 있다. 이외의 구성 및 제조방법은, 제 1 실시예의 반도체 장치(1)와 같다. 또한, 범프(111, 121) 이외의 지지부를 반도체 소자(110) 또는 기판(120)상에 형성하여도 좋다.

이와 같이, 본 발명은, 범프(121)가, 랜드부(126) 및 외부전극(130)보다도, 기판(120)의 중앙부측에 설치된 구성에도 적용할 수 있다.

(제 3 실시예)

도 4a 내지 도 4c는, 본 발명을 적용한 제 3 실시예에 관련되는 반도체 장치를 설명하는 도면이다. 또, 도 4a는 반도체 장치의 일부를 구성하는 반도체 소자의 능동면을 도시하는 도면이고, 도 4b는 반도체 장치의 단면도이며, 도 4c는 반도체 장치의 일부를 구성하는 기판에 있어서의 배선 패턴이 형성된 면을 도시하는 도면이다. 반도체 장치(3)는, 반도체 소자(210) 및 기판(220)을 포함한다.

반도체 소자(210)는, 복수의 전극(212)과, 하나 또는 복수의 범프(211)를 갖는다. 전극(212)은, 반도체 소자(210)에 있어서의 1변을 규정하는 단부에, 일렬로 배열되어 있다. 이 1변에 평행한 다른 변을 규정하는 단부에는, 범프(211)가 설치되어 있다. 범프(211)는, 변의 양단에 있어서의 2개의 모서리부의 적어도 한쪽에 설치되어 있다. 또는, 1개 또는 복수의 범프(211)를, 변의 중앙에 설치하여도 좋다.

기판(220)은, 배선 패턴(222), 복수의 본딩부(224), 및 복수의 랜드부(226)를 가지고, 관통구멍(228)을 개재시켜 외부전극(230)이 랜드부(226)에 설치되어 있다. 본딩부(224)는, 전극(212)에 대응하여, 기판(220)에 있어서의 1변을 규정하는 단부에 일렬로 배열되어 있다. 이 1변에 평행한 다른 변을 규정하는 단부에, 범프(221)가 설치되어 있다. 범프(221)는, 변의 양단에 있어서의 2개의 각부의 적어도 한쪽에 설치되어 있다. 또는, 1개 또는 복수의 범프(221)를, 변의 중앙에 설치하여도 좋다. 그리고, 랜드부(226)는, 본딩부(224) 및 범프(221)보다도, 기판(220)에 있어서의 중앙측에 형성되어 있다. 또는, 랜드부(226)를, 본딩부(224)와는 반대측의 변을 규정하는 단부에 형성하고, 이것보다도 중앙측에 1개 또는 복수의 범프(221)를 설치하여도 좋다. 그 이외의 구성 및 제조방법은, 제 1 실시예의 반도체 장치(1)와 동일하다. 또한, 범프(211, 221) 이외의 지지부를 반도체 소자(210) 또는 기판(220)상에 형성하여도 좋다.

본 실시예에 의하면, 어느 한 변에 가까운 단부에 일렬로 전극(212)이 설치된 반도체 소자(210)를 기판(220)에 탑재하더라도, 접촉된 전극(212) 및 본딩부(224)에 가하여, 범프(211, 221)로 구성되는 지지부에 의해서, 반도체 소자(210)와 기판(220)과의 평행이 유지된다. 따라서, 반도체 소자(210)의 페이스다운 본딩을 안정하게 행할 수 있기 때문에, 공정의 수율이 향상한다.

본 실시예에서는, CSP형 반도체 장치로의 응용에 대해서만 언급하였지만, 본 발명은, 반도체 소자와 기판의 실장 형태에 대하여 특징을 갖기 때문에, 적어도 1개의 반도체 소자를 갖는 페이스다운형의 반도체 장치나 그 모듈 구조에 적용할 수 있다. 페이스다운형의 반도체 장치로서, 예를 들면, COF(Chip On Flex/Film) 구조나 COB(Chip On Board) 구조 등이 있다. 또한, 복수의 반도체 소자가 탑재된 CSP형 반도체 장치에도 적용할 수 있다.

본 실시예에서는, 외부단자를 갖는 반도체 장치에 대하여 설명하였지만, 기판의 일부를 연장하여, 거기에서 외부 접속을 도모하도록 하여도 좋다. 기판의 일부를 커넥터의 리드로 하거나, 커넥터를 기판상에 실장하거나, 기판의 배선 패턴 그 자체를 다른 전자기기에 접속하여도 좋다.

더욱이, 적극적으로 외부단자를 형성하지 않고서 마더보드(motherboard) 실장 시에 마더보드 측에 도포되는 땀납 크립을 이용하여, 그 용융 시의 표면 장력으로 결과적으로 외부단자를 형성하여도 좋다. 이 반도체 장치는, 소위 랜드 그리드 어레이형의 반도체 장치이다.

도 5에는, 상술한 제 1 실시예에 관련되는 반도체 장치(1)를 실장한 회로기판(1000)이 도시되어 있다. 회로기판(1000)에는 예를 들면 유리 에폭시 기판 등의 유기계 기판을 사용하는 것이 일반적이다. 회로기판(1000)에는, 예를 들면 구리로 이루어지는 배선 패턴이 원하는 회로로 되도록 형성되어 있다. 그리고, 배선 패턴과 반도체 장치(1)의 외부전극(30; 도 1b 참조)을 기계적으로 접속하는 것으로 그것들의 전기적 도통이 도모된다.

또, 반도체 장치(1)는, 실장 면적을 베어칩으로써 실장하는 면적으로 까지 작게 할 수 있기 때문에, 이 회로기판(1000)을 전자기기에 사용하면 전자기기의 자체의 소형화를 도모할 수 있다. 또한, 동일 면적 내에 있어서는 보다 실장 공간을 확보할 수 있고, 고기능화를 도모하는 것도 가능하다.

그리고, 이 회로기판(1000)을 구비하는 전자기기로서, 도 6에는, 노트형 퍼스널 컴퓨터(1100)가 도시되어 있다.

또, 상기 실시예는, 반도체 장치에 본 발명을 적용한 예이지만, 반도체 장치와 같이 다수의 외부전극을 필요로 하는 실장용의 전자부품이라면, 능동부품이든 수동부품을 막론하고, 본 발명을 응용할 수 있다. 전자부품으로서, 예를 들면, 저항기, 콘덴서, 코일, 발진기, 필터, 온도 센서, 서미스터(thermistor), 베리스터(varistor), 볼륨 또는 퓨즈 등이 있다.

더욱이, 상술한 모든 실시예에 있어서, 반도체 칩은 복수 실장되어 있어도 좋다. 즉, 상술한 실장방식으로 실장된 반도체 칩과, 다른 실장방식, 예를 들면 반도체 칩의 주변에 본딩부를 갖는 타입의 페이스다운형 실장방식이나, 와이어 본딩방식으로 실장된 반도체 칩이 혼재되어 있어도 좋다. 그리고 또한, 상술한 바와 같은 반도체 칩 이외의 전자부품과 반도체 칩이 혼재된, 소위 모듈형의 반도체 장치를 구성하여도 좋다.

(57) 청구의 범위

청구항 1.

하나의 직선상에 배열된 복수의 전극을 갖고 페이스다운 본딩되는 반도체 소자와,

상기 반도체 소자의 상기 전극이 접속되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성되어 상기 반도체 소자에 서로 겹치는 기판과,

상기 반도체 소자와 상기 기판과의 사이에 설치되며, 절연성을 갖는 적어도 하나의 지지부를 포함하는 반도체 장치.

청구항 2.

하나의 직선 부근에 배열된 복수의 전극을 갖고 페이스다운 본딩되는 반도체 소자와,

상기 반도체 소자의 상기 전극이 접속되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성되어 상기 반도체 소자에 서로 겹치는 기판과,

상기 반도체 소자와 상기 기관과의 사이에 설치되며, 절연성을 갖는 적어도 하나의 지지부를 포함하는 반도체 장치.

청구항 3.

제 1 항에 있어서,

상기 랜드부에 접속되는 외부전극을 갖는 반도체 장치.

청구항 4.

제 2 항에 있어서,

상기 랜드부에 접속되는 외부전극을 갖는 반도체 장치.

청구항 5.

제 1 항에 있어서,

상기 지지부는 상기 직선상으로부터 어긋난 위치에 설치되는 반도체 장치.

청구항 6.

제 2 항에 있어서,

상기 지지부는 상기 직선상으로부터 어긋난 위치에 설치되는 반도체 장치.

청구항 7.

제 5 항에 있어서,

상기 반도체 소자의 가상 중심선으로써 상정되는 2개의 영역으로 구분한 상태에서, 상기 지지부는 상기 전극이 배치되는 영역과는 다른 측의 영역에 설치되는 반도체 장치.

청구항 8.

제 6 항에 있어서,

상기 반도체 소자의 가상 중심선으로써 상정되는 2개의 영역으로 구분한 상태에서, 상기 지지부는 상기 전극이 배치되는 영역과는 다른 측의 영역에 설치되는 반도체 장치.

청구항 9.

제 5 항에 있어서,

상기 반도체 소자의 중앙 영역에 상기 전극이 배치되고, 상기 반도체 소자의 주변 영역에 상기 지지부가 형성되는 반도체 장치.

청구항 10.

제 6 항에 있어서,

상기 반도체 소자의 중앙 영역에 상기 전극이 배치되고, 상기 반도체 소자의 주변 영역에 상기 지지부가 형성되는 반도체 장치.

청구항 11.

제 1 항에 있어서,

상기 지지부는 복수 설치되고, 인접하는 상기 지지부간의 거리는 인접하는 상기 전극간의 거리에 비하여 크게 형성되는 반도체 장치.

청구항 12.

제 2 항에 있어서,

상기 지지부는 복수 설치되고, 인접하는 상기 지지부간의 거리는, 인접하는 상기 전극간의 거리에 비하여 크게 형성되는 반도체 장치.

청구항 13.

제 1 항에 있어서,

상기 지지부는 상기 전극과 거의 같은 평면 형상을 이루는 반도체 장치.

청구항 14.

제 2 항에 있어서,

상기 지지부는 상기 전극과 거의 같은 평면 형상을 이루는 반도체 장치.

청구항 15.

제 1 항에 있어서,

상기 지지부는 상기 랜드부로부터 어긋난 위치에 형성되는 반도체 장치.

청구항 16.

제 2 항에 있어서,

상기 지지부는 상기 랜드부로부터 어긋난 위치에 형성되는 반도체 장치.

청구항 17.

제 1 항에 있어서,

상기 지지부는 전기적으로 절연체로 형성되는 반도체 장치.

청구항 18.

제 2 항에 있어서,

상기 지지부는 전기적으로 절연체로 형성되는 반도체 장치.

청구항 19.

제 1 항에 있어서,

상기 지지부는 상기 반도체 소자에 상기 전극과 같은 재료로 상기 전극으로부터 떨어져 형성되는 제 1 범프와, 상기 기판에 상기 배선 패턴과 같은 재료로 상기 배선 패턴으로부터 떨어져 형성되는 제 2 범프가 접합되어 구성되는 반도체 장치.

청구항 20.

제 2 항에 있어서,

상기 지지부는 상기 반도체 소자에 상기 전극과 같은 재료로 상기 전극으로부터 떨어져 형성되는 제 1 범프와, 상기 기판에 상기 배선 패턴과 같은 재료로 상기 배선 패턴으로부터 떨어져 형성되는 제 2 범프가 접합되어 구성되는 반도체 장치.

청구항 21.

제 1, 3, 5, 7, 9, 11, 13, 15, 17 항 또는 제 19 항중 어느 한 항에 있어서,

상기 반도체 소자의 전극은, 접착제에 도전입자가 분산되어 이루어지는 이방성 도전재료를 개재시켜 상기 본딩부에 접속되는 반도체 장치.

청구항 22.

제 2, 4, 6, 8, 10, 12, 14, 16, 18 항 또는 제 20 항중 어느 한 항에 있어서,

상기 반도체 소자의 전극은, 접착제에 도전입자가 분산되어 이루어지는 이방성 도전재료를 개재시켜 상기 본딩부에 접속되는 반도체 장치.

청구항 23.

하나의 직선상에 배열된 복수의 전극을 갖는 반도체 소자를 준비하는 공정과,

상기 반도체 소자의 상기 전극에 대응하는 위치에 형성되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성된 기판을 준비하는 공정과,

상기 반도체 소자를 페이스다운 본딩하고, 상기 전극을 상기 본딩부에 접속하는 공정과,

상기 반도체 소자 및 상기 기판의 사이에, 상기 전극 및 상기 본딩부의 합계의 두께와 거의 같은 높이의, 절연성을 갖는 적어도 하나의 지지부를 설치하는 공정을 포함하는 반도체 장치의 제조방법.

청구항 24.

하나의 직선 부근에 배열된 복수의 전극을 갖는 반도체 소자를 준비하는 공정과,

상기 반도체 소자의 상기 전극에 대응하는 위치에 형성되는 본딩부와, 상기 본딩부에 전기적으로 접속되는 랜드부를 갖는 배선 패턴이 형성된 기판을 준비하는 공정과,

상기 반도체 소자를 페이스다운 본딩하고, 상기 전극을 상기 본딩부에 접속하는 공정과,

상기 반도체 소자 및 상기 기판의 사이에 상기 전극 및 상기 본딩부의 합계의 두께와 거의 같은 높이의, 절연성을 갖는 적어도 하나의 지지부를 설치하는 공정을 포함하는 반도체 장치의 제조방법.

청구항 25.

제 23 항에 있어서,

상기 지지부를 설치하는 공정에서는, 상기 반도체 소자 또는 상기 기판의 한쪽에 미리 상기 지지부를 설치하여 두고, 상기 반도체 소자 또는 상기 기판의 다른쪽을 상기 지지부에 접촉시키는 반도체 장치의 제조방법.

청구항 26.

제 24 항에 있어서,

상기 지지부를 설치하는 공정에서는, 상기 반도체 소자 또는 상기 기판의 한쪽에 미리 상기 지지부를 설치하여 두고, 상기 반도체 소자 또는 상기 기판의 다른쪽을 상기 지지부에 접촉시키는 반도체 장치의 제조방법.

청구항 27.

제 23 항에 있어서,

상기 지지부를 설치하는 공정에서는, 상기 반도체 소자에 상기 전극과 같은 재료로 상기 전극으로부터 떨어진 제 1 범프를 설치하고, 상기 기판에 상기 배선 패턴과 같은 재료로 상기 배선 패턴으로부터 떨어진 제 2 범프를 설치하며, 이 제 1 및 제 2 범프를 접합하여 상기 지지부를 구성하는 반도체 장치의 제조방법.

청구항 28.

제 24 항에 있어서,

상기 지지부를 설치하는 공정에서는, 상기 반도체 소자에 상기 전극과 같은 재료로 상기 전극으로부터 떨어진 제 1 범프를 설치하고, 상기 기판에 상기 배선 패턴과 같은 재료로 상기 배선 패턴으로부터 떨어진 제 2 범프를 설치하며, 이 제 1 및 제 2 범프를 접합하여 상기 지지부를 구성하는 반도체 장치의 제조방법.

청구항 29.

제 23 항에 있어서,

상기 지지부를 전기적으로 절연체로 형성하는 반도체 장치의 제조방법.

청구항 30.

제 24 항에 있어서,

상기 지지부를 전기적으로 절연체로 형성하는 반도체 장치의 제조방법.

청구항 31.

제 23 항에 있어서,

상기 반도체 소자를 페이스다운 본딩하고, 상기 전극을 접착제에 도전입자가 분산되어 이루어지는 이방성 도전재료를 개재시켜 상기 본딩부에 접속하는 반도체 장치의 제조방법.

청구항 32.

제 24 항에 있어서,

상기 반도체 소자를 페이스다운 본딩하고, 상기 전극을 접착제에 도전입자가 분산되어 이루어지는 이방성 도전재료를 개재시켜 상기 본딩부에 접속하는 반도체 장치의 제조방법.

청구항 33.

제 23, 25, 27, 29 항 또는 제 31 항중 어느 한 항에 있어서,

상기 랜드부에 외부전극을 형성하는 공정을 또한 포함하는 반도체 장치의 제조방법.

청구항 34.

제 24, 26, 28, 30 항 또는 제 32 항중 어느 한 항에 있어서,

상기 랜드부에 외부전극을 형성하는 공정을 또한 포함하는 반도체 장치의 제조방법.

청구항 35.

제 1, 3, 5, 7, 9, 11, 13, 15, 17 항 또는 제 19 항중 어느 한 항에 기재된 반도체 장치가 장착된 회로기판.

청구항 36.

제 2, 4, 6, 8, 10, 12, 14, 16, 18 항 또는 제 20 항중 어느 한 항에 기재된 반도체 장치가 장착된 회로기판.

청구항 37.

제 35 항에 기재된 회로기판을 갖는 전자기기.

청구항 38.

제 36 항에 기재된 회로기판을 갖는 전자기기.

청구항 39.

청구항 39은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 기판은 내부에 형성된 관통 구멍을 구비하며, 각 관통 구멍은 랜드부 중 하나의 적어도 일부와 오버랩하는 반도체 장치.

청구항 40.

청구항 40은(는) 설정등록료 납부시 포기되었습니다.

제 2 항에 있어서,

상기 기판은 내부에 형성된 관통 구멍을 구비하며, 각 관통 구멍은 랜드부 중 하나의 적어도 일부와 오버랩하는 반도체 장치.

청구항 41.

청구항 41은(는) 설정등록료 납부시 포기되었습니다.

제 23 항에 있어서,

상기 기판은 내부에 형성된 관통 구멍을 구비하며, 각 관통 구멍은 랜드부 중 하나의 적어도 일부와 오버랩하는 반도체 장치의 제조방법.

청구항 42.

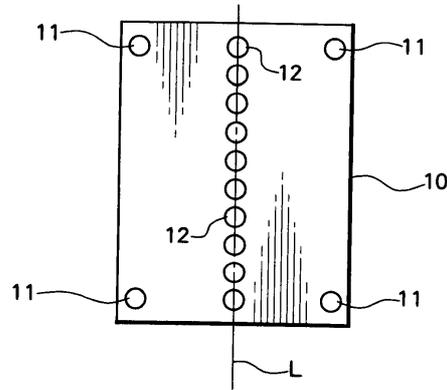
청구항 42은(는) 설정등록료 납부시 포기되었습니다.

제 24 항에 있어서,

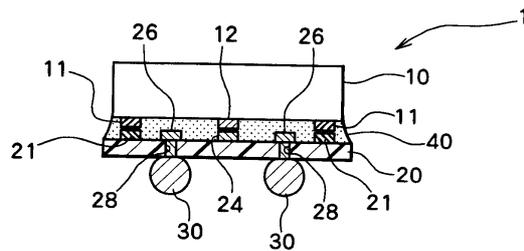
상기 기판은 내부에 형성된 관통 구멍을 구비하며, 각 관통 구멍은 랜드부 중 하나의 적어도 일부와 오버랩하는 반도체 장치의 제조방법.

도면

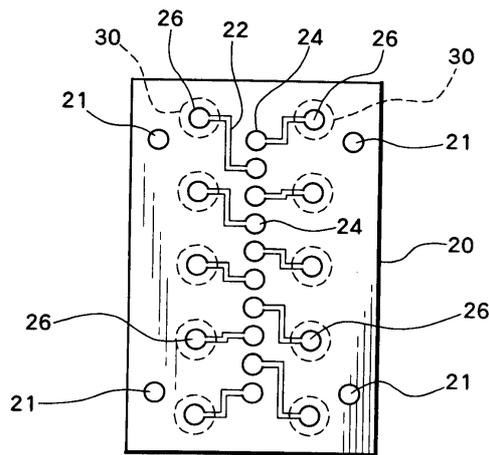
도면1a



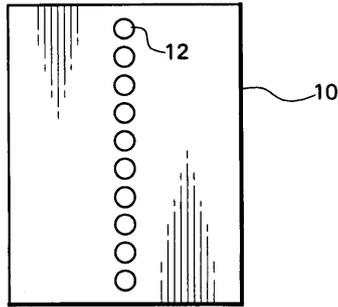
도면1b



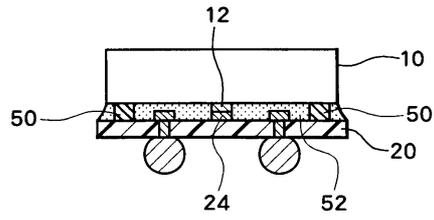
도면1c



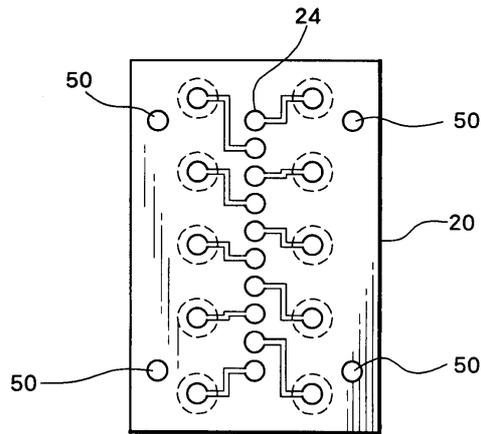
도면2a



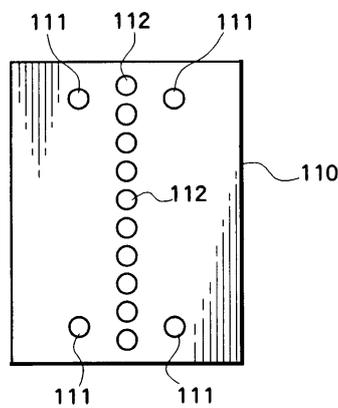
도면2b



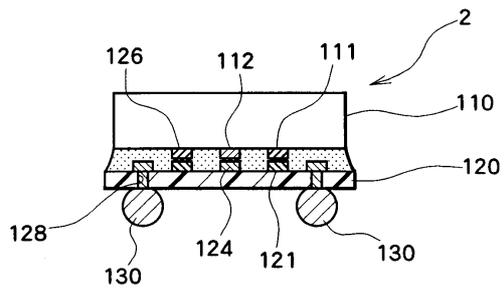
도면2c



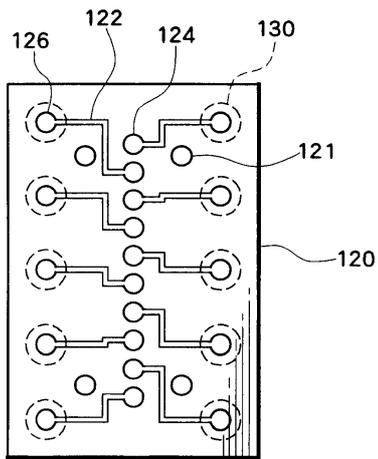
도면3a



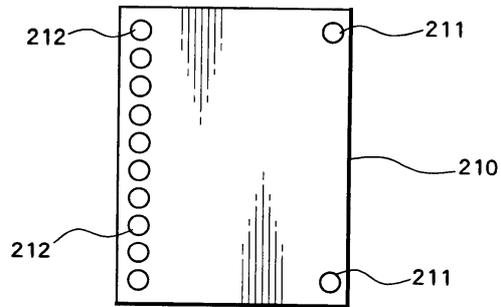
도면3b



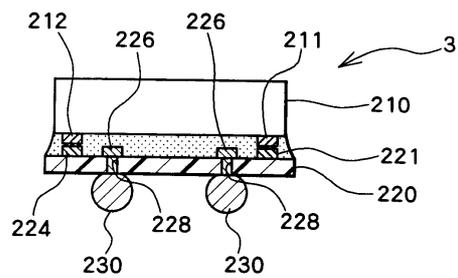
도면3c



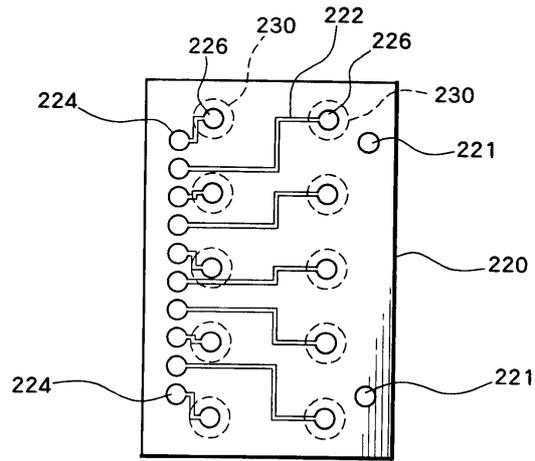
도면4a



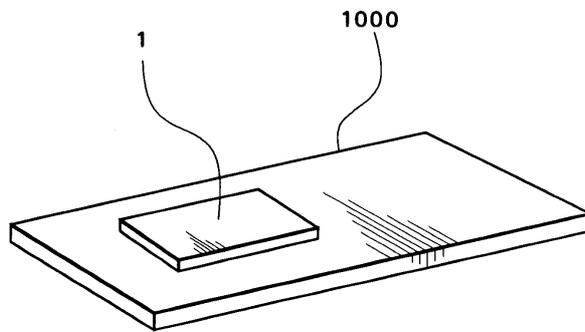
도면4b



도면4c



도면5



도면6

