

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6930197号
(P6930197)

(45) 発行日 令和3年9月1日(2021.9.1)

(24) 登録日 令和3年8月16日(2021.8.16)

(51) Int. Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 7 D		
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 29/872 (2006.01)	HO 1 L	29/78	6 5 2 M		
HO 1 L 29/861 (2006.01)	HO 1 L	29/78	6 5 2 J		
請求項の数 6 (全 16 頁) 最終頁に続く					

(21) 出願番号 特願2017-84063 (P2017-84063)
 (22) 出願日 平成29年4月20日(2017.4.20)
 (65) 公開番号 特開2018-182235 (P2018-182235A)
 (43) 公開日 平成30年11月15日(2018.11.15)
 審査請求日 令和2年3月13日(2020.3.13)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 大瀬 直之
 茨城県つくば市東1-1-1 国立研究開
 発法人産業技術総合研究所つくばセンター
 内
 (72) 発明者 小林 勇介
 茨城県つくば市東1-1-1 国立研究開
 発法人産業技術総合研究所つくばセンター
 内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、
 前記半導体基板のおもて面に設けられた第1導電型の第1半導体層と、
 前記第1半導体層の、前記半導体基板側に対して反対側に設けられた第2導電型の第2半導体層と、
 前記第2半導体層の内部に選択的に設けられた、前記半導体基板よりも不純物濃度の高い第1導電型の第1半導体領域と、
 前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達する第1トレンチと、
 前記第1トレンチの内部にゲート絶縁膜を介して設けられたゲート電極と、
 前記ゲート電極上に設けられた層間絶縁膜と、
 前記第1半導体領域および前記第2半導体層に接する第1電極と、
 前記半導体基板の裏面に設けられた第2電極と、
 前記第1トレンチと離して設けられ、前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達する第2トレンチと、
 前記第2トレンチの内部に埋め込まれ、前記第2トレンチの側壁に前記第1半導体層とのショットキー接合を形成する金属電極と、
 前記第2トレンチの底に、当該第2トレンチの側壁から離して前記第1半導体層とのオーミック接合を形成する第2金属電極と、

10

20

を備え、

前記第2トレンチは、隣り合う前記第1トレンチ間に、前記第1トレンチと平行に設けられることを特徴とする半導体装置。

【請求項2】

前記金属電極は、前記第2トレンチの内部の体積の30%以上を満たしていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記金属電極は、前記第2トレンチの底から、少なくとも前記第2半導体層と前記第1半導体領域との界面まで埋め込まれていることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記金属電極は、前記第2トレンチの外側に突出していることを特徴とする請求項1～3のいずれか一つに記載の半導体装置。

【請求項5】

前記金属電極は、前記第2トレンチの外側に突出し、前記層間絶縁膜および前記第1電極を覆うことを特徴とする請求項1～3のいずれか一つに記載の半導体装置。

【請求項6】

第1導電型の半導体基板のおもて面に第1導電型の第1半導体層を形成する第1工程と

前記第1半導体層の、前記半導体基板側に対して反対側に第2導電型の第2半導体層を形成する第2工程と、

前記第2半導体層の内部に選択的に、前記半導体基板よりも不純物濃度の高い第1導電型の第1半導体領域を形成する第3工程と、

前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達する第1トレンチを形成する第4工程と、

前記第1トレンチの内部にゲート絶縁膜を介してゲート電極を形成する第5工程と、

前記ゲート電極上に層間絶縁膜を形成する第6工程と、

前記第1半導体領域および前記第2半導体層に接する第1電極を形成する第7工程と、

前記半導体基板の裏面に第2電極を形成する第8工程と、

前記第1トレンチと離して、前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達する第2トレンチを形成する第9工程と、

前記第2トレンチの内部に埋め込まれ、前記第2トレンチの側壁に前記第1半導体層とのショットキー接合を形成する金属電極を形成する第10工程と、

前記第2トレンチの底に、当該第2トレンチの側壁から離して前記第1半導体層とのオーミック接合を形成する第2金属電極を形成する第11工程と、

を含み、

前記第9工程では、前記第2トレンチを、隣り合う前記第1トレンチ間に、前記第1トレンチと平行に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

電力用半導体装置として、400V、600V、1200V、1700V、3300V、6500Vまたはそれ以上の耐圧クラスを有する絶縁ゲート型電界効果トランジスタ(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)等が公知である。例えば、炭化珪素(SiC)半導体を用いたMOSFET(以下、SiC-MOSFETとする)は、コンバータ・インバータ等の電力変換装置に用いられている。この電力用半導体装置には、低損失および高効

10

20

30

40

50

率とともに、オフ時のリーク電流の低減、小型化（チップサイズの縮小）および信頼性の向上が求められる。

【0003】

縦型MOSFETは、ソース・ドレイン間にボディダイオードとしてp型ベース層とn型ドリフト層とで形成される寄生pnダイオードを内蔵する。このため、インバータに用いる還流ダイオード（FWD：Free Wheeling Diode）を省略することができ、低コスト化および小型化に貢献する。しかしながら、半導体基板として炭化珪素基板を用いる場合、シリコン（Si）基板を用いた場合に比べて寄生pnダイオードが高いビルトインポテンシャルを持つため、寄生pnダイオードのオン抵抗が高くなり損失増大を招く。また、寄生pnダイオードがオンして通電された場合、寄生pnダイオード

10

【0004】

この問題について、回路上に、MOSFETにショットキーバリアダイオード（SBD：Schottky Barrier Diode）を並列に接続し、還流時にはSBDに電流が流れ、寄生pnダイオードに電流が流れないようにすることができる。しかしながら、SBDのチップがMOSFETと同数程度必要になるためコスト増になる。

【0005】

このため、SBDはn型ドリフト層とソース電極とを接続する必要があるため、基板表面にp型のチャンネル部を貫通するトレンチコンタクトを形成し、トレンチ内壁にSBDを内包させ、還流時の電流をPINダイオードではなく内蔵SBDに流す技術が提案されている（例えば、下記特許文献1参照）。

20

【0006】

図12は、SBDを内蔵する従来の炭化珪素半導体装置の構造を示す断面図である。図12に示すように、従来例は、n⁺型炭化珪素基板1のおもて面に、トレンチ型のMOSゲート（金属-酸化膜-半導体からなる絶縁ゲート）構造と、コンタクトトレンチ19と、を備える。具体的には、n⁺型炭化珪素基板1上にn⁻型ドリフト層2となるn⁻型層をエピタキシャル成長させてなる。n⁺型炭化珪素基板1のおもて面（n⁻型ドリフト層2側の面）側に、p型ベース層6、n⁺⁺型ソース領域7、ゲートトレンチ18、ゲート絶縁膜9およびゲート電極10からなるMOSゲート構造が設けられている。

30

【0007】

また、n⁺型炭化珪素基板1の裏面にドレイン電極16が設けられている。コンタクトトレンチ19は、内壁がソース電極12と接続するショットキーメタルで覆われ、内壁に露出する半導体領域と当該ショットキーメタルとのショットキーを形成したトレンチである。このように、図12では、ソース・ドレイン間に寄生pnダイオードに並列に寄生ショットキーダイオードを設けている。

【0008】

ソース電極12に正電圧が印加され、ドレイン電極16に負電圧が印加されたとき（MOSFETのオフ時）、p型ベース層6とn⁻型ドリフト層2との間のpn接合が順バイアスされる。図12において、MOSFETのオフ時に寄生pnダイオードがオンする前に寄生ショットキーダイオードがオンするように設計することで、寄生pnダイオードの

40

【0009】

図12に示す従来の炭化珪素半導体装置では、SBDを内蔵するため、外付けSBDを必要とせず、コストダウンできる。さらに、コンタクトトレンチ19を設けてトレンチ側壁にSBDを形成するため、平面型のSBDを内蔵するより高密度にSBDを形成でき、セルピッチの短縮が可能になり、オン抵抗と順方向損失を低減できる。また、内蔵したSBDがボディダイオードとして働くため、ボディダイオード劣化と還流時の低損失化が可能である。

【0010】

また、コンタクト（接触）用トレンチにアルミニウム（Al）/チタン（Ti）/ニッ

50

ケル (Ni) / 金 (Au) 膜の被覆やタングステン (W) 等の金属電極を埋め込んだ導電体により、表面のソース電極とコンタクトを取る技術が開示されている (例えば、下記特許文献 2 参照)。

【先行技術文献】

【特許文献】

【0011】

【特許文献 1】特開平 8 - 204179 号公報

【特許文献 2】特開 2008 - 177335 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0012】

従来の炭化珪素半導体装置において、さらなるセルピッチの短縮を行い、オン抵抗を低減するためには、コンタクトトレンチの幅を狭化することが有効である。しかしながら、コンタクトトレンチの幅を狭化すると、コンタクトトレンチ内のショットキーバリアメタルのカバレッジが悪化して、コンタクトトレンチ側壁に内蔵 SBD を形成できなくなる場合がある。この場合、内蔵 SBD がボディダイオードとして働かないため、ボディダイオード劣化と還流時の損失を防止することができないという問題がある。

【0013】

この発明は、上述した問題点を解消するため、側壁に内蔵 SBD を形成したコンタクトトレンチの幅を狭化でき、オン抵抗を低減できる半導体装置および半導体装置の製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0014】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。半導体装置は、第 1 導電型の半導体基板のおもて面に第 1 導電型の第 1 半導体層が設けられる。前記第 1 半導体層の、前記半導体基板側に対して反対側に第 2 導電型の第 2 半導体層が設けられる。前記第 2 半導体層の内部に選択的に、前記半導体基板よりも不純物濃度の高い第 1 導電型の第 1 半導体領域が設けられる。前記第 1 半導体領域および前記第 2 半導体層を貫通して前記第 1 半導体層に達する第 1 トレンチが設けられる。前記第 1 トレンチの内部にゲート絶縁膜を介してゲート電極が設けられる。前記ゲート電極上に層間絶縁膜が設けられる。前記第 1 半導体領域および前記第 2 半導体層に接する第 1 電極が設けられる。前記半導体基板の裏面に第 2 電極が設けられる。前記第 1 トレンチと離して、前記第 1 半導体領域および前記第 2 半導体層を貫通して前記第 1 半導体層に達する第 2 トレンチが設けられる。前記第 2 トレンチの内部に埋め込まれ、前記第 2 トレンチの側壁に前記第 1 半導体層とのショットキー接合を形成する金属電極が設けられる。前記第 2 トレンチの底に、当該第 2 トレンチの側壁から離して前記第 1 半導体層とのオーミック接合を形成する第 2 金属電極が設けられる。前記第 2 トレンチは、隣り合う前記第 1 トレンチ間に、前記第 1 トレンチと平行に設けられる。

30

【0015】

また、この発明にかかる半導体装置は、上述した発明において、前記金属電極は、前記第 2 トレンチの内部の体積の 30% 以上を満たしていることを特徴とする。

40

【0016】

また、この発明にかかる半導体装置は、上述した発明において、前記金属電極は、前記第 2 トレンチの底から、少なくとも第 2 半導体層と第 1 半導体領域との界面まで埋め込まれていることを特徴とする。

【0018】

また、この発明にかかる半導体装置は、上述した発明において、前記金属電極は、前記第 2 トレンチの外側に突出していることを特徴とする。

【0019】

また、この発明にかかる半導体装置は、上述した発明において、前記金属電極は、前記

50

第2トレンチの外側に突出し、前記層間絶縁膜および前記第1電極を覆うことを特徴とする。

【0020】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、第1導電型の半導体基板のおもて面に第1導電型の第1半導体層を形成する第1工程を行う。次に、前記第1半導体層の、前記半導体基板側に対して反対側に第2導電型の第2半導体層を形成する第2工程を行う。次に、前記第2半導体層の内部に選択的に、前記半導体基板よりも不純物濃度の高い第1導電型の第1半導体領域を形成する第3工程を行う。次に、前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達する第1トレンチを形成する第4工程を行う。次に、前記第1トレンチの内部にゲート絶縁膜を介してゲート電極を形成する第5工程を行う。次に、前記ゲート電極上に層間絶縁膜を形成する第6工程を行う。次に、前記第1半導体領域および前記第2半導体層に接する第1電極を形成する第7工程を行う。次に、前記半導体基板の裏面に第2電極を形成する第8工程を行う。次に、前記第1トレンチと離して、前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達する第2トレンチを形成する第9工程を行う。次に、前記第2トレンチの内部に埋め込まれ、前記第2トレンチの側壁に前記第1半導体層とのショットキー接合を形成する金属電極を形成する第10工程を行う。前記第2トレンチの底に、当該第2トレンチの側壁から離して前記第1半導体層とのオーミック接合を形成する第2金属電極を形成する第11工程を行う。前記第9工程では、前記第2トレンチを、隣り合う前記第1トレンチ間に、前記第1トレンチと平行に形成する。

10

20

【0021】

上述した発明によれば、コンタクトトレンチ(第2トレンチ)の内部に、炭化珪素半導体層とショットキー接合を形成するショットキー金属が埋め込まれている。これにより、コンタクトトレンチの側壁にショットキー金属を成膜する必要がなくなり、コンタクトトレンチの幅を狭化しても、コンタクトトレンチ側壁に内蔵SBDを形成できる。このため、SBDを内蔵したトレンチ型炭化珪素半導体装置のセルピッチを短縮することが可能となり、オン抵抗を低減できる。

【発明の効果】

30

【0022】

本発明にかかる半導体装置および半導体装置の製造方法によれば、側壁に内蔵SBDを形成したコンタクトトレンチの幅を狭化でき、オン抵抗を低減できるという効果を奏する。

【図面の簡単な説明】

【0023】

【図1】実施の形態1にかかる炭化珪素半導体装置の構造を示す断面図である。

【図2】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である(その1)。

【図3】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である(その2)。

40

【図4】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である(その3)。

【図5】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である(その4)。

【図6】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である(その5)。

【図7】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である(その6)。

【図8】実施の形態2にかかる炭化珪素半導体装置の構造を示す断面図である。

50

【図 9】実施の形態 2 にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。

【図 10】実施の形態 3 にかかる炭化珪素半導体装置の構造を示す断面図である。

【図 11】実施の形態 4 にかかる炭化珪素半導体装置の構造を示す断面図である。

【図 12】従来の炭化珪素半導体装置の構造を示す断面図である。

【発明を実施するための形態】

【0024】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めた n や p の表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0025】

(実施の形態 1)

本発明にかかる半導体装置は、シリコンよりもバンドギャップが広い半導体(以下、ワイドバンドギャップ半導体とする)を用いて構成される。ここでは、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いた半導体装置(炭化珪素半導体装置)の構造を例に説明する。図1は、実施の形態1にかかる炭化珪素半導体装置の構造を示す断面図である。図1に示す実施の形態1にかかる炭化珪素半導体装置は、炭化珪素からなる半導体基体(炭化珪素基体:半導体チップ)100のおもて面(p 型ベース層6側の面)側にMOSゲートを備えたMOSFETである。

【0026】

炭化珪素基体100は、炭化珪素からなる n^+ 型支持基板(n^+ 型炭化珪素基板:第1導電型の半導体基板)1上に n^- 型ドリフト層(第1導電型の第1半導体層)2および p 型ベース層(第2導電型の第2半導体層)6となる各炭化珪素層を順にエピタキシャル成長させてなる。MOSゲートは、 p 型ベース層6と、 n^{++} 型ソース領域(第1導電型の第1半導体領域)7、ゲートトレンチ18、ゲート絶縁膜9およびゲート電極10で構成される。具体的には、 n^- 型ドリフト層2のソース側(ソース電極12側)の表面層には、 p 型ベース層6に接するように n 型領域5が設けられている。 n 型領域5は、キャリアの広がり抵抗を低減させる、いわゆる電流拡散層(Current Spreading Layer:CSL)である。この n 型領域5は、例えば、基体おもて面(炭化珪素基体100のおもて面)に平行な方向(以下、横方向とする)に一様に設けられている。

【0027】

n 型領域5の内部には、 p^+ 型領域3が選択的に設けられている。 p^+ 型領域3は、後述するゲートトレンチ18およびコンタクトトレンチ19の底に接するように設けられている。 p^+ 型領域3は、 p 型ベース層6と n 型領域5との界面よりもドレイン側に深い位置から、 n 型領域5と n^- 型ドリフト層2との界面に達しない深さで設けられている。 p^+ 型領域3を設けることで、ゲートトレンチ18およびコンタクトトレンチ19の底付近に、 p^+ 型領域3と n 型領域5との間の pn 接合を形成することができる。 p^+ 型領域3は、 p 型ベース層6よりも不純物濃度が高い。

【0028】

また、 p^+ 型領域3の幅は、ゲートトレンチ18およびコンタクトトレンチ19の幅よりも広い。ゲートトレンチ18およびコンタクトトレンチ19の底は、 p^+ 型領域3に達してもよいし、 p 型ベース層6と p^+ 型領域3に挟まれた n 型領域5内に位置し、 p^+ 型領域3と接触していなくてもよい。

【0029】

p 型ベース層6の内部には、 n^{++} 型ソース領域7が選択的に設けられている。また、図

10

20

30

40

50

1には記載していないが、 n^{++} 型ソース領域7と接するように p^{++} 型コンタクト領域を設けてもよい。 p^{++} 型コンタクト領域の深さは、例えば n^{++} 型ソース領域7と同じ深さでもよいし、よりも深くてもよい。

【0030】

ゲートトレンチ18は、基体おもて面から n^{++} 型ソース領域7および p 型ベース層6を貫通して n 型領域5および p^{+} 型領域3に達する。ゲートトレンチ18の内部には、ゲートトレンチ18の側壁に沿ってゲート絶縁膜9が設けられ、ゲート絶縁膜9の内側にゲート電極10が設けられている。ゲート電極10のソース側端部は、基体おもて面から外側に突出していてもいなくてもよい。ゲート電極10は、図示省略する部分でゲートパッドに電氣的に接続されている。層間絶縁膜11は、ゲートトレンチ18に埋め込まれたゲート電極10を覆うように基体おもて面全面に設けられている。

10

【0031】

コンタクトトレンチ19は、隣り合うゲートトレンチ18間に、ゲートトレンチ18に平行に、かつゲートトレンチ18と離して設けられる。コンタクトトレンチ19は、基体おもて面から n^{++} 型ソース領域7および p 型ベース層6を貫通し、 n 型領域5および p^{+} 型領域3に達する。コンタクトトレンチ19の底には、炭化珪素半導体層とオーミック接合を形成するオーミック金属14が設けられている。オーミック金属14は例えばニッケル(Ni)からなる。

【0032】

また、コンタクトトレンチ19の内部は、炭化珪素半導体層とショットキー接合を形成するショットキー金属15が埋め込まれている。ショットキー金属15は例えばタングステン(W)からなる。ここで、ショットキー金属15は、コンタクトトレンチ19の内部の体積の30%以上を満たしていてもよい。より具体的には、ショットキー金属15は、コンタクトトレンチ19の内部で、コンタクトトレンチ19の底から、 p 型ベース層6と n^{++} 型ソース領域7との界面より上側(ソース電極12側)まで設けられる。また、ショットキー金属15は、ソース電極12と共にソース電極パッド13に接続され、内蔵SBDとなる。

20

【0033】

コンタクトトレンチ19の内部に、ショットキー金属15を埋め込むため、コンタクトトレンチ19の側壁にショットキー金属15を成膜する必要がなくなる。このため、コンタクトトレンチ19の幅を狭化しても、コンタクトトレンチ側壁に内蔵SBDを形成できる。また、コンタクトトレンチ19の底にオーミック金属14を設けることで、コンタクトトレンチ19の側壁のショットキー接合の面積を減らすことなく、 p^{+} 型領域3を設置することができる。

30

【0034】

ソース電極(第1電極)12は、層間絶縁膜11に開口されたコンタクトホールを介して n^{++} 型ソース領域7に接するとともに、層間絶縁膜11によってゲート電極10と電氣的に絶縁されている。ソース電極12は、コンタクトトレンチ19の内部において、 n^{++} 型ソース領域7と接する領域および p 型ベース層6と接する領域の一部に設けられている。これにより、 n^{++} 型ソース領域7とソース電極12とのコンタクト面積および p 型ベース層6とソース電極12とのコンタクト面積が大きくなり、低コンタクト抵抗化が可能となる。また、コンタクト抵抗を増加させずに微細化が可能となる。

40

【0035】

また、ソース電極12と層間絶縁膜11との間に、例えばソース電極12からゲート電極10側への金属原子の拡散を防止するバリアメタルを設けてもよい。ソース電極12上には、ソース電極パッド13が設けられている。炭化珪素基体100の裏面(n^{+} 型ドレイン領域となる n^{+} 型炭化珪素基板1の裏面)には、図示を省略するドレイン電極(第2電極)が設けられている。

【0036】

(実施の形態1にかかる炭化珪素半導体装置の製造方法)

50

次に、実施の形態 1 にかかる炭化珪素半導体装置の製造方法について、3300V 耐圧クラスのトレンチ型 SiC-MOSFET を作製（製造）する場合を例に説明する。図 2 ~ 7 は、実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。まず、n⁺型ドレイン領域となる n⁺型炭化珪素基板 1 を用意する。次に、n⁺型炭化珪素基板 1 のおもて面に、上述した n⁻型ドリフト層 2 をエピタキシャル成長させる。例えば、n⁻型ドリフト層 2 を形成するためのエピタキシャル成長の条件を、n⁻型ドリフト層 2 の不純物濃度が $3 \times 10^{15} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図 2 に記載される。

【0037】

次に、n⁻型ドリフト層 2 の上に、下側 n 型領域 5 a をエピタキシャル成長させる。例えば、下側 n 型領域 5 a を形成するためのエピタキシャル成長の条件を、下側 n 型領域 5 a の不純物濃度が $1 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。この下側 n 型領域 5 a は、n 型領域 5 の一部である。次に、フォトリソグラフィおよび p 型不純物のイオン注入により、下側 n 型領域 5 a の表面層に、p⁺型領域 3 を選択的に形成する。例えば、p⁺型領域 3 を形成するためのイオン注入時のドーズ量を、不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図 3 に記載される。

【0038】

次に、下側 n 型領域 5 a、p⁺型領域 3 の上に、上側 n 型領域 5 b をエピタキシャル成長させる。例えば、上側 n 型領域 5 b を形成するためのエピタキシャル成長の条件を、下側 n 型領域 5 a の不純物濃度と同程度となるように設定してもよい。この上側 n 型領域 5 b は、n 型領域 5 の一部であり、下側 n 型領域 5 a と上側 n 型領域 5 b を合わせて、n 型領域 5 となる。

【0039】

次に、上側 n 型領域 5 b および p⁺型領域 3 の上に、p 型ベース層 6 をエピタキシャル成長させる。例えば、p 型ベース層 6 を形成するためのエピタキシャル成長の条件を、p 型ベース層 6 の不純物濃度が $4 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。

【0040】

次に、フォトリソグラフィおよび n 型不純物のイオン注入により、p 型ベース層 6 の表面層に n⁺⁺型ソース領域 7 を選択的に形成する。例えば、n⁺⁺型ソース領域 7 を形成するためのイオン注入時のドーズ量を、不純物濃度が $3 \times 10^{20} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図 4 に記載される。

【0041】

次に、基体おもて面（n⁺⁺型ソース領域 7 側の面）上に、酸化膜を例えば $1.5 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下程度の厚さで堆積（形成）する。次に、フォトリソグラフィおよびエッチングにより酸化膜をパターニングし、酸化膜の、コンタクトトレンチ 19 に対応する部分を除去する。次に、酸化膜のパターニングに用いたレジストマスク（不図示）を除去した後、酸化膜の残部をマスクとしてエッチングを行い、底部およびコーナー部が p⁺型領域 3 に達する深さでコンタクトトレンチ 19 を形成する。

【0042】

次に、上記酸化膜の残部を例えばフッ酸（HF）で除去した後、基体おもて面上に例えば $1.5 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下程度の厚さで新たに酸化膜を堆積する。次に、フォトリソグラフィおよびエッチングにより酸化膜をパターニングし、酸化膜の、ゲートトレンチ 18 に対応する部分を除去する。次に、酸化膜のパターニングに用いたレジストマスクを除去した後、酸化膜の残部をマスクとしてエッチングを行い、ゲートトレンチ 18 を形成する。また、ゲートトレンチ 18 とコンタクトトレンチ 19 とを形成する順序を入れ替えてもよい。また、同時に形成してもよい。

【0043】

次に、上記酸化膜の残部を除去した後、ゲートトレンチ 18 の内壁に沿うように、ゲート絶縁膜 9 となる例えば 10nm 以上 500nm 以下程度の厚さの酸化膜（SiO₂膜）を堆積し、 800 以上 1200 以下程度の温度の窒素（N₂）雰囲気中で熱処理する。

10

20

30

40

50

次に、ゲートトレンチ18の内部の酸化膜の内側に埋め込むように、基体おもて面上に例えばポリシリコン(poly-Si)層を0.3 μ m以上1.5 μ m以下程度の厚さで堆積する。次に、フォトリソグラフィおよびエッチングによりポリシリコン層をパターニングしてゲート電極10を形成する。

【0044】

次に、基体おもて面上に、層間絶縁膜11として例えば0.5 μ m以上1.5 μ m以下程度の厚さの酸化膜を堆積する。次に、フォトリソグラフィおよびエッチングにより層間絶縁膜11をパターニングしてコンタクトホールを形成する。このとき、層間絶縁膜11とともに上記酸化膜もパターニングして、各半導体領域を露出させる。これにより、層間絶縁膜11のパターニングに用いたレジスト膜の開口部(すなわちコンタクトホール)には、基体おもて面およびコンタクトトレンチ19の内壁に、n⁺⁺型ソース領域7、p型ベース層6、n⁻型ドリフト領域2およびp⁺型領域3が露出される。

10

【0045】

次に、層間絶縁膜11のパターニングに用いたレジスト膜を残した状態で、レジスト膜の開口部に露出するコンタクトトレンチ19の側壁に沿ってSiO₂膜20を堆積(形成)する。また、SiO₂膜20は、層間絶縁膜11を形成する際に堆積した上記酸化膜をフォトリソグラフィおよびエッチングによりパターニングする際、コンタクトトレンチ19の側壁に残すことで、SiO₂膜20としてもよい。ここまでの状態が図5に示されている。

【0046】

20

次に、基体おもて面上に、Ni膜を堆積(形成)する。次に、例えば400~600の熱処理を加えることで、SiCとNiの接触部のみシリサイド層を形成し、SiO₂膜上の未反応のNi層はウェット処理で取り除く。その後n⁺型炭化珪素基板1の裏面に、ドレイン電極のコンタクト部にスパッタ蒸着などを用いてニッケル(Ni)膜、チタン(Ti)膜などの金属膜を形成する。この金属膜は、Ni膜、Ti膜を複数組み合わせ積層してもよい。再度、1000程度のシンタリング(熱処理)により炭化珪素半導体部(p⁺型領域3、n⁺⁺型ソース領域7およびp型ベース層6)とNi膜とを反応させてニッケルシリサイド膜を形成する。同時に、裏面にもシリサイド層を形成する。次に、ソース電極12、オーミック金属14を形成する。ここまでの状態が図6に示されている。

【0047】

30

次に、SiO₂膜20を例えばフッ酸(HF)で除去した後、例えばスパッタ法によって、タングステン(W)をコンタクトトレンチ19に埋め込むように堆積しエッチングすることで、コンタクトトレンチ19の内部にタングステンを残す。その際、エッチバックしてタングステンを基体表部より内側に残すようにエッチングしてもよい。次に、例えば400~600のシンタリング(熱処理)により炭化珪素半導体部(p⁺型領域3およびp型ベース層6)とタングステンを反応させてショットキーコンタクトを形成する。ここまでの状態が図7に示されている。

【0048】

次に、例えばスパッタ法によって、ソース電極12および層間絶縁膜11を覆うように、例えばアルミニウム膜を、厚さが例えば5 μ m程度になるように堆積(形成)する。その後、アルミニウム膜を選択的に除去することによって、ソース電極パッド13を形成する。

40

【0049】

次に、例えばTi膜、Ni膜、金(Au)を順に積層した積層膜などの厚い膜を電子ビーム(EB:Electron Beam)蒸着などで形成し、ドレイン電極を形成する。このようにして、図1に示すMOSFETが完成する。

【0050】

以上、説明したように、実施の形態1は、コンタクトトレンチの内部に、炭化珪素半導体層とショットキー接合を形成するショットキー金属が埋め込まれている。これにより、コンタクトトレンチの側壁にショットキー金属を成膜する必要がなくなり、コンタクトト

50

レンチの幅を狭化しても、コンタクトトレンチ側壁に内蔵SBDを形成できる。このため、SDBを内蔵したトレンチ型炭化珪素半導体装置のセルピッチを短縮することが可能となり、オン抵抗を低減できる。

【0051】

また、実施の形態1は、コンタクトトレンチの底に、炭化珪素半導体層とオーミック接合を形成するオーミック金属が埋め込まれている。このため、コンタクトトレンチの側壁のショットキー接合の面積を減らすことなく、ショットキー金属とソース電極と接続することができる。

【0052】

(実施の形態2)

次に、実施の形態2にかかる炭化珪素半導体装置の構造について説明する。図8は、実施の形態2にかかる炭化珪素半導体装置の構造を示す断面図である。実施の形態2にかかる炭化珪素半導体装置が実施の形態1にかかる炭化珪素半導体装置と異なる点は、コンタクトトレンチ19の底にオーミック金属14が設けられていない点である。

【0053】

(実施の形態2にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態2にかかる炭化珪素半導体装置の製造方法について説明する。図9は、実施の形態2にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。実施の形態2にかかる炭化珪素半導体装置の製造方法は、例えば、実施の形態1にかかる炭化珪素半導体装置の製造方法とオーミック金属14を形成しないことが異なる。具体的には、まず、実施の形態1と同様に、 n^+ 型炭化珪素基板1を用意し、 n^- 型ドリフト層2をエピタキシャル成長させる工程から層間絶縁膜11をパターニングしてコンタクトホールを形成する工程を順に行う(図2~5参照)。

【0054】

次に、層間絶縁膜11のパターニングに用いたレジスト膜を残した状態で、レジスト膜の開口部に露出するコンタクトトレンチ19の側壁および底に沿って SiO_2 膜20を堆積(形成)する。また、 SiO_2 膜20は、層間絶縁膜11を形成する際に堆積した上記酸化膜をフォトリソグラフィおよびエッチングによりパターニングする際、コンタクトトレンチ19の側壁および底に残すことで、 SiO_2 膜20としてもよい。ここまでの状態が図9に示されている。

【0055】

次に、基体おもて面上に、Ni膜を堆積(形成)する。例えば400~600の熱処理を加えることで、SiCとNiの接触部のみシリサイド層を形成し、 SiO_2 膜上の未反応のNi層はウェット処理で取り除く。その後 n^+ 型炭化珪素基板1の裏面に、ドレイン電極のコンタクト部にスパッタ蒸着などを用いてニッケル(Ni)膜、チタン(Ti)膜などの金属膜を形成する。この金属膜は、Ni膜、Ti膜を複数組み合わせ積層してもよい。再度、1000程度のシンタリング(熱処理)により炭化珪素半導体部(p^+ 型領域3および n^{++} 型ソース領域7)とNi膜とを反応させてニッケルシリサイド膜を形成する。次に、ソース電極12を形成する。

【0056】

その後、実施の形態1と同様に、コンタクトトレンチ19の内部にタングステンを残す工程以降の工程を順に行うことで、図8に示すMOSFETが完成する。

【0057】

以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。さらに、実施の形態2では、コンタクトトレンチの底にオーミック金属を設けていない。オーミック金属を設けないため、実施の形態1よりコンタクトトレンチの幅を狭くすることができ、半導体装置のセルピッチをさらに縮小させることができる。

【0058】

(実施の形態3)

次に、実施の形態3にかかる炭化珪素半導体装置の構造について説明する。図10は、

10

20

30

40

50

実施の形態 3 にかかる炭化珪素半導体装置の構造を示す断面図である。実施の形態 3 にかかる炭化珪素半導体装置が実施の形態 1 にかかる炭化珪素半導体装置と異なる点は、ショットキー金属 15 がコンタクトトレンチ 19 の内部を完全に埋め、基体表面より外側に突出している点である。

【0059】

(実施の形態 3 にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態 3 にかかる炭化珪素半導体装置の製造方法について説明する。実施の形態 3 にかかる炭化珪素半導体装置の製造方法は、例えば、実施の形態 1 にかかる炭化珪素半導体装置の製造方法とショットキー金属 15 を形成する工程が異なる。具体的には、まず、実施の形態 1 と同様に、 n^+ 型炭化珪素基板 1 を用意し、 n^- 型ドリフト層 2 をエピタキシャル成長させる工程から炭化珪素半導体部と Ni 膜とを反応させてニッケルシリサイド膜を形成する工程を順に行う(図 2 ~ 6 参照)。

10

【0060】

次に、 SiO_2 膜 20 を例えばフッ酸(HF)で除去した後、基体おもて面上に例えば $1.5 \mu m$ 以上 $2.5 \mu m$ 以下程度の厚さで新たに酸化膜を堆積する。次に、フォトリソグラフィおよびエッチングにより酸化膜をパターニングし、酸化膜のコンタクトトレンチ 19 に対応する部分を除去する。次に、例えばスパッタ法によって、タングステンをコンタクトトレンチ 19 に埋め込むように堆積しエッチングすることで、コンタクトトレンチ 19 の内部にタングステンを残す。その際、パターニングとエッチングを施すことでタングステンが基体表面より外側に突出するようにする。次に、例えば $400 \sim 600$ のシンタリング(熱処理)により炭化珪素半導体部(p^+ 型領域 3 および p 型ベース層 6)とタングステンとを反応させてショットキーコンタクトを形成する。

20

【0061】

その後、実施の形態 1 と同様に、アルミニウム膜を堆積(形成)する工程以降の工程を順に行うことで、図 10 に示す MOSFET が完成する。

【0062】

以上、説明したように、実施の形態 3 によれば、実施の形態 1 と同様の効果を得ることができる。さらに、実施の形態 3 では、エッチバックしてタングステンを基体表面より内側に残す工程を省略することができる。

【0063】

30

(実施の形態 4)

次に、実施の形態 4 にかかる炭化珪素半導体装置の構造について説明する。図 11 は、実施の形態 4 にかかる炭化珪素半導体装置の構造を示す断面図である。実施の形態 4 にかかる炭化珪素半導体装置が実施の形態 1 にかかる炭化珪素半導体装置と異なる点は、ショットキー金属 15 がコンタクトトレンチ 19 の内部を完全に埋め、基体表面を覆っている点である。

【0064】

(実施の形態 4 にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態 4 にかかる炭化珪素半導体装置の製造方法について説明する。実施の形態 4 にかかる炭化珪素半導体装置の製造方法は、例えば、実施の形態 1 にかかる炭化珪素半導体装置の製造方法とショットキー金属 15 を形成する工程が異なる。具体的には、まず、実施の形態 1 と同様に、 n^+ 型炭化珪素基板 1 を用意し、 n^- 型ドリフト層 2 をエピタキシャル成長させる工程から炭化珪素半導体部と Ni 膜とを反応させてニッケルシリサイド膜を形成する工程を順に行う(図 2 ~ 6 参照)。

40

【0065】

次に、 SiO_2 膜 20 を例えばフッ酸(HF)で除去した後、基体おもて面上に例えば $1.5 \mu m$ 以上 $2.5 \mu m$ 以下程度の厚さで新たに酸化膜を堆積する。次に、フォトリソグラフィおよびエッチングにより酸化膜をパターニングし、酸化膜のコンタクトトレンチ 19 に対応する部分を除去する。次に、例えばスパッタ法によって、タングステンを基体おもて面上に堆積(形成)し、タングステンをコンタクトトレンチ 19 に埋め込む。次に

50

、例えば400 ~ 600 のシンタリング（熱処理）により炭化珪素半導体部（p⁺型領域3およびp型ベース層6）とタングステンとを反応させてショットキーコンタクトを形成する。

【0066】

その後、実施の形態1と同様に、アルミニウム膜を堆積（形成）する工程以降の工程を順に行うことで、図10に示すMOSFETが完成する。

【0067】

以上、説明したように、実施の形態4によれば、実施の形態1と同様の効果を得ることができる。さらに、実施の形態4では、タングステンを堆積後、パターニングする工程を省略することができる。

10

【0068】

以上において本発明は本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において、例えば各部の寸法や不純物濃度、各部の形成条件等は要求される仕様等に応じて種々設定される。また、炭化珪素でできた炭化珪素基板にMOSゲート構造を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体の種類（例えば窒化ガリウム（GaN）など）、基板主面の面方位などを種々変更可能である。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

【産業上の利用可能性】

【0069】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用であり、特にトレンチゲート構造の炭化珪素半導体装置に適している。

20

【符号の説明】

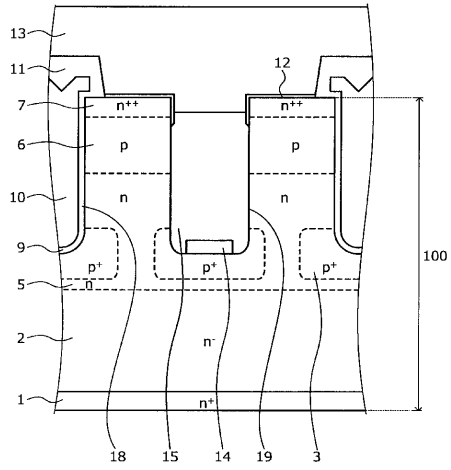
【0070】

- 1 n⁺型炭化珪素基板
- 2 n⁻型ドリフト層
- 3 p⁺型領域
- 5 n型領域
- 5a 下側n型領域
- 5b 上側n型領域
- 6 p型ベース層
- 7 n⁺⁺型ソース領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 ソース電極
- 13 ソース電極パッド
- 14 オーミック金属
- 15 ショットキー金属
- 16 ドレイン電極
- 18 ゲートトレンチ
- 19 コンタクトトレンチ
- 20 SiO₂膜
- 100 炭化珪素基体

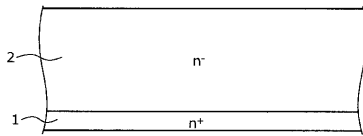
30

40

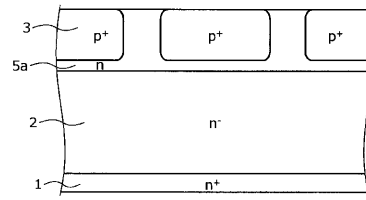
【図1】



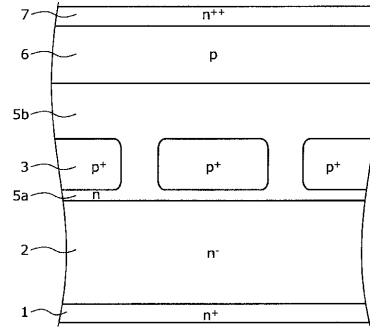
【図2】



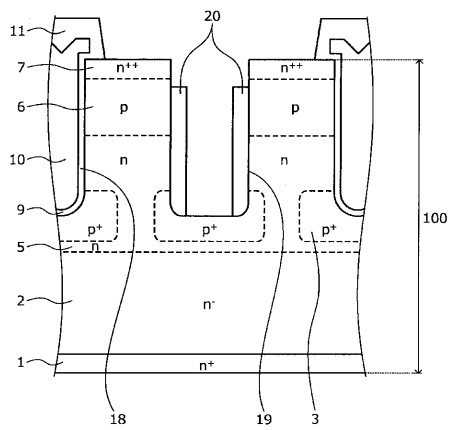
【図3】



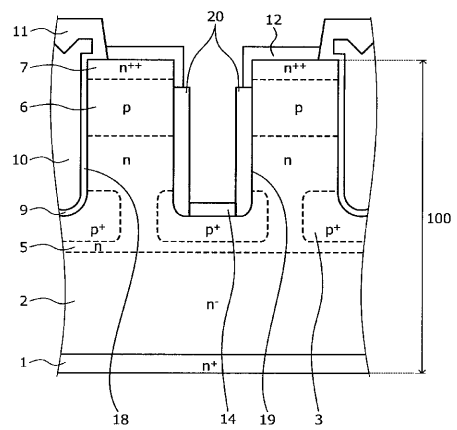
【図4】



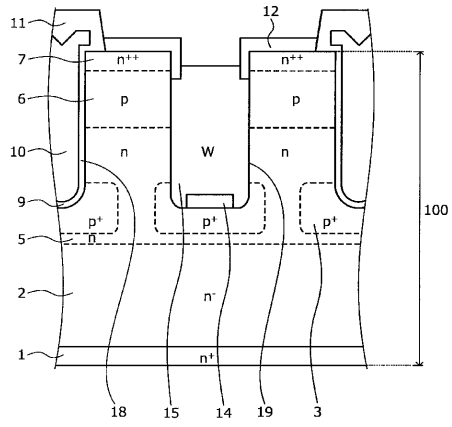
【図5】



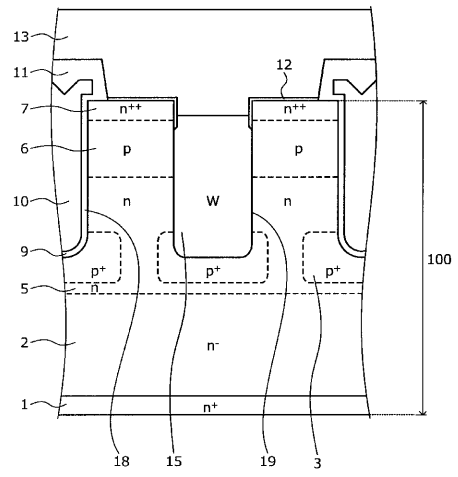
【図6】



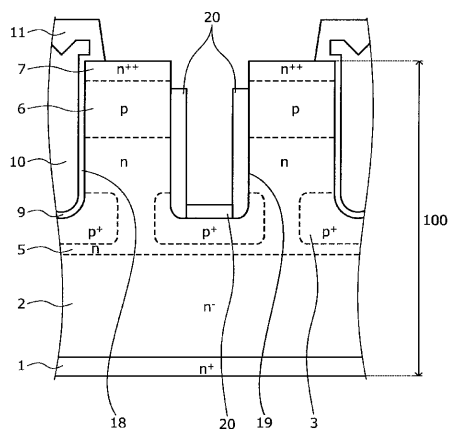
【図7】



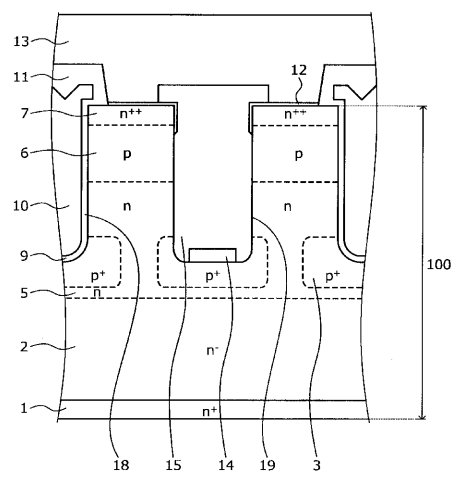
【図8】



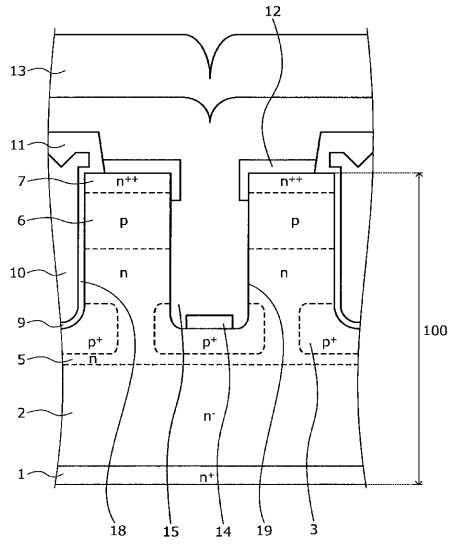
【図9】



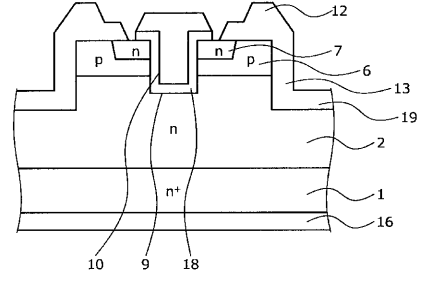
【図10】



【図 1 1】



【図 1 2】



フロントページの続き

(51) Int.Cl.		F I		
H 0 1 L	29/868 (2006.01)	H 0 1 L	29/78	6 5 8 F
H 0 1 L	21/28 (2006.01)	H 0 1 L	29/86	3 0 1 F
H 0 1 L	29/47 (2006.01)	H 0 1 L	29/86	3 0 1 D
		H 0 1 L	29/91	L
		H 0 1 L	21/28	3 0 1 B
		H 0 1 L	29/48	D
		H 0 1 L	29/48	F

- (72)発明者 小島 貴仁
茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内
- (72)発明者 原田 信介
茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

審査官 恩田 和彦

- (56)参考文献 特開2015-076592(JP,A)
特開2012-059841(JP,A)
特開2014-157896(JP,A)
特開2009-278067(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-------------|
| H 0 1 L | 2 9 / 7 8 |
| H 0 1 L | 2 1 / 2 8 |
| H 0 1 L | 2 1 / 3 3 6 |
| H 0 1 L | 2 9 / 1 2 |
| H 0 1 L | 2 9 / 4 7 |
| H 0 1 L | 2 9 / 8 6 1 |
| H 0 1 L | 2 9 / 8 6 8 |
| H 0 1 L | 2 9 / 8 7 2 |