



(12) 发明专利

(10) 授权公告号 CN 112530978 B

(45) 授权公告日 2024. 02. 13

(21) 申请号 202011388074.9

(22) 申请日 2020.12.01

(65) 同一申请的已公布的文献号
申请公布号 CN 112530978 A

(43) 申请公布日 2021.03.19

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 赵梦

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 曹娜

(51) Int. Cl.
H01L 27/12 (2006.01)
H01L 21/77 (2017.01)
H10K 59/121 (2023.01)

(56) 对比文件

- CN 107706243 A, 2018.02.16
- CN 108493198 A, 2018.09.04
- CN 109244082 A, 2019.01.18
- CN 109509775 A, 2019.03.22
- CN 109545836 A, 2019.03.29
- CN 109920845 A, 2019.06.21
- CN 110634888 A, 2019.12.31
- CN 110729312 A, 2020.01.24
- CN 110752235 A, 2020.02.04
- CN 110993613 A, 2020.04.10
- CN 111081721 A, 2020.04.28
- CN 111863837 A, 2020.10.30
- CN 111863841 A, 2020.10.30

审查员 张卓宁

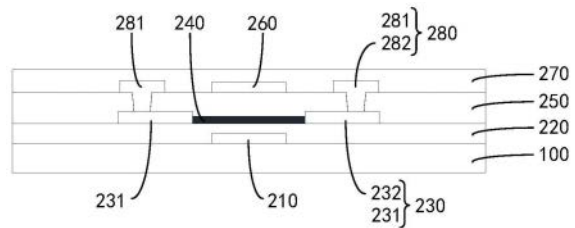
权利要求书4页 说明书20页 附图14页

(54) 发明名称

开关器件结构及其制备方法、薄膜晶体管膜层、显示面板

(57) 摘要

本申请实施例提供了一种开关器件结构及其制备方法、薄膜晶体管膜层、显示面板。该开关器件结构,包括:位于基材层的一侧的第一栅极结构;位于第一栅极结构和基材层的一侧的第一缓冲层;位于第一缓冲层远离基材层的一侧的第一源漏极结构和氧化物半导体结构,氧化物半导体结构与第一源漏极结构的一部分接触;位于第一源漏极结构和氧化物半导体结构远离第一缓冲层的一侧的第一绝缘层;位于第一绝缘层远离第一缓冲层的一侧的第二栅极结构和第二源漏极结构,第二源漏极结构与第一源漏极结构的另一部分电连接。本申请实施例可有效提高开关器件结构中氧化物半导体结构的稳定性,降低氧化物半导体结构的漏电性,进而降低开关器件结构的功耗。



1. 一种开关器件结构,其特征在于,包括:
 - 第一栅极结构,位于基材层的一侧;
 - 第一缓冲层,位于所述第一栅极结构和所述基材层的一侧;
 - 第一源漏极结构,位于所述第一缓冲层远离所述基材层的一侧;
 - 氧化物半导体结构,也位于所述第一缓冲层远离所述基材层的一侧,并与所述第一源漏极结构的一部分接触;
 - 第一绝缘层,位于所述第一源漏极结构和所述氧化物半导体结构远离所述第一缓冲层的一侧;
 - 第二栅极结构,位于所述第一绝缘层远离所述第一缓冲层的一侧;
 - 第二源漏极结构,位于所述第一绝缘层远离所述第一缓冲层的一侧,且与所述第一源漏极结构的另一部分电连接;
 - 所述第一源漏极结构包括相分离的第一源极结构和第一漏极结构;
 - 所述氧化物半导体结构,一端与所述第一源极结构的一部分连接,另一端与所述第一漏极结构的一部分连接;
 - 所述第二源漏极结构包括相分离的第二源极结构和第二漏极结构;所述第二源极结构与所述第一源极结构的另一部分电连接,所述第二漏极结构与所述第一漏极结构的另一部分电连接。
2. 根据权利要求1所述的开关器件结构,其特征在于,所述第一源极结构、所述第一漏极结构和至少部分所述氧化物半导体结构与所述第一缓冲层接触;
 - 和/或,所述氧化物半导体结构的一端在所述基材层的投影与所述第一源极结构的一部分在所述基材层的投影重合,所述氧化物半导体结构的另一端在所述基材层的投影与所述第一漏极结构的一部分在所述基材层的投影重合。
3. 根据权利要求2所述的开关器件结构,其特征在于,所述氧化物半导体结构的一端位于所述第一源极结构的一部分远离所述第一缓冲层的一侧;
 - 和/或,所述氧化物半导体结构的另一端位于所述第一漏极结构的一部分远离所述第一缓冲层的一侧。
4. 一种薄膜晶体管膜层,其特征在于,包括:多晶硅器件结构和如权利要求1-3中任一项所述的开关器件结构;
 - 所述多晶硅器件结构包括在基材层的一侧依次层叠的多晶硅结构、第三绝缘层、第三栅极结构、第四绝缘层和第三源漏极结构;
 - 所述开关器件结构中的第一栅极结构、第一源漏极结构、氧化物半导体结构和第二源漏极结构的一部分均位于所述薄膜晶体管膜层的第一区域;
 - 所述多晶硅结构、所述第三栅极结构、所述第三源漏极结构和所述第二源漏极结构的另一部分均位于所述薄膜晶体管膜层的第二区域;
 - 所述第三源漏极结构与所述多晶硅结构电连接;
 - 所述第二源漏极结构的另一部分与所述第三源漏极结构电连接。
5. 根据权利要求4所述的薄膜晶体管膜层,其特征在于,所述第三源漏极结构和所述开关器件结构的第一源漏极结构均位于第一缓冲层远离所述基材层的一侧,并与所述第一缓冲层接触。

6. 根据权利要求4所述的薄膜晶体管膜层,其特征在于,所述第三栅极结构位于所述第三绝缘层远离所述基材层的一侧;

所述第四绝缘层位于所述第三栅极结构和所述第三绝缘层远离所述基材层的一侧;

所述第一栅极结构位于所述第四绝缘层远离所述第三绝缘层的一侧;

所述第一缓冲层位于所述第一栅极结构和所述第四绝缘层远离所述第三绝缘层的一侧。

7. 根据权利要求4-6中任一项所述的薄膜晶体管膜层,其特征在于,所述第二源漏极结构的另一部分中的至少部分用于与阳极层电连接;

和/或,所述基材层包括第二缓冲层。

8. 一种显示面板,其特征在于,包括:依次层叠的如权利要求4-7中任一项所述的薄膜晶体管膜层、阳极层、发光层和阴极层;

所述薄膜晶体管膜层的第二源漏极结构的另一部分中的至少部分与所述阳极层电连接。

9. 一种显示装置,其特征在于,包括:如权利要求1-3中任一项所述的开关器件结构;或,包括:如权利要求4-7中任一项所述的薄膜晶体管膜层;或,包括:如权利要求8所述的显示面板。

10. 一种开关器件结构的制备方法,其特征在于,包括:

在基材层的一侧制备依次层叠的第一栅极结构、第一缓冲层和第一源漏极结构;

在所述第一缓冲层上制备氧化物半导体结构;所述氧化物半导体结构与所述第一源漏极结构的一部分接触;

在所述第一缓冲层、所述第一源漏极结构和所述氧化物半导体结构上沉积第一绝缘层;

在所述第一绝缘层上制备第二栅极结构和第二源漏极结构;所述第二源漏极结构与所述第一源漏极结构的另一部分电连接;

所述在所述第一绝缘层上制备第二栅极结构和第二源漏极结构,包括:

在所述第一绝缘层上制备第二栅极结构;

在所述第一绝缘层和所述第二栅极结构上沉积第二绝缘层;

对所述第二绝缘层和所述第一绝缘层进行刻蚀,得到第一通孔;所述第一通孔露出所述第一源漏极结构的另一部分的至少局部区域;

在所述第二绝缘层上以及所述第一通孔内沉积第二源漏极层;

将所述第二源漏极层图案化,得到与所述第一源漏极结构的另一部分电连接的第二源漏极结构。

11. 根据权利要求10所述的制备方法,其特征在于,所述在所述第一缓冲层上制备氧化物半导体结构,包括:

在所述第一缓冲层和所述第一源漏极结构上涂布牺牲层;

在所述牺牲层上制备光刻胶结构;所述光刻胶结构的镂空部在所述基材层的投影与所述第一源漏极结构的一部分在所述基材层的投影、以及部分所述第一缓冲层在所述基材层的投影,至少部分重合;

以所述光刻胶结构为掩膜剥离部分所述牺牲层,以露出所述第一源漏极结构的一部

分,或露出所述第一源漏极结构的一部分和部分所述第一缓冲层;

在所述光刻胶结构和露出一部分所述第一源漏极结构上沉积氧化物半导体层;或,在所述光刻胶结构、露出一部分所述第一源漏极结构和露出的部分所述第一缓冲层上沉积氧化物半导体层;

剥离剩余的所述牺牲层,得到与所述第一源漏极结构的一部分接触的氧化物半导体结构。

12. 一种薄膜晶体管膜层的制备方法,其特征在于,包括:

制备基材层;所述薄膜晶体管膜层包括第一区域和第二区域;所述薄膜晶体管膜层中的多晶硅器件结构位于所述第二区域;

在所述基材层位于所述第一区域的第一部分且远离所述基材层的一侧制备第一栅极结构;

在所述基材层和所述第一栅极结构远离所述基材层的一侧制备第一缓冲层;

在所述第一缓冲层位于所述第一区域的部分且远离所述基材层的一侧制备第一源漏极结构;

在所述第一缓冲层位于所述第一区域的部分且远离所述第一栅极结构的一侧制备氧化物半导体结构,使得所述氧化物半导体结构与所述第一源漏极结构的一部分连接;

在所述氧化物半导体结构和所述第一源漏极结构远离所述第一缓冲层的一侧制备第一绝缘层;

在所述第一绝缘层位于所述第一区域的部分且远离所述第一栅极结构的一侧制备第二栅极结构;

在所述第一绝缘层远离所述第一缓冲层的一侧制备第二源漏极结构,并使得所述第二源漏极结构的一部分与所述第一源漏极结构的另一部分电连接。

13. 根据权利要求12所述的制备方法,其特征在于,在所述第一缓冲层位于所述第一区域的部分且远离所述基材层的一侧制备第一源漏极结构的同时,还包括:

在所述第一缓冲层位于所述第二区域的部分且远离所述基材层的一侧制备所述多晶硅器件结构的第三源漏极结构,使得所述第三源漏极结构与所述多晶硅器件结构电连接。

14. 根据权利要求13所述的制备方法,其特征在于,所述在所述第一缓冲层位于所述第一区域的部分且远离所述第一栅极结构的一侧制备氧化物半导体结构,包括:

在所述第一缓冲层、所述第三源漏极结构和所述第一源漏极结构上涂布牺牲层;

在所述牺牲层上制备光刻胶结构;所述光刻胶结构的镂空部在所述基材层的投影与所述第一源漏极结构的一部分在所述基材层的投影、以及部分所述第一缓冲层在所述基材层的投影,至少部分重合;

以所述光刻胶结构为掩膜剥离部分所述牺牲层,以露出所述第一源漏极结构的一部分,或露出所述第一源漏极结构的一部分和部分所述第一缓冲层;

在所述光刻胶结构和露出一部分所述第一源漏极结构上沉积氧化物半导体层;或,在所述光刻胶结构、露出一部分所述第一源漏极结构和露出的部分所述第一缓冲层上沉积氧化物半导体层;

剥离剩余的所述牺牲层,得到与所述第一源漏极结构的一部分接触的氧化物半导体结构。

15. 根据权利要求14所述的制备方法,其特征在于,所述在所述氧化物半导体结构和所述第一源漏极结构且远离所述第一缓冲层的一侧制备第一绝缘层,包括:

在所述氧化物半导体结构、所述第一源漏极结构和所述第三源漏极结构都远离所述第一缓冲层的一侧制备所述第一绝缘层。

16. 根据权利要求15所述的制备方法,其特征在于,所述在所述第一绝缘层远离所述第一缓冲层的一侧制备第二源漏极结构,包括:

在所述第一绝缘层和所述第二栅极结构远离所述第一绝缘层的一侧制备第二绝缘层;

对所述第二绝缘层和所述第一绝缘层进行刻蚀,得到第一通孔和第二通孔;所述第一通孔露出所述第一源漏极结构的另一部分的至少局部区域,所述第二通孔露出至少部分所述第三源漏极结构;

在所述第二绝缘层上以及所述第一通孔内、所述第二通孔内沉积第二源漏极层;

将所述第二源漏极层图案化,得到第二源漏极结构;所述第二源漏极结构的一部分与所述第一源漏极结构的另一部分电连接,所述第二源漏极结构的另一部分与所述第三源漏极结构电连接。

17. 根据权利要求12-16中任一项所述的制备方法,其特征在于,所述制备基材层,包括:

在第二缓冲层位于所述第二区域的一侧制备所述多晶硅器件结构的多晶硅结构;

在所述多晶硅结构和所述第二缓冲层的一侧制备第三绝缘层;

在所述第三绝缘层位于所述第二区域的部分且远离所述多晶硅结构的一侧,制备所述多晶硅器件结构的第三栅极结构;

在所述第三栅极结构和所述第三绝缘层远离所述第二缓冲层的一侧,制备第四绝缘层。

开关器件结构及其制备方法、薄膜晶体管膜层、显示面板

技术领域

[0001] 本申请涉及显示技术领域,具体而言,本申请涉及一种开关器件结构及其制备方法、薄膜晶体管膜层、显示面板。

背景技术

[0002] 有机电致发光显示产品(Organic Electro luminescent Display,OLED)凭借其低功耗、高色饱和度、广视角、薄厚度、能实现柔性化等优异性能,逐渐成为显示领域的主流。

[0003] 随着有机电致发光显示产品的广泛应用,有机电致发光显示产品面临更进一步的降低功耗或提高稳定性的需求压力。

[0004] 因此,亟待提供新的技术改进,以缓解上述需求压力。

发明内容

[0005] 本申请针对现有方式的缺点,提出一种开关器件结构及其制备方法、薄膜晶体管膜层、显示面板,用以降低有机电致发光显示产品的功耗,或提高有机电致发光显示产品的稳定性。

[0006] 第一个方面,本申请实施例提供了一种开关器件结构,包括:

[0007] 第一栅极结构,位于基材层的一侧;

[0008] 第一缓冲层,位于第一栅极结构和基材层的一侧;

[0009] 第一源漏极结构,位于第一缓冲层远离基材层的一侧;

[0010] 氧化物半导体结构,也位于第一缓冲层远离基材层的一侧,并与第一源漏极结构的一部分接触;

[0011] 第一绝缘层,位于第一源漏极结构和氧化物半导体结构远离第一缓冲层的一侧;

[0012] 第二栅极结构,位于第一绝缘层远离第一缓冲层的一侧;

[0013] 第二源漏极结构,位于第一绝缘层远离第一缓冲层的一侧,且与第一源漏极结构的另一部分电连接。

[0014] 第二个方面,本申请实施例提供了一种薄膜晶体管膜层,包括:多晶硅器件结构和如第一个方面提供的开关器件结构;

[0015] 多晶硅器件结构包括在基材层的一侧依次层叠的多晶硅结构、第三绝缘层、第三栅极结构、第四绝缘层和第三源漏极结构;

[0016] 开关器件结构中的第一栅极结构、第一源漏极结构、氧化物半导体结构和第二源漏极结构的一部分均位于薄膜晶体管膜层的第一区域;

[0017] 多晶硅结构、第三栅极结构、第三源漏极结构和第二源漏极结构的另一部分均位于薄膜晶体管膜层的第二区域;

[0018] 第三源漏极结构与多晶硅结构电连接;

[0019] 第二源漏极结构的另一部分与第三源漏极结构电连接。

[0020] 第三个方面,本申请实施例提供了一种显示面板,包括:依次层叠的如第二个方面提供的薄膜晶体管膜层、阳极层、发光层和阴极层;

[0021] 薄膜晶体管膜层的第二源漏极结构的另一部分中的至少部分与阳极层电连接。

[0022] 第四个方面,本申请实施例提供一种显示装置,包括:如第一个方面提供的开关器件结构;或,包括:如第二个方面提供的薄膜晶体管膜层;或,包括:如第三个方面提供的显示面板。

[0023] 第五个方面,本申请实施例提供一种开关器件结构的制备方法,包括:

[0024] 在基材层的一侧制备依次层叠的第一栅极结构、第一缓冲层和第一源漏极结构;

[0025] 在第一缓冲层上制备氧化物半导体结构;氧化物半导体结构与第一源漏极结构的一部分接触;

[0026] 在第一缓冲层、第一源漏极结构和氧化物半导体结构上沉积第一绝缘层;

[0027] 在第一绝缘层上制备第二栅极结构和第二源漏极结构;第二源漏极结构与第一源漏极结构的另一部分电连接。

[0028] 第六个方面,本申请实施例提供一种薄膜晶体管膜层的制备方法,包括:

[0029] 制备基材层;薄膜晶体管膜层包括第一区域和第二区域;薄膜晶体管膜层中的多晶硅器件结构位于第二区域;

[0030] 在基材层位于第一区域的第一部分且远离基材层的一侧制备第一栅极结构;

[0031] 在基材层和第一栅极层结构远离基材层的一侧制备第一缓冲层;

[0032] 在第一缓冲层位于第一区域的部分且远离基材层的一侧制备第一源漏极结构;

[0033] 在第一缓冲层位于第一区域的部分且远离第一栅极结构的一侧制备氧化物半导体结构,使得氧化物半导体结构与第一源漏极结构的一部分连接;

[0034] 在氧化物半导体结构和第一源漏极结构远离第一缓冲层的一侧制备第一绝缘层;

[0035] 在第一绝缘层位于第一区域的部分且远离第一栅极结构的一侧制备第二栅极结构;

[0036] 在第一绝缘层远离第一缓冲层的一侧制备第二源漏极结构,并使得第二源漏极结构的一部分与第一源漏极结构的另一部分电连接。

[0037] 本申请实施例提供的开关器件结构及其制备方法带来的有益技术效果包括:采用低温多晶氧化物器件结构,具有低漏电的优点,可有效降低功耗;在开关器件结构内部,采用第一源漏极结构作为第二源漏极结构与氧化物半导体结构搭接的桥梁,使得电连接第二源漏极结构的过孔不直接接触氧化物半导体结构,这样可以有效避免制程中对氧化物半导体结构的表面造成伤害,或导致氧化物半导体结构成为缺陷态等,可有效提高氧化物半导体结构的稳定性,降低氧化物半导体结构的漏电性,进而降低功耗。

[0038] 本申请实施例提供的薄膜晶体管膜层及其制备方法、显示面板、显示装置带来的有益技术效果包括:采用LTPS器件和低温多晶氧化物器件相结合的LTPO结构,可以利用LTPS器件响应速度快、开启电流较大的特点,为OLED显示提供电流源,同时可以利用低温多晶氧化物器件低漏电的特点,降低薄膜晶体管膜层的功耗;在低温多晶氧化物器件内部,采用第一源漏极结构作为第二源漏极结构与氧化物半导体结构搭接的桥梁,使得电连接第二源漏极结构的过孔不直接接触氧化物半导体结构,这样可以有效避免制程中对氧化物半导体结构的表面造成伤害,或导致氧化物半导体结构成为缺陷态等,可有效提高氧化物半导

体结构的稳定性,降低氧化物半导体结构的漏电性,进而降低功耗。

[0039] 本申请附加的方面和优点将在下面的描述中部分给出,这些将从下面的描述中变得明显,或通过本申请的实践了解到。

附图说明

[0040] 本申请上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解,其中:

[0041] 图1为本申请实施例提供一种开关器件结构的实施方式一的结构示意图;

[0042] 图2为本申请实施例提供一种开关器件结构的实施方式二的结构示意图;

[0043] 图3为本申请实施例提供一种开关器件结构的实施方式三的结构示意图;

[0044] 图4为本申请实施例提供一种薄膜晶体管膜层的结构示意图;

[0045] 图5为本申请实施例提供一种开关器件结构的制备方法的流程示意图;

[0046] 图6为本申请实施例提供一种开关器件结构的制备方法中,在第一缓冲层上制备氧化物半导体结构的流程示意图;

[0047] 图7为本申请实施例提供一种开关器件结构的制备方法中,在第一绝缘层上制备第二栅极结构和第二源漏极结构的流程示意图;

[0048] 图8为本申请实施例提供一种开关器件结构的制备方法的展开方法的流程示意图;

[0049] 图9为本申请实施例提供一种开关器件结构的制备方法的展开方法中,在基材层的一侧制备依次层叠的第一栅极结构、第一缓冲层和第一源漏极结构后的膜层结构示意图;

[0050] 图10为本申请实施例提供一种开关器件结构的制备方法的展开方法中,在第一缓冲层和第一源漏极结构上涂布牺牲层后的膜层结构示意图;

[0051] 图11为本申请实施例提供一种开关器件结构的制备方法的展开方法中,在牺牲层上制备光刻胶结构后的膜层结构示意图;

[0052] 图12为本申请实施例提供一种开关器件结构的制备方法的展开方法中,以光刻胶结构为掩膜剥离部分牺牲层,以露出第一源漏极结构的一部分和部分第一缓冲层后的膜层结构示意图;

[0053] 图13为本申请实施例提供一种开关器件结构的制备方法的展开方法中,在光刻胶结构、露出一部分第一源漏极结构和露出的部分第一缓冲层上沉积氧化物半导体层后的膜层结构示意图;

[0054] 图14为本申请实施例提供一种开关器件结构的制备方法的展开方法中,剥离剩余的牺牲层,得到与第一源漏极结构的一部分接触的氧化物半导体结构后的膜层结构示意图;

[0055] 图15为本申请实施例提供一种开关器件结构的制备方法的展开方法中,在第一缓冲层、第一源漏极结构和氧化物半导体结构上沉积第一绝缘层,以及在第一绝缘层上制备第二栅极结构后的膜层结构示意图;

[0056] 图16为本申请实施例提供一种薄膜晶体管膜层的制备方法的流程示意图;

[0057] 图17为本申请实施例提供一种薄膜晶体管膜层的制备方法中,制备基材层的流

程示意图；

[0058] 图18为本申请实施例提供的一种薄膜晶体管膜层的制备方法中,在第一缓冲层位于第一区域的部分且远离第一栅极结构的一侧制备氧化物半导体结构的流程示意图；

[0059] 图19为本申请实施例提供的一种薄膜晶体管膜层的制备方法中,在第一绝缘层远离第一缓冲层的一侧制备第二源漏极结构的流程示意图；

[0060] 图20为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法的流程示意图；

[0061] 图21为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,制备基材层后的膜层结构示意图；

[0062] 图22为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,在基材层位于第一区域的第一部分且远离基材层的一侧制备第一栅极结构,在基材层和第一栅极层结构远离基材层的一侧制备第一缓冲层后的膜层结构示意图；

[0063] 图23为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,在第一缓冲层远离基材层的一侧制备位于第一区域的第一源漏极结构和位于第二区域的多晶硅器件结构的第三源漏极结构,并使得第三源漏极结构与多晶硅结构电连接后的膜层结构示意图；

[0064] 图24为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,在第一缓冲层、第三源漏极结构和第一源漏极结构上涂布牺牲层后的膜层结构示意图；

[0065] 图25为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,在牺牲层上制备光刻胶结构后的膜层结构示意图；

[0066] 图26为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,以光刻胶结构为掩膜剥离部分牺牲层,以露出第一源漏极结构的一部分和部分第一缓冲层后的膜层结构示意图；

[0067] 图27为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,在光刻胶结构、露出一部分第一源漏极结构和露出的部分第一缓冲层上沉积氧化物半导体层后的膜层结构示意图；

[0068] 图28为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,剥离剩余的牺牲层,得到与第一源漏极结构的一部分接触的氧化物半导体结构后的膜层结构示意图；

[0069] 图29为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,在氧化物半导体结构、第一源漏极结构和第三源漏极结构都远离第一缓冲层的一侧制备第一绝缘层,在第一绝缘层位于第一区域的部分且远离第一栅极结构的一侧制备第二栅极结构后的膜层结构示意图；

[0070] 图30为本申请实施例提供的一种薄膜晶体管膜层的制备方法的展开方法中,在第一绝缘层远离第一缓冲层的一侧制备第二源漏极结构,并使得第二源漏极结构中位于第一区域的至少一部分与第一源漏极结构的另一部分电连接,第二源漏极结构中位于第二区域的至少另一部分与第三源漏极结构电连接后的膜层结构示意图；

[0071] 图中：

[0072] 100-基材层；100a-第一区域；100b-第二区域；

- [0073] 210-第一栅极结构;
- [0074] 220-第一缓冲层;
- [0075] 230-第一源漏极结构;231-第一源极结构;232-第一漏极结构;
- [0076] 240-氧化物半导体结构;
- [0077] 250-第一绝缘层;
- [0078] 260-第二栅极结构;
- [0079] 270-第二绝缘层;
- [0080] 280-第二源漏极结构;281-第二源极结构;282-第二漏极结构;
- [0081] 310-多晶硅结构;
- [0082] 320-第三绝缘层;
- [0083] 330-第三栅极结构;
- [0084] 340-第四绝缘层;
- [0085] 350-第三源漏极结构;
- [0086] 360-平坦层;370-阳极结构;
- [0087] 400-牺牲层;500-光刻胶结构;600-氧化物半导体层。

具体实施方式

[0088] 下面详细描述本申请,本申请的实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的部件或具有相同或类似功能的部件。此外,如果已知技术的详细描述对于示出的本申请的特征是不必要的,则将其省略。下面通过参考附图描述的实施例是示例性的,仅用于解释本申请,而不能解释为对本申请的限制。

[0089] 本技术领域技术人员可以理解,除非另外定义,这里使用的所有术语(包括技术术语和科学术语),具有与本申请所属领域中的普通技术人员的一般理解相同的意义。还应该理解的是,诸如通用字典中定义的那些术语,应该被理解为具有与现有技术的上下文中的意义一致的意义,并且除非像这里一样被特定定义,否则不会用理想化或过于正式的含义来解释。

[0090] 本技术领域技术人员可以理解,除非特意声明,这里使用的单数形式“一”、“一个”、“所述”和“该”也可包括复数形式。应该进一步理解的是,本申请的说明书中使用的措辞“包括”是指存在所述特征、整数、步骤、操作、元件和/或组件,但是并不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、组件和/或它们的组。应该理解,当我们称元件被“连接”或“耦接”到另一元件时,它可以直接连接或耦接到其他元件,或者也可以存在中间元件。此外,这里使用的“连接”或“耦接”可以包括无线连接或无线耦接。这里使用的措辞“和/或”包括一个或更多个相关联的列出项的全部或任一单元和全部组合。

[0091] 首先对本申请涉及的几个名词进行介绍和解释:

[0092] LTPS:Low Temperature Poly-Silicon,低温多晶硅器件。

[0093] LTPO:低温多晶氧化物器件。LTPO是将LTPS器件和低温多晶氧化物器件设计放在同一个被控制单元(例如像素)中,LTPS器件用于驱动被控制单元,低温多晶氧化物器件用于开关,也就是在同一个被控制单元中集成了LTPS器件和低温多晶氧化物器件这两种 TFT(Thin Film Transistor,薄膜晶体管)器件。

[0094] 本申请的发明人进行研究发现,有机电致发光显示产品可以采用LTPO的背板驱动电路,即将LTPS器件和低温多晶氧化物器件相结合的背板结构,来实现降低功耗。具体地,用LTPS器件作为OLED元件的驱动TFT,用低温多晶氧化物器件作为开关TFT。这样可以利用LTPS器件响应速度快、开启电流较大的特点,为OLED显示提供电流源;同时可以利用低温多晶氧化物器件低漏电的特点,降低背板驱动电路的功耗。

[0095] 但是在LTPO结构中,由于整体背板工艺存在一定的兼容性原因,低温多晶氧化物器件中作为沟道的氧化物半导体结构的稳定性不足,这会导致LTPO驱动电路的稳定性不足。例如,位于氧化物半导体结构上层的源漏极结构,是通过与氧化物半导体结构之间的中间膜层上的过孔与氧化物半导体结构实现搭接的。但在对中间膜层刻蚀得到过孔的过程中,刻蚀气体不可避免会接触到氧化物半导体结构的表层。由于中间膜层厚度的不均匀性,或刻蚀工艺中的误差,而极易发生过刻,这将导致对氧化物半导体结构的表面造成伤害,进而会影响氧化物半导体结构的漏电流和稳定性。并且,刻蚀气体中的氧、氯、氟等会进入氧化物半导体结构,导致氧化物半导体结构成为缺陷态,也会影响氧化物半导体结构的漏电流和稳定性。

[0096] 本申请提供的开关器件结构及其制备方法、薄膜晶体管膜层、显示面板,旨在解决现有技术的如上技术问题。

[0097] 下面以具体地实施例对本申请的技术方案以及本申请的技术方案如何解决上述技术问题进行详细说明。

[0098] 本申请实施例提供了一种开关器件结构,该开关器件结构的结构示意图如图1-图3所示,包括:第一栅极结构210、第一缓冲层220、第一源漏极结构230、氧化物半导体结构240、第一绝缘层250、第二栅极结构260和第二源漏极结构280。

[0099] 第一栅极结构210位于基材层100的一侧。

[0100] 第一缓冲层220位于第一栅极结构210和基材层100的一侧。

[0101] 第一源漏极结构230位于第一缓冲层220远离基材层100的一侧。

[0102] 氧化物半导体结构240也位于第一缓冲层220远离基材层100的一侧,并与第一源漏极结构230的一部分接触。

[0103] 第一绝缘层250位于第一源漏极结构230和氧化物半导体结构240远离第一缓冲层220的一侧。

[0104] 第二栅极结构260位于第一绝缘层250远离第一缓冲层220的一侧。

[0105] 第二源漏极结构280位于第一绝缘层250远离第一缓冲层220的一侧,且与第一源漏极结构230的另一部分电连接。

[0106] 在本实施例中,第一栅极结构210、第一源漏极结构230、氧化物半导体结构240、第二栅极结构260和第二源漏极结构280构成了低温多晶氧化物器件结构的主要功能膜层。

[0107] 本实施例提供的开关器件结构采用低温多晶氧化物器件结构,具有低漏电的优点,可有效降低功耗。在开关器件结构内部,采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得电连接第二源漏极结构280的过孔不直接接触氧化物半导体结构240,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0108] 可选地,第一栅极结构210、氧化物半导体结构240和第二栅极结构260在基材层100的投影至少部分重合。

[0109] 可选地,如图1所示,第二源漏极结构280与第二栅极结构260均可以与第一绝缘层250远离第一缓冲层220的一侧接触。即,第二源漏极结构280与第二栅极结构260同层布置,只需保持相互绝缘即可,例如相互间隔开,可有利于器件膜层的减薄。

[0110] 可选地,如图2和图3所示,开关器件结构还包括第二绝缘层270,第二绝缘层270位于第二栅极结构260和第一绝缘层250远离第一缓冲层220的一侧。即,第二源漏极结构280与第二栅极结构260不同层布置,第二源漏极结构280与第二栅极结构260通过第二绝缘层270绝缘隔开,有利于提高绝缘性能。

[0111] 可选地,如图2和图3所示,开关器件结构还包括平坦层360,平坦层360位于第二绝缘层270和第二源漏极结构280远离第一绝缘层250的一侧。平坦层360一方面可以用于第二源漏极结构280的绝缘,另一方面可利于后续膜层的制备。

[0112] 在一些可能的实施方式中,如图1-图3所示,第一源漏极结构230包括相分离的第一源极结构231和第一漏极结构232。

[0113] 氧化物半导体结构240,一端与第一源极结构231的一部分连接,另一端与第一漏极结构232的一部分连接。

[0114] 第二源漏极结构280包括相分离的第二源极结构281和第二漏极结构282。第二源极结构281与第一源极结构231的另一部分电连接,第二漏极结构282与第一漏极结构232的另一部分电连接。

[0115] 在本实施例中,第一源极结构231作为第二源极结构281与氧化物半导体结构240的一端搭接的桥梁,第一漏极结构232作为第二漏极结构282与氧化物半导体结构240的另一端搭接的桥梁,使得电连接第二源极结构281的过孔、以及电连接第二漏极结构282的过孔均不直接接触氧化物半导体结构240,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0116] 在一些可能的实施方式中,第一源极结构231、第一漏极结构232和至少部分氧化物半导体结构240与第一缓冲层220接触。

[0117] 可选地,第一源极结构231、第一漏极结构232和全部氧化物半导体结构240均与第一缓冲层220接触,这样有利于器件膜层的减薄。

[0118] 可选地,如图3所示,氧化物半导体结构240的一端在基材层100的投影与第一源极结构231的一部分在基材层100的投影重合,氧化物半导体结构240的另一端在基材层100的投影与第一漏极结构232的一部分在基材层100的投影重合。这样可以增大氧化物半导体结构240与第一源极结构231以及第一漏极结构232的接触面积,强化电连接的有效性。

[0119] 可选地,如图3所示,氧化物半导体结构240的一端位于第一源极结构231的一部分远离第一缓冲层220的一侧。这样可以在制备工艺中,制备得到第一源极结构231之后,再制备氧化物半导体结构240,并使氧化物半导体结构240的一端覆盖第一源极结构231的一部分。

[0120] 可选地,如图3所示,氧化物半导体结构240的另一端位于第一漏极结构232的一部分远离第一缓冲层220的一侧。这样可以在制备工艺中,制备得到第一漏极结构232之后,再

制备氧化物半导体结构240,并使氧化物半导体结构240的另一端覆盖第一漏极结构232的一部分。

[0121] 可选地,氧化物半导体结构240的一端位于第一源极结构231的一部分远离第一缓冲层220的一侧,且,氧化物半导体结构240的另一端位于第一漏极结构232的一部分远离第一缓冲层220的一侧。这样可以在制备工艺中,制备得到第一源极结构231和第一漏极结构232之后,再制备氧化物半导体结构240,并使氧化物半导体结构240的一端覆盖第一源极结构231的一部分,氧化物半导体结构240的另一端覆盖第一漏极结构232的一部分。

[0122] 基于同一发明构思,本申请实施例提供了一种薄膜晶体管膜层,该薄膜晶体管膜层的结构示意图如图4所示,包括:多晶硅器件结构和如前述各实施例提供的任一种开关器件结构。

[0123] 多晶硅器件结构包括在基材层100的一侧依次层叠的多晶硅结构310、第三绝缘层320、第三栅极结构330、第四绝缘层340和第三源漏极结构350。

[0124] 开关器件结构中的第一栅极结构210、第一源漏极结构230、氧化物半导体结构240和第二源漏极结构280的一部分均位于薄膜晶体管膜层的第一区域100a。

[0125] 多晶硅结构310、第三栅极结构330、第三源漏极结构350和第二源漏极结构280的另一部分均位于薄膜晶体管膜层的第二区域100b。

[0126] 第三源漏极结构350与多晶硅结构310电连接。

[0127] 第二源漏极结构280的另一部分与第三源漏极结构350电连接。

[0128] 在本实施例中,薄膜晶体管膜层采用了多晶硅器件结构和开关器件结构相结合的结构,其中至少多晶硅结构310、第三栅极结构330和第三源漏极结构350构成了LTPS器件结构的主要功能膜层,至少第一栅极结构210、第一源漏极结构230、氧化物半导体结构240和第二源漏极结构280构成了低温多晶氧化物器件结构的主要功能膜层。

[0129] 即,本实施例提供的薄膜晶体管膜层采用LTPS器件和低温多晶氧化物器件相结合的LTPO结构,可以利用LTPS器件响应速度快、开启电流较大的特点,为OLED显示提供电流源,同时可以利用低温多晶氧化物器件低漏电的特点,降低薄膜晶体管膜层的功耗;在低温多晶氧化物器件内部,采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得电连接第二源漏极结构280的过孔不直接接触氧化物半导体结构240,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0130] 本实施例提供的薄膜晶体管膜层采用开关器件结构与多晶硅器件结构的分区排版结构。具体是,开关器件结构的主要功能膜层位于第一区域100a,多晶硅器件结构的主要功能膜层位于第二区域100b。这样容易实现开关器件结构与多晶硅器件结构共享至少部分膜层结构,可以利于实现器件膜层的减薄。

[0131] 可选地,多晶硅结构310在基材层100的投影与第三栅极结构330在基材层100的投影至少部分重合。

[0132] 在一些可能的实施方式中,如图4所示,第三源漏极结构350和开关器件结构的第一源漏极结构230均位于第一缓冲层220远离基材层100的一侧,并与第一缓冲层220接触。

[0133] 在本实施例中,第三源漏极结构350与开关器件结构的第一源漏极结构230可以同

层布置,只需保持相互绝缘即可,例如相互间隔开,可有利于器件膜层的减薄;还有利于合并第三源漏极结构350与第一源漏极结构230的制备工艺。例如,在第一缓冲层220远离基材层100的一侧沉积第一源漏极层后,对第一源漏极层图案化,同时得到第三源漏极结构350和第一源漏极结构230。

[0134] 在一些可能的实施方式中,如图4所示,第三栅极结构330位于第三绝缘层320远离基材层100的一侧。

[0135] 第四绝缘层340位于第三栅极结构330和第三绝缘层320远离基材层100的一侧。

[0136] 第一栅极结构210位于第四绝缘层340远离第三绝缘层320的一侧。

[0137] 第一缓冲层220位于第一栅极层和第四绝缘层340远离第三绝缘层320的一侧。

[0138] 在本实施例中,第三栅极结构330与第一栅极结构210不同层布置,由第四绝缘层340隔开,有利于进一步保证第三栅极结构330与第一栅极结构210之间的绝缘。

[0139] 在一些可能的实施方式中,第二源漏极结构280的另一部分中的至少部分用于与阳极层电连接。这样可以实现薄膜晶体管膜层对OLED显示模组的驱动。

[0140] 在一些可能的实施方式中,基材层100包括第二缓冲层。

[0141] 可选地,多晶硅结构310位于第二缓冲层的一侧,并与第二缓冲层接触。

[0142] 基于同一发明构思,本申请实施例提供了一种显示面板,该显示面板包括:依次层叠的如前述各实施例提供的任一种薄膜晶体管膜层、阳极层、发光层和阴极层。

[0143] 薄膜晶体管膜层的第二源漏极结构280的另一部分中的至少部分与阳极层电连接。

[0144] 在本实施例中,显示面板中的薄膜晶体管膜层采用LTPS器件和低温多晶氧化物器件相结合的LTPO结构,可以利用LTPS器件响应速度快、开启电流较大的特点,为显示面板的OLED显示模组提供电流源,同时可以利用低温多晶氧化物器件低漏电的特点,降低薄膜晶体管膜层的功耗;在低温多晶氧化物器件内部,采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得电连接第二源漏极结构280的过孔不直接接触氧化物半导体结构240,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低整个显示面板的功耗。

[0145] 基于同一发明构思,本申请实施例提供了一种显示装置,该显示装置包括:如前述各实施例提供的任一种开关器件结构。或,包括:如前述各实施例提供的任一种薄膜晶体管膜层。或,包括:如前述各实施例提供的任一种显示面板。

[0146] 可选地,显示装置可以为电视、数码相框、手机、智能手表、平板电脑等,也可以是可穿戴设备(如智能手环、智能手表、VR眼镜等)。

[0147] 在本实施例中,由于显示装置采用了前述各实施例提供的任一种开关器件结构,或各实施例提供的任一种薄膜晶体管膜层,或各实施例提供的任一种显示面板,其原理和技术效果请参阅前述各实施例,在此不再赘述。

[0148] 基于同一发明构思,本申请实施例提供了一种开关器件结构的制备方法,该方法的流程示意图如图5所示,包括步骤S101-S104:

[0149] S101:在基材层的一侧制备依次层叠的第一栅极结构、第一缓冲层和第一源漏极结构。

[0150] S102:在第一缓冲层上制备氧化物半导体结构。氧化物半导体结构与第一源漏极结构的一部分接触。

[0151] S103:在第一缓冲层、第一源漏极结构和氧化物半导体结构上沉积第一绝缘层。

[0152] S104:在第一绝缘层上制备第二栅极结构和第二源漏极结构。第二源漏极结构与第一源漏极结构的另一部分电连接。

[0153] 本申请实施例提供的一种开关器件结构的制备方法,可以使得氧化物半导体结构240与第一源漏极结构230的一部分电连接,第二源漏极结构280与第一源漏极结构230的另一部分(即不与氧化物半导体结构240连接的部分)电连接。即采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得制备电连接第二源漏极结构280的过孔时,刻蚀气体不会接触到氧化物半导体结构240的表层,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0154] 可选地,第二栅极结构260和第二源漏极结构280可以制备于第一绝缘层250上的同一膜层,只需保持相互绝缘即可,例如相互间隔开,可有利于器件膜层的减薄。例如,制备得到的第二栅极结构260和第二源漏极结构280均与第一绝缘层250远离基材层100的一侧接触。

[0155] 可选地,第二栅极结构260和第二源漏极结构280也可以制备于第一绝缘层250上的不同膜层,具体将在下文详细说明,在此不赘述。

[0156] 在一些可能的实施方式中,上述步骤S102中,在第一缓冲层上制备氧化物半导体结构,如图6所示,包括步骤S201-S205:

[0157] S201:在第一缓冲层和第一源漏极结构上涂布牺牲层。

[0158] S202:在牺牲层上制备光刻胶结构。光刻胶结构的镂空部在基材层的投影与第一源漏极结构的一部分在基材层的投影、以及部分第一缓冲层在基材层的投影,至少部分重合。

[0159] S203:以光刻胶结构为掩膜剥离部分牺牲层,以露出第一源漏极结构的一部分,或露出第一源漏极结构的一部分和部分第一缓冲层。

[0160] S204:在光刻胶结构和露出一部分第一源漏极结构上沉积氧化物半导体层。或,在光刻胶结构、露出一部分第一源漏极结构和露出的部分第一缓冲层上沉积氧化物半导体层。

[0161] S205:剥离剩余的牺牲层,得到与第一源漏极结构的一部分接触的氧化物半导体结构。

[0162] 在本实施例中,利用图案化的光刻胶结构500为掩膜剥离掉部分牺牲层400,使得全面沉积氧化物半导体层600后,部分氧化物半导体层600可以直接沉积到露出一部分第一源漏极结构230上,即使得该部分氧化物半导体层600与露出一部分第一源漏极结构230连接,然后通过剥离剩余的牺牲层400,使之前经全面沉积在光刻胶结构500上的部分氧化物半导体层600也跟着一起被剥离掉,剩下的与第一源漏极结构230连接的部分氧化物半导体层600即所需要得到的氧化物半导体结构240。

[0163] 相比于采用刻蚀工艺对氧化物半导体层600图案化,本实施例采用剥离的工艺对

氧化物半导体层600图案化,可以避免因兼容性原因对第一源漏极结构230可能产生的影响,例如刻蚀物质(例如刻蚀液)对第一源漏极结构230可能造成损伤。

[0164] 在一些可能的实施方式中,上述步骤S104中,在第一绝缘层上制备第二栅极结构和第二源漏极结构,如图7所示,包括步骤S301-S305:

[0165] S301:在第一绝缘层上制备第二栅极结构。

[0166] S302:在第一绝缘层和第二栅极结构上沉积第二绝缘层。

[0167] S303:对第二绝缘层和第一绝缘层进行刻蚀,得到第一通孔;第一通孔露出第一源漏极结构的另一部分的至少局部区域。

[0168] S304:在第二绝缘层上以及第一通孔内沉积第二源漏极层。

[0169] S305:将第二源漏极层图案化,得到与第一源漏极结构的另一部分电连接的第二源漏极结构。

[0170] 在本实施例中,第二栅极结构260和第二源漏极结构280制备于第一绝缘层250上的不同膜层。具体地,第二栅极结构260与第二源漏极结构280之间通过第二绝缘层270隔开,有利于进一步提高第二栅极结构260与第二源漏极结构280之间的绝缘性。

[0171] 对第二绝缘层270和第一绝缘层250刻蚀得到的第一通孔,仅露出部分未于氧化物半导体结构240连接的第一源漏极结构230,这样可避免刻蚀气体与氧化物半导体结构240接触,可以有效避免刻蚀气体对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等。

[0172] 在第二绝缘层270上全面沉积第二源漏极层后,部分第二源漏极层进入第一通孔并与第一通孔内露出的部分第一源漏极结构230接触,从而形成电连接第二源漏极结构280与第一源漏极结构230的过孔。

[0173] 本申请实施例提供了一种开关器件结构的制备方法的展开方法,该方法的流程示意图如图8所示,包括如下步骤S401-S412:

[0174] S401:在基材层的一侧制备依次层叠的第一栅极结构、第一缓冲层和第一源漏极结构。

[0175] 经过步骤S401得到的膜层结构如图9所示。

[0176] 可选地,本步骤S401可以先在基材层100的一侧沉积第一栅极层,并图案化得到第一栅极结构210;然后在基材层100和第一栅极结构210远离基材层100的一侧沉积第一缓冲层220;再向第一缓冲层220远离基材层100的一侧沉积第一源漏极层,并图案化得到第一源漏极结构230。

[0177] 可选地,第一缓冲层220可以采用一氧化硅材质。

[0178] S402:在第一缓冲层和第一源漏极结构上涂布牺牲层。

[0179] 经过步骤S402得到的膜层结构如图10所示。

[0180] S403:在牺牲层上制备光刻胶结构。光刻胶结构的镂空部在基材层的投影与第一源漏极结构的一部分在基材层的投影、以及部分第一缓冲层在基材层的投影,至少部分重合。

[0181] 经过步骤S403得到的膜层结构如图11所示。

[0182] 可选地,本步骤S403可以是,在牺牲层400远离基材层100的一侧涂覆光刻胶层,经曝光、显影工艺使得光刻胶层图案化,得到光刻胶结构500。

[0183] S404:以光刻胶结构为掩膜剥离部分牺牲层,以露出第一源漏极结构的一部分,或露出第一源漏极结构的一部分和部分第一缓冲层。

[0184] 经过步骤S404得到的膜层结构如图12所示。

[0185] 可选地,本步骤S404可以是,以光刻胶结构500为掩膜,通过剥离显影液剥离掉部分牺牲层400。经剥离显影后,牺牲层400的边缘处会形成一定的侧向缩进,该侧向缩进有利于后续沉积于第一源漏极结构230上的部分氧化物半导体层600与沉积于光刻胶结构500上的部分氧化物半导体层600发生断裂。

[0186] S405:在光刻胶结构和露出一部分第一源漏极结构上沉积氧化物半导体层。或,在光刻胶结构、露出一部分第一源漏极结构和露出的部分第一缓冲层上沉积氧化物半导体层。

[0187] 经过步骤S405得到的膜层结构如图13所示。

[0188] 由于步骤S404经剥离显影得到的牺牲层400的边缘处具有一定的侧向缩进,因此经本步骤S405得到的氧化物半导体层600中,位于第一源漏极结构230上的部分氧化物半导体层600与位于光刻胶结构500上的部分氧化物半导体层600会发生断裂,该断裂使得剩余的牺牲层400边缘处形成豁口,这可利于剩余的牺牲层400在后续工艺中与剥离显影液接触,以顺利实现对剩余牺牲层400的剥离。

[0189] 可选地,氧化物半导体层600可以采用IGZO(Indium Gallium Zinc Oxide,铟镓锌氧化物)材质。

[0190] S406:剥离剩余的牺牲层,得到与第一源漏极结构的一部分接触的氧化物半导体结构。

[0191] 经过步骤S406得到的膜层结构如图14所示。

[0192] 经过步骤S402-S406即可实现采用剥离的工艺对氧化物半导体层600图案化,得到用于形成沟道的氧化物半导体结构240。

[0193] S407:在第一缓冲层、第一源漏极结构和氧化物半导体结构上沉积第一绝缘层。

[0194] 可选地,第一绝缘层250可以采用一氧化硅材质。

[0195] S408:在第一绝缘层上制备第二栅极结构。

[0196] 经过步骤S407和S408得到的膜层结构如图15所示。

[0197] 可选地,本步骤S408可以是,在第一绝缘层250远离基材层100的一侧沉积第二栅极层,并图案化得到第二栅极结构260。

[0198] 可选地,第二栅极结构260在基材层100的投影与第一栅极结构210在基材层100的投影至少部分重合。

[0199] S409:在第一绝缘层和第二栅极结构上沉积第二绝缘层。

[0200] S410:对第二绝缘层和第一绝缘层进行刻蚀,得到第一通孔;第一通孔露出第一源漏极结构的另一部分的至少局部区域。

[0201] S411:在第二绝缘层上以及第一通孔内沉积第二源漏极层。

[0202] S412:将第二源漏极层图案化,得到与第一源漏极结构的另一部分电连接的第二源漏极结构。

[0203] 经过步骤S409-S412得到的膜层结构如图13所示,即得到本申请实施例提供了一种开关器件结构。

[0204] 基于同一发明构思,本申请实施例提供了一种薄膜晶体管膜层的制备方法,该方法的流程示意图如图16所示,包括步骤S501-S508:

[0205] S501:制备基材层。薄膜晶体管膜层包括第一区域和第二区域。薄膜晶体管膜层中的多晶硅器件结构位于第二区域。

[0206] S502:在基材层位于第一区域的第一部分且远离基材层的一侧制备第一栅极结构。

[0207] S503:在基材层和第一栅极层结构远离基材层的一侧制备第一缓冲层。

[0208] S504:在第一缓冲层位于第一区域的部分且远离基材层的一侧制备第一源漏极结构。

[0209] S505:在第一缓冲层位于第一区域的部分且远离第一栅极结构的一侧制备氧化物半导体结构,使得氧化物半导体结构与第一源漏极结构的一部分连接。

[0210] S506:在氧化物半导体结构和第一源漏极结构远离第一缓冲层的一侧制备第一绝缘层。

[0211] S507:在第一绝缘层位于第一区域的部分且远离第一栅极结构的一侧制备第二栅极结构。

[0212] S508:在第一绝缘层远离第一缓冲层的一侧制备第二源漏极结构,并使得第二源漏极结构中的一部分与第一源漏极结构的另一部分电连接。

[0213] 本申请实施例提供一种薄膜晶体管膜层的制备方法,在薄膜晶体管膜层的第一区制备得到薄膜晶体管膜层的低温多晶氧化物器件结构,在薄膜晶体管膜层的第二区制备得到多晶硅器件结构,即可以制备得到包括多晶硅器件结构和低温多晶氧化物器件相结合的薄膜晶体管膜层。可以利用LTPS器件响应速度快、开启电流较大的特点,为OLED显示提供电流源,同时可以利用低温多晶氧化物器件低漏电的特点,降低薄膜晶体管膜层的功耗。

[0214] 在本实施例中,至少制备得到的第一栅极结构210、第一源漏极结构230、氧化物半导体结构240和第二源漏极结构280构成了低温多晶氧化物器件结构的主要功能膜层。在制备低温多晶氧化物器件结构的过程中,可以使得氧化物半导体结构240与第一源漏极结构230的一部分电连接,第二源漏极结构280与第一源漏极结构230的另一部分(即不与氧化物半导体结构240连接的部分)电连接。即采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得制备电连接第二源漏极结构280的过孔时,刻蚀气体不会接触到氧化物半导体结构240的表层,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0215] 可选地,第二栅极结构260和第二源漏极结构280可以制备于第一绝缘层250上的同一膜层,只需保持相互绝缘即可,例如相互间隔开,可有利于器件膜层的减薄。例如,制备得到的第二栅极结构260和第二源漏极结构280均与第一绝缘层250远离基材层100的一侧接触。

[0216] 可选地,第二栅极结构260和第二源漏极结构280也可以制备于第一绝缘层250上的不同膜层,具体将在下文详细说明,在此不赘述。

[0217] 在一些可能的实施方式中,上述步骤S501中,制备基材层,如图17所示,包括步骤S601-S604:

- [0218] S601:在第二缓冲层位于第二区域的一侧制备多晶硅器件结构的多晶硅结构。
- [0219] S602:在多晶硅结构和第二缓冲层的一侧制备第三绝缘层。
- [0220] S603:在第三绝缘层位于第二区域的部分且远离多晶硅结构的一侧,制备多晶硅器件结构的第三栅极结构。
- [0221] S604:在第三栅极结构和第三绝缘层远离第二缓冲层的一侧,制备第四绝缘层。
- [0222] 在本实施例中,在第二区域100b制备得到多晶硅器件结构中的多晶硅结构310和第三栅极结构330,并且在多晶硅结构310与第三栅极结构330之间制备第三绝缘层320,以提高多晶硅结构310与第三栅极结构330之间的绝缘性。还在第三栅极结构330上制备第四绝缘层340,用以提高第三栅极结构330与后续导电结构膜层之间的绝缘性。
- [0223] 在一些可能的实施方式中,上述步骤S504中,在第一缓冲层位于第一区域的部分且远离基材层的一侧制备第一源漏极结构的同时,还包括:
- [0224] 在第一缓冲层220位于第二区域100b的部分且远离基材层100的一侧制备多晶硅器件结构的第三源漏极结构350,使得第三源漏极结构350与多晶硅结构310电连接。
- [0225] 在本实施例中,在第一缓冲层220远离基材层100的一侧,同时制备低温多晶氧化物器件结构的第一源漏极结构230、和多晶硅器件结构的第三源漏极结构350,具体是在第一区域100a制备第一源漏极结构230,在第二区域100b制备第三源漏极结构350。这样有利于合并第一源漏极结构230和第三源漏极结构350的制备工艺,缩短制程,同时可以利于第一源漏极结构230和第三源漏极结构350同层布置,利于薄膜晶体管膜层的减薄。
- [0226] 在一些可能的实施方式中,上述步骤S505中,在第一缓冲层位于第一区域的部分且远离第一栅极结构的一侧制备氧化物半导体结构,如图18所示,包括步骤S701-S705:
- [0227] S701:在第一缓冲层、第三源漏极结构和第一源漏极结构上涂布牺牲层。
- [0228] S702:在牺牲层上制备光刻胶结构。光刻胶结构的镂空部在基材层的投影与第一源漏极结构的一部分在基材层的投影、以及部分第一缓冲层在基材层的投影,至少部分重合。
- [0229] S703:以光刻胶结构为掩膜剥离部分牺牲层,以露出第一源漏极结构的一部分,或露出第一源漏极结构的一部分和部分第一缓冲层。
- [0230] S704:在光刻胶结构和露出一部分第一源漏极结构上沉积氧化物半导体层。或,在光刻胶结构、露出一部分第一源漏极结构和露出的部分第一缓冲层上沉积氧化物半导体层。
- [0231] S705:剥离剩余的牺牲层,得到与第一源漏极结构的一部分接触的氧化物半导体结构。
- [0232] 在本实施例中,利用图案化的光刻胶结构500为掩膜剥离掉部分牺牲层400,使得全面沉积氧化物半导体层600后,部分氧化物半导体层600可以直接沉积到露出一部分第一源漏极结构230上,即使得该部分氧化物半导体层600与露出一部分第一源漏极结构230连接,然后通过剥离剩余的牺牲层400,使之前经全面沉积在光刻胶结构500上的部分氧化物半导体层600也跟着一起被剥离掉,剩下的与第一源漏极结构230连接的部分氧化物半导体层600即所需要得到的氧化物半导体结构240。
- [0233] 相比于采用刻蚀工艺对氧化物半导体层600图案化,本实施例采用剥离的工艺对氧化物半导体层600图案化,可以避免因兼容性原因对第一源漏极结构230可能产生的影

响,例如刻蚀物质(例如刻蚀液)对第一源漏极结构230可能造成损伤。

[0234] 在一些可能的实施方式中,上述步骤S506中,在氧化物半导体结构和第一源漏极结构且远离第一缓冲层的一侧制备第一绝缘层,包括:

[0235] 在氧化物半导体结构240、第一源漏极结构230和第三源漏极结构350都远离第一缓冲层220的一侧制备第一绝缘层250。

[0236] 在本实施例中,将第一绝缘层250作为第一区域100a的低温多晶氧化物器件结构、与第二区域100b的多晶硅器件结构的共享绝缘膜层,可有利于简化或缩短薄膜晶体管膜层的制程,可有利于薄膜晶体管膜层的减薄。

[0237] 在一些可能的实施方式中,上述步骤S508中,在第一绝缘层远离第一缓冲层的一侧制备第二源漏极结构,如图19所示,包括步骤S801-S804:

[0238] S801:在第一绝缘层和第二栅极结构远离第一绝缘层的一侧制备第二绝缘层。

[0239] S802:对第二绝缘层和第一绝缘层进行刻蚀,得到第一通孔和第二通孔;第一通孔露出第一源漏极结构的另一部分的至少局部区域,第二通孔露出至少部分第三源漏极结构。

[0240] S803:在第二绝缘层上以及第一通孔内、第二通孔内沉积第二源漏极层。

[0241] S804:将第二源漏极层图案化,得到第二源漏极结构。第二源漏极结构的一部分与第一源漏极结构的另一部分电连接,第二源漏极结构的另一部分与第三源漏极结构电连接。

[0242] 在本实施例中,在第一绝缘层250和第二栅极结构260远离第一绝缘层250的一侧,同时制备低温多晶氧化物器件结构的第二源漏极结构280、和多晶硅器件结构的第三源漏极结构350,这样有利于合并第三源漏极结构350与第一源漏极结构230的制备工艺,缩短制程,同时可以利于第三源漏极结构350与第一源漏极结构230同层布置,利于薄膜晶体管膜层的减薄,只需保持相互绝缘即可,例如图案化时将两者相互间隔开。

[0243] 本申请实施例提供了一种薄膜晶体管膜层的制备方法的展开方法,薄膜晶体管膜层包括第一区域和第二区域,该方法的流程示意图如图20所示,包括如下步骤S901-S912:

[0244] S901:制备基材层。薄膜晶体管膜层包括第一区域和第二区域。

[0245] 可选地,薄膜晶体管膜层中的多晶硅器件结构位于第二区域。

[0246] 经过步骤S901得到的膜层结构如图21所示。

[0247] 可选地,本步骤S901可以先在第二缓冲层位于第二区域100b的一侧制备多晶硅器件结构的多晶硅结构310;接着在多晶硅结构310和第二缓冲层的一侧制备第三绝缘层320;然后在第三绝缘层320位于第二区域100b的部分且远离多晶硅结构310的一侧,制备多晶硅器件结构的第三栅极结构330;再在第三栅极结构330和第三绝缘层320远离第二缓冲层的一侧,制备第四绝缘层340。

[0248] 可选地,第三绝缘层320全面覆盖薄膜晶体管膜层的第一区域100a和第二区域100b,并与多晶硅结构310和第二缓冲层远离基材层100的一侧均接触。

[0249] 可选地,第二栅极结构260在基材层100的投影与第一栅极结构210在基材层100的投影至少部分重合。

[0250] S902:在基材层位于第一区域的第一部分且远离基材层的一侧制备第一栅极结构,在基材层和第一栅极层结构远离基材层的一侧制备第一缓冲层。

[0251] 经过步骤S902得到的膜层结构如图22所示。

[0252] 可选地,本步骤S902可以在第四绝缘层340远离基材层100的一侧沉积第一栅极层;接着对第一栅极层图案化得到低温多晶氧化物器件结构的第一栅极结构210;然后在第四绝缘层340和第一栅极结构210上沉积第一缓冲层220。

[0253] 可选地,第一缓冲层220全面覆盖薄膜晶体管膜层的第一区域100a和第二区域100b,并与第一栅极结构210和第四绝缘层340远离基材层100的一侧均接触。

[0254] 可选地,第一缓冲层220可以采用一氧化硅材质。

[0255] S903:在第一缓冲层远离基材层的一侧制备位于第一区域的第一源漏极结构和位于第二区域的多晶硅器件结构的第三源漏极结构,并使得第三源漏极结构与多晶硅结构电连接。

[0256] 经过步骤S903得到的膜层结构如图23所示。

[0257] 可选地,本步骤S903可以先对第一缓冲层220位于第二区域100b的部分进行刻蚀,得到露出部分多晶硅结构310的第三通孔;然后在第一缓冲层220上和第三通孔内沉积第一源漏极层;接着对第一源漏极层图案化,得到位于第一区域100a的第一源漏极结构230和位于第二区域100b的多晶硅器件结构的第三源漏极结构350,第三源漏极结构350与多晶硅结构310电连接。

[0258] 可选地,第一源漏极结构230和第三源漏极结构350均与第一缓冲层220远离基材层100的一侧接触。

[0259] S904:在第一缓冲层、第三源漏极结构和第一源漏极结构上涂布牺牲层。

[0260] 经过步骤S904得到的膜层结构如图24所示。

[0261] 可选地,牺牲层400全面覆盖薄膜晶体管膜层的第一区域100a和第二区域100b,并与第一缓冲层220、第三源漏极结构350和第一源漏极结构230远离基材层100的一侧均接触。

[0262] S905:在牺牲层上制备光刻胶结构。光刻胶结构的镂空部在基材层的投影与第一源漏极结构的一部分在基材层的投影、以及部分第一缓冲层在基材层的投影,至少部分重合。

[0263] 经过步骤S905得到的膜层结构如图25所示。

[0264] 可选地,本步骤S905可以在牺牲层400上涂覆光刻胶,经曝光、显影工艺使得光刻胶层图案化,得到光刻胶结构500。

[0265] 可选地,光刻胶全面覆盖薄膜晶体管膜层的第一区域100a和第二区域100b,并与牺牲层400远离基材层100的一侧均接触。

[0266] S906:以光刻胶结构为掩膜剥离部分牺牲层,以露出第一源漏极结构的一部分,或露出第一源漏极结构的一部分和部分第一缓冲层。

[0267] 经过步骤S906得到的膜层结构如图26所示。

[0268] 可选地,本步骤S906可以以光刻胶结构500为掩膜,通过剥离显影液剥离掉部分牺牲层400。经剥离显影后,牺牲层400的边缘处会形成一定的侧向缩进,该侧向缩进有利于后续沉积于第一源漏极结构230上的部分氧化物半导体层600与沉积于光刻胶结构500上的部分氧化物半导体层600发生断裂。

[0269] S907:在光刻胶结构和露出一部分第一源漏极结构上沉积氧化物半导体层。或,

在光刻胶结构、露出一部分第一源漏极结构和露出的部分第一缓冲层上沉积氧化物半导体层。

[0270] 经过步骤S907得到的膜层结构如图27所示。

[0271] 由于步骤S906经剥离显影得到的牺牲层400的边缘处具有一定的侧向缩进,因此经本步骤S907得到的氧化物半导体层600中,位于第一源漏极结构230上的部分氧化物半导体层600与位于光刻胶结构500上的部分氧化物半导体层600会发生断裂,该断裂使得剩余的牺牲层400边缘处形成豁口,这可利于剩余的牺牲层400在后续工艺中与剥离显影液接触,以顺利实现对剩余牺牲层400的剥离。

[0272] 可选地,氧化物半导体层600可以采用IGZO(Indium Gallium Zinc Oxide,铟镓锌氧化物)材质。

[0273] S908:剥离剩余的牺牲层,得到与第一源漏极结构的一部分接触的氧化物半导体结构。

[0274] 经过步骤S908得到的膜层结构如图28所示。

[0275] 经过步骤S904-S908即可实现采用剥离的工艺对氧化物半导体层600图案化,得到用于形成沟道的氧化物半导体结构240。

[0276] S909:在氧化物半导体结构、第一源漏极结构和第三源漏极结构都远离第一缓冲层的一侧制备第一绝缘层,在第一绝缘层位于第一区域的部分且远离第一栅极结构的一侧制备第二栅极结构。

[0277] 经过步骤S909得到的膜层结构如图29所示。

[0278] 可选地,第一绝缘层250覆盖薄膜晶体管膜层的第一区域100a和第二区域100b,并与第一缓冲层220、第三源漏极结构350、第一源漏极结构230和氧化物半导体结构240远离基材层100的一侧均接触。

[0279] 可选地,第一绝缘层250可以采用一氧化硅材质。

[0280] 可选地,制备第二栅极结构260时,可以先在第一绝缘层250远离基材层100的一侧沉积第二栅极层,接着对第二栅极层图案化,得到位于第一区域100a的低温多晶氧化物器件结构的第二栅极结构260。

[0281] S910:在第一绝缘层远离第一缓冲层的一侧制备第二源漏极结构,并使得第二源漏极结构中位于第一区域的至少一部分与第一源漏极结构的另一部分电连接,第二源漏极结构中位于第二区域的至少另一部分与第三源漏极结构电连接。

[0282] 经过步骤S910得到的膜层结构如图30所示。

[0283] 可选地,本步骤S910可以先在第一绝缘层250和第二栅极结构260远离第一绝缘层250的一侧沉积第二绝缘层270;接着对第二绝缘层270和第一绝缘层250进行刻蚀,得到第一通孔和第二通孔;第一通孔露出第一源漏极结构230的另一部分的至少局部区域,第二通孔露出至少部分第三源漏极结构350;然后在第二绝缘层270上以及第一通孔内、第二通孔内沉积第二源漏极层;再将第二源漏极层图案化,得到第二源漏极结构280,第二源漏极结构280的一部分与第一源漏极结构230的另一部分电连接,第二源漏极结构280的另一部分与第三源漏极结构350电连接。

[0284] 可选地,第二绝缘层270与第一绝缘层250和第二栅极结构260远离基材层100的一侧均接触。

[0285] S911:在第二绝缘层和第二源漏极结构远离基材层的一侧制作阳极结构。

[0286] 经过步骤S911得到的膜层结构如图4所示,即得到本申请实施例提供的一种薄膜晶体管膜层。

[0287] 可选地,本步骤S911可以先在第二绝缘层270和第二源漏极结构280上沉积平坦层360;接着对平坦层360进行刻蚀,得到露出部分第二源漏极结构280的第四通孔,露出的部分第二源漏极结构280与第三源漏极结构350电连接;然后在平坦层360上以及第四通孔内沉积阳极层;再对阳极层图案化,得到与部分第二源漏极结构280电连接的阳极结构370。

[0288] 应用本申请实施例,至少能够实现如下有益效果:

[0289] 1、本实施例提供的开关器件结构采用低温多晶氧化物器件结构,具有低漏电的优点,可有效降低功耗。在开关器件结构内部,采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得电连接第二源漏极结构280的过孔不直接接触氧化物半导体结构240,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0290] 2、氧化物半导体结构240的一端在基材层100的投影与第一源极结构231的一部分在基材层100的投影重合,氧化物半导体结构240的另一端在基材层100的投影与第一漏极结构232的一部分在基材层100的投影重合。这样可以增大氧化物半导体结构240与第一源极结构231以及第一漏极结构232的接触面积,强化电连接的有效性。

[0291] 3、本实施例提供的薄膜晶体管膜层采用LTPS器件和低温多晶氧化物器件相结合的LTPO结构,可以利用LTPS器件响应速度快、开启电流较大的特点,为OLED显示提供电流源,同时可以利用低温多晶氧化物器件低漏电的特点,降低薄膜晶体管膜层的功耗;在低温多晶氧化物器件内部,采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得电连接第二源漏极结构280的过孔不直接接触氧化物半导体结构240,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0292] 4、第三源漏极结构350与开关器件结构的第一源漏极结构230可以同层布置,只需保持相互绝缘即可,例如相互间隔开,可有利于器件膜层的减薄;还有利于合并第三源漏极结构350与第一源漏极结构230的制备工艺。

[0293] 5、第三栅极结构330与第一栅极结构210不同层布置,由第四绝缘层340隔开,有利于进一步保证第三栅极结构330与第一栅极结构210之间的绝缘。

[0294] 6、本实施例提供的显示面板中的薄膜晶体管膜层采用LTPS器件和低温多晶氧化物器件相结合的LTPO结构,可以利用LTPS器件响应速度快、开启电流较大的特点,为显示面板的OLED显示模组提供电流源,同时可以利用低温多晶氧化物器件低漏电的特点,降低薄膜晶体管膜层的功耗;在低温多晶氧化物器件内部,采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得电连接第二源漏极结构280的过孔不直接接触氧化物半导体结构240,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低整个显示面板的功耗。

[0295] 7、本申请实施例提供一种开关器件结构的制备方法,可以使得氧化物半导体结构240与第一源漏极结构230的一部分电连接,第二源漏极结构280与第一源漏极结构230的另一部分(即不与氧化物半导体结构240连接的部分)电连接。即采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得制备电连接第二源漏极结构280的过孔时,刻蚀气体不会接触到氧化物半导体结构240的表层,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0296] 8、相比于采用刻蚀工艺对氧化物半导体层600图案化,本实施例采用剥离的工艺对氧化物半导体层600图案化,可以避免因兼容性原因对第一源漏极结构230可能产生的影响,例如刻蚀物质(例如刻蚀液)对第一源漏极结构230可能造成损伤。

[0297] 9、本申请实施例提供一种薄膜晶体管膜层的制备方法,在薄膜晶体管膜层的第一区制备得到薄膜晶体管膜层的低温多晶氧化物器件结构,在薄膜晶体管膜层的第二区制备得到多晶硅器件结构,即可以制备得到包括多晶硅器件结构和低温多晶氧化物器件相结合的薄膜晶体管膜层。可以利用LTPS器件响应速度快、开启电流较大的特点,为OLED显示提供电流源,同时可以利用低温多晶氧化物器件低漏电的特点,降低薄膜晶体管膜层的功耗。

[0298] 10、至少制备得到的第一栅极结构210、第一源漏极结构230、氧化物半导体结构240和第二源漏极结构280构成了低温多晶氧化物器件结构的主要功能膜层。在制备低温多晶氧化物器件结构的过程中,可以使得氧化物半导体结构240与第一源漏极结构230的一部分电连接,第二源漏极结构280与第一源漏极结构230的另一部分(即不与氧化物半导体结构240连接的部分)电连接。即采用第一源漏极结构230作为第二源漏极结构280与氧化物半导体结构240搭接的桥梁,使得制备电连接第二源漏极结构280的过孔时,刻蚀气体不会接触到氧化物半导体结构240的表层,这样可以有效避免制程中对氧化物半导体结构240的表面造成伤害,或导致氧化物半导体结构240成为缺陷态等,可有效提高氧化物半导体结构240的稳定性,降低氧化物半导体结构240的漏电性,进而降低功耗。

[0299] 11、在第一缓冲层220远离基材层100的一侧,同时制备低温多晶氧化物器件结构的第一源漏极结构230、和多晶硅器件结构的第三源漏极结构350,具体是在第一区域100a制备第一源漏极结构230,在第二区域100b制备第三源漏极结构350。这样有利于合并第一源漏极结构230和第三源漏极结构350的制备工艺,缩短制程,同时可以利于第一源漏极结构230和第三源漏极结构350同层布置,利于薄膜晶体管膜层的减薄。

[0300] 12、在第一绝缘层250和第二栅极结构260远离第一绝缘层250的一侧,同时制备低温多晶氧化物器件结构的第二源漏极结构280、和多晶硅器件结构的第三源漏极结构350,这样有利于合并第三源漏极结构350与第一源漏极结构230的制备工艺,缩短制程,同时可以利于第三源漏极结构350与第一源漏极结构230同层布置,利于薄膜晶体管膜层的减薄,只需保持相互绝缘即可,例如图案化时将两者相互间隔开。

[0301] 本技术领域技术人员可以理解,本申请中已经讨论过的各种操作、方法、流程中的步骤、措施、方案可以被交替、更改、组合或删除。进一步地,具有本申请中已经讨论过的各种操作、方法、流程中的其他步骤、措施、方案也可以被交替、更改、重排、分解、组合或删除。进一步地,现有技术中的具有与本申请中公开的各种操作、方法、流程中的步骤、措施、方案

也可以被交替、更改、重排、分解、组合或删除。

[0302] 在本申请的描述中,需要理解的是,术语“中心”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。

[0303] 术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0304] 在本申请的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本申请中的具体含义。

[0305] 在本说明书的描述中,具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0306] 应该理解的是,虽然附图的流程图中的各个步骤按照箭头的指示依次显示,但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明,这些步骤的执行并没有严格的顺序限制,其可以以其他的顺序执行。而且,附图的流程图中的至少一部分步骤可以包括多个子步骤或者多个阶段,这些子步骤或者阶段并不必然是在同一时刻执行完成,而是可以在不同的时刻执行,其执行顺序也不必然是依次进行,而是可以与其他步骤或者其他步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

[0307] 以上所述仅是本申请的部分实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本申请原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本申请的保护范围。

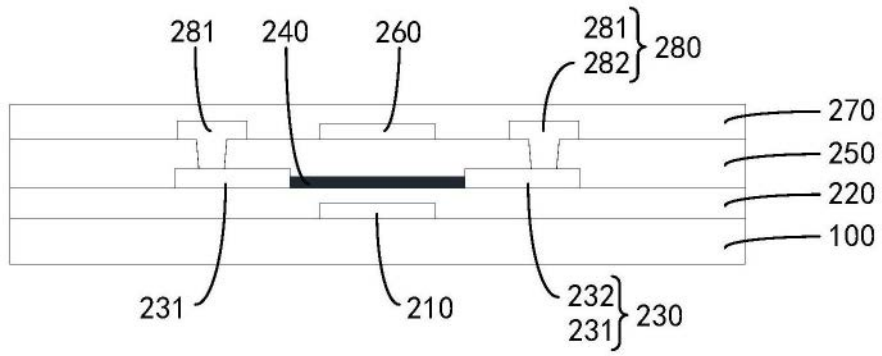


图1

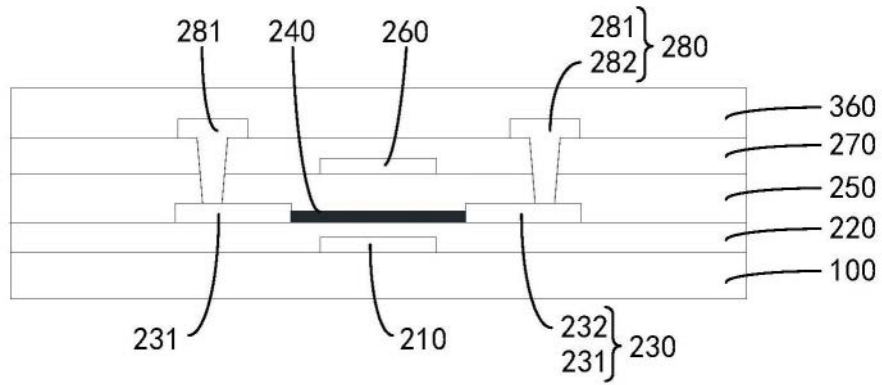


图2

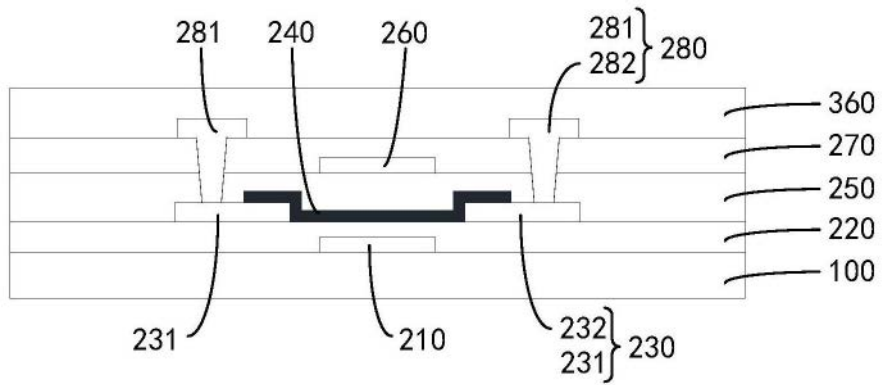


图3

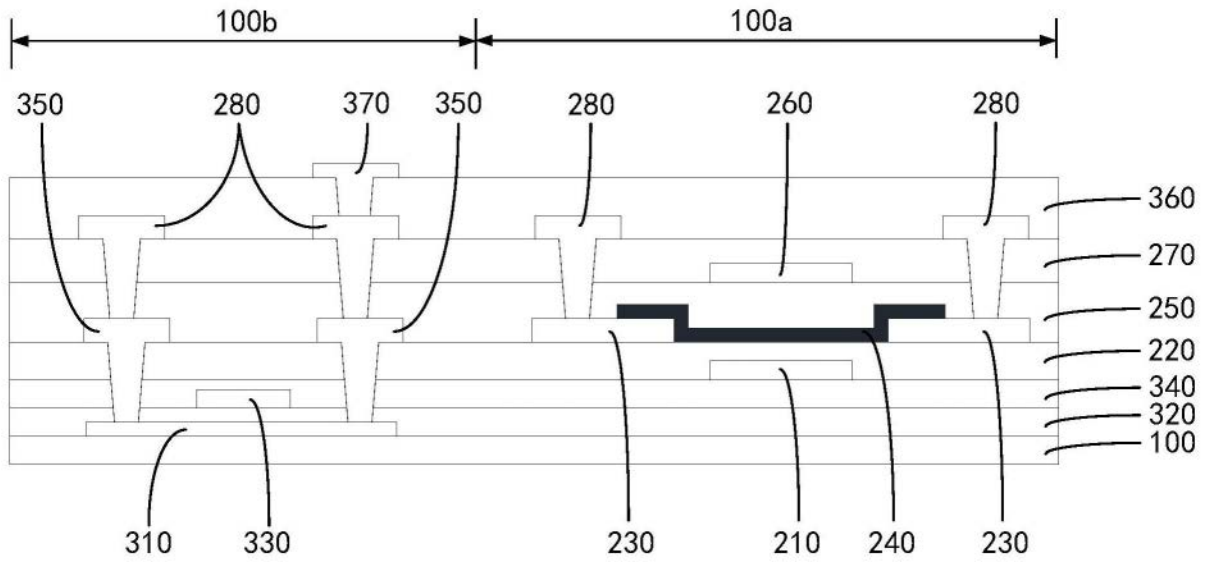


图4

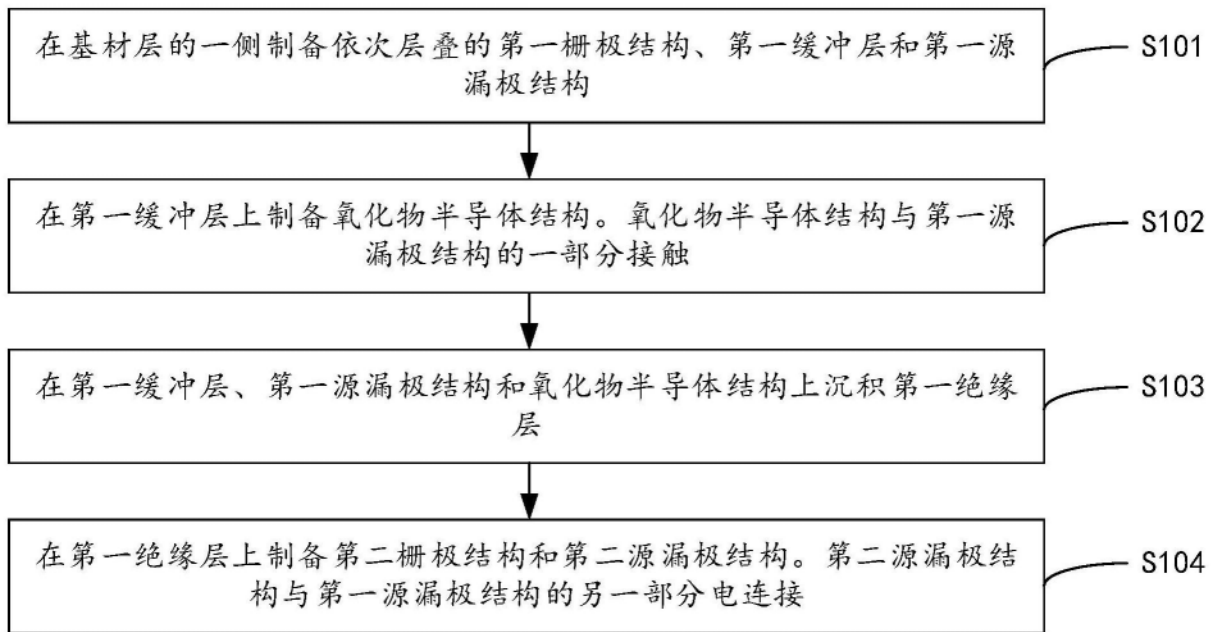


图5

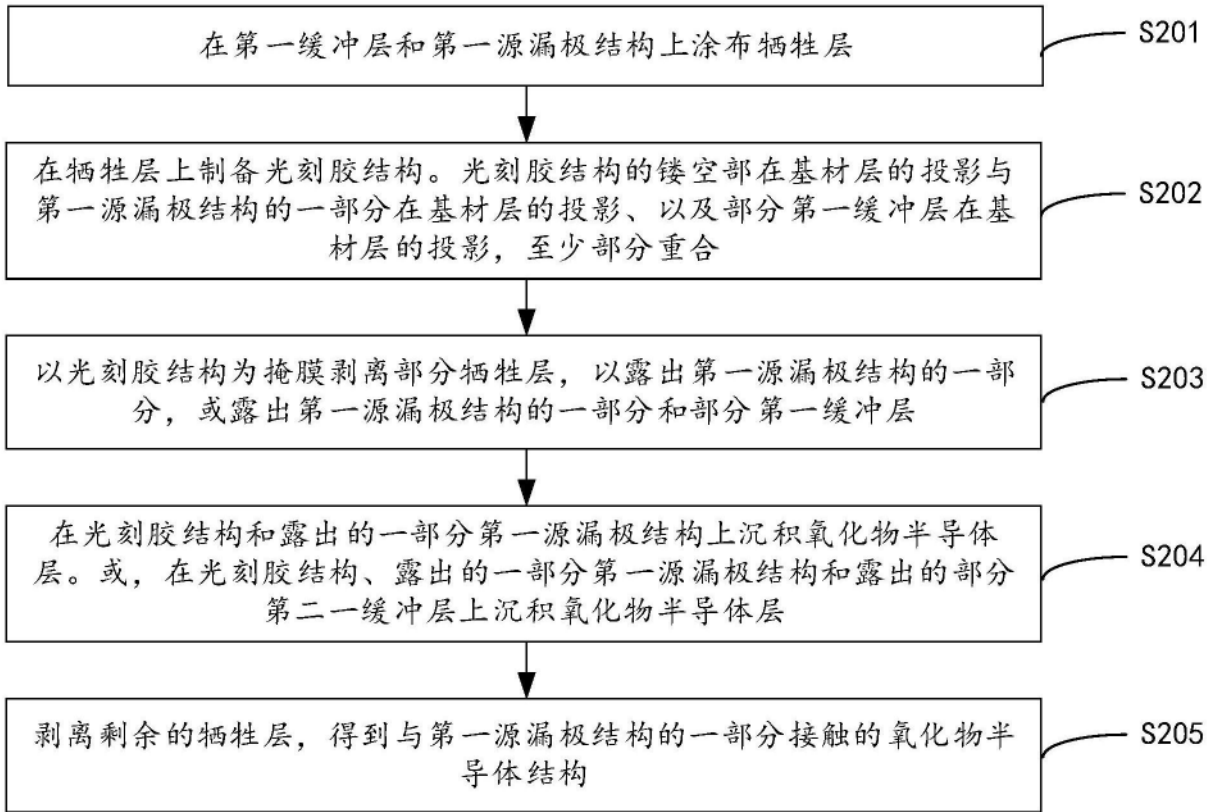


图6

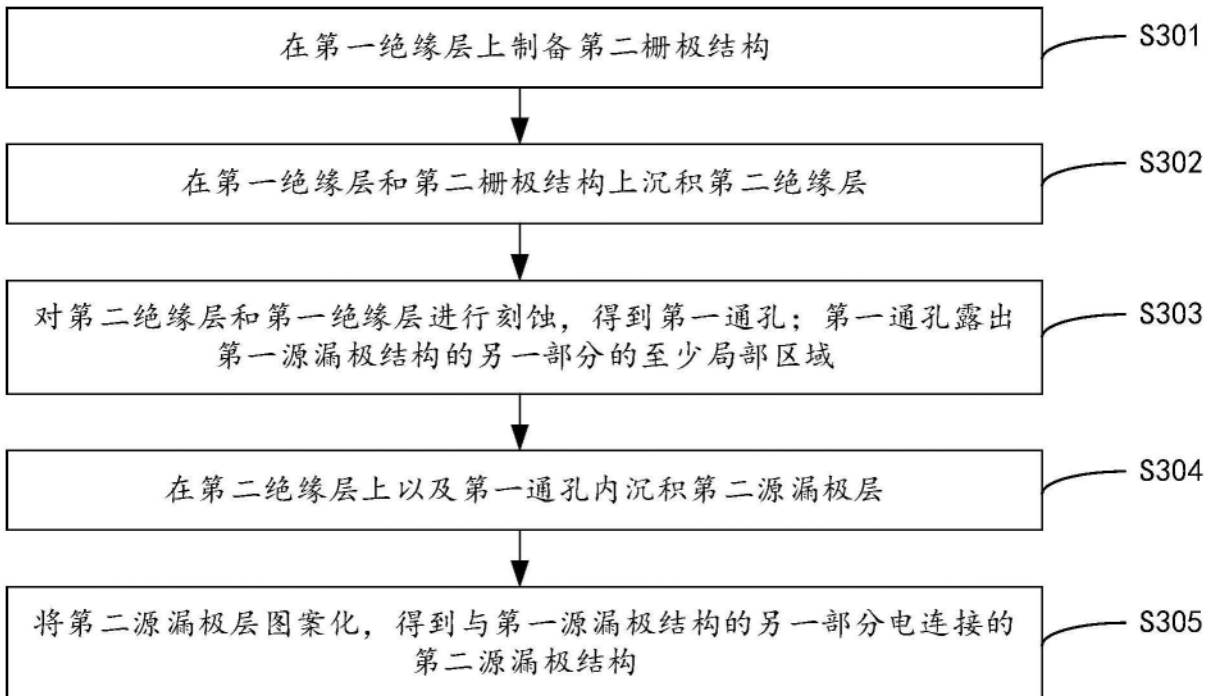


图7

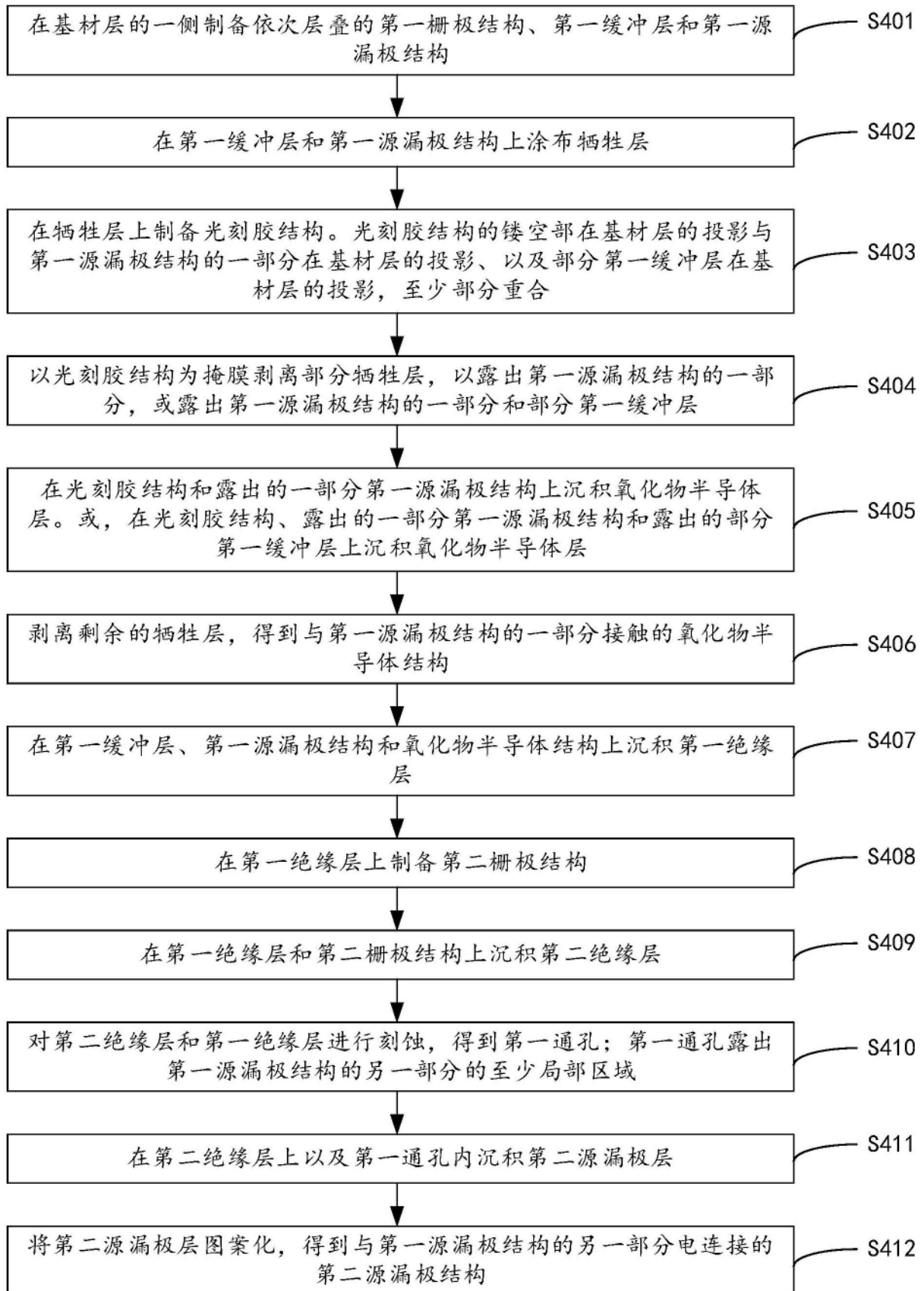


图8

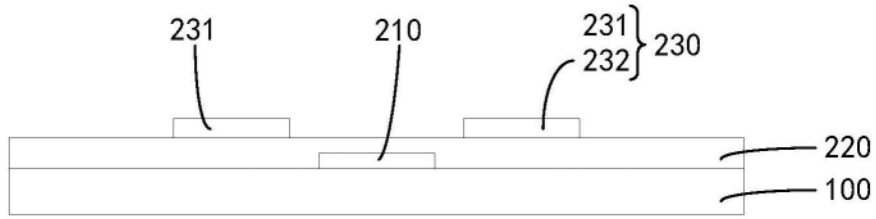


图9

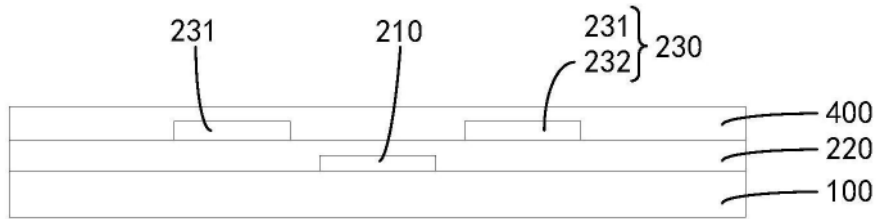


图10

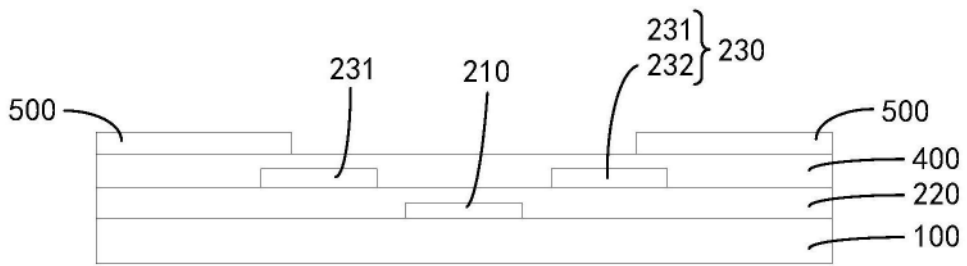


图11

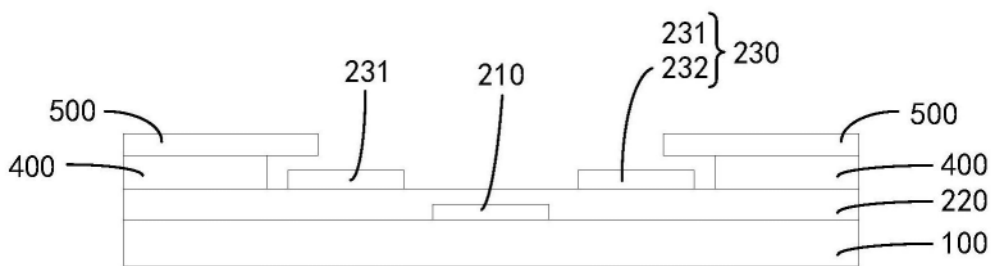


图12

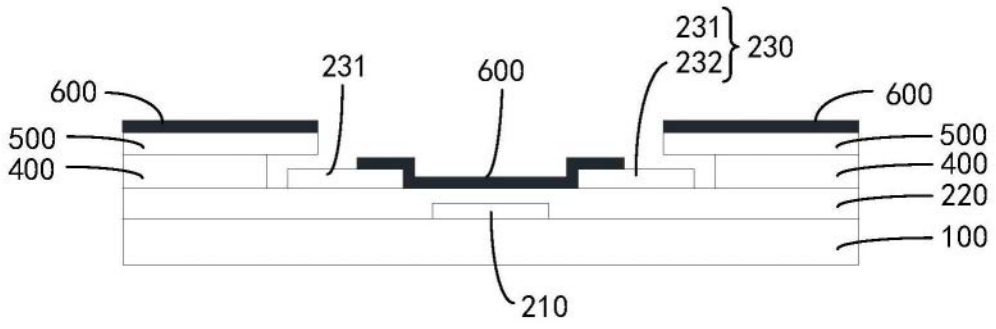


图13

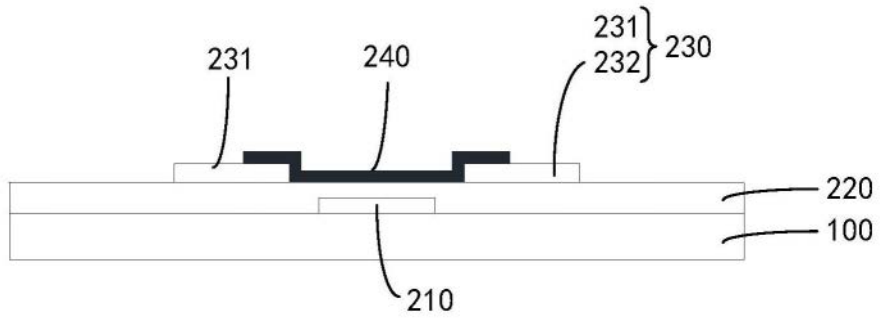


图14

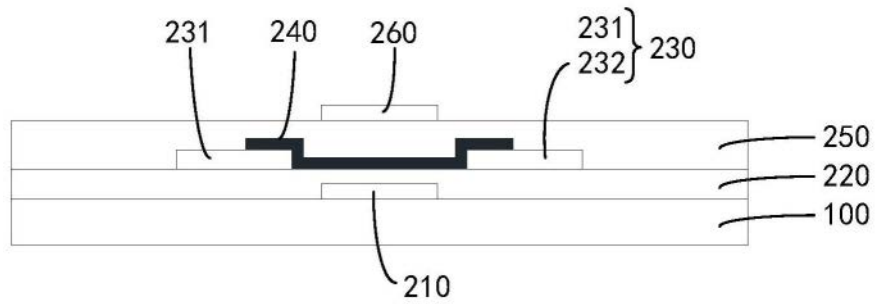


图15

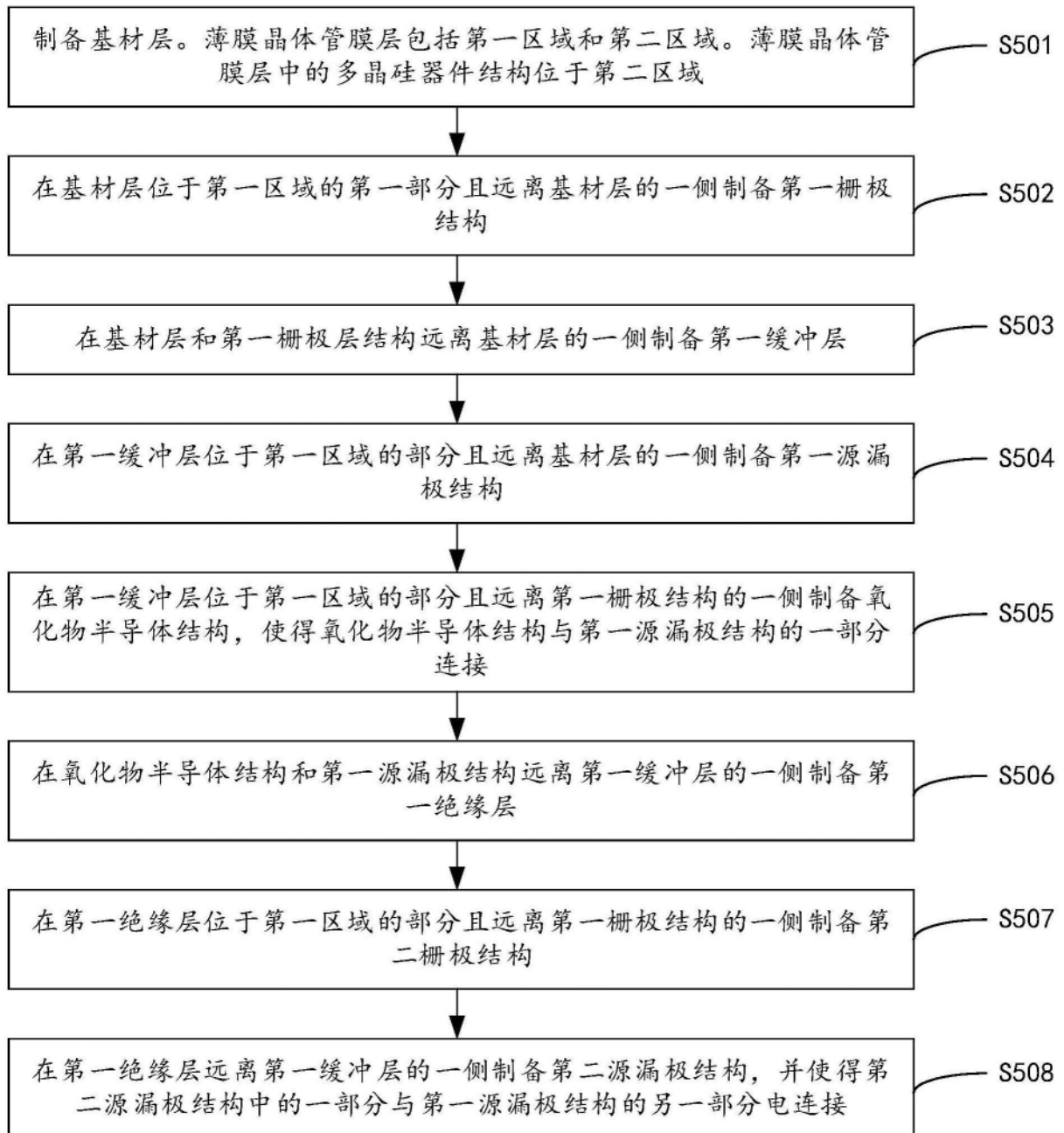


图16

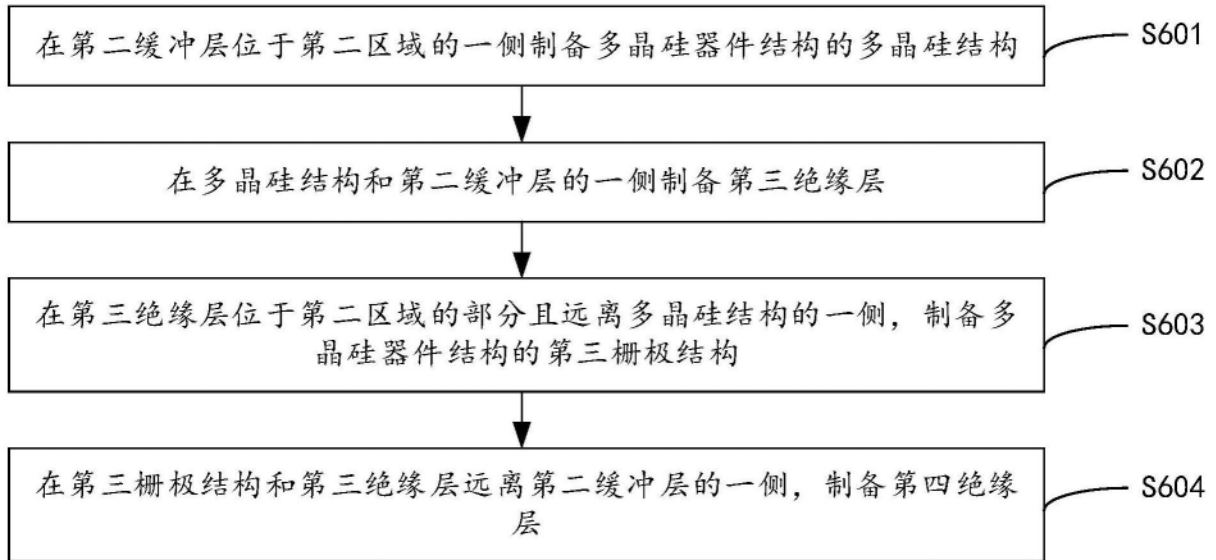


图17

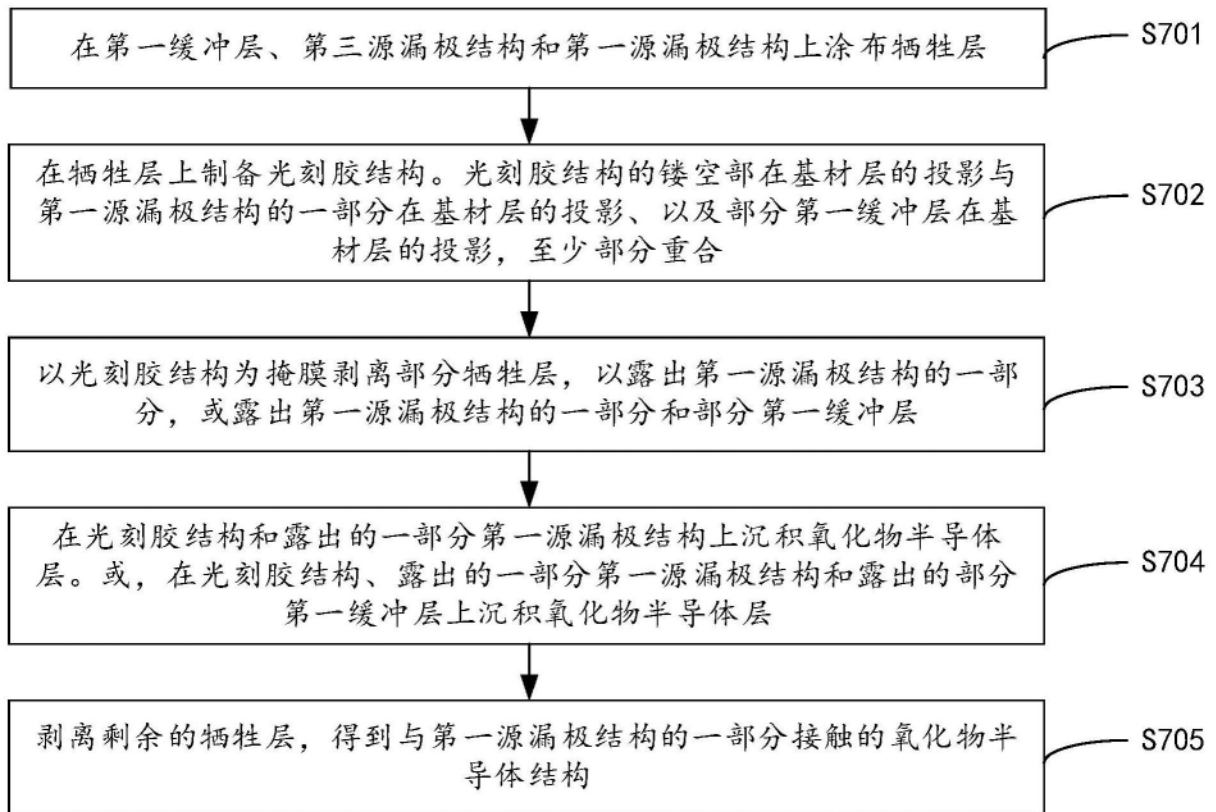


图18

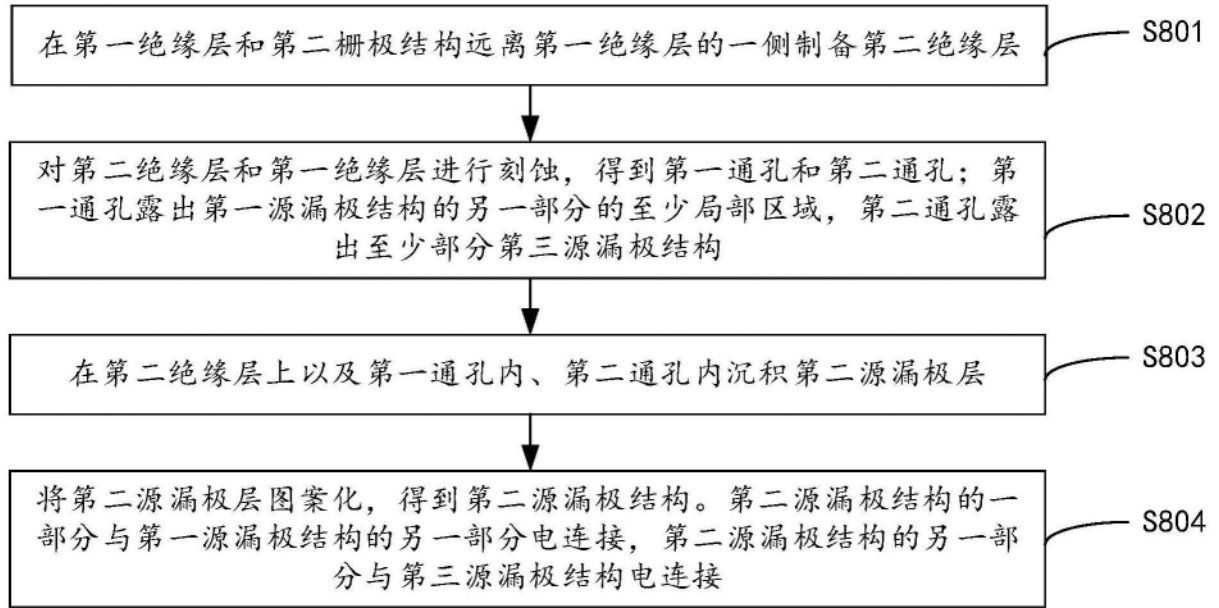


图19

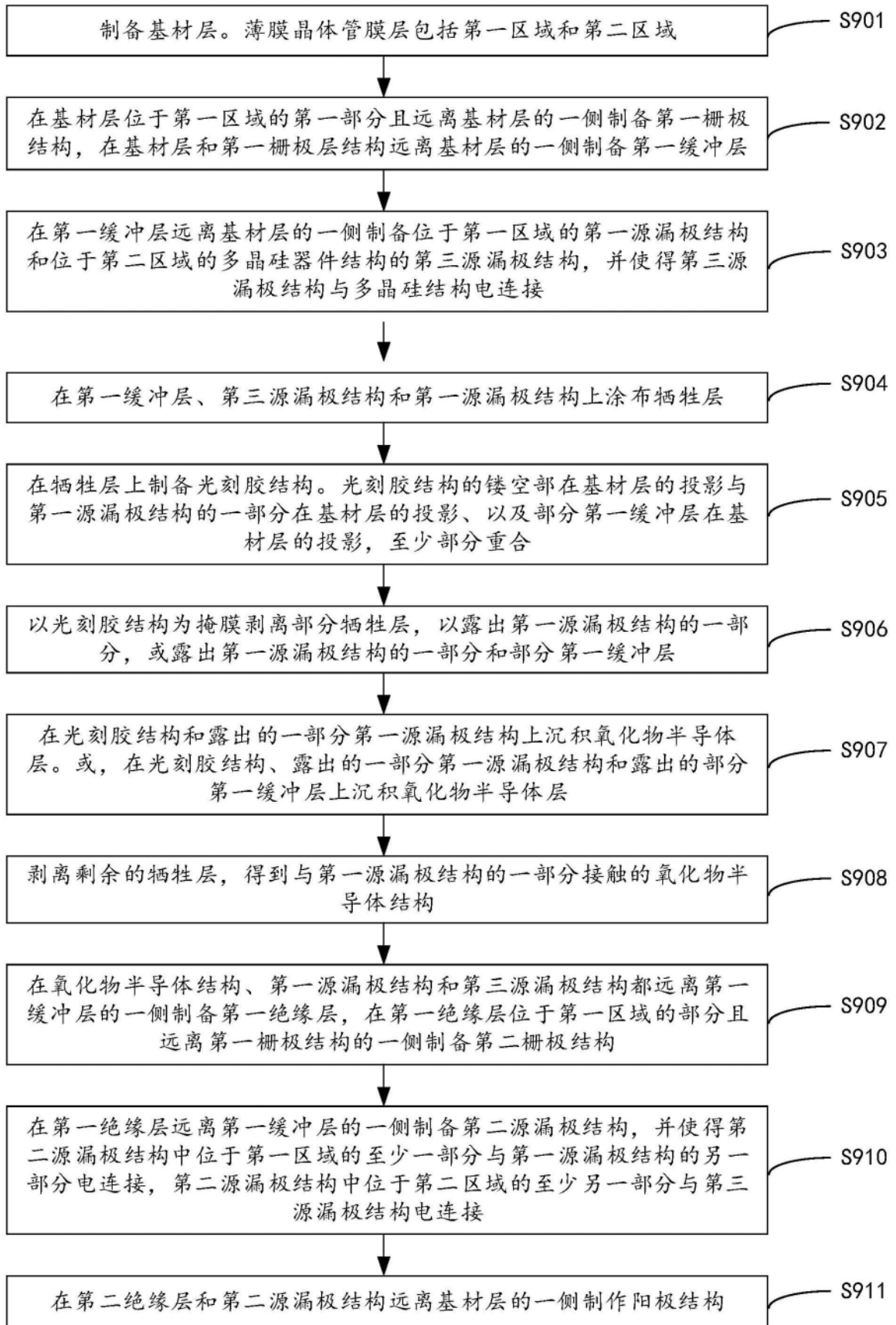


图20

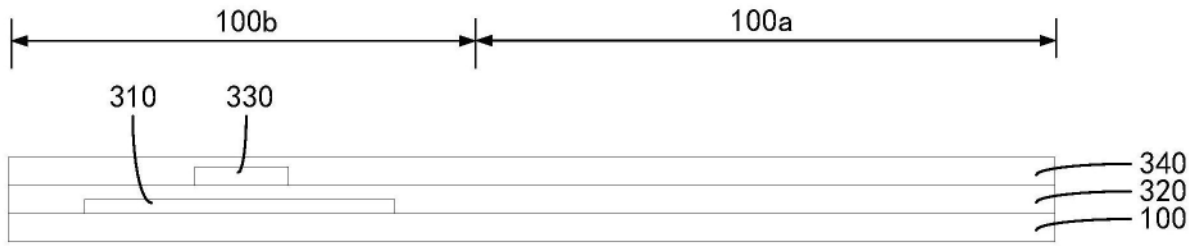


图21

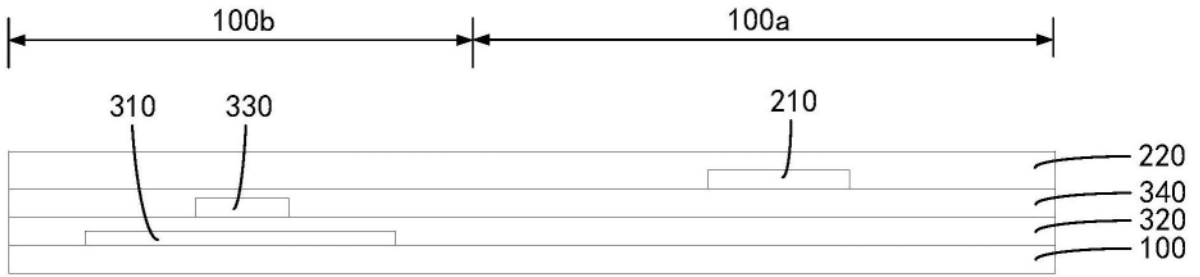


图22

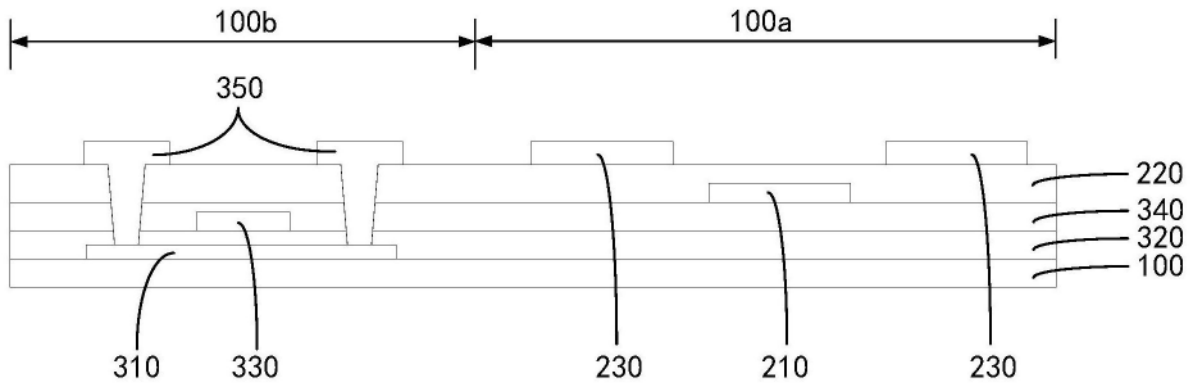


图23

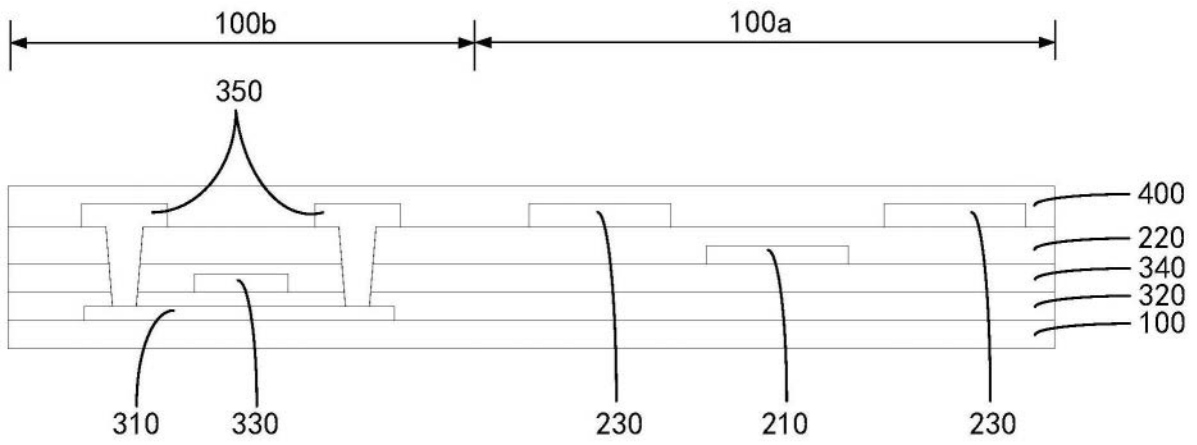


图24

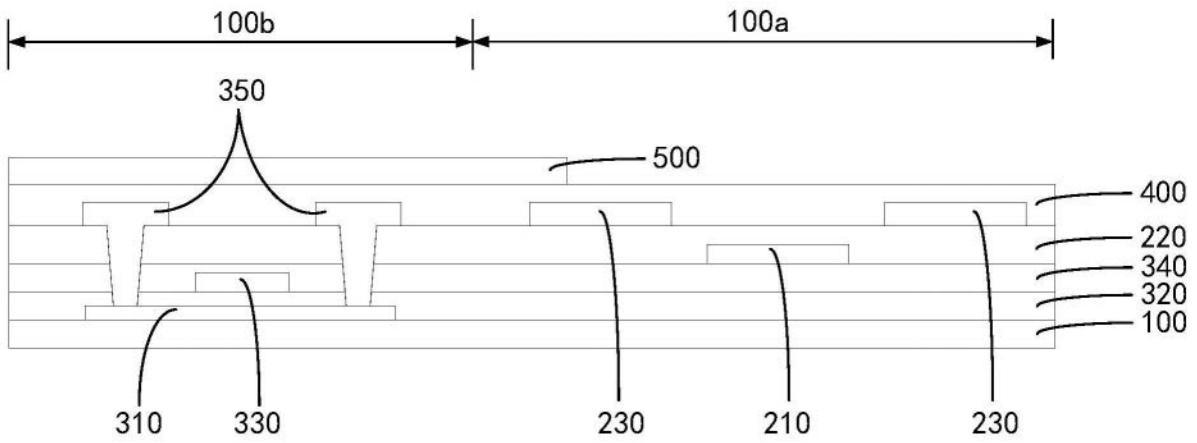


图25

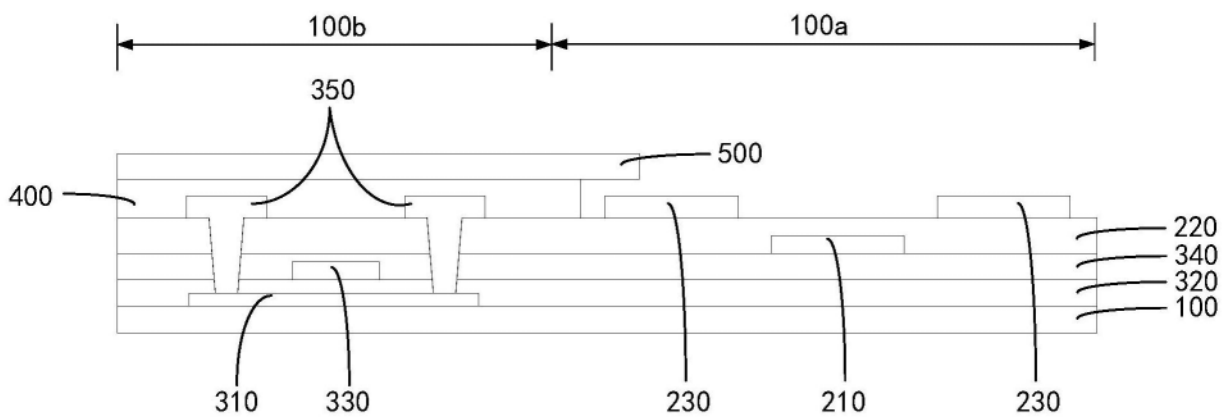


图26

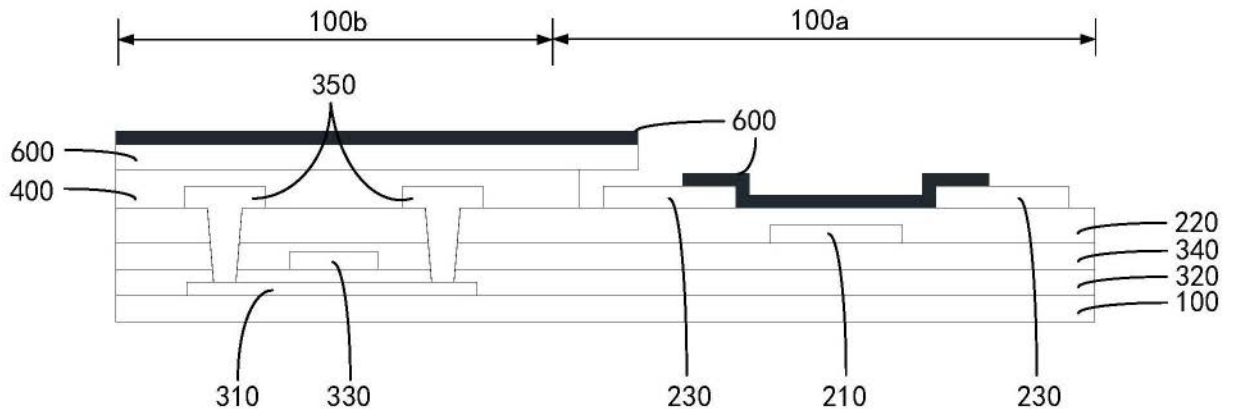


图27

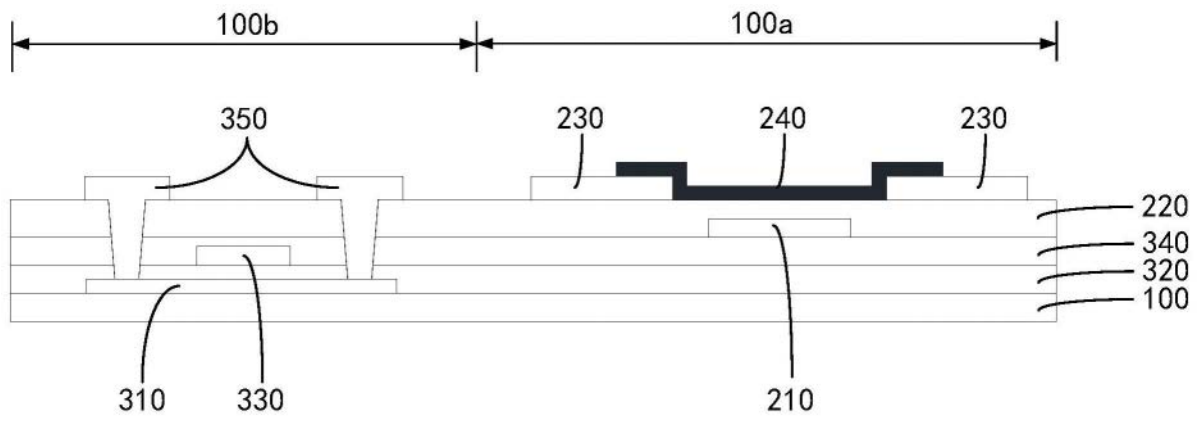


图28

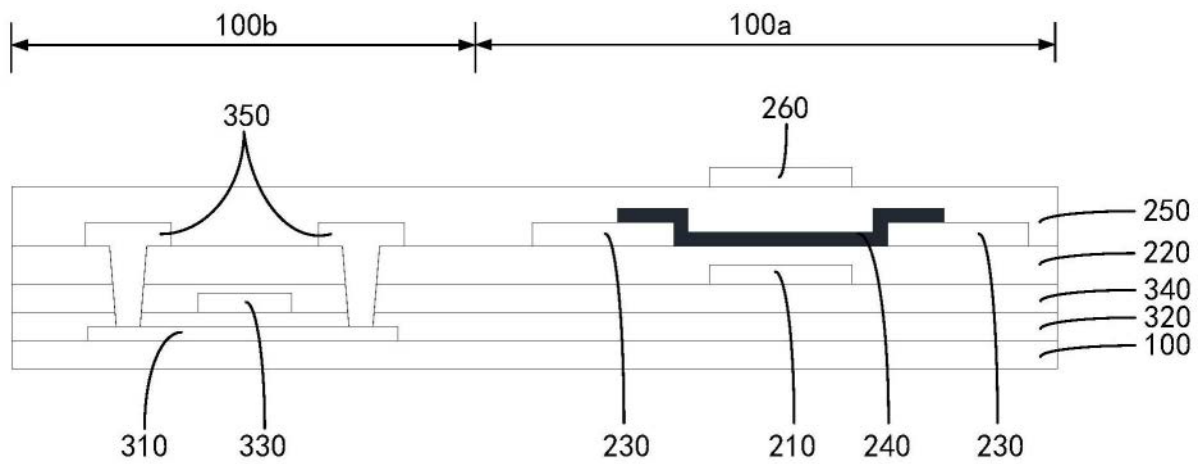


图29

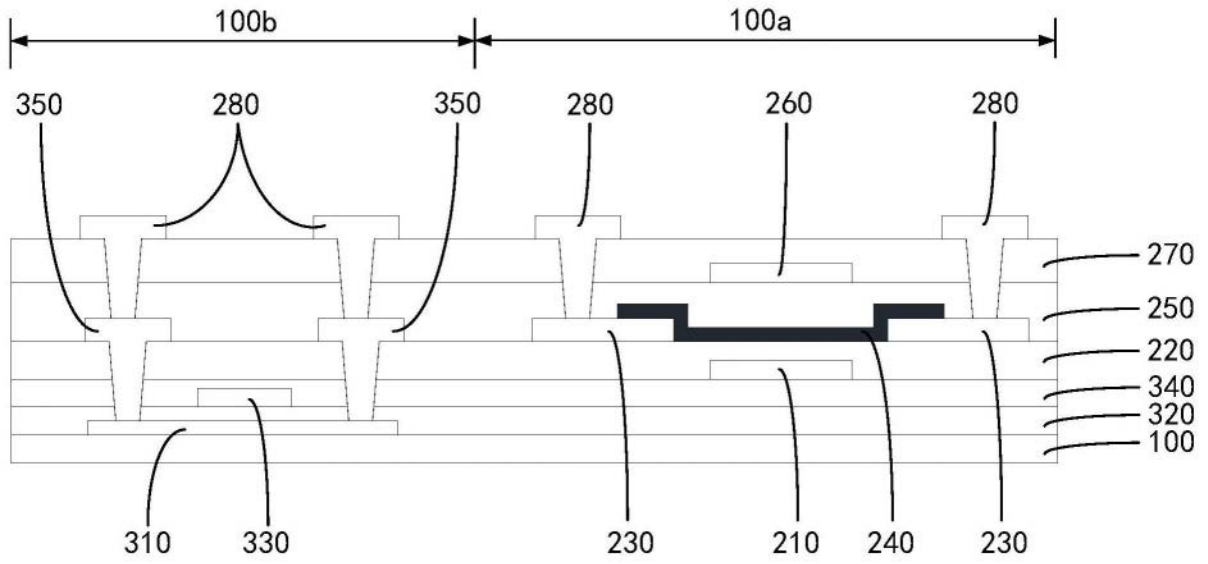


图30