



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I506288 B

(45)公告日：中華民國 104 (2015) 年 11 月 01 日

(21)申請案號：100134602

(22)申請日：中華民國 100 (2011) 年 09 月 26 日

(51)Int. Cl. : **G01R31/28 (2006.01)**(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)  
新竹市新竹科學工業園區力行二路3號

(72)發明人：侯信銘 HOU, HSIN MING (TW)；龔吉富 KUNG, JI FU (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW I276147

TW 200923379A

US 6530068B1

US 7397259B1

US 2005/0189960A1

US 2009/0201042A1

審查人員：鄧人豪

申請專利範圍項數：11 項 圖式數：4 共 22 頁

(54)名稱

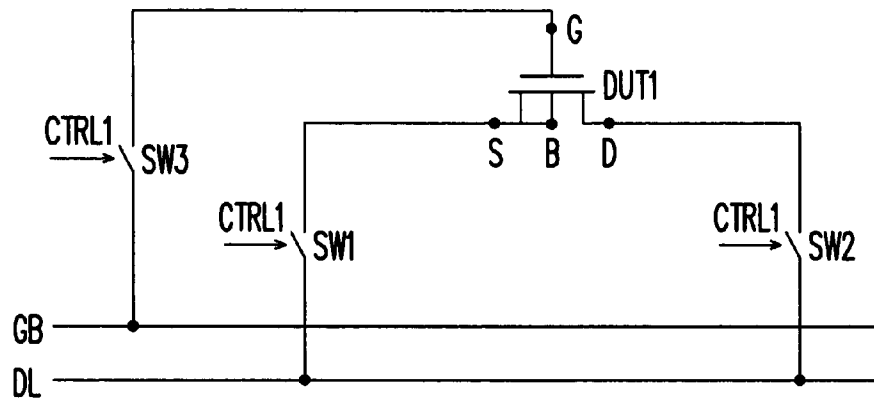
待測電晶體陣列

TRANSISTOR ARRAY FOR TESTING

(57)摘要

一種待測電晶體陣列，包括多數個待測單元，其中，各待測單元包括待測電晶體以及第一至第三開關。各待測電晶體具有控制端、第一端、第二端以及基極端。第一開關串接在待測電晶體的第一端與漏電傳輸導線間。第二開關串接在待測電晶體的第二端與漏電傳輸導線間。第三開關串接在待測電晶體的控制端與偏壓提供導線間。其中，第一至第三開關均受控於控制信號以開啟或斷開，且待測電晶體被設定為未選中時，第一、第二以及第三開關依據控制信號而同時導通。

A transistor array for testing is disclosed. The transistor array includes a plurality of tested units. Each of the tested unit includes a tested transistor and a first to third switches. The tested transistor has a control terminal, a first and a second terminals and a bulk. The first switch coupled between the first terminal and a leakage transporting line. The second switch coupled between the second terminal and the leakage transporting line. The third switch coupled between the control terminal and a bias providing line. The first to third switches are turned on or turned off according to a control signal. When the tested transistor is selected to be tested, the first to third switches are turned on according to the control signal.



200

圖 2A

- 200 . . . 待測單元
- SW1~SW3 . . . 開關
- G、D、S、B . . . 端點
- DUT1 . . . 待測電晶體
- CTRL1 . . . 控制信號
- DL . . . 漏電傳輸導線
- GB . . . 偏壓提供導線

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100134602

※申請日：100.9.26

※IPC分類：G01R 31/28 (2006.01)

## 一、發明名稱：

待測電晶體陣列 / TRANSISTOR ARRAY FOR TESTING

## 二、中文發明摘要：

一種待測電晶體陣列，包括多數個待測單元，其中，各待測單元包括待測電晶體以及第一至第三開關。各待測電晶體具有控制端、第一端、第二端以及基極端。第一開關串接在待測電晶體的第一端與漏電傳輸導線間。第二開關串接在待測電晶體的第二端與漏電傳輸導線間。第三開關串接在待測電晶體的控制端與偏壓提供導線間。其中，第一至第三開關均受控於控制信號以開啟或斷開，且待測電晶體被設定為未選中時，第一、第二以及第三開關依據控制信號而同時導通。

## 三、英文發明摘要：

A transistor array for testing is disclosed. The transistor array includes a plurality of tested units. Each of the tested unit includes a tested transistor and a first to third switches. The tested transistor has a control terminal, a

first and a second terminals and a bulk. The first switch coupled between the first terminal and a leakage transporting line. The second switch coupled between the second terminal and the leakage transporting line. The third switch coupled between the control terminal and a bias providing line. The first to third switches are turned on or turned off according to a control signal. When the tested transistor is selected to be tested, the first to third switches are turned on according to the control signal.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖2A

(二) 本代表圖之元件符號簡單說明：

200：待測單元

SW1~SW3：開關

G、D、S、B：端點

DUT1：待測電晶體

CTRL1：控制信號

DL：漏電傳輸導線

GB：偏壓提供導線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種待測電晶體陣列，且特別是有關於一種待測電晶體陣列的未選中待測電晶體的漏電電流降低的方法。

### 【先前技術】

為了解各晶圓中的電路元件所呈現的電氣特性，設計者常在晶圓中的非元件區放置多個測試鍵(test key)，並透過對測試鍵進行電氣特性的量測，來獲知所屬晶圓中各區域電子元件的電氣特性。

在習知技術領域中，一種所謂的可定址的電晶體陣列(transistor array)的測試鍵被提出。這種電晶體陣列所形成的測試鍵，可以有效的應用非元件區有限的空間，放置最大數量的電晶體以供量測。這種電晶體陣列，僅須設置公用的量測鐸墊就可以透過定址的方式，來針對其中的任一個電晶體來測試。並不需要針對所有的待測電晶體設置獨立的量測鐸墊。如此一來，在不需要耗費龐大的晶圓面積的狀態下，設計者也可以透過這種電晶體陣列來進行測試，以獲取足夠數量的資料。

然而，習知技術中的電晶體陣列，未被選中以進行測試的電晶體多少會產生所謂的次臨界區的漏電(sub-threshold leakage)現象，且由於這些未被選中以進行測試的電晶體的數量較多，其所產生的漏電電流的總和是

足以使被選中的電晶體的測試結果產生誤差的。

### 【發明內容】

本發明提供一種待測電晶體陣列，以降低未選中待測電晶體的漏電電流，提升選中的待測電晶體的測試精確度。

本發明提出一種待測電晶體陣列，包括多數個待測單元，其中，各待測單元包括待測電晶體以及第一至第三開關。各待測電晶體具有控制端、第一端、第二端以及基極端。第一開關串接在待測電晶體的第一端與漏電傳輸導線間。第二開關串接在待測電晶體的第二端與漏電傳輸導線間。第三開關串接在待測電晶體的控制端與偏壓提供導線間。其中，第一至第三開關均受控於控制信號以開啟或斷開，且待測電晶體被設定為未選中時，第一、第二以及第三開關依據控制信號而同時導通。

基於上述，本發明藉由透過多個開關，在待測電晶體未被選中的狀態下，使待測電晶體的第一及第二端短路於漏電傳輸導線，並藉以使待測電晶體的第一及第二端間的跨壓等於零伏特，且可以透過漏電傳輸導線帶走待測電晶體的第一及第二端上的殘存電荷，以減低未選中的待測電晶體中所產生的漏電電流造成待測電晶體陣列的整體測試的干擾。另外，本發明實施例還藉由背偏壓提供導線以及提供偏壓提供導線來提供電壓至未選中的待測電晶體基極端以及控制端，以更降低未選中的待測電晶體所會產生的漏電電流。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

請參照圖1，圖1繪示待測電晶體陣列100的示意圖。電晶體陣列100包括待測單元111~1NM，待測單元111~1NM以陣列的方式排列而成，其中M及N皆為正整數。待測單元111~1NM分別連接至行定址線COL1~COLM以及列定址線ROW1~ROWN。當要選中待測單元111~1NM其中之一以進行測試時，可以透過列定址線ROW1~ROWN的其中之一以及行定址線COL1~COLM的其中之一來傳送信號以至要選中以進行測試的待測單元111~1NM的其中之一來進行測試。而其他的未被選中的待測單元則依據其餘的列定址線及/或行定址線所提供的信號而禁能(就是使未被選中的待測單元關閉而不動作)。

以下請參照圖2A，圖2A繪示本發明一實施例的待測單元200的示意圖。待測單元200包括待測電晶體DUT1以及開關SW1~SW3。待測電晶體DUT1具有控制端G、第一端S、第二端D以及基極端B。開關SW1串接在待測電晶體DUT1的第一端S與漏電傳輸導線DL間，開關SW2則串接在待測電晶體DUT1的第二端D與漏電傳輸導線DL間，而開關SW3則串接在待測電晶體DUT1的控制端G與偏壓提供導線GB間。而在本實施例中，待測電晶體DUT1的基極端B與其第一端S是相耦接的，而待測電晶體DUT1例如是N

型金氧半導場效電晶體，其第一端S例如是源極端，其第二端D例如是汲極端，其控制端G則例如是閘極端。

請注意，開關SW1~SW3皆受控於控制信號CTRL1以開啟或斷開，且當待測電晶體DUT1被設定為未選中時，開關SW1~SW3皆依據控制信號CTRL1而導通。

也就是說，當待測電晶體DUT1被設定為未選中時(不進行測試)，透過導通的開關SW1以及SW2，待測電晶體DUT1的第一端S以及第二端D都會被短路至漏電傳輸導線DL。如此一來，待測電晶體DUT1上所產生的漏電，就可以藉由漏電傳輸導線DL傳輸出去，不至於影響到被選中的待測電晶體的測試結果。另外，透過待測電晶體DUT1的第一端S以及第二端D均短路至漏電傳輸導線DL的狀態，也可以使待測電晶體DUT1的第一端S以及第二端D間的跨壓降至最低，大幅減小了待測電晶體DUT1所可能產生漏電電流的電流值。

在另一方面，透過導通的開關SW3，待測電晶體DUT1的控制端G可以直接電性連接至偏壓提供導線GB，並透過偏壓提供導線GB所提供的偏壓電壓以控制待測電晶體DUT1的導通或斷開的狀態。

請注意，透過對待測電晶體DUT1的基極端B提供負電壓值的背偏壓電壓可以有效的提升待測電晶體DUT1的臨界電壓值(threshold voltage)，並藉以使未選中的待測電晶體DUT1所可能產生的漏電電流的電流值降低。

以下請參照圖2B，圖2B繪示本發明實施例的待測單元



200的另一實施例的示意圖。在圖2B的繪示中，待測電晶體DUT1的基極端B以及其第一端S(源極端)是隔離的。而在此狀態下，本實施例同樣透過串接在待測電晶體DUT1的第一端S與漏電傳輸導線DL間的開關SW1、串接在待測電晶體DUT1的第二端D與漏電傳輸導線DL間的開關SW2、串接在待測電晶體DUT1的基極端B與背偏壓提供導線BN間的開關SW4以及串接在待測電晶體DUT1的控制端G與偏壓提供導線GB間的開關SW3的導通，有效降低待測單元200在未選中狀態時所會產生的漏電電流。

接著請參照圖2C以及圖2D，圖2C及圖2D分別繪示待測單元200的兩種實施方式。在圖2C的繪示中，待測單元200包括待測電晶體DUT1以及開關SW1~SW3，且待測電晶體DUT1為P型金氧半導場效電晶體，且其基極端B與其第一端S是相連接的。而在圖2D的繪示中，待測單元200同樣包括待測電晶體DUT1以及開關SW1~SW3，且待測電晶體DUT1為P型金氧半導場效電晶體，且其基極端B與其第一端S則是相隔離的。

在實施細節上面，圖2C以及圖2D所繪示的實施方式與前述圖2A以圖2B的實施方式是相類似的，以下不多贅述。而值得注意的是，一個待測電晶體陣列包括多個待測電晶體。這些待測電晶體可以是多個P型電晶體以及多個N型電晶體的組合。並且，這些待測電晶體可以是三端(基極端與第一端相耦接)的也可以是四端(基極端與第一端相隔離)的電晶體。然而，不管待測電晶體的組態為何，都可以透

過圖2A~2D的實施方式，來降低其在未選中狀態時所可能產生的漏電電流。

以下請參照圖3A，圖3A繪示本發明另一實施例的待測單元300的示意圖。待測單元300包括待測電晶體DUT1以及開關SW1~SW8。待測電晶體DUT1具有控制端G、第一端S、第二端D以及基極端B，待測電晶體DUT1為N型的金氧半導體場效電晶體。開關SW1串接在待測電晶體DUT1的第一端S與漏電傳輸導線DL間，開關SW2則串接在待測電晶體DUT1的第二端D與漏電傳輸導線DL間。開關SW4串接在待測電晶體DUT1的基極端B與背偏壓提供導線BN間，而開關SW3則串接在待測電晶體DUT1的控制端G與偏壓提供導線間，在本實施例中，偏壓提供導線與第一端測試信號傳輸線SF共同使用相同的一條導線。其中，開關SW1~SW3依據控制信號CTRL1以導通或斷開。此外，開關SW5耦接在待測電晶體DUT1的控制端G與控制端測試信號傳輸線GF及GS間，開關SW6耦接在待測電晶體DUT1的第一端S與第一端測試信號傳輸線SF及SS間。開關SW7耦接在待測電晶體DUT1的第二端與第二端測試信號傳輸線DF以及DS間。開關SW8則耦接在待測電晶體DUT1的基極端B與基極端測試信號傳輸線BF以及BS間。其中，開關SW5~SW8皆受控於控制信號CTRL2以開啟或斷開，並且，開關SW5~SW8的導通或斷開狀態與開關SW1~SW3的導通或斷開狀態相反。

具體一點來說明，在待測電晶體DUT1被設定為未選

中時，開關SW1~SW3依據控制信號CTRL1而導通，而開關SW5~SW8則依據控制信號CTRL2而斷開。相對的，在待測電晶體DUT1被設定為選中時，開關SW1~SW3依據控制信號CTRL1而斷開，而開關SW5~SW8則依據控制信號CTRL2而導通。

值得一提的是，在當待測電晶體DUT1被設定為選中時，開關SW5、SW8依據控制信號CTRL2而導通，並透過控制端測試信號傳輸線GF及GS與基極端測試信號傳輸線BF及BS進行對待測電晶體DUT1的控制端G以及基極端B進行信號的傳輸。其中，控制端測試信號傳輸線GF用以傳送施加於待測電晶體DUT1的控制端G的電壓，而控制端測試信號傳輸線GS則提供待測電晶體DUT1的控制端G上的電壓值以供偵測。基極端測試信號傳輸線BF用以傳送施加於待測電晶體DUT1的基極端B的電壓，而基極端測試信號傳輸線BS則提供待測電晶體DUT1的基極端B上的電壓值以供偵測。

同樣的，在當待測電晶體DUT1被設定為選中時，開關SW6以及SW7依據控制信號CTRL2而導通，並透過第一端測試信號傳輸線SF及SS以及第二端測試信號傳輸線DF及DS進行對待測電晶體DUT1的第一端S以及第二端D進行信號的傳輸。其中，第一及第二端測試信號傳輸線SF、DF分別提供施加電壓至待測電晶體DUT1的第一端S以及第二端D的途徑，第一及第二端測試信號傳輸線SS、DS分別提供量測待測電晶體DUT1的第一端S以及第二端D的電

壓的途徑。

在本實施例中，開關SW1~SW3由傳輸閘(transmission gate)來建構，而開關SW5~SW8則由兩個傳輸閘來建構。

另外，請參照圖3B，圖3B繪示本發明實施例的待測單元300的另一實施方式。與圖3A繪示的待測單元300不相同的，圖3B繪示的待測單元300所包括的待測電晶體DUT1為P型金氧半導體場效電晶體，並且開關SW4是串接在待測電晶體DUT1的基極端B與背偏壓提供導線BP間。關於圖3B繪示的待測單元300的操作細節在上述實施例都有詳盡的說明，以下不多贅述。

請參照圖4，圖4繪示本發明實施例的傳輸閘400的實施方式。其中，傳輸閘400包括P型電晶體MP以及N型電晶體MN。P型電晶體MP的控制端(例如閘極)接收控制信號CTRL，P型電晶體MP的第一端及第二端則分別連接至端點A1以及A2。N型電晶體MN的控制端(例如閘極)接收控制信號CTRL的反向信號CTRLB，N型電晶體MN的第一端及第二端則分別連接至端點A1以及A2。

值得注意的是，由於傳輸閘400在關閉時也有可能產生漏電電流而影響待測電晶體陣列的測試結果，因此，本實施方式中的P型電晶體MP的基極端接收背偏壓參考電壓IOBP而N型電晶體MN的基極端則接收背偏壓參考電壓IOBN。其中，當傳輸閘400被設定為斷開時，背偏壓參考電壓IOBN可以為例如是小於0伏特的電壓。並且，背偏壓參考電壓IOBP以及背偏壓參考電壓IOBN的電壓絕對值可

以採用具有較高電壓值的輸入輸出電壓(例如，參考電壓IOBP等於2.5V，背偏壓參考電壓IOBN等於-2.5V)。經由提供背偏壓參考電壓IOBN以及IOBP至N型電晶體MP的基極端以及P型電晶體MP的基極端，傳輸閘400的臨界電壓提升，並進而降低其所可能產生的漏電電流。

綜上所述，本發明藉由在待測電晶體的第一端以及第二端，以藉由第一及第二開關的導通，來降低待測電晶體的第一端以及第二端間的跨壓，以降低漏電流。並透過第一、二開關的導通，使待測電晶體的第一端以及第二端短路至漏電傳輸導線，以傳導掉待測電晶體所可能產生的漏電流，減低漏電流干擾測試結果的可能性。另外，本發明更提出第三及第四開關，並透過第三及第四開關來提供背偏壓至待測電晶體的基極端與控端間，藉以提升待測電晶體的臨界電壓，以降低其所可能產生的漏電電流。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖1繪示待測電晶體陣列100的示意圖。

圖2A繪示本發明一實施例的待測單元200的示意圖。

圖2B繪示本發明實施例的待測單元200的另一實施例的示意圖。

圖2C及圖2D分別繪示待測單元200的兩種實施方式。

圖3A繪示本發明另一實施例的待測單元300的示意圖。

圖3B繪示本發明實施例的待測單元300的另一實施方式。

圖4繪示本發明實施例的傳輸閘400的實施方式。

#### 【主要元件符號說明】

100：待測電晶體陣列

111~1NM、200、300：待測單元

400：傳輸閘

COL~COLM：行定址線

ROW1~ROWN：列定址線

SW1~SW8：開關

G、D、S、B、A1、A2：端點

DUT1：待測電晶體

BN、BP：背偏壓提供導線

CTRL1、CTRL2、CTRL、CTRLB：控制信號

DL：漏電傳輸導線

GB：偏壓提供導線

GF、GS：控制端測試信號傳輸線

BF、BS：基極端測試信號傳輸線

SF、SS：第一端測試信號傳輸線

DF、DS：第二端測試信號傳輸線

MP、MN：電晶體

IOBP、IOBN：背偏壓參考電壓

## 七、申請專利範圍：

1. 一種待測電晶體陣列，包括：

多數個待測單元，各該待測單元包括：

一待測電晶體，各該待測電晶體具有控制端、第一端、第二端以及基極端；

一第一開關，串接在該待測電晶體的第一端與一漏電傳輸導線間；

一第二開關，串接在該待測電晶體的第二端與該漏電傳輸導線間；以及

一第三開關，串接在待測電晶體的控制端與一偏壓提供導線間，

其中，該第一、第二以及第三開關皆受控於一控制信號以開啟或斷開，且該待測電晶體被設定為未選中時，該第一、第二以及第三開關依據該控制信號而導通。

2. 如申請專利範圍第1項所述之待測電晶體陣列，其中各該待測單元更包括：

一第四開關，串接在該待測電晶體的基極端與一背偏壓提供導線間，其中該第四開關受控於該控制信號，該第四開關並在該待測電晶體被設定為未選中時依據該控制信號而導通。

3. 如申請專利範圍第2項所述之待測電晶體陣列，其中該第四開關導通時，該待測電晶體的基極端由該背偏壓提供導線接收一背偏壓電壓。

4. 如申請專利範圍第3項所述之待測電晶體陣列，其



中該背偏壓電壓的電壓準位小於0伏特。

5. 如申請專利範圍第2項所述之待測電晶體陣列，其中該第一、第二、第三以及第四開關分別為一第一、第二、第三以及第四傳輸閘。

6. 如申請專利範圍第5項所述之待測電晶體陣列，其中該第一、第二、第三以及第四傳輸閘中的任一包括：

一P型電晶體，具有控制端、第一端、第二端以及基極端，其控制端接收該控制信號，其基極端接收一第一背偏壓參考電壓；以及

一N型電晶體，具有控制端、第一端、第二端以及基極端，其控制端接收該控制信號的反向信號，其第一端耦接至該P型電晶體的第一端，該N型電晶體的第二端耦接至該P型電晶體的第二端，該N型電晶體的基極端接收一第二背偏壓參考電壓，

其中該第二背偏壓參考電壓的電壓小於0伏特。

7. 如申請專利範圍第2項所述之待測電晶體陣列，其中各該待測單元更包括：

一第五開關，耦接在該待測電晶體的控制端與一控制端測試信號傳輸線間，受控於該控制信號以開啟或斷開；

一第六開關，耦接在該待測電晶體的第一端與一第一端測試信號傳輸線間，受控於該控制信號以開啟或斷開；  
以及

一第七開關，耦接在該待測電晶體的第二端與一第二端測試信號傳輸線間，受控於該控制信號以開啟或斷開；

以及

一第八開關，耦接在該待測電晶體的基極端與一基極端測試信號傳輸線間，受控於該控制信號以開啟或斷開，

其中，該第五、第六、第七以及第八開關的導通或斷開狀態與該第一、第二、第三以及該第四開關的導通或斷開狀態相反。

8. 如申請專利範圍第1項所述之待測電晶體陣列，其中該第一及該第二開關導通時，該待測電晶體的第一端及第二端短路至該漏電傳輸導線。

9. 如申請專利範圍第1項所述之待測電晶體陣列，其中該第三開關導通時，該待測電晶體的控制端由該偏壓提供導線接收一偏壓電壓。

10. 如申請專利範圍第1項所述之待測電晶體陣列，其中各該待測電晶體為P型電晶體或N型電晶體。

11. 如申請專利範圍第1項所述之待測電晶體陣列，其中各該待測電晶體的控制端為閘極，各該待測電晶體的第一端為源極或汲極的其中之一，各該待測電晶體的第二端為源極或汲極的另一。

八、圖式：

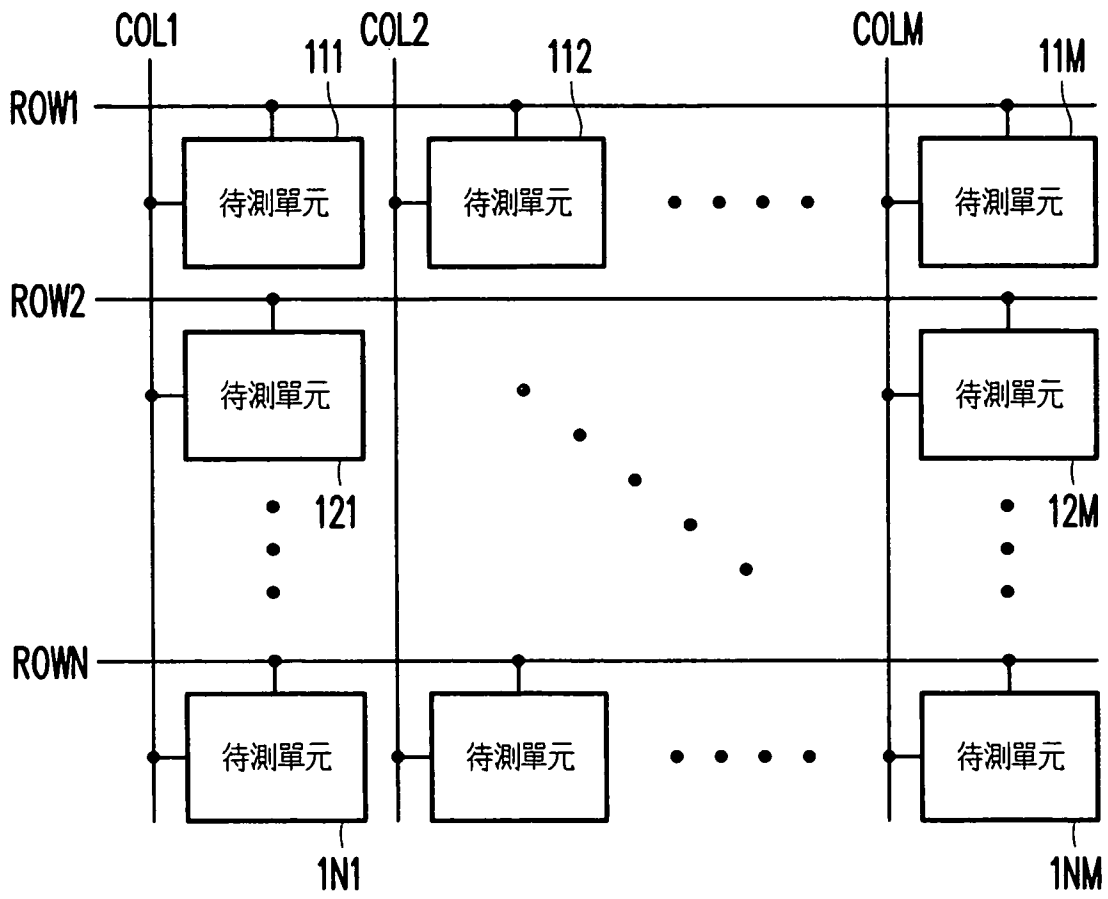
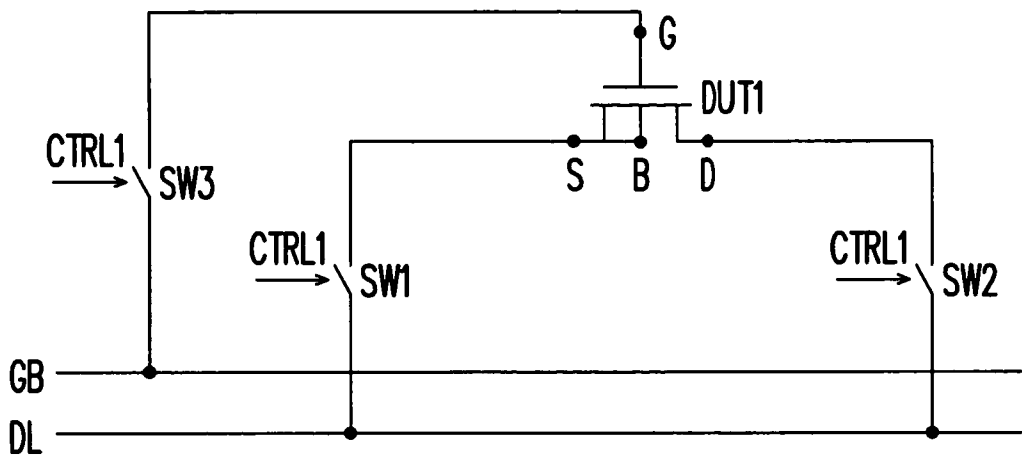
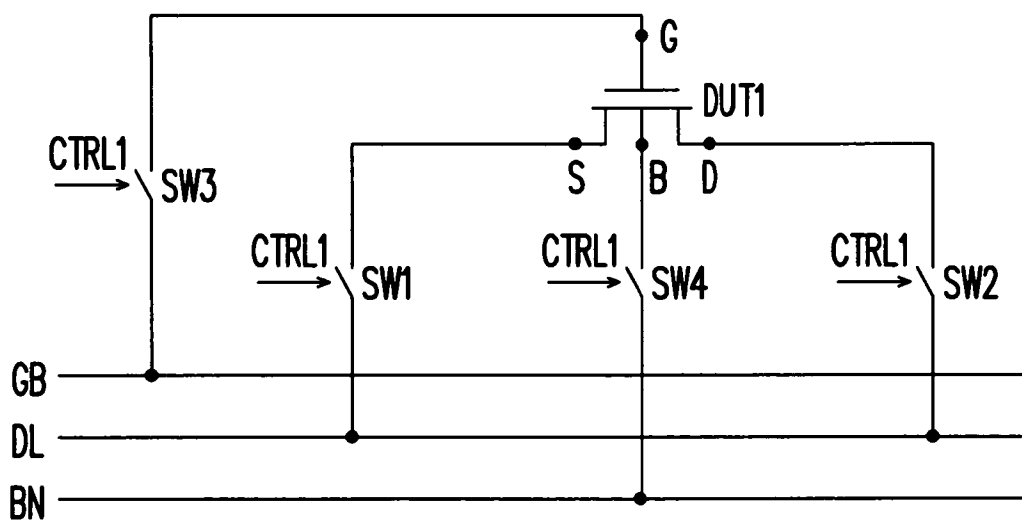


圖 1



200

圖 2A



200

圖 2B

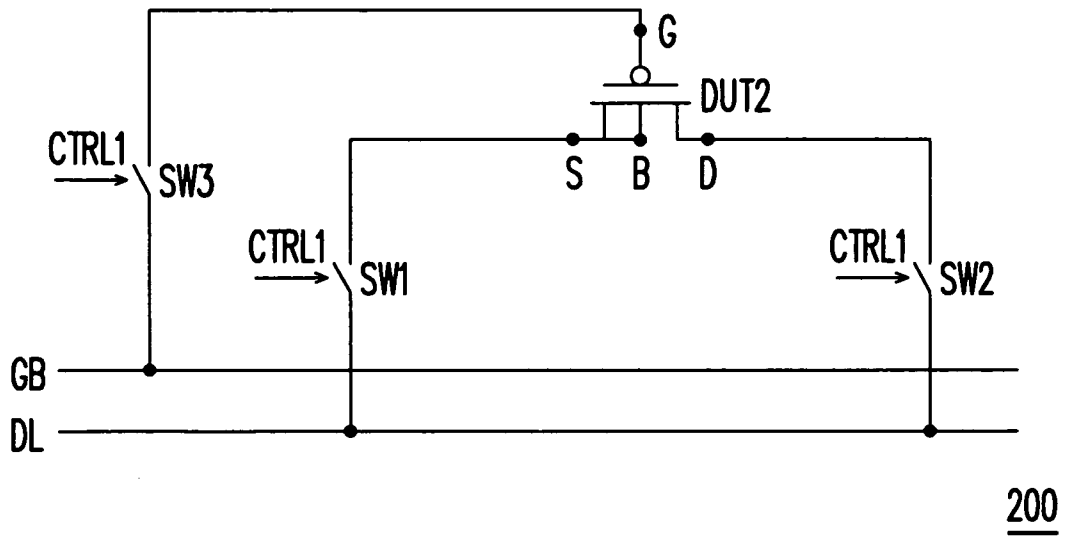


圖 2C

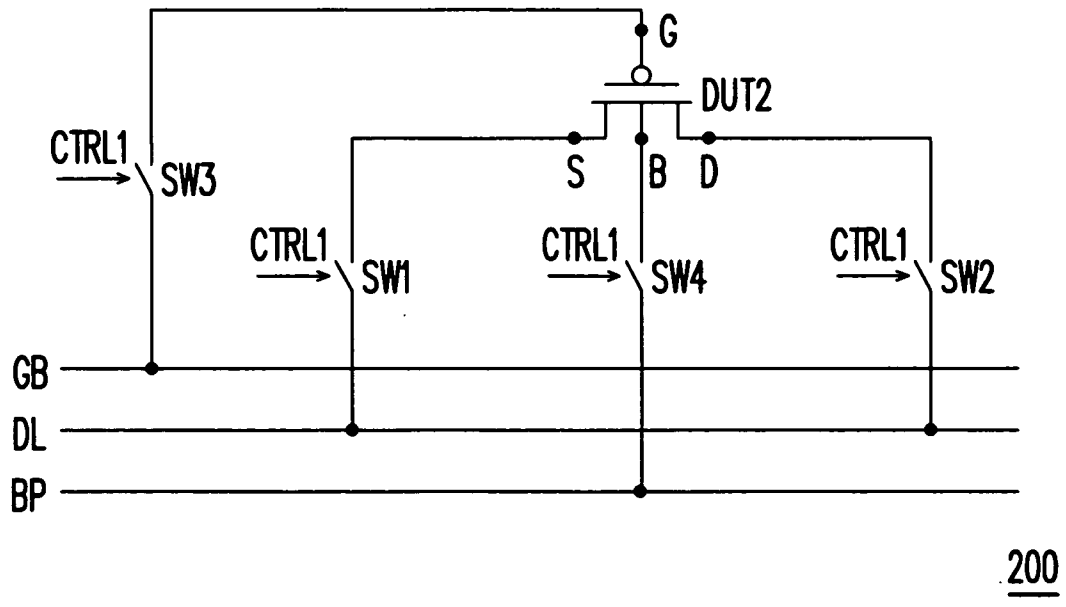
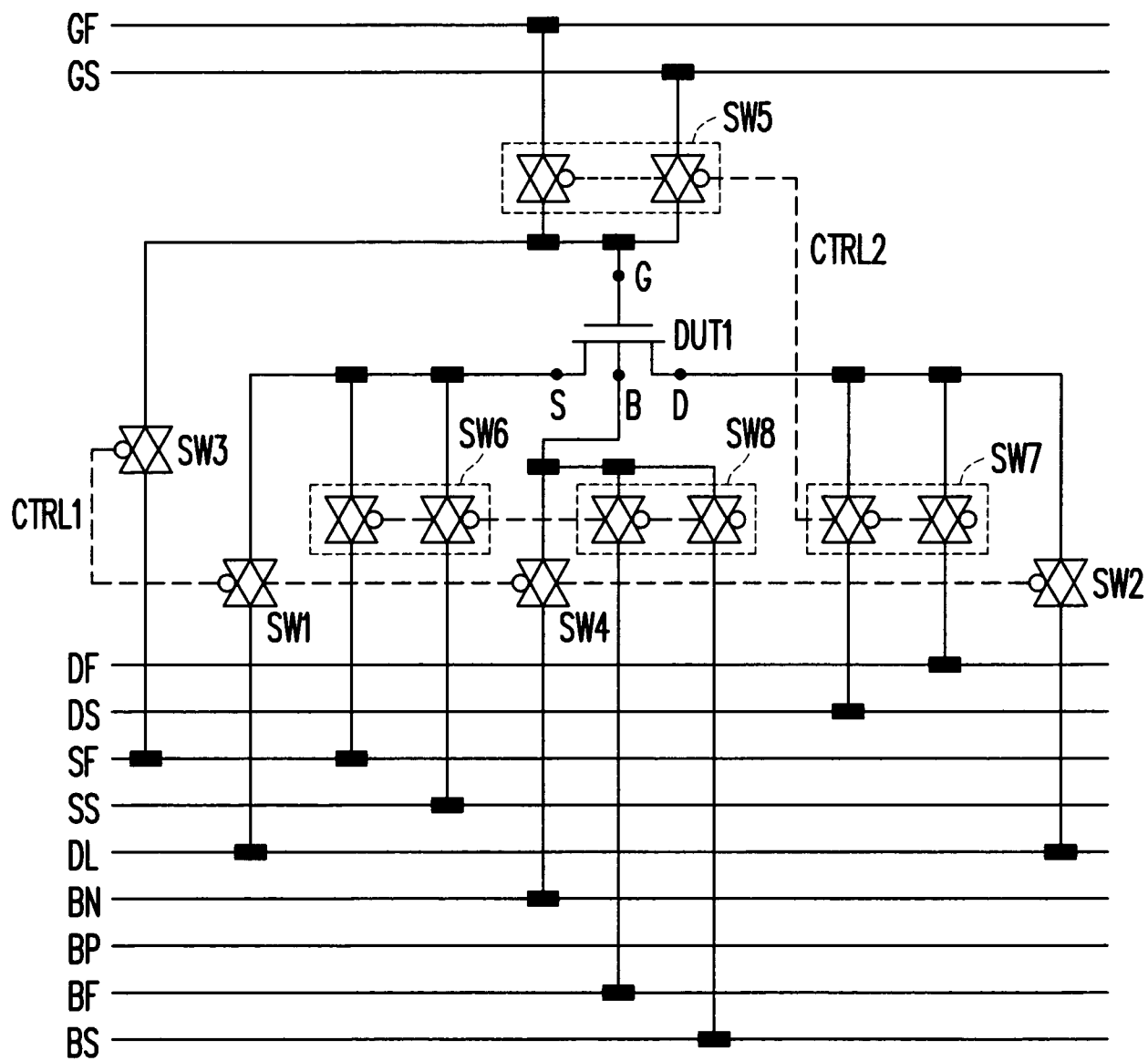
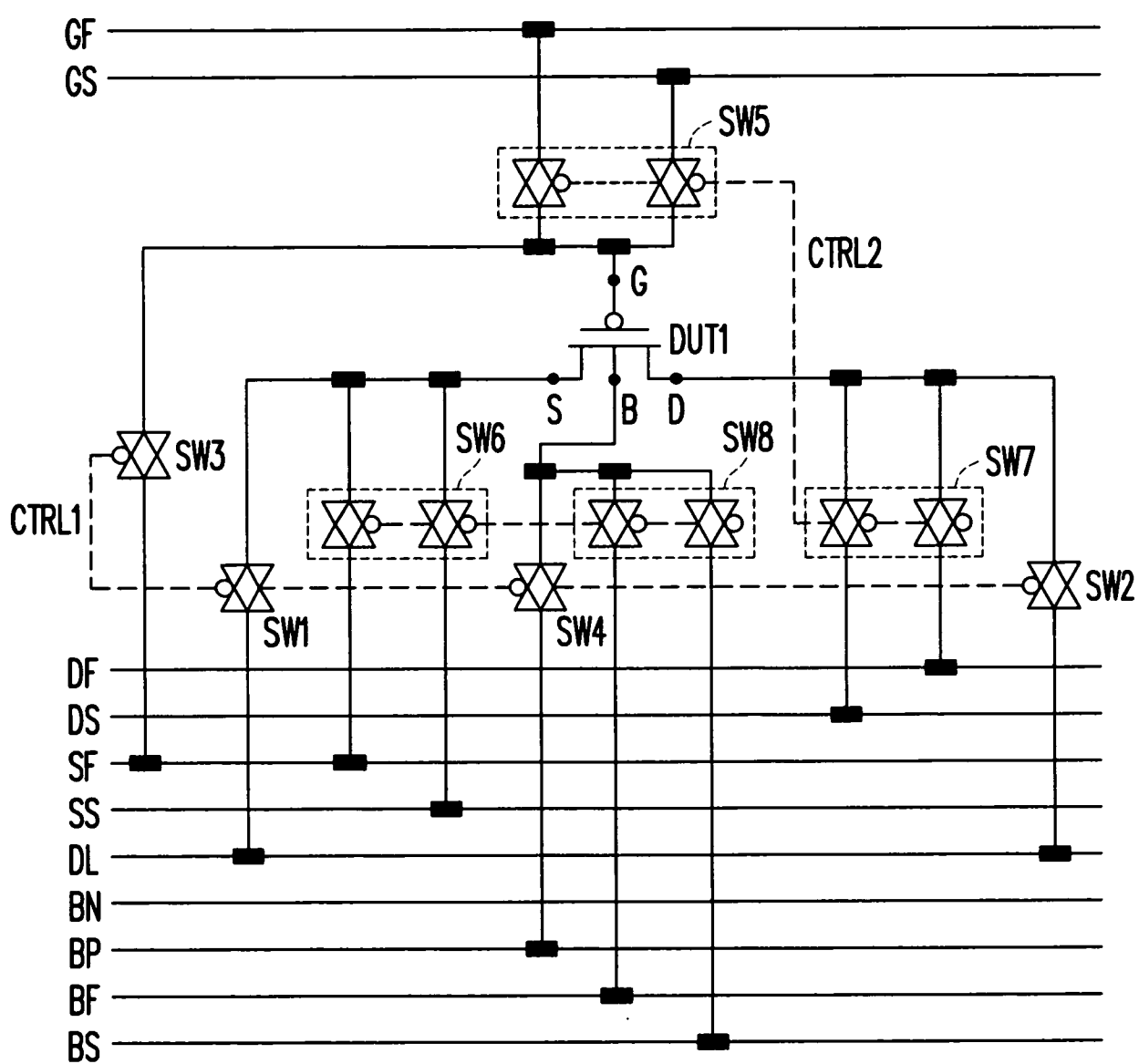


圖 2D



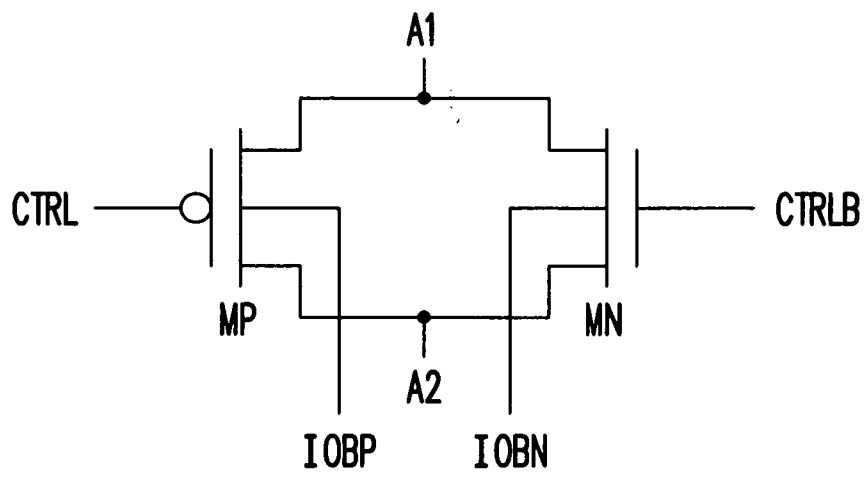
300

圖 3A



300

圖 3B



400

圖 4