



(12)发明专利

(10)授权公告号 CN 107507828 B

(45)授权公告日 2019.11.12

(21)申请号 201710443456.9

(22)申请日 2017.06.13

(65)同一申请的已公布的文献号
申请公布号 CN 107507828 A

(43)申请公布日 2017.12.22

(30)优先权数据
15/181,446 2016.06.14 US

(73)专利权人 新加坡商格罗方德半导体私人有限公司
地址 新加坡,新加坡城

(72)发明人 孙远 陈学深 郭克文

(74)专利代理机构 北京戈程知识产权代理有限公司 11314
代理人 程伟 王锦阳

(51)Int.Cl.

H01L 27/06(2006.01)
H01L 21/8234(2006.01)
H01L 23/64(2006.01)

(56)对比文件

CN 1577856 A,2005.02.09,
CN 101043057 A,2007.09.26,

审查员 刘国梁

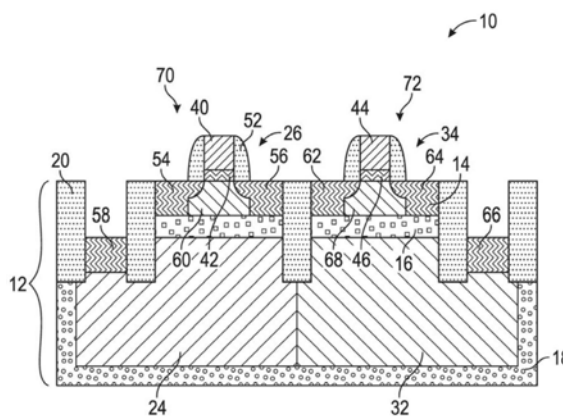
权利要求书3页 说明书8页 附图8页

(54)发明名称

具有电容器的集成电路及其制造方法

(57)摘要

本发明涉及具有电容器的集成电路及其制造方法,所提供的是集成电路及其制造方法。在一例示性具体实施例中,集成电路包括附有主动层的衬底,该主动层上覆于埋置型绝缘体层,该埋置型绝缘体层进而上覆于处理层,其中,该主动层包括第一主动井。第一源极、第一漏极与第一沟道界定于该第一主动井内,其中,该第一沟道位在该第一源极与该第一漏极之间。第一栅极介电质直接上覆于该第一沟道,并且第一栅极直接上覆于该第一栅极介电质,其中,第一电容器包括该第一源极、该第一漏极、该第一沟道、该第一栅极介电质、及该第一栅极。第一处理井界定于直接在该第一沟道及该埋置型绝缘体层下方的该处理层内。



1. 一种集成电路,包含:

衬底,包含主动层,该主动层上覆于埋置型绝缘体层进而上覆于处理层,其中,该主动层包含第一主动井;

第一源极,界定于该第一主动井内;

第一漏极,界定于该第一主动井内;

第一沟道,界定于该第一主动井内介于该第一源极与该第一漏极之间;

第一栅极介电质,直接上覆于该第一沟道;

第一栅极,直接上覆于该第一栅极介电质,其中,第一电容器包含该第一源极、该第一漏极、该第一沟道、该第一栅极介电质、及该第一栅极;

第一处理井,界定于该处理层中,其中,该第一处理井直接在该第一沟道及该埋置型绝缘体层下方,其中,该第一电容器包含具第一拐折点的第一电容/电压曲线,其中,该第一电容/电压曲线在该第一拐折点具有第一拐折点电压及第一拐折点电容,其中,第一电容是在大于该第一拐折点电压的第一外施电压下所测得,以及其中,该第一电容大于该第一拐折点电容;

第二电容器,其中,该第一电容器与该第二电容器以并联方式电连接,其中,该第二电容器包含具第二拐折点的第二电容/电压曲线,其中,该第二电容/电压曲线在该第二拐折点具有第二拐折点电压及第二拐折点电容,其中,第二电容是在大于该第二拐折点电压的第二外施电压下所测得,以及其中,该第二电容小于该第二拐折点电容;以及

其中,该第一电容器与该第二电容器产生组合电容/电压曲线,以及其中,该第一处理井经结构以使背板偏压施加至该第一处理井以推移该第一拐折点,以使该组合电容/电压曲线的电容变化小于当没有施加电压至该第一处理井时。

2. 如权利要求1所述的集成电路,更包含:

接触部,与该第一处理井电连通。

3. 如权利要求1所述的集成电路,其中,该主动层更包含第二主动井,以及其中,该第二电容器包含:

第二源极,界定于该第二主动井内;

第二漏极,界定于该第二主动井内;

第二沟道,界定于该第二主动井内介于该第二源极与该第二漏极之间;

第二栅极介电质,直接上覆于该第二沟道;以及

第二栅极,直接上覆于该第二栅极介电质。

4. 如权利要求3所述的集成电路,更包含:

第二处理井,界定于该处理层中,其中,该第二处理井直接在该第二沟道及该埋置型绝缘体层下方。

5. 如权利要求3所述的集成电路,其中,该第一电容器与该第二电容器的其中一者为N电容器,以及其中,该第一电容器与该第二电容器的其中另一者为P电容器。

6. 如权利要求3所述的集成电路,其中:

该第一电容器与该第二电容器电连接以产生组合电容/电压曲线。

7. 如权利要求6所述的集成电路,其中:

当施加电压至该第一处理井时,该第一处理井经结构以修改第一电容/电压曲线,以及

其中,修改该第一电容/电压曲线以修改该组合电容/电压曲线。

8. 如权利要求6所述的集成电路,其中:

该第一源极、该第一漏极、及该第二栅极电连通;以及
该第二源极、该第二漏极、及该第一栅极电连通。

9. 如权利要求6所述的集成电路,其中:

该第一源极、该第二源极、该第一漏极、及该第二漏极电连通;以及
该第一栅极与该第二栅极电连通。

10. 如权利要求1所述的集成电路,其中,该第一沟道及该第一处理井包含相同类型的传导率判定杂质。

11. 一种集成电路,包含:

第一电容器,上覆于埋置型绝缘体层进而上覆于第一处理井以使该第一电容器直接上覆于该第一处理井,其中,该第一电容器包含具第一拐折点的第一电容/电压曲线,其中,该第一电容/电压曲线在该第一拐折点具有第一拐折点电压及第一拐折点电容,其中,第一电容是在大于该第一拐折点电压的第一外施电压下所测得,以及其中,该第一电容大于该第一拐折点电容;

第二电容器,其中,该第二电容器包含具第二拐折点的第二电容/电压曲线,其中,该第二电容/电压曲线在该第二拐折点具有第二拐折点电压及第二拐折点电容,其中,第二电容是在大于该第二拐折点电压的第二外施电压下所测得,以及其中,该第二电容小于该第二拐折点电容;以及

电容器互连件,电连接该第一电容器与该第二电容器以产生组合电容/电压曲线,其中,该第一处理井经组构以使背板偏压施加至该第一处理井以推移该第一拐折点,以使该组合电容/电压曲线的变化小于5%。

12. 如权利要求11所述的集成电路,其中:

该第一电容器包含第一源极、第一漏极、及置于该第一源极与该第一漏极之间的第一沟道,以及其中,该第一沟道及该第一处理井包含相同类型的传导率判定杂质。

13. 如权利要求11所述的集成电路,更包含:

第二处理井,在该第二电容器下方,其中,该埋置型绝缘体层位于该第二处理井与该第二电容器之间,其中,该第二电容器包含第二源极、第二漏极、及介于该第二源极与该第二漏极之间的第二沟道,其中,该第二沟道及该第二处理井包含相同类型的传导率判定杂质。

14. 一种制造集成电路的方法,包含:

形成第一主动井在衬底的主动层中,其中,该主动层上覆于埋置型绝缘体层进而上覆于处理层;

形成第一处理井在该处理层中在该第一主动井下方,其中,该第一主动井及该第一处理井包含相同类型的传导率判定杂质;

形成第一源极在该第一主动井内;

形成第一漏极在该第一主动井内,使得第一沟道界定于该第一主动井内介于该第一源极与该第一漏极之间;

形成第一栅极介电质上覆于该第一沟道;

形成第一栅极上覆于该第一栅极介电质,其中,第一电容器包含该第一源极、该第一漏

极、该第一沟道、该第一栅极介电质、及该第一栅极；

形成接触部与该第一处理井电连通；

形成第二主动井在该衬底的该主动层中；

形成第二处理井在该处理层中在第二主动井下方，其中，该第二主动井及该第二处理井包含相同类型的传导率判定杂质；

形成第二源极在该第二主动井内；

形成第二漏极在该第二主动井内，使得第二沟道界定于该第二主动井内介于该第二源极与该第二漏极之间；

形成第二栅极介电质上覆于该第二沟道；

形成第二栅极上覆于该第二栅极介电质，其中，第二电容器包含该第二源极、该第二漏极、该第二沟道、该第二栅极介电质、及该第二栅极；

形成电容器互连件，其电连接该第一电容器与该第二电容器以产生组合电容/电压曲线；以及

施加背板偏压至该第一处理井或该第二处理井中至少一者以推移第一拐点或第二拐点中至少一者，以使该组合电容/电压曲线的变化小于5%。

具有电容器的集成电路及其制造方法

技术领域

[0001] 本发明的技术领域大体上是关于具有电容器的集成电路及其制造方法,并且尤其关于具有以并联方式连接的二或更多个电容器的集成电路及其制造方法。

背景技术

[0002] 半导体产业持续朝向制作更小、更复杂且效能更高的微电子组件发展。在制造更小的集成电路时,需要开发更小的电子组件,并且那些在集成电路内的电子组件的间隔要更靠近。某些集成电路包括完全耗尽上覆半导体绝缘体(FDSOI)衬底,其比不包括完全耗尽沟道的衬底更具有优势,例如:短沟道效应更低且晶体管寄生电容更小。这些集成电路可利用上覆半导体绝缘体(SOI)衬底,其具有上覆于埋置型绝缘体层的浅主动层。

[0003] 电容器可使用FDSOI来形成,其中电容器包括通过绝缘栅极介电质隔开的导电栅极与沟道。电容器的电容随着将这两种传导材料隔开的介电材料的厚度减小而增大,而且某些功能需要用到高电容。金属/氧化物/金属(MOM)电容器可在后段(BEOL)工艺期间形成,但这些MOM电容器典型为具有将传导金属层隔开的较厚绝缘氧化物层,其导致低电容。

[0004] 集成电路制造过程早期形成的电容器典型为包括通过绝缘栅极介电质所隔开的传导栅极与沟道,如以上所述。然而,此类电容器的电容随着外施电压而有显著改变的倾向。特别的是,当外施电压跨某些临限值变更时,沟道会由反转模式(inversion mode)变更为耗尽模式,其中沟道有部分作用像耗尽模式下的电绝缘体。电容在耗尽模式下因沟道的绝缘效应而低更多。因此,电容随着电压而显著变化。具有独立于外施电压的高电容的电容器在电路设计中容许更大的灵活性。

[0005] 因此,希望提供包括电容较不受外施电压影响的电容器的集成电路、以及其制造方法。另外,希望提供所具有的高电容维持实质不受外施电压影响的电容器的集成电路、以及其制造方法。再者,本具体实施例的其它所欲特征及特性经由随后的详细说明及随附权利要求书且搭配附图及本发明的背景描述将变为显而易见。

发明内容

[0006] 所提供的是集成电路及其制造方法。在一例示性具体实施例中,集成电路包括附有主动层的衬底,该主动层上覆于埋置型绝缘体层,该埋置型绝缘体层进而上覆于处理层,其中,该主动层包括第一主动井。第一源极、第一漏极与第一沟道界定于该第一主动井内,其中,该第一沟道位在该第一源极与该第一漏极之间。第一栅极介电质直接上覆于该第一沟道,并且第一栅极直接上覆于该第一栅极介电质,其中,第一电容器包括该第一源极、该第一漏极、该第一沟道、该第一栅极介电质、及该第一栅极。第一处理井界定于直接在该第一沟道及该埋置型绝缘体层下方的该处理层内。

[0007] 另一具体实施例中提供一种集成电路。该集成电路包括第一与第二电容器,其分别附有具第一与第二拐折点的第一与第二电容/电压曲线。该第一电容/电压曲线在该第一拐折点具有第一拐折点电压与第一拐折点电容。第一电容是在大于该第一拐折点电压的第

一外施电压下所测得,而且该第一电容大于该第一拐点电容。该第二电容/电压曲线在该第二拐点具有第二拐点电压及第二拐点电容,而且第二电容是在大于该第二拐点电压的第二外施电压下所测得。该第二电容小于该第二拐点电容。电容器互连件以并联方式电连接该第一电容器与该第二电容器以产生组合电容/电压曲线。

[0008] 又另一具体实施例中提供一种制造集成电路的方法。该方法包括形成第一与第二电容器,其分别附有具第一与第二拐点的的第一与第二电容/电压曲线。该第一与第二电容/电压曲线分别在该第一与第二拐点具有第一与第二拐点电压及第一与第二拐点电容。高于该第一拐点电压的第一外施电压下的第一电容大于该第一拐点电容,而高于该第二拐点电压的第二外施电压下的第二电容小于该第二拐点电容。该第一与第二电容器以并联方式电连接以产生组合电容/电压曲线。

附图说明

[0009] 本发明的具体实施例将在下文中搭配以下图式来说明,其中相同的附图标记表示相似的元件,并且其中:

[0010] 图1至7根据例示性具体实施例,在截面图中绘示一种集成电路及其制作方法;

[0011] 图8、11及12绘示该集成电路及其制造方法的不同具体实施例,其中图8、11及12有一部分为截面图,并且其中电连接是以示意形式来绘示;以及

[0012] 图9及10绘示该集成电路不同具体实施例的电容/电压曲线。

具体实施方式

[0013] 以下的实施方式本质上仅属于例示性,而且用意不在于限制各项具体实施例或其应用与使用。再者,用意不在于受到前面背景描述或以下详细说明中介绍的任何理论所约束。本发明的具体实施例大体上是针对集成电路及其制作方法。可将本文中所述的各项工作及过程步骤并入更全面性的程序或过程,其具有未在本文中详述的附加步骤或功能。特别的是,集成电路制造的各个步骤属于众所周知,所以,为了简便起见,许多现有步骤在本文中仅以简述或将遭到全部省略,而不提供众所周知的过程细节。

[0014] 一种集成电路包括第一与第二电容器,该第一与第二电容器包括第一与第二栅极、栅极介电质、沟道、源极与漏极。此等第一与第二电容器分别具有电容/电压曲线,其在第一与第二沟道中介于耗尽与反转模式之间约转变点处具有拐点。电容在拐点的反转模式侧高很多。第一与第二电容器亦设计成使得第一与第二电容器各者在耗尽模式下的电容大约相同,并且在反转模式下的电容也大约相同。第一与第二电容器以并联方式电连接成使得此电连接对有效具有第一与第二个别电容加总后的电容。第一与第二电容器经选择而使得第一与第二拐点处由反转至耗尽模式的变化是依相反方向进行,第一与第二电容器其中一者由反转模式变更为耗尽模式,而其中另一者则相反,端视电压而定。如此,与隔离的第一与第二电容器任一者的电容相比,电连接的第一与第二电容器有更固定的组合电容。可加入背板偏压以推移第一及/或第二电容器的拐点,使得第一与第二拐点大约匹配,藉以进一步降低组合电容的任何变异。

[0015] 请参阅图1中所示的例示性具体实施例。在一例示性具体实施例中,集成电路10包括衬底12,其中衬底12包括上覆于埋置型绝缘体层16的主动层14,以及其中埋置型绝缘体

层16上覆于处理层(handle layer) 18。如此,所示衬底12为上覆半导体绝缘体(SOI)衬底,有时称为硅绝缘体衬底(尤其是对于主动层主要包括硅的具体实施例而言)。“上覆”一词于本文中使用时,意为“上方”而使得中介层可安放于主动层14与埋置型绝缘体层16之间,或意为“上”而使得主动层14实体接触埋置型绝缘体层16。此外,“直接上覆”一词意为通过上组件还通过下组件的垂直线,使得上组件至少有一部分直接位在下组件的至少一部分上方。了解的是,可移动集成电路10而使得相对“上方”和“下方”的位置改变,因此,参照“垂直”线意为约与衬底12的表面垂直的“垂直”线。衬底12在一些具体实施例中可以是块材晶圆(图未示),例如:单晶硅晶圆。

[0016] 在一例示性具体实施例中,主动层14及处理层18包括半导性材料。“半导体材料”一词于本文中使用时,将会用于含括半导体产业中惯用于制作电气装置的半导体材料。半导体材料包括单晶硅材料,例如:半导体产业中典型使用的较纯或轻浓度杂质掺杂的单晶硅材料,也包括多晶硅材料,以及与其它诸如锗、碳及类似元素掺和的硅。半导体材料亦包括诸如较纯及杂质掺杂的锗、砷化镓、氧化锌、玻璃及类似者等其它材料。在一例示性具体实施例中,主动层14为单晶硅材料,但替代具体实施例中可使用其它半导体材料。埋置型绝缘体层16在一例示性具体实施例中为二氧化硅,但也可使用蓝宝石或其它电气绝缘材料。处理层18对SOI衬底12提供机械强度及稳定性,并且包括半导体材料,例如:在一例示性具体实施例包括单晶硅。然而,替代具体实施例中可使用提供机械强度及稳定性的各种其它半导体材料。使用半导体材料可将处理层18并入一些电子组件。

[0017] “导电”材料于本文中使用时,大体上具有约 1×10^{-4} 欧姆公尺或更小的电阻率,“电绝缘”材料大体上具有约 1×10^4 欧姆公尺或更大的电阻率,而“半导电”材料具有自小于约 1×10^4 欧姆公尺至大于约 1×10^{-4} 欧姆公尺的电阻率。“电连通”一词于本文中使用时,意为电流能够自一个导电或半导电组件流至另一组件,其中此电流可或不流经导电或半导电中介组件。“直接接触”一词于本文中使用时,意为属于导电或半导电性但不为电绝缘体的组件彼此间的直接实体接触。

[0018] 一或多个浅沟槽隔离结构20界定于衬底12内。浅沟槽隔离结构20通过主动层14及埋置型绝缘体层16,并且伸入但非完全穿透处理层18。浅沟槽隔离结构20为电气绝缘结构,并且可包括二氧化硅或其它电气绝缘材料。

[0019] 请参阅图2所示的例示性具体实施例,第一光阻层22上覆于衬底12而形成并且图案化。第一光阻层22(及下文所述的其它光阻层)可通过旋转涂布来沉积,并且通过以穿过具有透明区段及不透明区段的掩模的光或其它电磁辐射进行曝照来图案化。光在光阻中造成化学变化,使得曝露部分或未曝露部分可被选择性移除。所欲位置可用有机溶剂来移除,而第一光阻层22仍维持上覆于衬底12的其它区域。第一光阻层22(及下文所述的其它光阻层)可视需要地包括顶端及/或底端抗反射涂料及/或硬掩模(图未示)。有许多抗反射涂料可用,包括无机与有机化合物,例如:氮化钛或有机硅氧烷。氮化钛可使用四甲基胺钛(tetramethylamidotitanium)及三氟化氮通过化学气相沉积来沉积,而有机硅氧烷可通过旋转涂布来沉积。抗反射涂料可改善光阻图案化期间的准确度及关键尺寸。氮化硅可当作硬掩模使用,其中氮化硅可使用氨及二氯硅烷通过低压化学气相沉积来形成。

[0020] 第一处理井24于处理层18中形成,而第一主动井26于主动层14中形成。第一处理及主动井26、26通过将传导率判定杂质植入主动层14及处理层18经选择的位置来形成。传

导率判定杂质可通过穿过未被第一光阻层22覆盖的区、或穿过掩模中因第一光阻层22图案化的曝露区(图未示)进行离子布植来布植。离子布植涉及在电场影响下将传导率判定杂质离子化并将离子推入衬底12中。电场强度可判定离子布植的深度,所以,第一处理井24可穿过主动层14及埋置型绝缘体层16通过布植传导率判定杂质来形成。第一主动井26可在同一时间形成。在一些具体实施例中,第一处理井24可在一或多个浅沟槽隔离结构20下面通过,其中传导率判定杂质可穿过浅沟槽隔离结构20来布植。衬底12可在离子布植之后例如以范围自约摄氏500度(°C)至约1200°C的温度进行退火以修复晶体损坏并且电气活化传导率判定杂质。

[0021] 在一例示性具体实施例中,第一处理井24及第一主动井26包括“N”型传导率判定杂质,但在替代具体实施例中,第一处理井24及第一主动井26可包括“P”型传导率判定杂质。“N”型传导率判定杂质主要包括磷、砷及/或锑,但也可使用其它材料。“P”型传导率判定杂质主要包括硼、铝、镓及铟,但也可使用其它材料。第一处理井24及第一主动井26可包括P或N型传导率判定杂质,浓度为每立方公分自约 1×10^{15} 至约 1×10^{16} ,但其它浓度也可行。在一些具体实施例中,第一处理井24及第一主动井26可具有不同浓度的传导率判定杂质。第一光阻层22可在使用后移除,例如:以含氧电浆或以适当溶剂来移除。

[0022] 请参阅图3,第二光阻层30用于依照与以上关于第一处理井及主动井32、34所述类似的方式,形成第二处理井32及第二主动井34。在一例示性具体实施例中,第二处理及主动井24、26包括“N”型传导率判定杂质,因此,第一与第二主动井26、34具有相反类型的传导率判定杂质。在替换具体实施例中,第一与第二主动井26、34具有相同类型的传导率判定杂质,下文有更完整的说明。第一与第二处理井24、32可直接在浅沟槽隔离结构20下方彼此接触,而浅沟槽隔离结构20可安置于第一与第二主动井26、34之间。然而,在替换具体实施例中,第一与第二处理井24、32、以及相关的第一与第二主动井26、34可实体隔开,甚至可位于集成电路10的不同部分中。第一与第二处理及主动井24、32、26、34不一定要彼此相邻。

[0023] 栅极介电层36及栅极层38可上覆于衬底12而形成,图4的例示性具体实施例中有说明。栅极介电层36为电绝缘体,并且在各项具体实施例中可包括二氧化硅、氮氧化硅、或其它电气绝缘材料。二氧化硅可通过主动层14的表面(举具体实施例而言,主动层含硅处)的热氧化作用来形成,或二氧化硅可使用硅烷及氧通过化学气相沉积来沉积。栅极层38为导体或半导体,并且可包括具有传导率判定杂质的多晶硅。多晶硅可在硅烷环境中通过低压化学气相沉积来形成,并且可依需要添加所欲传导率判定杂质的离子。在一例示性具体实施例中,栅极层38中存在的传导率判定杂质与第一主动井26中关于栅极层38的上覆部分为相同类型。栅极层38中存在的传导率判定杂质与第二主动井34中关于栅极层38上覆于第二主动井34的部分为相同类型。如此,栅极层38可以分离部分形成,包括栅极层38中具有P型传导率判定杂质的一个部分、以及栅极层38中具有N型传导率判定杂质的另一部分,其中光刻为了各沉积而用于隔离所欲区域。

[0024] 请参阅图5并请继续参阅图4,形成的是第一栅极40、第一栅极介电质42、第二栅极44、以及第二栅极介电质46。第一栅极40与第一栅极介电质42可上覆于第一主动井26的安置于两个浅沟槽隔离结构20之间的一部分,而第二栅极44与第二栅极介电质46上覆于第二主动井34的安置于两个浅沟槽隔离结构20之间的一部分而置。可图案化一层光阻以覆盖上覆于第一与第二栅极40、44的区域,并且可例如使用溴化氢以各向异性反应性离子蚀刻来

移除栅极层38的剩余部分。这样会形成第一与第二栅极40、44。栅极介电层36的曝露部分可接着例如使用溴化氢及四氟化硅以各向异性反应性离子蚀刻来移除。延展区48可接着在主动层14中形成。延展区48可在第一与第二主动井26、34的表面附近相邻于第一与第二栅极介电质42、46的浅层内包括传导率判定杂质。延展区48可分别与第一和第二主动井26、34包括相同种类的传导率判定杂质。举例而言,若第一主动井26包括N型传导率判定杂质,第一主动井26中的延展区48亦包括N型传导率判定杂质。若第二主动井34包括P型传导率判定杂质,第二主动井34中的延展区48亦包括P型传导率判定杂质。光刻可用于在不同延展区48选择性地隔离并且布植不同类型的传导率判定杂质。

[0025] 请参阅图6,可形成并且图案化后端光阻层50以曝露主动层14的一部分。主动层14的曝露部分可上覆于第一处理井24,但是上覆有第一栅极40及第一栅极介电层42的第一主动井26可被覆盖,类似的说明适用于第二处理井32。曝露的主动层14可介于与上覆有第一与第二栅极40、44的第一与第二主动井26、34周围不同的浅沟槽隔离结构20之间。接着可例如使用六氟化硅以反应性离子蚀刻来移除曝露的主动层14与下方的埋置型绝缘体层16,而受到覆盖的部分仍保持不变。这使得第一处理井24有一部分曝露,而第一处理井24的另一部分则是以相关联的第一栅极40及第一栅极介电质42由埋置型绝缘体层16及第一主动井26覆盖。如此,第一处理井24有一部分可直接在第一主动井26及第一栅极40下方,而相同的第一处理井24可在浅沟槽隔离结构20下面通过,并且延展至无上覆有埋置型绝缘体层16的曝露部分。类似结构套用于第二处理井32。后端光阻层50在使用后遭受移除。

[0026] 间隔物52可相邻于第一与第二栅极40、44而形成,其中间隔物52为电绝缘,如图7的例示性具体实施例所示。在一例示性具体实施例中,氮化硅经毯覆式沉积后,对沉积的氮化物进行各向异性蚀刻,使得垂直部分相邻于第一与第二栅极40、44作为间隔物52。氮化硅可使用氨和硅烷通过低压化学气相沉积来沉积,而利用氢及三氟化氮的干式电浆蚀刻将会各向异性移除此氮化硅。氮化硅各向异性蚀刻在毯覆式沉积的氮化硅层的水平部分遭受移除时但在移除间隔物52之前终止。

[0027] 接着可将传导率判定杂质植入主动层14及曝露的处理层18。这些传导率判定杂质与第一和第二主动井26、34分别为相同类型,并且光刻可用于隔离一种类型的主动井,而另一种类型则是以传导率判定杂质来布植。这些传导率判定杂质形成第一主动井26内的第一源极54及第一漏极56、以及与第一处理井24电连通的第一处理井植入物58。第一源极54与第一漏极56位在第一栅极40的对立侧,而第一沟道60界定于第一主动井26内介于第一源极54与第一漏极56之间,并且在第一栅极介电质42及第一栅极40下方。如此,第一栅极介电质42将第一栅极40与第一主动井26(包括第一源极54、第一漏极56及第一沟道60)电隔离以形成第一电容器70。第一处理井植入物58可位在处理层18内。依照类似方式,形成第二源极62、第二漏极64及第二处理井植入物66,其中第二源极62及第二漏极64位在第二主动井34内,并且位在第二栅极44的对立侧。第二沟道68界定于第二主动井34内介于第二源极62与第二漏极64之间,并且在第二栅极44及第二栅极介电质46下方。正如第一电容器70,第一栅极介电质46将第二沟道68与第二栅极44电隔离以形成第二电容器72。第二处理井植入物66与第二处理井32电连通。可将上述且于第5图所示的延展区48并入第一与第二源极和漏极54、56、62、64。

[0028] 在上述具体实施例中,第一电容器70包括第一栅极40、第一沟道60以及第一栅极

介电质42、第一源极54及第一漏极56,其中第一源极54和第一漏极56对第一沟道60提供改良型电接触点。在上述具体实施例中,第一栅极40、第一沟道60、第一源极54及第一漏极56全都主要包括N型传导率判定杂质,第一电容器70因而称为N电容器。此外,如以上所述,第二电容器72包括第二栅极44、第二栅极介电质46、第二沟道68、第二源极62及第二漏极64,其中第二源极62和第二漏极64改善第二沟道68的电接触。如以上所述,第二栅极44、第二沟道68、第二源极62及第二漏极64全都主要包括P型传导率判定杂质,第二电容器72因而称为P电容器。用于电容器的符号N或P指出相关联的栅极、沟道、源极和漏极中的主要传导率判定杂质。要领会的是,第一与第二电容器70、72在各项具体实施例中可以是N及/或P电容器的任意组合,下文有更完整的说明。

[0029] 可形成硅化物(图未示)而有助于第一与第二源极、漏极、栅极和处理井植入物40、44、54、56、58、62、64、68上的电接触。在一例示性具体实施例中,薄层金属例如通过溅镀或化学气相沉积来沉积于曝露表面上,而硅化物通过后续退火所形成。在一例示性具体实施例中,镍(Ni)经沉积,然后以约240°C至约320°C的第一温度下退火约10至约40秒,接着以约400°C至约500°C的第二温度退火约20至约40秒。可使用其它金属,并且得以调整已选择金属的退火过程。接着使用湿蚀刻选择性地移除镍盖层,其不与硅除外的材料起反应。举例而言,镍可利用硝酸、醋酸及硫酸的混合物来选择性蚀刻。

[0030] 请参阅图8及9的例示性具体实施例,形成接触部76及电容器互连件78而以并联方式电连接第一与第二电容器70、72。在图8、11及12中,接触部76示意性绘示为垂直线,而电容器互连件78示意性绘示为水平线。接触部76及电容器互连件78可使用典型的后段(BEOL)工艺来形成。第一与第二沟道60、68在对相关联的栅极或相关联的源极与漏极施加电压时经受电子反转及耗尽。如此,第一电容器70具有附第一拐点82的第一电容/电压曲线80,而第二电容器72具有附第二拐点86的第二电容/电压曲线84,如图9所示。在图9中,水平轴(X轴)为电压而垂直轴(Y轴)为电容。第一与第二拐点82、86为第一与第二电容/电压曲线80、84其曲率(即凹度)正负号改变时的点位。如此,第一电容/电压曲线80在第一拐点82具有第一拐点电压90及第一拐点电容92,而第二电容/电压曲线84在第二拐点86具有第二拐点电压94及第二拐点电容96。电容/电压曲线为电容器的固有特征。上述电容/电压曲线的拐点导因于沟道由反转模式切换至耗尽模式,反之亦然。如此,第一与第二电容/电压曲线80、84的所述形状为电容器的固有特征,此电容器包括通过栅极介电质与沟道隔开的栅极,其中此栅极介电质薄到足以使沟道在反转与耗尽模式之间切换。

[0031] 第一与第二电容/电压曲线80、84有部分分别相较于第一与第二拐点82、86处于更高电容。这些具有更高电容的部分代表第一与第二沟道60、68分别处于反转区时的外施电压。第一与第二电容/电压曲线80、84处于比第一与第二拐点82、86更低电容的部分为第一与第二沟道60、68分别处于耗尽区时的电容。第一与第二电容器70、72以并联方式连接,使得此对具有组合电容/电压曲线88,其代表个别第一与第二电容/电压曲线80、84在任何给定外施电压下的总和。

[0032] 第一与第二电容器70、72可使用类似过程来形成,第一与第二电容/电压曲线80、84因而可能类似。然而,在第一电容器70为N电容器且第二电容器72为P电容器(反之亦然)的具体实施例中,第一与第二电容/电压曲线80、84相反,其中一者在一外施电压下处于反转区,而另一者在同一外施电压下处于耗尽区。因此,在大于第一拐点电压90的第一外施

电压100下,第一电容/电压曲线80具有大于第一拐点电容92的第一电容102。换句话说,(第一电容器70的)第一电容102随着第一外施电压100提升到高于第一拐点电压90而增大。依照类似方式,第一电容102随着第一外施电压100下降到低于第一拐点电压90而减小。然而,在大于第二拐点电压94的第二外施电压104下,第二电容/电压曲线84具有低于第二拐点电容96的第二电容106。(第二电容器72的)第二电容106随着第二外施电压104提升到高于第二拐点电压94而减小,与第一电容/电压曲线80相反。第一与第二拐点电压90、94在一些具体实施例中彼此可在约0.5伏特内。

[0033] 在图8所示的具体实施例中,第一与第二栅极40、44以并联方式电连接在一起。另外,第一与第二源极与漏极54、56、62、64以并联方式电连接在一起。第一与第二电容/电压曲线80、84的相反方向导致组合电容/电压曲线88更稳定,因为第一与第二电容器70、72其中(处于耗尽区中的)一者的更低电容加入第一与第二电容器70、72其中(处于反转区的)另一者的更高电容以产生组合电容/电压曲线88。组合电容/电压曲线88在第一及/或第二拐点82、86的电压附近因为第一与第二电容/电压曲线80、84可能不如镜射对立般完美对准而可能有某种程度的增大或减小。

[0034] 第一及/或第二电容/电压曲线80、84可依照各种方式来调整并且调协。在一例示性具体实施例中,第一及/或第二电容/电压曲线80、84通过对第一及/或第二处理井24、32施加背板偏压来调协。一接触部76可与第一处理井24电连通,而另一接触部76可与第二处理井32电连通,用以对第一及/或第二处理井24、32提供背板偏压。背板偏压可推移第一及/或第二拐点82、86的位置,并且在一些实施例中,第一及/或第二拐点82、86约0.2伏特的推移将会产生大约固定的组合电容/电压曲线88,例如:比自约-3伏特至约+3伏特的电压范围变化小约5%的组合电容/电压曲线88,如图10所示。背板偏压可用于推移第一及/或第二拐点82、86,使得第一与第二拐点电压90、94为大约相同的电压,而且这可产生大约固定(变化比自约-3伏特至约+3伏特的电压范围小约5%)的组合电容/电压曲线88。

[0035] 在所述具体实施例中,如图8所示,第一电容器70为N电容器,而第二电容器72为P电容器。如此,第一与第二栅极40、44以并联方式电连接,而第一与第二源极与漏极54、56、62、64以并联方式电连接,如上所述。在一替代具体实施例中,第一与第二电容器70、72皆为P电容器,如图11所示。在图12的又另一具体实施例中,第一与第二电容器70、72皆为N电容器。当第一与第二电容器70、72为相同类型的电容器(N或P)时,第一电容/电压曲线80与第二电容/电压曲线84大约相同。因此,为了在第二沟道68处于耗尽或反转区其中一者时具有处于耗尽或反转区其中另一者的第一沟道60,切换对第一与第二电容器70、72的电连接。第一栅极40、第二源极62及第二漏极64可以并联方式电连接,而第二栅极44、第一源极54及第一漏极56以并联方式电连接。(一个电容器的栅极与另一电容器的源极/漏极)相反的连接类型使第一或第二电容器70、72其中一者的电容/电压曲线相对于另一者反转。如此,获得反转的第一与第二电压/电容曲线80、84,如图9所示。

[0036] 背板偏压可通过调协第一及/或第二拐点82、86的位置来改善电容一致性,但第一与第二电容器70、72在一些具体实施例中可同时为N电容器或P电容器。第一及/或第二拐点82、86可通过修改第一与第二栅极40、44及/或第一与第二沟道60、68的一或多个者中传导率判定杂质的浓度、或通过其它技术来交替地调协。

[0037] 电压范围宽的固定电容容许增加电路设计机会。如上所述的第一与第二电容器

70、72在相邻的传导或半传导层彼此间具有较薄的介电层,因此,第一与第二电容器70、72相对于具有较厚介电层将导板或半导板隔开的电容器具有高电容。这会减少集成电路的电压稳定电容器效应的占位面积。

[0038] 尽管前述实施方式中已介绍至少一项例示性具体实施例,应领会的是,大量变例仍然存在。亦应领会的是,例示性具体实施例仅为实施例,并且用意不在于以任何方式限制本申请案的范畴、适用性或组态。反而,前述详细说明将会为所属技术领域中具有通常知识者提供用于实施一或多项具体实施例的便利蓝图,所了解的是,可在一例示性具体实施例中所述元件的功能及配置方面进行各种变更而不脱离范畴,如随附权利要求书中所提。

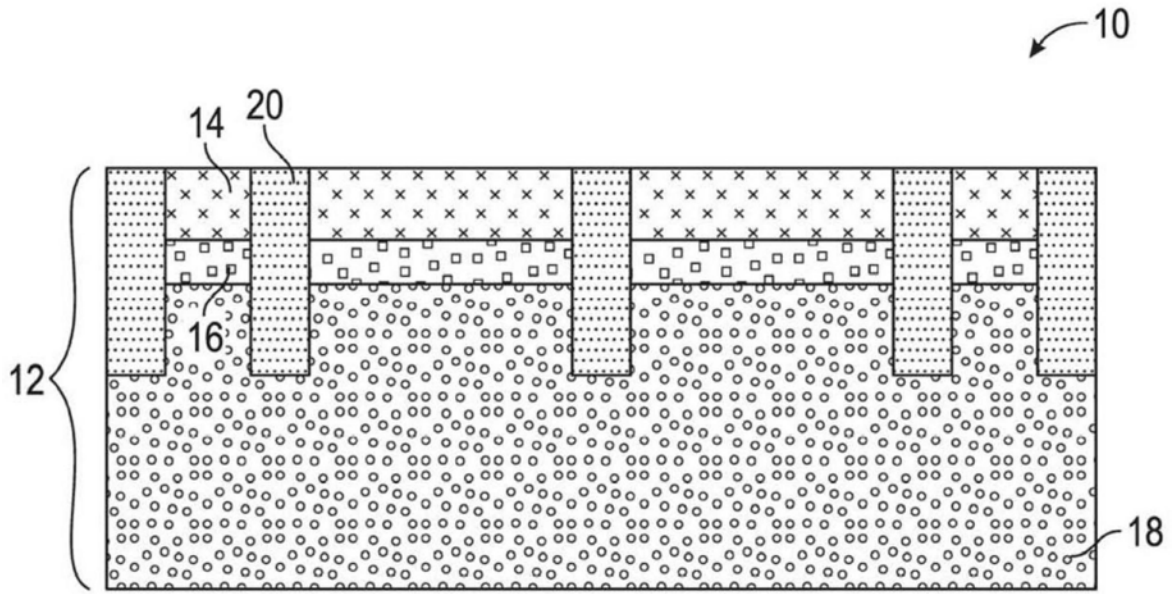


图1

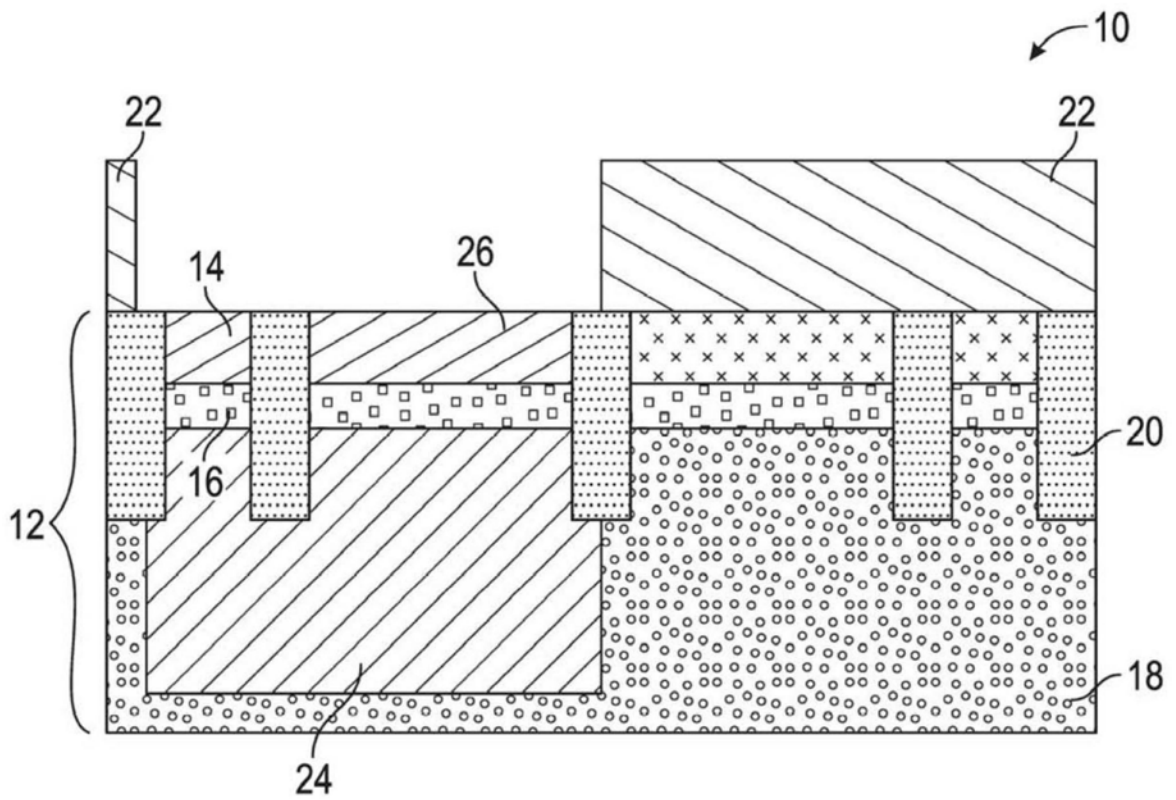


图2

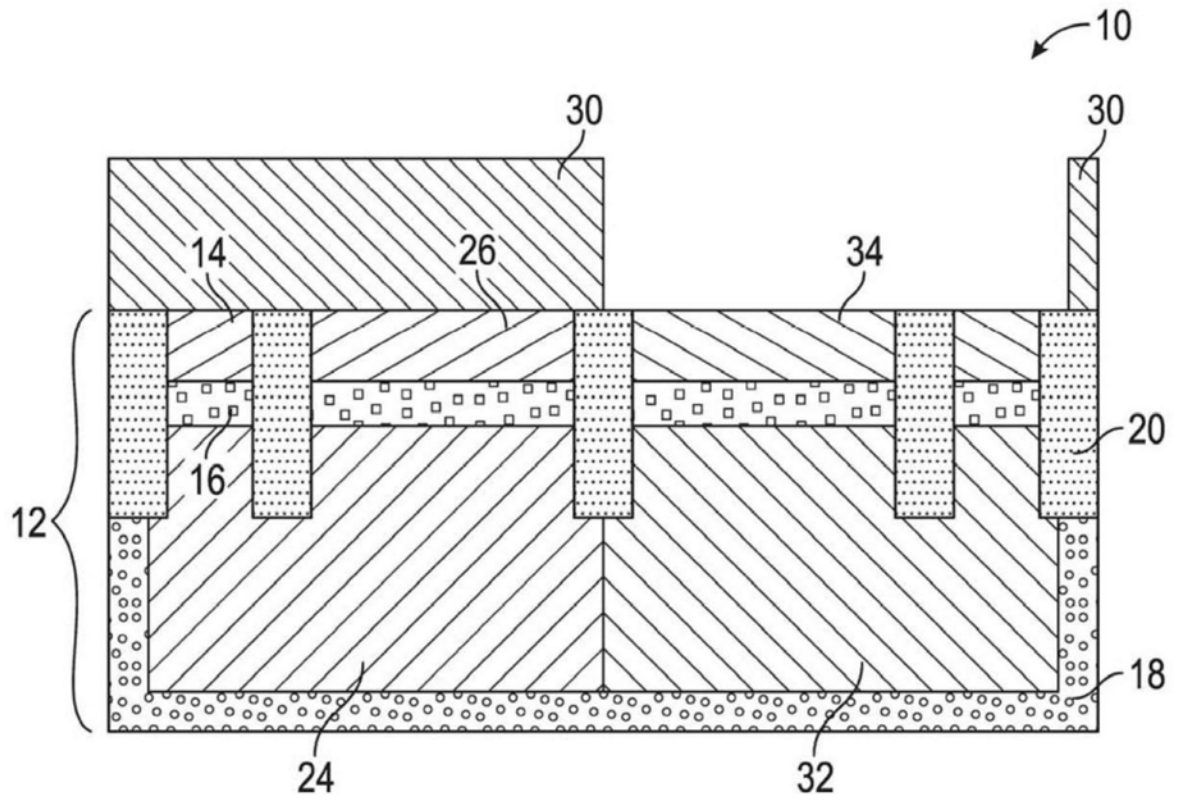


图3

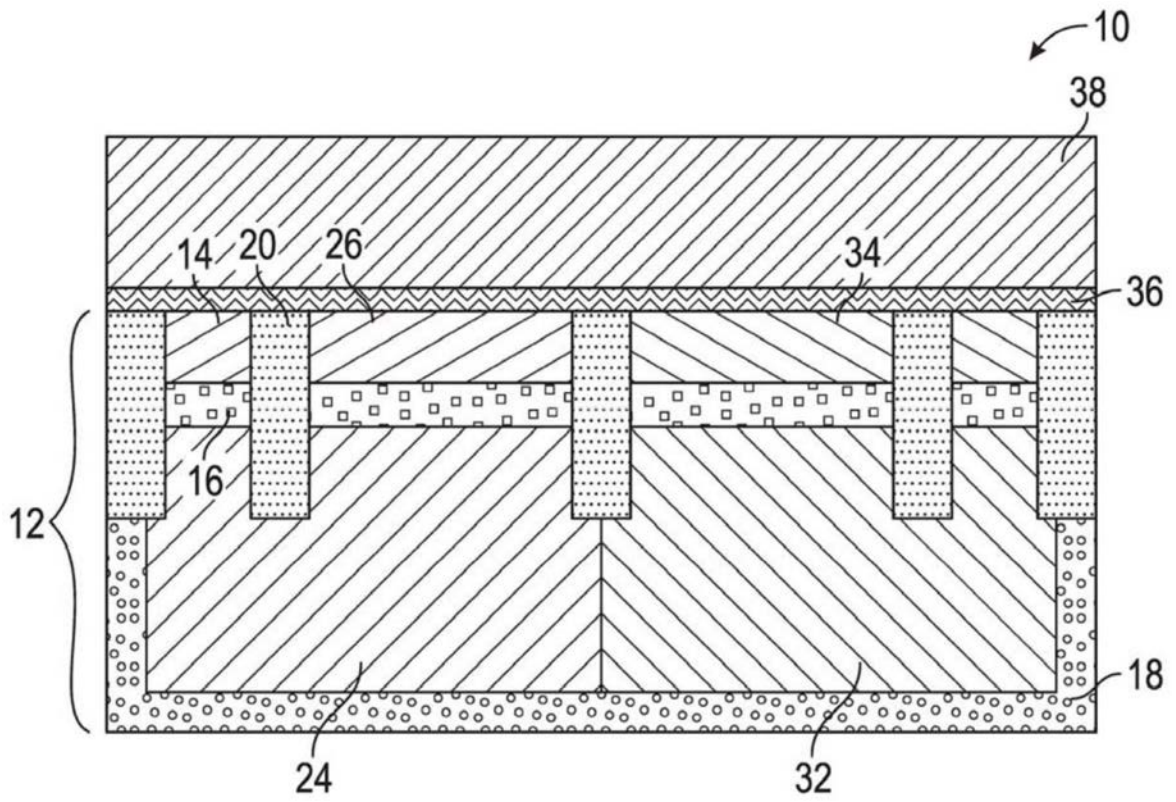


图4

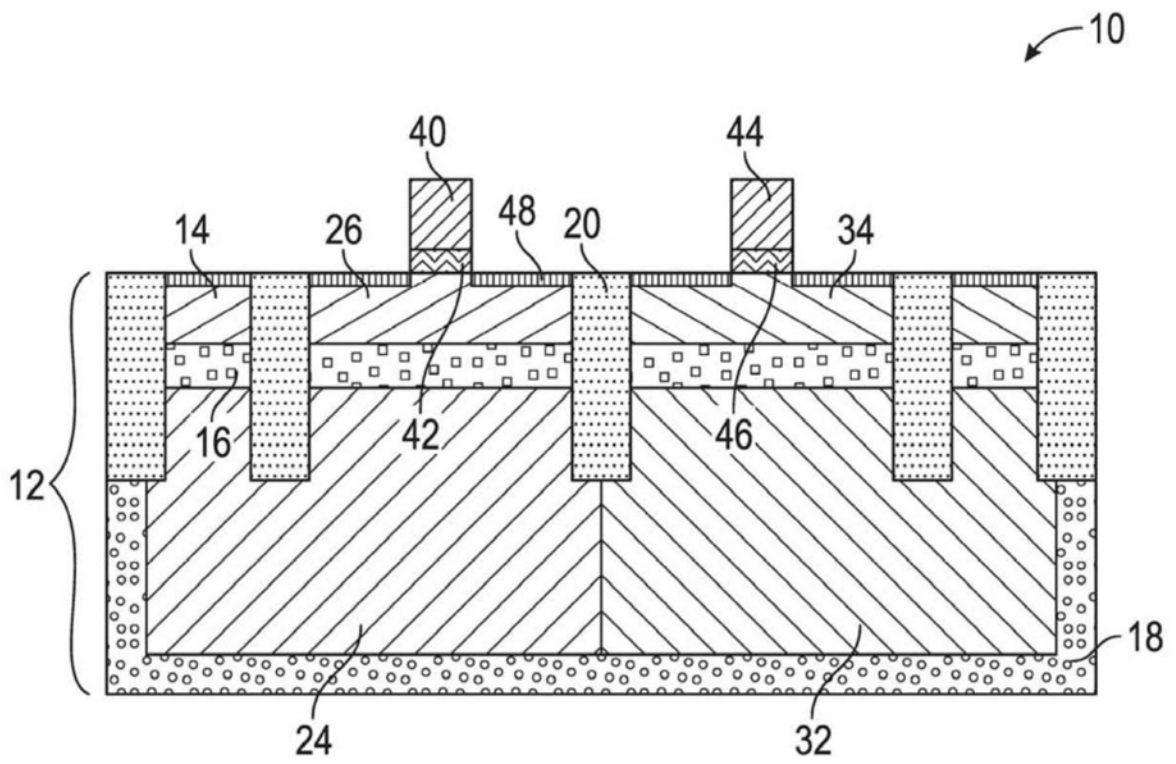


图5

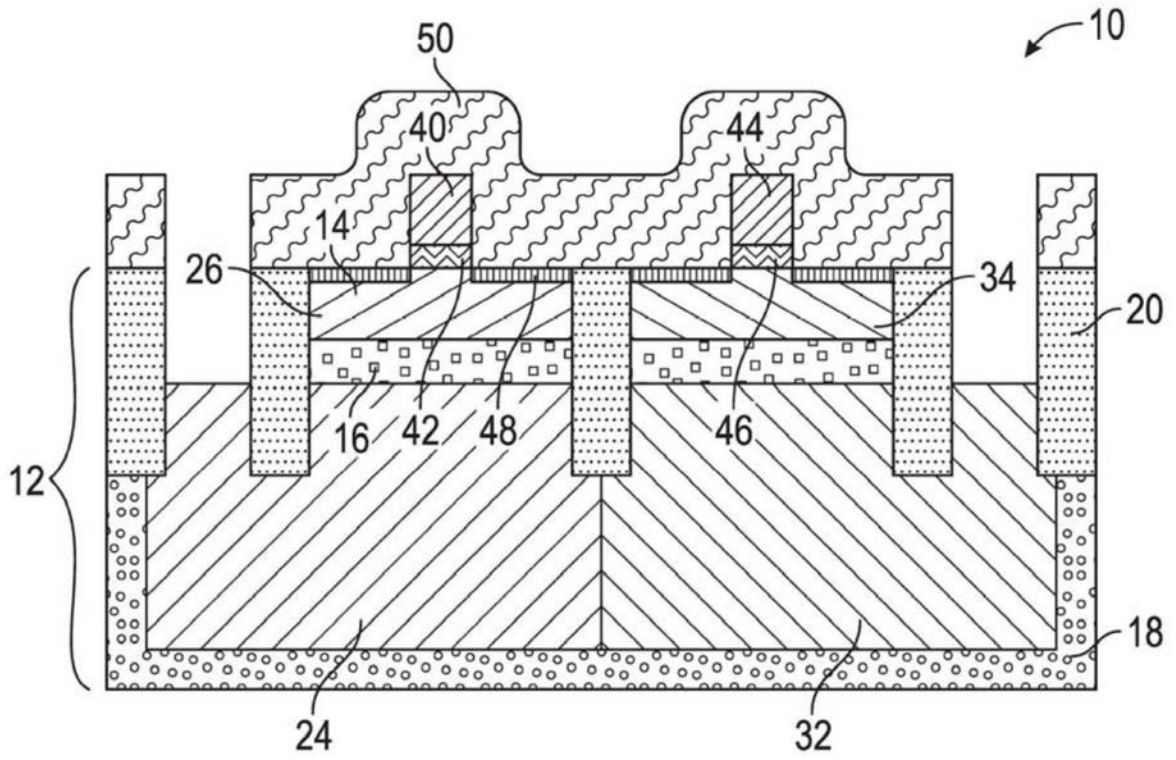


图6

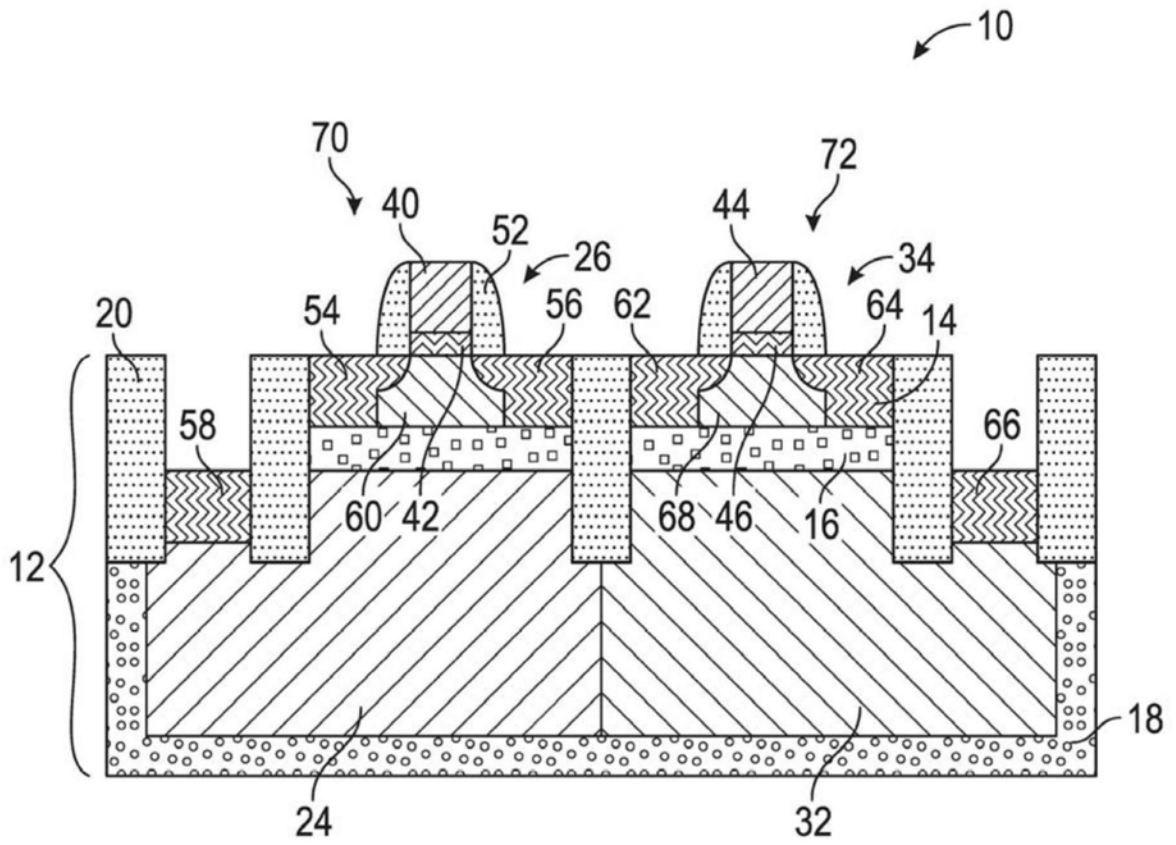


图7

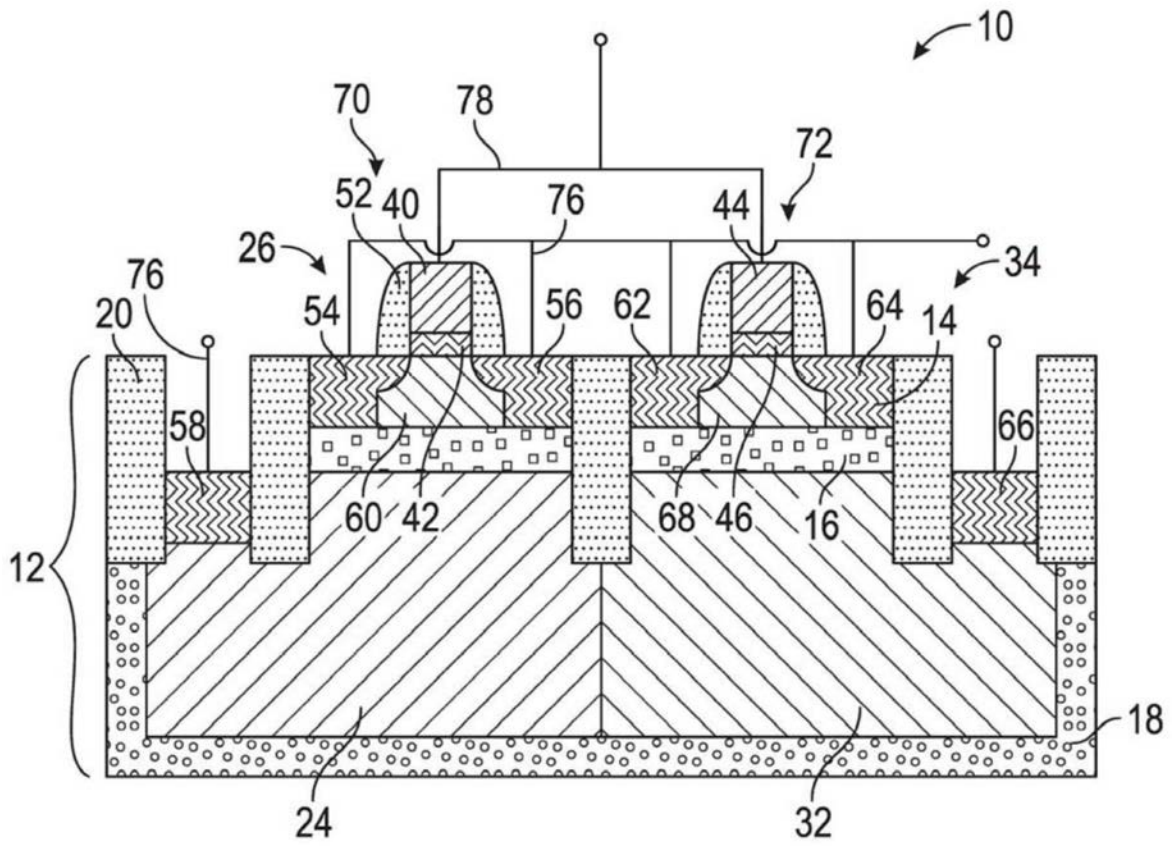


图8

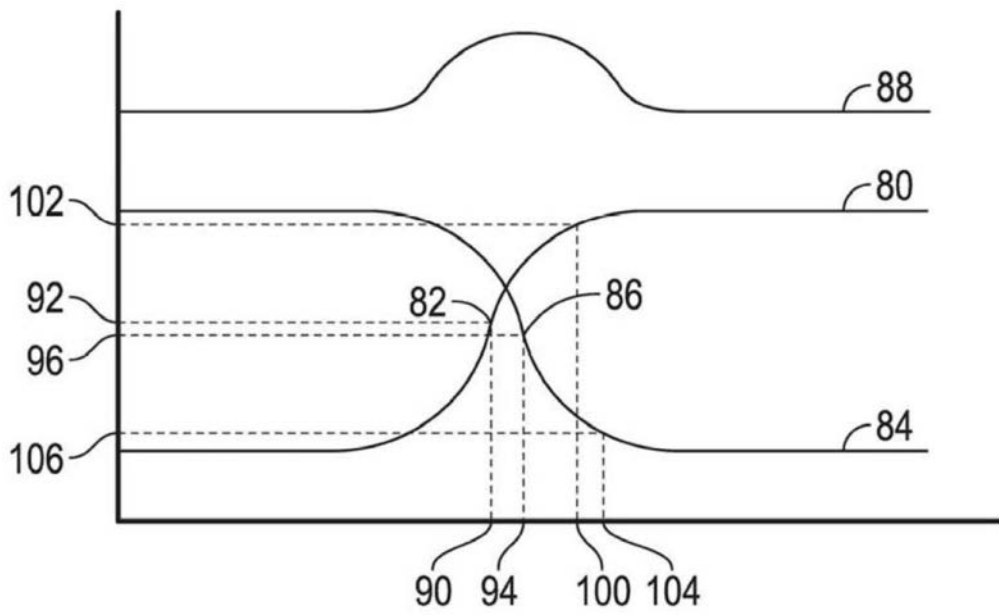


图9

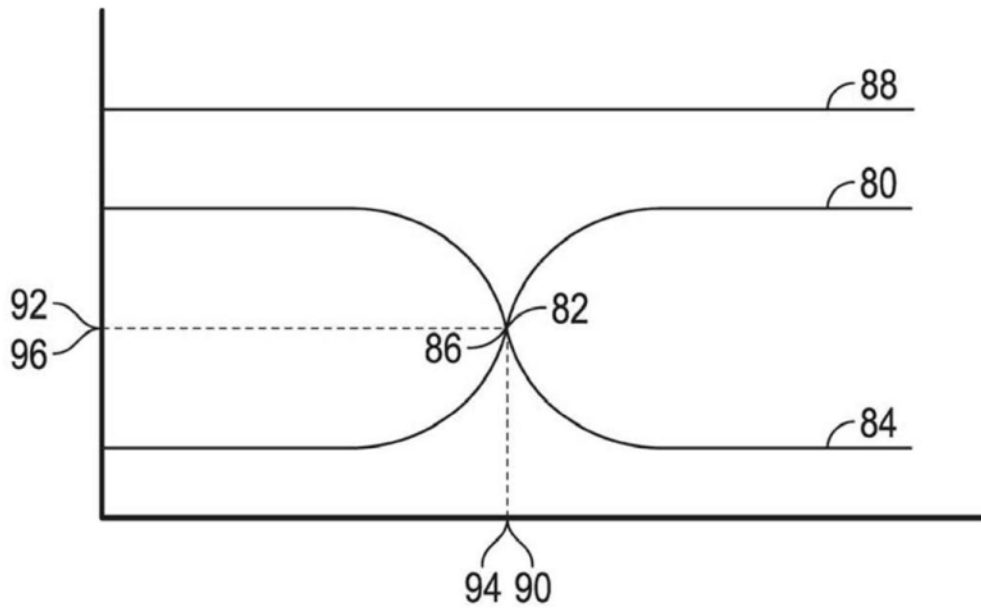


图10

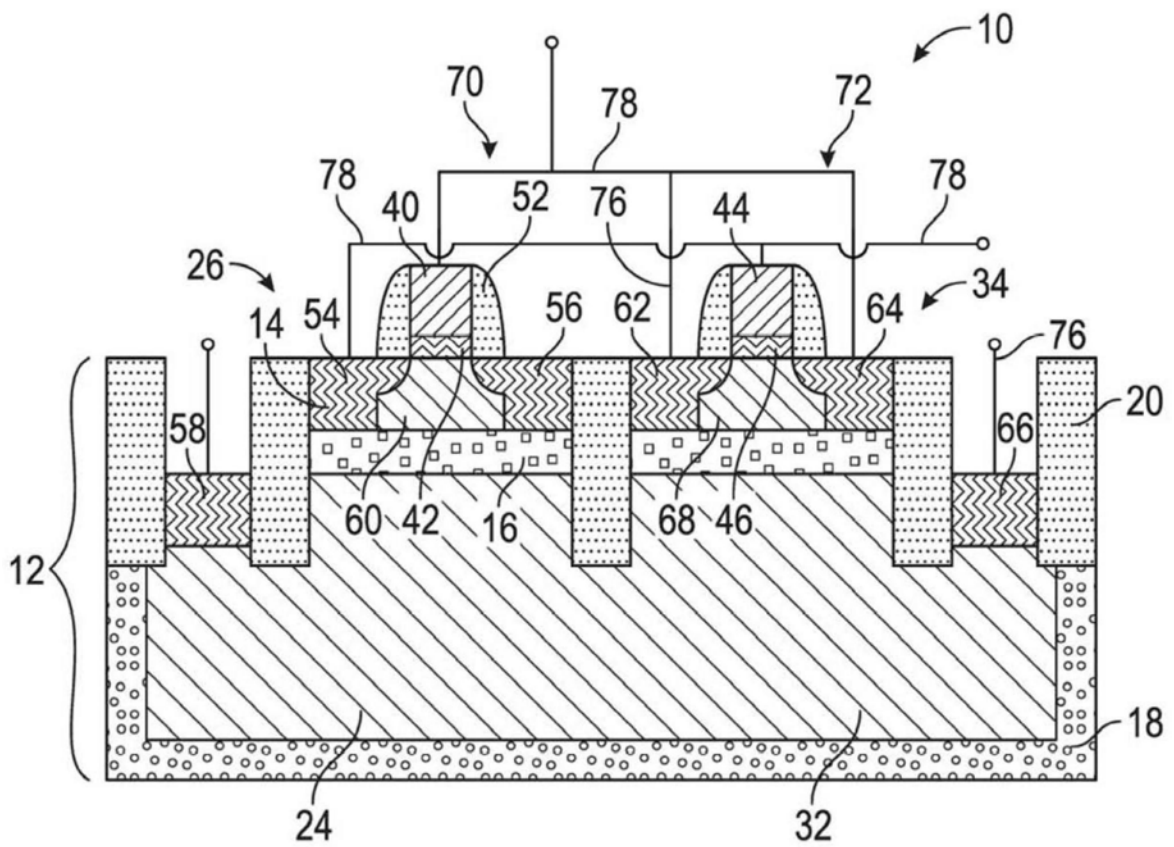


图11

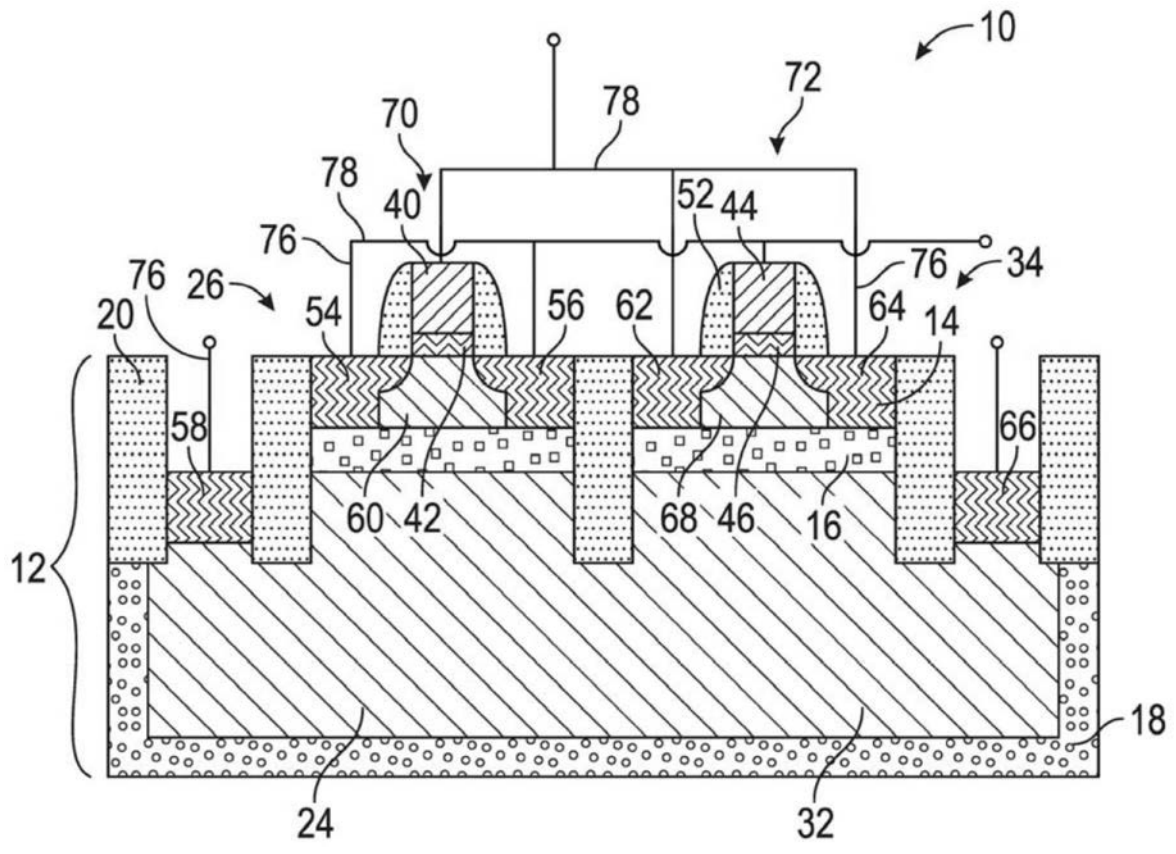


图12