

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/108 (2006.01)

H01L 21/8242 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03147168.4

[45] 授权公告日 2009年2月11日

[11] 授权公告号 CN 100461422C

[22] 申请日 2003.7.8 [21] 申请号 03147168.4

[30] 优先权

[32] 2002.7.8 [33] KR [31] 39386/2002

[73] 专利权人 三星电子株式会社

地址 韩国京畿道水原市

[72] 发明人 李尚炫 裴东一

[56] 参考文献

CN1272687A 2000.11.8

JP10-84091A 1998.3.31

US5899739A 1999.5.4

JP2000-150824A 2000.5.30

审查员 陈冬冰

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

代理人 谢丽娜 谷惠敏

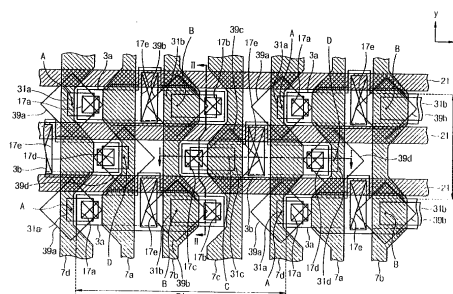
权利要求书 14 页 说明书 22 页 附图 9 页

[54] 发明名称

具有侧向偏移存储节点的动态随机存取存储器单元及其制造方法

[57] 摘要

DRAM 单元包括在集成电路衬底中的公共源区，以及在集成电路衬底中的第一和第二源区，它们中的各自的一个从公共漏区沿着各自的第一和第二相反的方向横向偏移。第一和第二存储节点位于集成电路衬底上，它们中的各自的一个电连接到第一和第二源区中的一个。第一和第二存储节点从各自的第一和第二源区沿着第一方向横向偏移。



1. 一种 DRAM 单元阵列区，包括  
隔离层，位于半导体衬底的预定区域，来定义有源区；  
第一和第二 MOS 晶体管，位于有源区并且彼此串联，第一 MOS 晶体管具有在有源区的一端的第一杂质区以用作第一 MOS 晶体管的源区，并且第二 MOS 晶体管具有在有源区的另一端的第二杂质区以用作第二 MOS 晶体管的源区；并且  
第一存储节点和第二存储节点位于包括第一和第二 MOS 晶体管的衬底上，该第一和第二存储节点分别电连接到第一和第二杂质区，并且第一和第二存储节点的中心轴线穿过分别从第一和第二杂质区的中心点向着单一的方向以预定距离分开的第一位置和第二位置，该单一的方向与有源区的长度方向平行。
2. 根据权利要求 1 所述的 DRAM 单元阵列区，其中，第一和第二 MOS 晶体管包括横跨有源区的一对栅电极，并且其中栅电极延伸到横跨过隔离层。
3. 根据权利要求 2 所述的 DRAM 单元阵列区，其中，有源区上的栅电极的宽度大于隔离层上的栅电极的宽度。
4. 根据权利要求 2 所述的 DRAM 单元阵列区，其中，与栅电极重叠的有源区的宽度大于源区的宽度。
5. 根据权利要求 1 所述的 DRAM 单元阵列区，还包括：第一接触栓塞和第二接触栓塞，分别位于第一和第二杂质区。
6. 根据权利要求 5 所述的 DRAM 单元阵列区，其中，第一和第二接触栓塞的中心轴线分别穿过第一和第二杂质区的中心点。

7. 根据权利要求 5 所述的 DRAM 单元阵列区，还包括：第一存储节点焊盘，插入到第一接触栓塞和第一存储节点之间；以及第二存储节点焊盘，插入到第二接触栓塞和第二存储节点之间。

8. 根据权利要求 7 所述的 DRAM 单元阵列区，其中，第一存储节点焊盘的中心线位于第一接触栓塞的中心轴线和第一存储节点的中心轴线之间；并且第二存储节点焊盘的中心线位于第二接触栓塞的中心轴线和第二存储节点的中心轴线之间。

9. 根据权利要求 1 所述的 DRAM 单元阵列区，其中，预定的距离小于有源区的中心点和第一或者第二杂质区的中心点之间的距离。

10. 根据权利要求 1 所述的 DRAM 单元阵列区，其中，第一存储节点的中心轴线通过靠近第一杂质区并且位于第二 MOS 晶体管的对面的隔离层的部分，并且第二存储节点的中心轴线通过第二 MOS 晶体管的沟道区。

11. 根据权利要求 1 所述的 DRAM 单元阵列区，其中，第一存储节点的中心轴线穿过第一 MOS 晶体管的沟道区，并且第二存储节点的中心轴线穿过靠近第二杂质区并且位于第一 MOS 晶体管对面的隔离层的部分。

12. 根据权利要求 1 所述的 DRAM 单元阵列区，其中，从顶视平面图的角度看，第一和第二存储节点展示为规则的多边形形状或者圆形。

13. 根据权利要求 1 所述的 DRAM 单元阵列区，其中，从透视图的角度看，第一和第二存储节点具有圆柱形状。

14. 根据权利要求 1 所述的 DRAM 单元阵列区，还包括电连接到形成在有源区的中心区域的作为第一和第二 MOS 晶体管的公共漏区的

杂质区的与有源区的长度方向平行放置的位线。

15. 一种 DRAM 单元阵列区，包括：

第一有源区和第二有源区，它们是两维地沿着行和列排列，该有源区是隔离层定义的，第一有源区具有分别沿着平行于行的 X 轴和平行于列的 Y 轴的第一和第二间距，第二有源区位于以便第一有源区分别平行地沿着 X 和 Y 轴平移半个第一间距和半个第二间距的位置上；

第一 MOS 晶体管和第二 MOS 晶体管，在每个第一有源区并且彼此串联连接，第一 MOS 晶体管具有位于第一有源区的一个末端的第一杂质区，以作为第一 MOS 晶体管的源区，并且第二 MOS 晶体管具有位于第一有源区的另一个末端的第二杂质区，以作为第二 MOS 晶体管的源区；

第三 MOS 晶体管和第四 MOS 晶体管，在每个第二有源区并且彼此串联连接，第三 MOS 晶体管具有位于第二有源区的一个末端的第三杂质区，以作为第三 MOS 晶体管的源区，并且第四 MOS 晶体管具有位于第二有源区的另一个末端的第四杂质区，以作为第四 MOS 晶体管的源区；

第一到第四存储节点位于具有第一到第四 MOS 晶体管的衬底上，并且第一和第二存储节点分别电连接到第一和第二杂质区，并且第三和第四存储节点分别电连接到第三和第四杂质区，第一和第二存储节点的中心轴线分别穿过从第一和第二杂质区的中心点以第一和第二预定的距离向着 X 轴的负方向彼此分开的第一和第二位置，并且，第三和第四存储节点的中心轴线分别穿过从第三和第四杂质区的中心点以第三和第四预定的距离向着 X 轴的正方向彼此分开的第三和第四位置。

16. 根据权利要求 15 所述的 DRAM 单元阵列区，其中，第一和第二 MOS 晶体管包括第一和第二横跨过第一有源区的第一和第二平行栅电极，并且第三和第四 MOS 晶体管包括横跨第二有源区的第三和第四平行栅电极。

17. 根据权利要求 16 所述的 DRAM 单元阵列区，其中，与第一和第二有源区重叠的第一到第四栅电极的宽度大于与隔离层上重叠的第一到第四栅电极的宽度。

18. 根据权利要求 16 所述的 DRAM 单元阵列区，其中与栅电极重叠的有源区的宽度大于源区的宽度。

19. 根据权利要求 15 所述的 DRAM 单元阵列区，还包括第一接触栓塞到第四接触栓塞，分别位于第一到第四杂质区。

20. 根据权利要求 19 所述的 DRAM 单元阵列区，其中，第一到第四接触栓塞的中心轴线分别穿过第一到第四杂质区的中心点。

21. 根据权利要求 19 所述的 DRAM 单元阵列区，还包括：第一存储节点焊盘，插入到第一接触栓塞和第一存储节点之间；

第二存储节点焊盘，插入到第二接触栓塞和第二存储节点之间；

第三存储节点焊盘，插入到第三接触栓塞和第三存储节点之间；

并且

第四存储节点焊盘，插入到第四接触栓塞和第四存储节点之间。

22. 根据权利要求 21 所述的 DRAM 单元阵列区，其中，第一存储节点焊盘的各个中心轴线位于各自的第一杂质区的中心轴线和第一存储节点的各自的中心轴线之间，第二存储节点焊盘的各个中心轴线位于各自的第二杂质区的中心轴线和第二存储节点的各自的中心轴线之间，第三存储节点焊盘的各个中心轴线位于各自的第三杂质区的中心轴线和第三存储节点的各自的中心轴线之间，第四存储节点焊盘的各个中心轴线位于各自的第四杂质区的中心轴线和第四存储节点的各自的中心轴线之间。

23. 根据权利要求 15 所述的 DRAM 单元阵列区，其中，第一到第四预定距离小于在每个有源区的中心点和在其中的第一、第二、第三和第四杂质区的一个中心点之间的距离。

24. 根据权利要求 15 所述的 DRAM 单元阵列区，其中，第一存

储节点的中心轴线通过靠近第一杂质区，并且位于与第二 MOS 晶体管相对的位置的隔离层的部分，第二存储节点的中心轴线通过第二 MOS 晶体管的沟道区，第三存储节点的中心轴线穿过第三 MOS 晶体管的沟道区，并且第四存储节点的中心轴线通过靠近第四杂质区，并且位于与第三 MOS 晶体管相对的位置上的隔离层的部分。

25. 根据权利要求 15 所述的 DRAM 单元阵列区，其中，第一到第四存储节点从顶视平面图来看，呈现出规则的多边形状或者圆形形状。

26. 根据权利要求 15 所述的 DRAM 单元阵列区，其中，从透视的角度来看，第一到第四存储节点具有圆柱形状。

27. 根据权利要求 16 所述的 DRAM 单元阵列区，还包括位线，连接到形成在第一和第二栅电极之间的第一有源区的杂质区，以及形成在第三和第四栅电极之间的第二有源区的杂质区，位线横跨栅电极。

28. 一种动态随机存取存储器 DRAM，包括：

在集成电路衬底中的公共漏区；

位于集成电路衬底中的第一和第二源区，它们中的每一个从公共漏区沿着各自的第一和第二相对的方向从公共漏区横向偏移；以及

第一和第二存储节点，位于集成电路衬底上，它们的每一个都电连接到第一和第二源区中的各自的一个，第一和第二存储节点横向从第一和第二源区中的每一个沿着第一方向偏移。

29. 根据权利要求 28 所述的 DRAM，还包括：

第一和第二栅电极，其中的每一个位于在公共漏区和第一和第二源区的各自的一个之间的集成电路衬底中；以及

第三和第四栅电极，它们中的每一个位于靠近第一和第二源区的各自的集成电路衬底中的一个上，并且远离公共漏区，该第三和第四

栅电极比靠近第一和第二源区的第一和第二栅电极窄。

30. 根据权利要求 28 所述的 DRAM, 还包括:

第一和第二接触栓塞, 位于集成电路衬底上, 它们中的各自的一个电连接到各自的第一和第二源区中的一个, 第一和第二接触栓塞与各自的第一和第二源区横向对准。

31. 根据权利要求 30 所述的 DRAM, 还包括:

第一和第二存储节点焊盘, 位于集成电路衬底上, 它们中的每一个位于第一和第二接触栓塞中的各自的一个和第一和第二存储节点中的各自的一个之间, 第一和第二存储节点焊盘横向从各自的第一和第二源区沿着第一方向偏移。

32. 根据权利要求 31 所述的 DRAM, 其中, 第一和第二存储节点横向从各自的第一和第二存储节点焊盘沿着第一方向偏移。

33. 根据权利要求 28 所述的 DRAM, 其中, 第一和第二存储节点横向从各自的第一和第二源区沿着第一方向以小于在第一源区的中心点和公共漏区的中心点之间的距离的距离偏移。

34. 根据权利要求 28 所述的 DRAM, 其中, 第一存储节点的中心点位于第一源区和公共漏区之间。

35. 根据权利要求 28 所述的 DRAM, 其中, 第一和第二存储节点展示了规则的多边形或者圆形。

36. 一种动态随机存取存储器 DRAM, 包括:

多个等间距分开的在集成电路衬底中的第一有源区和第二有源区的交叉行, 第二有源区从第一有源区横向偏移, 以便各个第二有源区等间距地从两个在相邻的行中的最接近的第一有源区分开;

每个第一有源区包括第一和第二源区和在其间的公共的第一漏区，第一和第二源区的各自的一个横向从公共漏区沿着各自的第一和第二相对的方向偏移；

每个第二有源区包括第三和第四源区以及在其间的第二公共漏区，第三和第四源区的各自的一个横向从第二公共漏区沿着各自的第一和第二相对的方向偏移；

在集成电路衬底上的第一和第二存储节点的阵列，各自的第一和第二存储节点中的一个电连接到各自的第一和第二源区中的一个，各自的第一和第二存储节点横向地从各自的第一和第二源区沿着第一方向偏移；

在集成电路衬底的第三和第四存储节点阵列，各自的第三和第四存储节点中的一个电连接到各自的第三和第四源区中的一个，各自的第三和第四存储节点横向地从各自的第三和第四源区沿着第二方向偏移。

37. 根据权利要求 36 中的 DRAM，还包括：

第一和第二栅电极阵列，其中的每一个位于在各个第一公共漏区和各自的第一和第二源区中的一个之间的集成电路衬底和各个第二公共漏区和各自的第三和第四源区中的一个之间的集成电路衬底上；以及

第三和第四栅电极阵列，其中的每一个位于邻近各自的第一和第二源区中的一个，并且远离第一公共漏区的各自的集成电路衬底中的一个上，以及邻近各个第三和第四源区中的一个，并且远离第二公共漏区的各个集成电路衬底中的一个上，各个第一和第四栅电极比邻近各个第一和第二源区中的一个的各个第一和第二栅电极窄。

38. 根据权利要求 36 所述的 DRAM，还包括：

第一和第二接触栓塞阵列，位于集成电路衬底上，它们中的各自的一个电连接到各自的第一和第二源区中的一个，各个第一和第二接触栓塞与各个第一和第二源区横向对准；以及



第三和第四接触栓塞阵列，位于集成电路衬底上，它们中的各自的一个电连接到各自的第三和第四源区中的一个，各个第三和第四接触栓塞与各个第三和第四源区横向对准。

39. 根据权利要求 38 所述的 DRAM，还包括：

第一和第二存储节点焊盘阵列，位于集成电路衬底上，它们中的每一个位于各自的第一和第二接触栓塞中的一个和各自的第一和第二存储节点中的一个之间，各个第一和第二存储节点焊盘横向从各自的第一和第二源区沿着第一方向偏移；以及

第三和第四存储节点焊盘阵列，位于集成电路衬底上，它们中的每一个位于各自的第三和第四接触栓塞中的一个和各自的第三和第四存储节点中的一个之间，各个第三和第四存储节点焊盘横向从各自的第三和第四源区沿着第二方向偏移。

40. 根据权利要求 39 所述的 DRAM，其中，各自的第一和第二存储节点横向从各自的第一和第二存储节点焊盘沿着第一方向偏移，并且其中，各自的第三和第四存储节点横向从各自的第三和第四存储节点焊盘沿着第二方向偏移。

41. 根据权利要求 36 所述的 DRAM，其中，各自的第一和第二存储节点横向从各自的第一和第二源区沿着第一方向，以小于在第一源区的中心点和第一公共漏区的中心点之间的距离的距离偏移，并且其中，各自的第三和第四存储节点横向从各自的第三和第四源区沿着第二方向，以小于在第三源区的中心点和第二公共漏区的中心点之间的距离的距离偏移。

42. 根据权利要求 36 所述的 DRAM，其中，各个第一存储节点的中心点位于各个第一源区和各个第一公共漏区之间，并且，各个第三存储节点的中心点位于各个第四源区和各个第二公共漏区之间。

43. 根据权利要求 36 所述的 DRAM，其中，第一到第四存储节点从平面图的角度看上去是规则的多边形或者圆形。

44. 根据权利要求 43 所述的 DRAM，其中，每个第一到第四存储节点等间距地从其各自的四个最接近的相邻的存储节点分离。

45. 一种动态随机存取存储器 DRAM，包括：

在集成电路衬底上的存储器单元晶体管的阵列，它们中的每一个包括源区；以及

在集成电路衬底上的存储节点阵列，它们从平面图角度看是规则的多边形或者圆形形状，它们中的每一个电连接到源区中的各自的一个并且从其横向偏移。

46. 根据权利要求 45 所述的 DRAM，其中，存储节点在集成电路衬底上等间距分开。

47. 根据权利要求 45 所述的 DRAM，还包括：

接触栓塞阵列，在集成电路衬底上，它们中的各自的一个连接到各自的源区中的一个，该接触栓塞与各自的源区横向对齐。

48. 根据权利要求 47 所述的 DRAM，还包括：

存储节点焊盘阵列，在集成电路衬底上，它们中的各自的一个位于各个接触栓塞中的一个和各个存储节点中的一个之间，该存储节点焊盘从各自的源区横向偏移。

49. 根据权利要求 48 所述的 DRAM，其中各个存储节点从各自的存储节点焊盘横向偏移。

50. 一种制造动态随机存取存储器 DRAM 的方法，包括：

在集成电路衬底上制造公共漏区和第一和第二源区，所述第一源

区和第二源区中的每一个从公共漏区沿着各自的第一和第二相反的方向横向偏移；以及

在集成电路衬底上制造第一和第二存储节点，它们中的每一个电连接到第一和第二源区中的各自的一个，第一和第二存储节点从各自的第一和第二源区沿着第一方向横向偏移。

51. 根据权利要求 50 所述的方法，其中制造公共漏区和第一以及第二源区是通过在集成电路衬底上制造第一到第四栅电极进行的，其中制造公共漏区和第一以及第二源区包括制造在第一和第二栅电极之间的公共漏区、在第三和第一栅电极之间的第一源区，以及在第二栅电极和第四栅电极之间的第二源区，并且其中，第三和第四栅电极窄于与第一和第二源区相邻的第一和第二栅电极。

52. 根据权利要求 50 所述的方法，其中，下面的过程是在制造公共漏区和第一和第二源区以及制造第一和第二存储节点之间进行的：

在集成电路衬底上制造第一和第二接触栓塞，它们中的各自的一个电连接到各自的第一和第二源区中的一个，该第一和第二接触栓塞与各自的第一和第二源区横向对齐。

53. 根据权利要求 52 所述的方法，其中，下面的过程是在制造第一和第二接触栓塞以及制造第一和第二存储节点之间进行的：

在集成电路衬底上制造第一和第二存储节点焊盘，它们中的各自的一个位于各自的第一和第二接触栓塞中的一个以及各自的第一和第二存储节点中的一个之间，该第一和第二存储节点焊盘从各自的第一和第二源区沿着第一方向横向偏移。

54. 根据权利要求 53 所述的方法，其中，第一和第二存储节点从第一和第二存储节点焊盘沿着第一方向横向偏移。

55. 根据权利要求 50 所述的方法，其中，第一和第二存储节点从

各自的第一和第二源区沿着第一方向，以小于在第一源区的中心点和公共漏区的中心点之间的距离的距离横向偏移。

56. 根据权利要求 50 所述的方法，其中，第一存储节点的中心点位于第一源区和公共漏区之间。

57. 根据权利要求 50 所述的方法，其中，第一和第二存储节点展示了规则的多边形状和圆形形状。

58. 一种制造动态随机存取存储器的方法，包括：

在集成电路衬底中制造多个等间距分开的第一和第二有源区的交叉行，第二有源区横向从第一有源区偏移，以便各个第二有源区从在相邻的行中的两个最靠近的第一有源区等间距分开；

制造每个第一有源区中的第一和第二源区和在其间的第一公共漏区，它们中的每一个从公共漏区沿着各自的第一和第二相对的方向横向偏移，以及在每个第二有源区中的第三和第四源区和位于其间的第二公共漏区，它们中的每一个都沿着各自的第一和第二相对方向从公共漏区横向偏移；以及

在集成电路衬底上制造第一和第二存储节点的阵列，第一和第二存储节点中的每一个电连接到第一和第二源区中的各自的一个，各自的第一和第二存储节点沿着第一方向从各自的第一和第二源区横向偏移，以及在集成电路衬底上的第三和第四存储节点的阵列，第三和第四存储节点中的每一个电连接到第三和第四源区中的各自的一个，并且各自的第三和第四存储节点沿着第二方向从各自的第三和第四源区横向偏移。

59. 根据权利要求 58 所述的方法，其中制造第一和第二源区是通过在集成电路衬底上制造第一到第四栅电极来进行的，其中各自的第三和第四栅电极窄于与各自的第一和第二源区相邻的各自的第一和第二栅电极；并且其中，制造第一和第二源区包括制造在第一和第二栅

电极之间的第一公共漏区、在第三栅电极和第一栅电极之间的第一源区，以及在第四栅电极和第二栅电极之间的第二源区。

60. 根据权利要求 58 所述的方法，其中，下面的过程是在制造第一和第二源区以及制造第一和第二存储节点之间进行的：

在集成电路衬底上制造第一和第二接触栓塞阵列，它们中的各自的一个电连接到各自的第一和第二源区中的一个，各自的第一和第二接触栓塞与各自的第一和第二源区横向对齐，以及，在集成电路衬底上的第三和第四接触栓塞阵列，它们中的各自的一个电连接到各自的第三和第四源区中的一个，各自的第三和第四接触栓塞与各自的第三和第四源区横向对齐。

61. 根据权利要求 60 所述的方法，其中，下面的过程是在制造第一和第二接触栓塞阵列以及制造第一和第二存储节点阵列之间进行的：

在集成电路衬底上制造第一和第二存储节点焊盘阵列，它们中的各自的一个位于各自的第一和第二接触栓塞中的一个以及各自的第一和第二存储节点中的一个之间，该第一和第二存储节点焊盘从各自的第一和第二源区沿着第一方向横向偏移；以及，在集成电路衬底上的第三和第四存储节点焊盘阵列，它们中的各自的一个位于各自的第三和第四接触栓塞中的一个以及各自的第三和第四存储节点中的一个之间，该第三和第四存储节点焊盘从各自的第三和第四源区沿着第二方向横向偏移。

62. 根据权利要求 61 所述的方法，其中，各自的第一和第二存储节点从各自的第一和第二存储节点焊盘沿着第一方向横向偏移，并且，各自的第三和第四存储节点从各自的第三和第四存储节点焊盘沿着第二方向横向偏移。

63. 根据权利要求 62 所述的方法，其中，各自的第一和第二存储

节点从各自的第一和第二源区沿着第一方向，以小于在第一源区的中心点和第一公共漏区的中心点之间的距离的距离横向偏移；并且其中，各自的第三和第四存储节点从各自的第三和第四源区沿着第二方向，以小于在第三源区的中心点和第二公共漏区的中心点之间的距离的距离横向偏移。

64. 根据权利要求 58 所述的方法，其中，各自的第一存储节点的中心点位于各自的第一源区和各自的第一公共漏区之间；并且其中，各自的第三存储节点的中心点位于各自的第四源区和各自的第二公共漏区之间。

65. 根据权利要求 58 所述的方法，其中，第一到第四存储节点展示出了规则的多边形状和圆形形状。

66. 根据权利要求 58 所述的方法，其中每个第一到第四存储节点从其各自的四个最接近的相邻的存储节点等间距地分开。

67. 一种制造动态随机存取存储器 DRAM 的方法，包括：

制造在集成电路衬底中存储器单元晶体管阵列，它们中的每一个包括源区；以及

制造在集成电路衬底上的规则的多边形状和圆形形状的存储节点阵列，它们中的各自的一个电连接到各自的源区中的一个并且从其横向偏移。

68. 根据权利要求 67 所述的方法，其中制造存储节点阵列包括制造在集成电路衬底上的等间距分开的存储节点的阵列。

69. 根据权利要求 67 所述的方法，其中，下面的过程是在制造存储器单元晶体管阵列和制造等间距分开的存储节点阵列之间进行的：

制造在集成电路衬底上的接触栓塞阵列，它们中的各自的一个电

---

连接到各自的源区中的一个，各自的接触栓塞与各自的源区横向对齐。

70. 根据权利要求 69 所述的方法，进一步地其中，下面的过程是在制造接触栓塞阵列和制造等间距地分开的存储节点之间进行的：

制造在集成电路衬底上的存储节点焊盘阵列，它们中的各自的一个位于各自的接触栓塞中的一个和各自的存储节点中的一个之间，该各自的存储节点焊盘从各自的源区横向偏移。

71. 根据权利要求 70 所述的方法，其中各自的存储节点从各自的存储节点焊盘横向偏移。

## 具有侧向偏移存储节点的动态随机存取存储器单元及其制造方法

### 相关申请

本申请要求 2002 年 7 月 8 日提交的第 2002-0039386 号韩国专利申请的权利，并在此对其内容进行交叉引用。

### 技术领域

本发明涉及半导体存储器件，并且特别涉及动态随机存取存储器件（DRAM）的存储单元。

### 背景技术

集成电路存储器件已经广泛地用于个人、商业和工业应用。如本领域中的普通技术人员所知的，集成电路存储器件可以分为动态随机存取存储器件（DRAM）和静态随机存取存储器件（SRAM）。DRAM 器件需要更新来保护存储于其中的数据丢失。而另一方面，SRAM 器件不需要更新。如本领域中的普通技术人员所知的，DRAM 存储单元可以包括晶体管，诸如场效应管，经常指金属氧化物半导体（MOS）晶体管，和电容器。

如本领域中的普通技术人员所知的，DRAM 存储器件包括单元阵列区和外围电路区。该单元阵列区具有多个有源区，它们是两个沿着行和列的有一定尺寸的区，和一对横跨各有源区的字线。同样，第一和第二源区形成在各个有源区的各个相对的端，并且共用（共享）的漏区形成在该对字线之间的有源区。因此，在各个有源区的每一个中放置有一对存取晶体管（access transistor）。

此外，第一和第二单元电容器（cell capacitor）分别形成在第一和第二源区之上。该第一和第二单元电容器分别电连接到各自的第一和



第二源区。结果，在每个有源区形成了一对单元。每个单元电容器包括下或者存储节点，电连接到第一或者第二源区、堆叠在存储节点上的介质层、以及堆叠在介质层上的上或者板电极。

在传统的 DRAM 单元中，当从顶视平面图的时候，存储节点具有椭圆形或者矩形。换句话讲，存储节点具有的宽度小于其长度。因此，当存储节点的高度增加，以便增加单元电容器的电容量的时候，存储节点可以向着其宽度方向倾倒。特别地，当具有存储节点的衬底转动以便从衬底上除去清洁溶液或者去离子水的时候，存储节点可以向着其宽度方向倾斜。因此，相邻的存储节点可以彼此电连接，从而产生微小的问题。

具有矩形多边形的存储节点或者圆形存储节点的 DRAM 器件公开在了日本专利公开第 2000-150824 中。这种半导体器件包括多个有源区，它们二维地沿着行和列排列。该有源区包括第一到第四有源区。第一有源区的放置使得第一和第二间距分别沿着 X 轴和 Y 轴。这里，X 轴和 Y 轴分别与行和列平行。第二有源区排列在相对于第一有源区分别沿着 X 轴和 Y 轴平行移动了第一间距的四分之一和第二间距的四分之一的位上，并且第三有源区排列在相对于第一有源区分别沿着 X 轴和 Y 轴平行移动了第一间距的一半和第二间距的一半的位上。同样，第四有源区排列在相对于第一有源区分别沿着 X 轴和 Y 轴平行移动了第一间距的四分之三和第二间距的四分之三的位置上。同样，第一源区形成在有源区的一个末端，并且第二源区形成在有源区的另一个末端。存储节点形成在第一和第二源区之上。

根据日本专利公开第 2000-150824 号，很难在形成存储节点的过程中增加对准边缘 (alignment margin)，由于在位线焊盘和毗邻位线焊盘的存储节点接触孔之间的间隙可以小于最小的设计规则。此外，可以理想地增加 MOS 晶体管的沟道的宽度和沟道长度，以便改善形成在有源区的存取 MOS 晶体管的特性。换句话讲，可能需要增加与有源

区重叠的字线的宽度和重叠字线的有源区的宽度。但是，根据公开的日本专利公开第 2000-150824 的有源区的轮廓，增加与有源区重叠的字线的宽度和重叠字线的有源区的宽度是不容易的。

### 发明内容

根据本发明的一些实施例，DRAM 单元阵列区包括：隔离层，位于半导体衬底的预定区域，来定义有源区。一对存取晶体管（即，第一 MOS 晶体管和第二 MOS 晶体管）位于有源区。第一 MOS 晶体管包括在有源区的一端的第一杂质区，并且第二 MOS 晶体管包括在有源区的另一端的第二杂质区。第一杂质区用作第一 MOS 晶体管的源区，并且第二杂质区用作第二 MOS 晶体管的源区。第一存储节点和第二存储节点位于包括第一和第二 MOS 晶体管的衬底上。该第一存储节点电连接到第一杂质区，并且第二存储节点电连接到第二杂质区。第一和第二存储节点的中心轴线穿过分别从第一和第二杂质区的中心点彼此向着一个方向以预定距离分开的第一位置和第二位置。该单一的方向与有源区的长度方向平行。

在另外的实施例中，第一和第二 MOS 晶体管包括横跨有源区的一对字线（即，一对栅电极）。该栅电极延伸到横跨过隔离层。在其他的实施例中，有源区上的栅电极的宽度大于隔离层上的栅电极的宽度。此外，在另外的实施例中，与栅电极重叠的有源区的宽度大于源区的宽度。

在一些实施例中，第一接触栓塞和第二接触栓塞可以分别位于第一和第二杂质区。第一和第二接触栓塞的中心轴线分别穿过第一和第二杂质区的中心点。在一些实施例中，第一存储节点焊盘插入到第一接触栓塞和第一存储节点之间。同样地，在一些实施例中，第二存储节点焊盘插入到第二接触栓塞和第二存储节点之间。在一些实施例中，第一存储节点焊盘的中心线位于第一接触栓塞的中心轴线和第一存储节点的中心轴线之间。同样，第二存储节点焊盘的中心线位于第

二接触栓塞的中心轴线和第二存储节点的中心轴线之间。

在一些实施例中，预定的距离小于有源区的中心点和第一和第二杂质区的中心点之间的距离。在一些实施例中，第一存储节点的中心轴线通过靠近第一杂质区并且位于第二 MOS 晶体管的对面的隔离层，并且第二存储节点的中心轴线通过第二 MOS 晶体管的沟道区。

在一些实施例中，当从顶视平面图的情况下，第一和第二存储节点具有矩形的多边形形状（即，等边和角）或者圆形。此外，从透视图的角度看，第一和第二存储节点可以具有圆柱形状。

根据本发明的另外的实施例，DRAM 单元阵列区包括多个有源区，它们是二维地沿着行和列排列的。有源区包括第一有源区和第二有源区。该有源区是隔离层定义的。该第一有源区被排列为具有分别沿着 X 轴和 Y 轴的第一和第二间距。X 轴平行于行并且 Y 轴平行于列。同样，第二有源区位于以便第一有源区分别平行地沿着 X 和 Y 轴平移半个第一间距和半个第二间距的位置上。

第一 MOS 晶体管和第二 MOS 晶体管每个都位于第一有源区。该第一和第二 MOS 晶体管的放置使得第一和第二 MOS 晶体管彼此串联。同样，第三 MOS 晶体管和第四 MOS 晶体管每个都位于第二有源区。第三和第四 MOS 晶体管也彼此串联。第一存储节点到第四存储节点位于具有第一到第四 MOS 晶体管的衬底上。该第一和第二 MOS 晶体管包括第一杂质区和第二杂质区，它们位于第一有源区的相对的末端，以便分别用于第一和第二 MOS 晶体管的源区。同样地，该第三和第四 MOS 晶体管包括第三杂质区和第四杂质区，它们位于第二有源区的相对的末端，以便分别用于第三和第四 MOS 晶体管的源区。第一到第四存储节点分别电连接到第一到第四杂质区。第一和第二存储节点的中心轴线分别穿过从第一和第二杂质区的中心点以预定的距离向着 X 轴的负方向彼此分开的第一和第二位置。相反，第三和第四

存储节点的中心轴线分别穿过从第三和第四杂质区的中心点以预定的距离向着 X 轴的正方向彼此分开的第三和第四位置。

在一些实施例中，第一和第二 MOS 晶体管包括第一和第二横跨过第一有源区的第一和第二平行栅电极，并且第三和第四 MOS 晶体管包括横跨第二有源区的第三和第四平行栅电极。在一些实施例中，在第一和第二有源区上的栅电极的宽度大于隔离层上的栅电极的宽度。此外，在另外的实施例中，与栅电极重叠的有源区的宽度大于源区的宽度。

在一些实施例中，第一接触栓塞到第四接触栓塞可以分别位于第一到第四杂质区。第一到第四接触栓塞的中心轴线分别穿过第一到第四杂质区的中心点。此外，在一些实施例中，第一存储节点焊盘可以插入到第一接触栓塞和第一存储节点之间，并且第二存储节点焊盘可以插入到第二接触栓塞和第二存储节点之间。同样地，在另外的实施例中，第三存储节点焊盘可以插入到第三接触栓塞和第三存储节点之间，并且第四存储节点焊盘可以插入到第四接触栓塞和第四存储节点之间。

在一些实施例中，第一存储节点焊盘的中心轴线穿过在第一杂质区的中心轴线和电连接到第一杂质区的第一存储节点之间的区。并且第二存储节点焊盘的中心轴线穿过在第二杂质区的中心轴线和电连接到第二杂质区的第二存储节点之间的区。同样，第三存储节点焊盘的中心轴线穿过在第三杂质区的中心轴线和电连接到第三杂质区的第三存储节点之间的区，并且第四存储节点焊盘的中心轴线穿过在第四杂质区的中心轴线和电连接到第四杂质区的第四存储节点之间的区。

在一些实施例中，预定的距离小于在有源区的中心点和在有源区中的第一、第二、第三和第四杂质区（源区）的中心点之间的距离。在其他实施例中，第一存储节点的中心轴线通过靠近第一杂质区的隔

离层，并且位于与第二 MOS 晶体管相对的位置，并且第二存储节点的中心轴线通过第二 MOS 晶体管的沟道区。同样，在其他的实施例中，第三存储节点的中心轴线穿过第三 MOS 晶体管的沟道区，并且第四存储节点的中心轴线通过靠近第四杂质区，并且位于与第三 MOS 晶体管相对的位置上的隔离层。

在本发明的一些实施例中，第一间距等于第二间距的两倍。在其他的实施例中，第一到第四存储节点从顶视平面图来看，呈现出规则的多边形状或者圆形。同样，从透视的角度来看，第一到第四存储节点可以具有圆柱形状。

根据本发明的其他实施例的 DRAM 单元包括在集成电路衬底中的公共漏区，以及位于集成电路衬底中的第一和第二源区，它们中的每一个从公共漏区沿着各自的第一和第二相对的方向从公共漏区横向偏移。第一和第二存储节点位于集成电路衬底上，它们的每一个都电连接到第一和第二源区中的各自的一个。第一和第二存储节点横向从第一和第二源区中的每一个沿着第一方向偏移。

在其他的实施例中，也具有第一和第二栅电极，其中的每一个位于在公共漏区和第一和第二源区的各自的一个之间的集成电路衬底中。也具有第三和第四栅电极，它们中的每一个位于靠近第一和第二源区的每一个的集成电路衬底上，并且远离公共漏区。第三和第四栅电极比靠近第一和第二源区的第一和第二栅电极窄。

在其他的实施例中，第一和第二接触栓塞位于集成电路衬底上，它们中的每一个电连接到各自的第一和第二源区中的一个。第一和第二接触栓塞与各自的第一和第二源区横向对准。

在其他的实施例中，第一和第二存储节点焊盘也位于集成电路衬底上，它们中的每一个位于第一和第二接触栓塞中的各自的一个和第

一和第二存储节点中的各自的一个。第一和第二存储节点焊盘横向从各自的第一和第二源区沿着第一方向偏移。在一些实施例中，第一和第二存储节点也横向从各自的第一和第二存储节点焊盘沿着第一方向偏移。

在其他的实施例中，第一和第二存储节点横向从各自的第一和第二源区沿着第一方向以小于在第一源区的中心点和公共漏区的中心部分之间的距离的距离偏移。在一些实施例中，第一存储节点的中心点位于第一源区和公共漏区之间，并且在一些实施例中，第一和第二存储节点从平面图看去上规则的多边形或者圆形。

在本发明的一些实施例中，DRAM 包括多个等间距分开的在集成电路衬底中的第一和第二源区的行。第二源区横向从第一源区偏移，以便各个第二源区等间距地从两个最接近的在靠近的行的第一有源区分开。每个第一有源区包括第一和第二源区和在其间的公共的第一漏区。第一和第二源区的各自的一个横向从公共漏区沿着各自的第一和第二相对的方向偏移。第二有源区的每一个都包括第三和第四源区以及在其间的第二公共漏区。第三和第四源区的各自的一个横向从第二公共漏区沿着各自的第一和第二相对的方向偏移。

在集成电路衬底上也具有第一和第二存储节点的阵列，它们中的每一个电连接到各自的第一和第二源区中的一个。各自的第一和第二存储节点横向地从各自的第一和第二源区沿着第一方向偏移。在集成电路衬底上也具有第三和第四存储节点阵列，它们中的每一个电连接到各自的第三和第四源区中的一个。各自的第三和第四存储节点横向地从各自的第三和第四源区沿着第二方向偏移。窄的和宽的栅电极、接触栓塞、存储焊盘和/或存储节点可以如上所述地与本发明的实施例结合地放置。

根据本发明的DRAM的其他的实施例包括在集成电路衬底上的存

存储器单元晶体管的阵列，它们中的每一个包括源区。在集成电路衬底上具有的存储节点阵列从平面图角度看是规则的多边形或者圆形，它们中的每一个电连接到源区中的各自的一个并且从其横向偏移。也可以具有接触栓塞、存储节点焊盘和/或上述的实施例的其他的方面。

根据本发明的实施例，DRAM 单元阵列区的制造方法包括：在半导体衬底的预定的区上形成隔离层以定义多个有源区。有源区包括第一有源区和第二有源区，它们是两个沿着行和列的两维阵列。第一有源区被定义为分别沿着 X 和 Y 轴的第一和第二间距，并且第二有源区被定义的位置使得第一有源区分别沿着 X 和 Y 轴以半个第一间距和半个第二间距平行偏移。该 X 和 Y 轴分别与行和列平行。

在每个第一有源区形成第一 MOS 晶体管和第二 MOS 晶体管，并且第三 MOS 晶体管和第四 MOS 晶体管同时形成在每个第二有源区中。形成第一和第二 MOS 晶体管以便第一和第二 MOS 晶体管彼此串联。同时，第三和第四 MOS 晶体管的形成使得第三和第四 MOS 晶体管彼此串联。第一和第二杂质区分别形成在第一有源区的相对的末端。第一杂质区作为第一 MOS 晶体管的源区，并且第二杂质区作为第二 MOS 晶体管的源区。同样地，第三和第四杂质区分别形成在第二有源区的相对的末端。第三杂质区作为第三 MOS 晶体管的源区，并且第四杂质区作为第四 MOS 晶体管的源区。

第一存储节点到第四存储节点形成在具有第一到第四 MOS 晶体管的衬底上。第一到第四存储节点分别地电连接到第一到第四杂质区。第一和第二存储节点的中心轴线分别通过从第一和第二杂质区以预定的距离向着 X 轴的负方向分开的第一位置和第二位置。相反，第三和第四存储节点的中心轴线分别通过从第三和第四杂质区以预定的距离向着 X 轴的正方向分开的第三位置和第四位置。

DRAM 可以根据本发明的另外的实施例，通过在集成电路衬底、

公共漏区和第一以及第二源区中来制造。它们中的每一个从公共漏区沿着各自的第一和第二相对的方向横向偏移。第一和第二存储节点是在集成电路衬底上制造的，它们中的每一个电连接到第一和第二源区中的各自的一个。该第一和第二存储节点沿着第一方向从各自的第一和第二源区横向偏移。

在其他的实施例中，在制造源和漏区之前，第一到第四栅电极在集成电路衬底上制造。源和漏区随后通过制造在第一和第二栅电极之间的公共漏区、在第三和第一栅电极之间的第一源区、以及在第二栅电极和第四栅电极之间的第二源区来制造。第三和第四栅电极比靠近第一和第二栅电极的第三和第四栅电极窄。

在其他的实施例中，在制造第一和第二存储节点之前，在集成电路衬底上制造第一和第二接触栓塞，它们中的每一个电连接到各自的第一和第二源区中的一个。该第一和第二接触栓塞与每个第一和第二源区横向对准。在其他的实施例中，在制造接触栓塞之后，但是在制造存储节点之前，在集成电路衬底上制造第一和第二存储节点，它们中的每一个位于第一和第二接触栓塞中的各自的一个和第一和第二存储节点中的各自的一个之间。该第一和第二存储节点焊盘沿着第一方向从各自的第一和第二源区横向偏移。

在本发明的一个实施例中，在集成电路衬底中制造了多个等间距分开的第二有源区的交叉行。第二有源区横向从第一有源区偏移，以便各个第二有源区从在相邻的行中的两个最靠近的第一有源区等间距分开。第一和第二源区是在每个第一有源区中制造的，并且第一公共漏区是在其间制造的。各个第一和第二源区是从公共漏区沿着各自的第一和第二相对的方向横向偏移的。第三和第四源区也在每个第二有源区中制造，第二公共漏区位于其间，它们中的每一个都沿着各自的第一和第二相对方向从公共漏区横向偏移。



在集成电路衬底上制造了第一和第二存储节点的阵列，它们中的每一个电连接到第一和第二源区中的各自的一个，并且沿着第一方向从各自的第一和第二源区横向偏移。同时，在集成电路衬底上制造了第三和第四存储节点的阵列，它们中的每一个电连接到第三和第四源区中的各自的一个，并且沿着第二方向从各自的第三和第四源区横向偏移。如上所述，栅电极、接触栓塞和/或存储节点焊盘也能够制造。

最后，其他的制造 DRAM 的根据本发明的实施例的方法包括：在集成电路衬底中制造存储器单元晶体管阵列，它们中的每一个包括源区。在集成电路衬底上制造存储节点阵列，它们从平面视图的角度看是规则的多边形的或者圆形的，每一个电连接到源区的各自的一个并且从其横向偏移。接触栓塞和/或存储节点焊盘可以如上所述制造。

#### 附图说明

图 1 示出了根据本发明的实施例的 DRAM 单元阵列区的部分的顶视图；

图 2A 到 5A 示出了沿着图 1 的 I-I 线的截面图，示出了根据本发明的实施例制造 DRAM 的方法；并且

图 2B 到 5B 示出了沿着图 1 的 II-II 线的截面图，示出了根据本发明的实施例制造 DRAM 的方法。

#### 具体实施方式

现在将参照附图更加详细地说明本发明，其中示出了本发明的优选实施例。但是，本发明可以用许多其他的不同形式的实施例来实现并且不应该局限于这里引述的实施例。并且，在此引用的实施例是为了能够使公开充分并且完整，并且将充分地对本领域的普通技术人员传达本发明的范围。在图中，层和区的尺寸和相对尺寸被夸大了，以更加清晰。此外，这里描写和说明的每个实施例也包括了它的补充传递型的实施例。相同的参考编号用于了相同的元件。

可以理解，当诸如层、区或者衬底的部分优选地指在另外的部分“上”的时候，可以是直接直接其他的部分之上或者也可以表现为插入到部分之中。可以理解，如果诸如导线的表面的部分中的一部分被称为“外”，则它比其他的部分更加地靠近集成电路的外侧。此外，相关的术语，例如“之下”在这里可以是表示在图中的一层或者区与另一层或者区相对于衬底或者基层之间的关系。可以理解，这些术语是为了试图包括除了图中示出的方位之外的器件的不同的方位。最后，术语“直接”意味着没有中间部分。

可以理解，尽管这里的说明使用了第一、第二、第三等的术语来说明各种的区、层和/或部分，但是，这些区、层和/或部分不应该局限于这些术语。这些术语只是为了使一个区、层或者部分区别于另外的区、层或者部分。因此，下面讨论的第一区、层或者部分可能被表述为第二区、层或者部分，并且类似地，在不脱离本发明的理念的情况下，第二区、层或者部分也可能被表述为第一区、层或者部分。

可以理解，如在这里所使用的，术语“行”和“列”是指可能是彼此正交的两个不平行的方向。但是，术语行和列不是指特定的水平或者垂直方向。

下面将说明根据本发明的实施例的 DRAM 单元。图 1 示出了根据本发明的实施例的 DRAM 单元的顶视平面图，并且图 5A 到 5B 分别示出了沿着图 1 的 I-I 线、II-II 线的截面图。

参考图 1、5A 和 5B，隔离层 3 位于集成电路衬底的预定的区，以便半导体衬底 1 定义多个有源区。有源区包括第一有源区 3a 和第二有源区 3b。第一有源区 3a 是沿着行（X 轴）和列（Y 轴）的两维排列。X 和 Y 轴是指不同的方向，但是不需要正交。该第一有源区 3a 的排列具有分别沿着 X 和 Y 轴的第一间距 P1 和第二间距 P2。第二有源区 3b 的位置使得第一有源区 3a 沿着 X 和 Y 轴以半个第一间距 P1 和半个第

二间距 P2 分别平行偏移。

第一栅电极 7a 和第二栅电极 7b 的放置跨过每个第一有源区 3a。此外，第三栅电极 7c 和第四栅电极 7d 的位置放置在跨过第二有源区 3b 的位置上。栅电极 7a、7b、7c 和 7d 沿着 Y 轴延伸以用作字线。在一些实施例中，铺盖绝缘层图形 9 叠层在栅电极 7a、7b、7c 和 7d 上。第一栅电极 7a 和其上的覆盖绝缘层图形 9 组成了第一栅图形 10a，第二栅电极 7b 和其上的覆盖绝缘层图形 9 组成了第二栅图形 10b，同样地，第三栅电极 7c 和其上的覆盖绝缘层图形 9 组成了第三栅图形 10c，第四栅电极 7d 和其上的覆盖绝缘层图形 9 组成了第一栅图形 10d。栅绝缘层 5 插入到有源区和栅电极之间。

第一杂质区（未示出）形成在了靠近第一栅电极 7a 并且位于第二栅电极 7b 对面的第一有源区 3a，并且第二杂质区 11b 形成在了靠近第二栅电极 7b 并且位于第一栅电极 7a 对面的第一有源区 3a。换句话说，第一和第二杂质区分别形成在了每个第一有源区 3a 的相对的末端。第一杂质区用于第一源区，而第二杂质区 11b 作为第二源区。

此外，第三杂质区 11c 形成在了靠近第三栅电极 7c 并且位于第四栅电极 7d 对面的第二有源区 3b，并且第四杂质区 11d 形成在了靠近第四栅电极 7d 并且位于第三栅电极 7c 对面的第二有源区 3b。换句话说，第三和第四杂质区 11c 和 11d 分别形成在了每个第二有源区 3b 的相对的末端。第三杂质区 11c 用于第三源区，而第四杂质区 11d 作为第四源区。此外，第五杂质区 11e 形成在了位于第一和第二栅电极 7a 和 7b 之间的第一有源区 3a 上，以及位于第三和第四栅电极 7c 和 7d 之间的第二有源区 3b。第五杂质区 11e 对应于公共漏区。结果第一 MOS 晶体管和第二 MOS 晶体管形成在每个第一有源区 3a，并且，第三 MOS 晶体管和第四 MOS 晶体管形成在每个第二有源区 3b。

因此，图 1、图 5A 和 5B 示出了包括在集成电路衬底 1 中的公共

漏区 11e 和在集成电路衬底中的第一 11c 和第二 11d 源区的 DRAM，它们中的每一个沿着各自的第一和第二相对的方向（在图 1 和 5A 中分别的左和右）从公共漏区横向偏移。图 1、5A 和 5B 也示出了根据本发明的实施例的包括多个在集成电路衬底 1 中的第一和第二有源区 3a、3b 的等间距分开的交叉的行的 DRAM，第二有源区 3b 从第一有源区横向偏移，以便各个第二有源区 3b 等间距地与在毗邻的行中的两个最接近的第一有源区 3a 分离。每个第一有源区 3a 包括第一和第二源区以及其间的第二公共漏区，它们中的每一个从公共漏区沿着各自的第一和第二相对的方向横向偏移。此外，每个第二有源区包括第三和第四源区以及其间的第二公共漏区，它们中的每一个从公共漏区沿着各自的第一和第二相对的方向横向偏移。

继续图 1、5A 和 5B 的说明，在一些实施例中，在有源区 3a 和 3b 上的栅电极 7a、7b、7c 和 7d 的宽度大于在隔离层 3 上的栅电极 7a、7b、7c 和 7d 的宽度。如图 1 和 5A 所示。这可以抑制单元晶体管的可能是由于短沟道效应的泄漏电流，通过增加或者最大化第一到第四 MOS 晶体管的沟道长度。这也可以改善 DRAM 器件的更新特性。

此外，在其他的实施例中，与栅电极 7a、7b、7c 和 7d 重叠的第一和第二有源区 3a 和 3b 的宽度比第一到第四杂质区（源区）的宽度要大。这可以通过增加或者最大化第一到第四 MOS 晶体管的沟道宽度来加强第一到第四 MOS 晶体管（单元晶体管）的电流驱动性能。具体地，当隔离层 3 是通过使用沟槽隔离技术形成的情况下，诸如第一到第四 MOS 晶体管的小晶体管可以具有由于翻转窄宽度效应（*inversing narrow width effect*）的低阈值电压。因此，可能很难降低 MOS 晶体管的关断电压。因此，第一到第四 MOS 晶体管的沟道宽度的增加可以导致更新循环时间和感应余量（*sensing margin*）的增加。

因此，图 1、5A 和 5B 也示出了第一 10c 和第二 11 d 栅电极，它们中的每一个位于在公共漏区 11e 和各自的第一 11c 和第二 11d 源区之

间的集成电路衬底 1 上, 并且第三和第四栅电极 10b 和 10a 中的每一个位于靠近各自的第一和第二源区 11c 和 11d 中的一个的集成电路衬底上, 并且远离公共漏区 11e, 第三和第四栅电极 10b 和 10a 窄于靠近第一和第二源区 11c 和 11d 的第二栅电极 11d。

第一到第四栅图形 10a、10b、10c 和 10d 的侧壁可以用绝缘间隔层 13 覆盖。该具有间隔层 13 的衬底用第一层绝缘层 5 覆盖。第一到第四杂质区分别通过穿过第一层绝缘层 5 的预定区的第一到第四接触孔 17a、17b、17c 和 17d 露出。此外, 第五杂质区 11e 可以通过第五接触孔 17e 露出。在一些实施例中, 第一到第四接触孔 17a、17b、17c 和 17d 的中心线穿过第一到第四杂质区的各自的中心点。第一到第五接触孔 17a、17b、17c、17d 和 17e 分别用第一接触栓塞 (未示出)、第二接触栓塞 19b、第三接触栓塞 19c、第四接触栓塞 19d 和第五接触栓塞 19e 填充。有源区可以具有从它们的中心部分 (即, 公共漏区) 向着 Y 轴的正方向延伸的突起, 如图 1 所示。此时, 第五接触栓塞 19e 被延伸以覆盖突起。

因此, 图 1、5A 和 5B 示出了在集成电路衬底 1 上的第一和第二接触栓塞 19a 和 19b, 它们的每一个都电连接到各自的第一和第二源区 11a 和 11b 中的一个, 该第一和第二接触栓塞与各自的第一和第二源区横向对齐。此外, 在集成电路衬底 1 上也具有第三和第四接触栓塞 19c 和 19d, 它们的每一个都电连接到各自的第三和第四源区 11c 和 11d 中的一个, 该第三和第四接触栓塞与各自的第三和第四源区横向对齐。

第二层绝缘层 20c 覆盖了具有第一到第五接触栓塞的衬底。该第二层绝缘层 20c 可以包括下蚀刻停止层 20a 和绝缘层 20b, 它们是顺序层叠的。第五接触栓塞 19e 通过穿透第二层绝缘层 20c 的位线接触孔 (未示出) 露出。在第二层绝缘层 20c 上放置有多个平行的位线 21。该位线 21 通过位线接触孔电连接到第五接触栓塞 11e。位线 21 的放置与 X 轴平行。同样, 在一些实施例中, 位线 21 位于沿着 Y 轴横

跨在相邻的源区 11b 和 11c 之间的隔离层 3 的位置上。此外，在一些实施例中，位线覆盖层图形 23 是叠层在位线 21 上的。其上的各自的位线 21 和各自的位线覆盖层图形 23 组成了位线图形 24。位线图形 24 的侧壁在一些实施例中给位线间隔层 25 覆盖。

用第三层间绝缘层 27 覆盖具有位线间隔层 25 的衬底。第一到第四接触栓塞分别与穿过第二和第三绝缘层 20c 和 27 的第一到第四存储节点焊盘 31a、31b、31c 和 31d 接触。第一和第二存储节点焊盘 31a 和 31b 分别覆盖第一和第二接触栓塞，并且向着 X 轴的负方向延伸。相反，第三和第四存储节点焊盘 31c 和 31d 分别覆盖第三和第四接触栓塞，并且向着 X 轴的正方向延伸。

因此，图 1、5A 和 5B 也示出了在集成电路衬底 1 上的第一和第二存储节点焊盘 31a 和 31b，它们中的每一个位于各自的第一和第二接触栓塞 19a 和 19b 中的一个与各自的第一和第二存储节点 39a 和 39b 中的一个之间，第一和第二存储节点焊盘沿着第一方向从各自的第一和第二源区横向偏移。图 1、5A 和 5B 也示出了在集成电路衬底 1 上的第三和第四存储节点焊盘 31c 和 31d，它们中的每一个位于各自的第三和第四接触栓塞 19c 和 19d 中的一个与各自的第三和第四存储节点 39c 和 39d 中的一个之间。第三和第四存储节点焊盘沿着第二方向从各自的第三和第四源区 11c 和 11d 横向偏移。可以理解，如在这里使用的术语横向偏移意味着在制造器件中使用的系统或者工艺的固有的偏移量之外的横向偏移，以便该横向偏移是故意引入的。

具有第一到第四存储节点焊盘 31a、31b、31c 和 31d 的衬底被第四层间绝缘层 36 覆盖。第四层间绝缘层 36 可以包括上蚀刻停止层 33 和牺牲绝缘层 35，它们是顺序叠层的。该第一到第四存储节点焊盘 31a、31b、31c 和 31d 分别通过穿透第四层间绝缘层 36 的第一存储节点接触孔（未示出）、第二存储节点接触孔 31b、第三存储节点接触孔 31c 和第四存储节点接触孔 31d 露出。第一到第四存储节点 39a、39b、39c

和 39d 位于第一到第四存储节点孔中。

第一存储节点 39a 的中心轴线穿过从第一接触孔 17a 向着 X 轴的负方向以第一预定距离分开的第一点 A。此外，第二存储节点 39b 的中心轴线穿过从第二接触孔 17b 向着 X 轴的负方向以第二预定距离分开的第二点 B。该预定的距离小于在有源区中的有源区的中心点和第一接触孔 17a 的中心点（或者第二接触孔 17b）之间的间距。当第一有源区 3a 的长度增加以便增加第一和第二 MOS 晶体管的沟道长度的情况下，第一预定距离可以不同于第二预定距离，如图 1 所示。可以理解，如在此所用的，术语预定距离意味着在制造器件中使用的系统/工艺的固有的偏移距离之外的预定距离，以便该预定距离是故意引入的。

因此，图 1、5A 和 5B 也示出了在集成电路衬底 1 上的第一和第二存储节点 39a 和 39b，它们中的每一个都电连接到各自的第一和第二源区 11a 和 11b 中的一个，该第一和第二存储节点沿着第一方向从各自的第一和第二源区横向偏移。此外，图 1、5A 和 5B 也示出了在集成电路衬底 1 上的第三和第四存储节点 39c 和 39d，它们中的每一个都电连接到各自的第三和第四源区 11c 和 11d 中的一个。第三和第四存储节点沿着第二方向从各自的第三和第四源区 11c 和 11d 横向偏移。

在一些实施例中，第一存储节点 3a 的中心轴线穿过部分与第一有源区 3a 相邻并且位于第二 MOS 晶体管的对面的隔离层，并且第二存储节点 39b 的中心轴线穿过第二 MOS 晶体管的沟道区。更具体地，第一存储节点焊盘 31a 的中心轴线位于第一存储节点 39a 的中心轴线和第一接触孔 17a 的中心轴线之间，并且，第二存储节点焊盘 31b 的中心轴线位于第二存储节点 39b 的中心轴线和第二接触孔 17b 的中心轴线之间。中心轴线是垂直于 X-Y 平面的法线。

同时，第三存储节点 39c 的中心轴线穿过从第三接触孔 17c 向着 X 轴的正方向以第三预定距离分开的第三点 C。此外，第四存储节点

39d 的中心轴线穿过从第四接触孔 17 d 向着 X 轴的正方向以第四预定距离分开的第四点 D。当第二有源区 3b 的长度增加，以便增加第三和第四 MOS 晶体管的沟道长度的情况下，第三预定距离可以不同于第四预定距离，如图 1 所示。在一些实施例中，第三存储节点 39c 的中心轴线穿过第三 MOS 晶体管的沟道区，并且第四存储节点 39d 的中心轴线穿过靠近第二有源区 3b 并且位于与第三 MOS 晶体管相对的位置上的隔离层的部分。更具体地，第三存储节点焊盘 31c 的中心轴线位于第三存储节点 39c 的中心轴线和第三接触孔 17c 的中心轴线之间，并且，第四存储节点焊盘 31d 的中心轴线位于第四存储节点 39d 的中心轴线和第四接触孔 17d 的中心轴线之间。

因此，图 1、5A 和 5B 示出了本发明的实施例，其中，第一和第二存储节点 39a 和 39b 沿着第一方向从各自的第一和第二源区 11a 和 11b 以小于第一源区 11a 的中心点和第一公共漏区的中心点的距离横向偏移，并且，其中，第三和第四存储节点 39c 和 39d 沿着第二方向从各自的第三和第四源区 11c 和 11d 以小于第三源区 11c 的中心点和第二公共漏区 11e 的中心点的距离横向偏移。此外，这些结构也示出了本发明的实施例，其中第一存储节点 3a 的中心点 A 位于第一源区 19a 和第一公共漏区之间，并且第三存储节点 39c 的中心点 41c 位于第四源区 11d 和第二公共漏区之间。

根据上面的说明，相邻的存储节点的中心轴线之间的距离可以彼此相同。因此，可以设计具有从顶视平面图的角度来看类似于规则的多边形形状或者圆形形状的结构存储节点。具体地，当第二间距 P2 是第一间距 P1 的一半的时候，存储节点的顶视平面图可以具有规则的多边形形状或者圆形形状。因此，这些形状可以减少或者避免存储节点在后续的工艺中的破损和倾倒。因此，在本发明的一些实施例中，第一到第四存储节点展示出了规则的平面视图的多边形形状或者圆形形状。此外，在本发明的一些实施例中，每个第一到第四存储节点是从其各自的四个相邻的存储节点等间距分开的。



接下来,参照附图来说明在根据本发明的实施例中的 DRAM 单元。

参照图 1、2A 和 2B,隔离层 3 形成在半导体衬底 1 的预定的区中,以定义二维排列的第一有源区 3a 和第二有源区 3b。该隔离层 3 可以使用传统的沟槽隔离技术和/或其他的技术来形成。第一有源区 3a 被定义为具有分别沿着 X 和 Y 轴的第一间距 P1 以及第二间距 P2,如图 1 所示。同样,第二有源区 3b 被定义在第一有源区 3a 分别沿着 X 和 Y 轴平行偏移半的第一间距 P1 以及半个第二间距 P2 的位置上。

因此,图 1、2A 和 2B 示出了在集成电路衬底 1 上制造多个等间距分开的第一和第二源区 3a 和 3b 的交叉的行,第二有源区 3b 从第一有源区 3a 横向偏移,以便各个第二有源区从在相邻的行中的最接近的第一有源区等间距分开。

栅绝缘层 5 形成在有源区 3a 和 3b 上。栅导电层和覆盖绝缘层顺序地形成在具有栅绝缘层 5 的衬底上。在一些实施例中,覆盖绝缘层是通过具有相对于作为传统的层间绝缘层的硅氧化物层的蚀刻选择性的绝缘层形成的。例如,覆盖绝缘层可以由硅氮化物层形成。

该覆盖绝缘层和栅导电层被连续构图以形成横跨源区 3a 和 3b 的第一到第四栅图形 10a、10b、10c 和 10d。第一和第二栅图形 10a 和 10b 横跨第一有源区 3a,并且第三和第四栅图形 10c 和 10d 横跨第二有源区 3b。每个第一栅图形 10a 包括顺序层叠的第一栅电极 7a 和覆盖绝缘层图形 9,并且,每个第二栅图形 10b 包括顺序层叠的第二栅电极 7b 和覆盖绝缘层图形 9。同样地,每个第三栅图形 10c 包括顺序层叠的第三栅电极 7c 和覆盖绝缘层图形 9,并且每个第四栅图形 10d 包括顺序层叠的第四栅电极 7d 和覆盖绝缘层图形 9。在一些实施例中,覆盖绝缘层和栅导电层被构图以便重合有源区的栅电极的宽度 W1 比与隔离层 3 重合的栅电极的宽度 W2 宽。

杂质离子采用栅图形 10a、10b、10c 和 10d 作为离子注入掩模注入到有源区，因此，形成了第一杂质区（未示出）、第二杂质区 11b、第三杂质区 11c、和第四杂质区 11d 和第五杂质区 11e。第一和第二杂质区形成在第一有源区 3a 的两端，并且，第三和第四杂质区 11c 和 11d 形成在第二有源区 3b 的两端。同样，第五杂质区 11e 形成在第一和第二栅电极 7a 和 7b 之间的第一有源区 3a，以及第三和第四栅电极 7c 和 7d 之间的第二有源区 3b。因此，第一 MOS 晶体管第二 MOS 晶体管形成在每个第一有源区 3a，并且第三 MOS 晶体管和第四 MOS 晶体管 MOS 形成在每个第二有源区 3b。

因此，这些图示出了在每个第一有源区和其间的第二公共漏区中制造第一和第二源区，它们中的每一个都从公共漏区沿着各自的第一和第二相对的方向横向偏移。这些图也示出了在第二有源区和其间的第二公共漏区中制造第三和第四源区，它们中的每一个都从公共漏区沿着各自的第一和第二相对的方向横向偏移。

第一杂质区作为第一 MOS 晶体管的源区并且第二杂质区 11b 作为第二 MOS 晶体管的源区。同样，第三杂质区 11c 作为第三 MOS 晶体管的源区，并且第四杂质区 11d 作为第四 MOS 晶体管的源区。此外，在第一有源区 3a 中的第五杂质区 11e 作为第一和第二 MOS 晶体管的公共漏区，并且在第二有源区 3b 中的第五杂质区 11e 作为第三和第四 MOS 晶体管的公共漏区。绝缘间隔层 13 随后使用传统的方法形成在栅图形 10a、10b、10c 和 10d 的侧壁上。该绝缘间隔层 13 用与覆盖绝缘层相同的材料形成。

参照图 1、3A 和 3B，第一层间绝缘层 15 形成在具有间隔层 13 的衬底上。第一层间绝缘层 15 被构图来形成分别露出第一到第五杂质区的第一到第五接触孔 17a、17b、17c、17d 和 17e。覆盖绝缘层图形 9 和间隔层 13 在形成第一到第五接触孔 17a、17b、17c、17d 和 17e 期间

作为蚀刻停止层。换句话说讲，第一到第五接触孔 17a、17b、17c、17d 和 17e 可以使用自对齐接触技术来形成。第一接触栓塞（未示出）、第二接触栓塞 19b、第三接触栓塞 19c、第四接触栓塞 19d 和第五接触栓塞 19e 是采用传统的方式在第一到第五接触孔 17a、17b、17c、17d 和 17e 中形成的。

第二层间绝缘层 20c 是形成在具有第一到第五接触栓塞的衬底上的。在一些实施例中，第二层间绝缘层 20c 是通过连续叠层下蚀刻停止层 20a 和绝缘层 20b 来形成的。该下蚀刻停止层 20a 是用具有相对于绝缘层 20b、第一层间绝缘层 15 和接触栓塞的蚀刻选择性的绝缘层形成的。例如，下蚀刻停止层 20c 可以用硅氮化物层形成。第二层间绝缘层 20c 被构图来形成露出第五接触栓塞 19e 的位线接触孔。

在第二层间绝缘层 20c 上形成了覆盖位线接触孔的多个平行的位线图形 24。每个位线图形 24 包括顺序叠层的位线 21 和位线覆盖层图形 23。位线 21 通过位线接触孔电连接到第五接触栓塞 19e。同样，位线图形 24 通过传统的方法形成在位线图形 24 的侧壁上。位线覆盖层图形 23 和位线间隔层 25 在一些实施例中是用与栅覆盖层图形 9 和栅间隔层 13 相同的材料形成的。

参照图 1、4A 和 4B，第三层间绝缘层 27 形成在包括位线间隔层 25 的衬底上。该第三层间绝缘层 27 和绝缘层 20b 被连续构图以形成分别在第一到第四接触栓塞上的第一到第四初始的存储节点焊盘接触孔。该第一和第二初始存储节点焊盘接触孔被形成为具有分别从第一和第二杂质区向着 X 轴的负方向偏移的中心轴线。因此，第一初始存储节点焊盘接触孔可以露出在第四栅电极 7d 上的下蚀刻停止层 20a，并且，第二初始存储节点焊盘接触孔可以露出在第二栅电极 7b 上的下蚀刻停止层 20a。

相反，第三和第四初始存储节点焊盘接触孔被形成为具有分别从

第三和第四杂质区向着 X 轴的负方向横向偏移的中心轴线。因此，第三初始存储节点焊盘接触孔可以露出在第三栅电极 7c 上的下蚀刻停止层 20a，并且，第四初始存储节点焊盘接触孔可以露出在第一栅电极 7a 上的下蚀刻停止层 20a。

随后，通过第一到第四初始存储节点接触孔露出的下蚀刻停止层 20a 被选择性地蚀刻，来形成分别露出第一到第四接触栓塞的第一到第四存储节点焊盘接触孔。第一到第四存储节点焊盘 31a、31b、31c 和 31d 分别形成在第一到第四存储节点焊盘接触孔中。

参照图 1、5A 和 5B，第四层间存储节点焊盘 36 形成在具有第一到第四存储节点焊盘 31a、31b、31c 和 31d 的衬底上。第四层间绝缘层 36 在一些实施例中，是通过顺序地层叠上蚀刻停止层 33 和牺牲绝缘层 35 形成的。给上蚀刻停止层 33 在一些实施例中，是通过具有相对于牺牲绝缘层 35、存储节点焊盘 31a、31b、31c 和 31d 以及第三层间绝缘层 27 的蚀刻选择性的绝缘层形成的。例如，上蚀刻停止层 33 可以用硅氮化物层形成。相反，牺牲绝缘层优选地用硅氧化物层形成。

牺牲绝缘层 35 和上蚀刻停止层 33 被连续地构图，以形成分别露出第一到第四存储节点焊盘 31a、31b、31c 和 31d 的第一存储节点接触孔、第二存储节点接触孔 37b、第三存储节点接触孔 37c 和第四存储节点接触孔 37d。第一和第二存储节点接触孔被形成为具有分别穿过从第一和第二存储节点焊盘 31a 和 31b 向着 X 轴的负方向偏移的第一位置 A 和第二位置 B 的第一和第二中心轴线。相反，第三和第四存储节点接触孔被形成为具有分别穿过从第三和第四存储节点焊盘 31c 和 31d 向着 X 轴的正方向偏移的第三位置 C 和第四位置 D 的第三和第四中心轴线 41c 和 41d。具体地，第一中心轴线可以穿过靠近第一杂质区并且在第二 MOS 晶体管的相对的位置上的部分隔离层 3。并且，第二中心轴线可以穿过第二 MOS 晶体管的沟道区。同样，第三中心轴线 41c 可以穿过第三 MOS 晶体管的沟道区，而第四中心轴线可以穿过靠近第四

杂质区 11d 并且在第三 MOS 晶体管的相对的位置上的部分隔离层 3。

第一到第四存储节点 39a、39b、39c 和 39d 形成在存储节点接触孔中。该存储节点 39a、39b、39c 和 39d 可以展示出圆柱形状的透视图形或者盒形状的透视图形。同样，存储节点 39a、39b、39c 和 39d 可以被列阵以便在 39a、39b、39c 和 39d 中的相邻的存储节点之间的中心轴线彼此相同。如果第二间距 P2 是第一间距 P1 的一半，则存储节点 39a、39b、39c 和 39d 可以被形成为具有从顶视平面图角度看的规则的多边形形状或者圆形形状。牺牲绝缘层 35 可以被随后选择性地除去，以便露出存储节点 39a、39b、39c 和 39d 的侧壁。

因此，这些图示出了在集成电路衬底上生成第一和第二存储节点，它们中的每一个电连接到各自的第一和第二源区中的一个。该第一和第二存储节点从各自的第一和第二源区沿着第一方向横向偏移。这些图也示出了在集成电路衬底上生成第三和第四存储节点，它们中的每一个电连接到各自的第三和第四源区中的一个。该第三和第四存储节点从各自的第三和第四源区沿着第二方向横向偏移。

根据本发明的实施例，可以减少或者最小化在存储节点之间的长度和宽度的差异，并且使得单元晶体管的沟道泄漏电流减少。因此，可以显著地改善 DRAM 器件的更新特性和/或其生产。

在附图和说明书中，公开了本发明的实施例，尽管采用了特定的术语，但是它们只是一般意义上的并且是陈述性的，而且不是为了限定的目的，本发明的范围被限定在下面的权利要求中。

图1

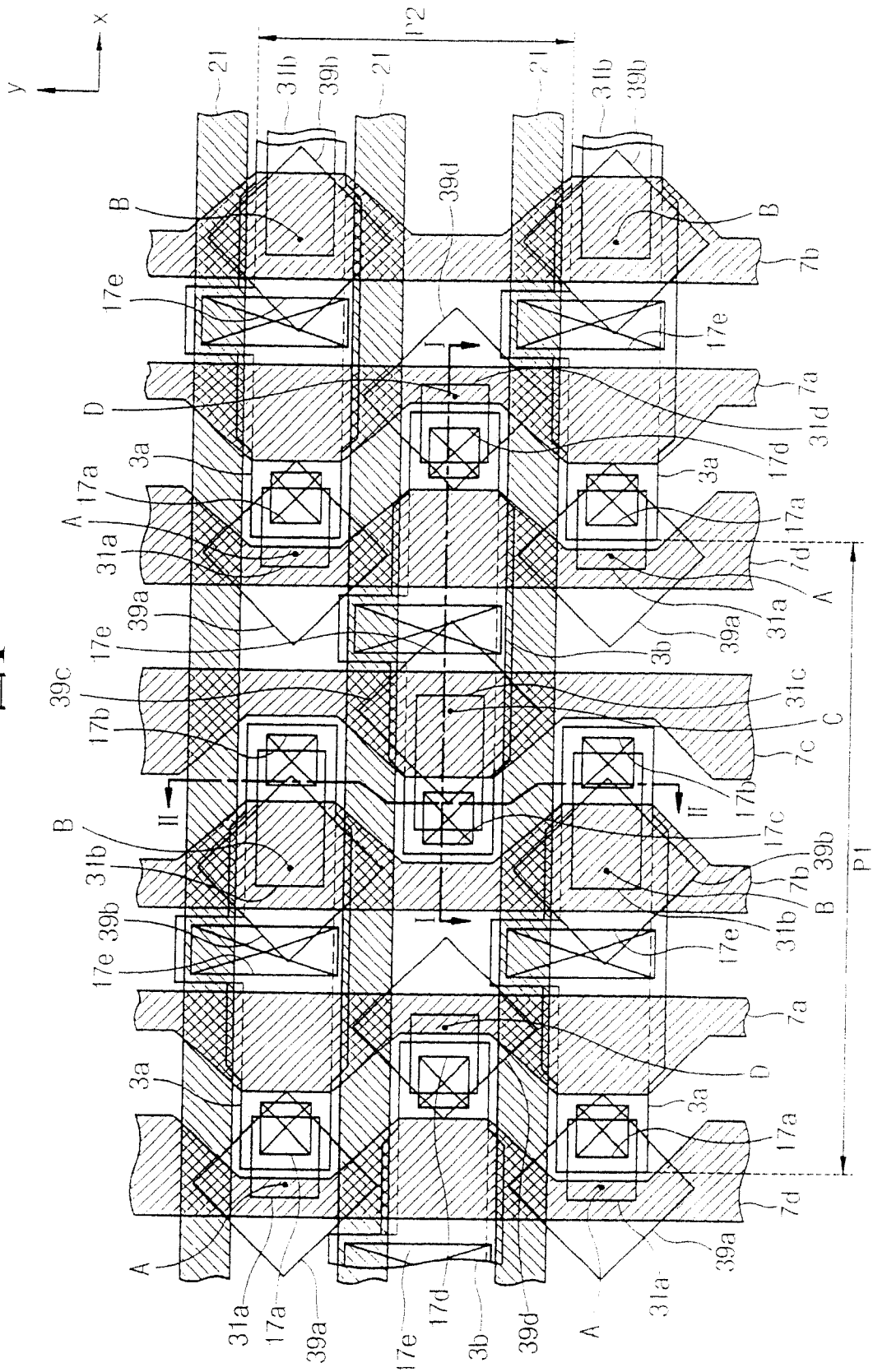


图2A

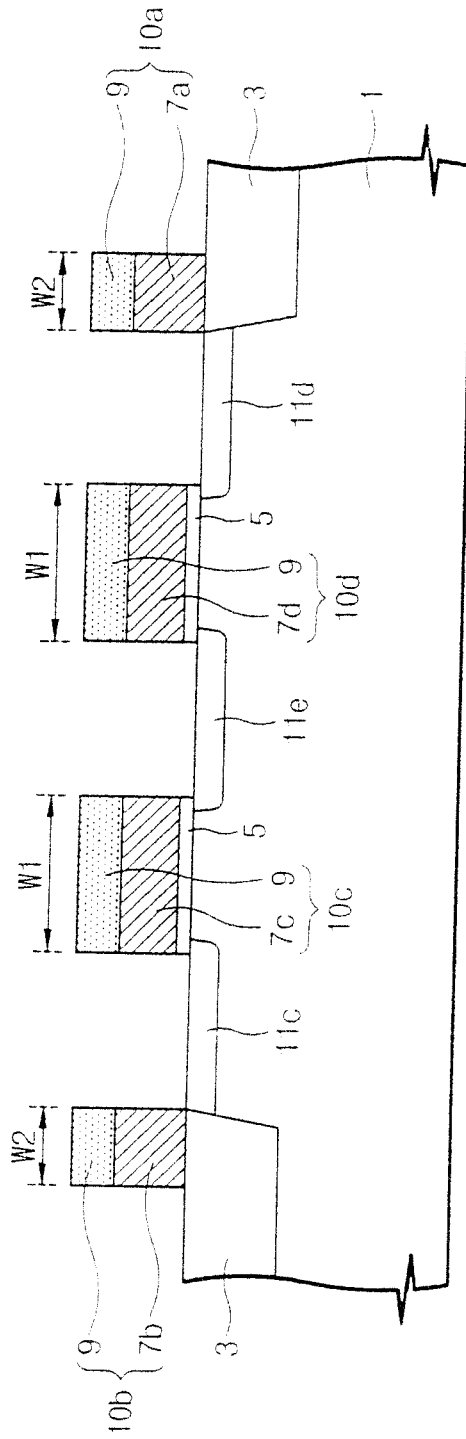


图2B

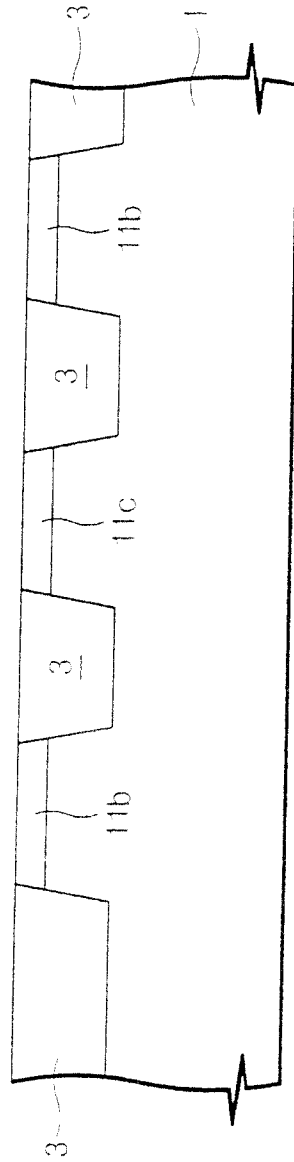
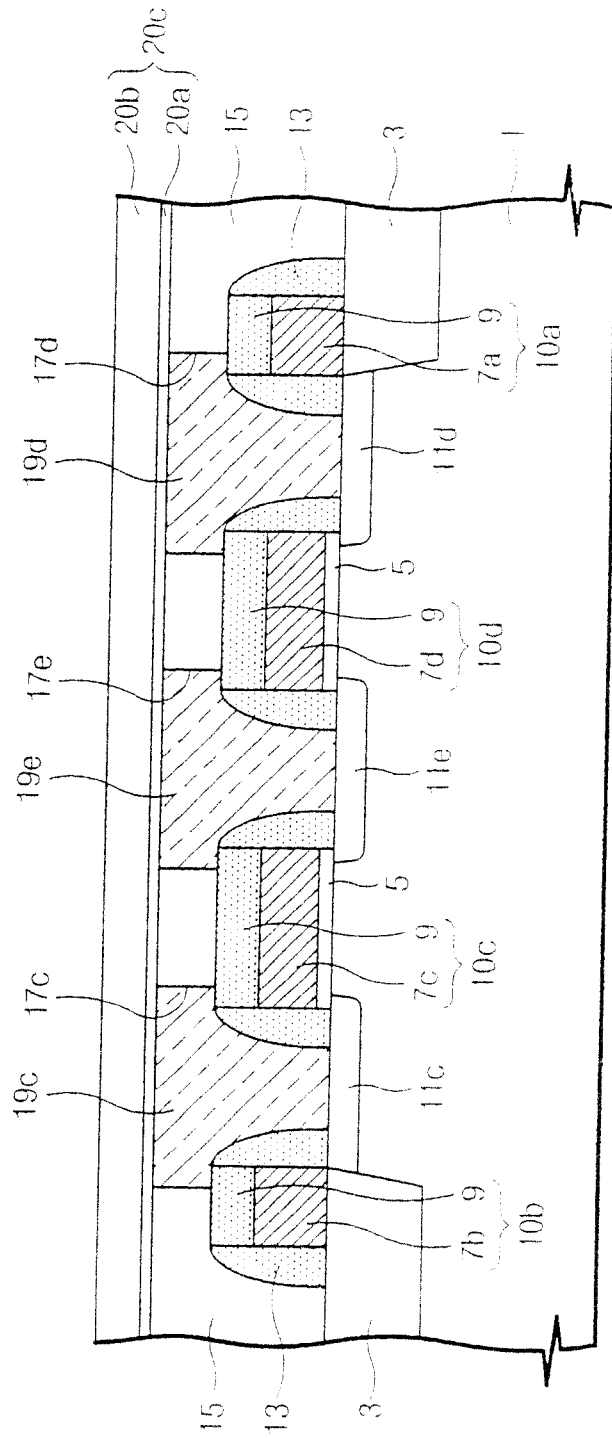




图3A



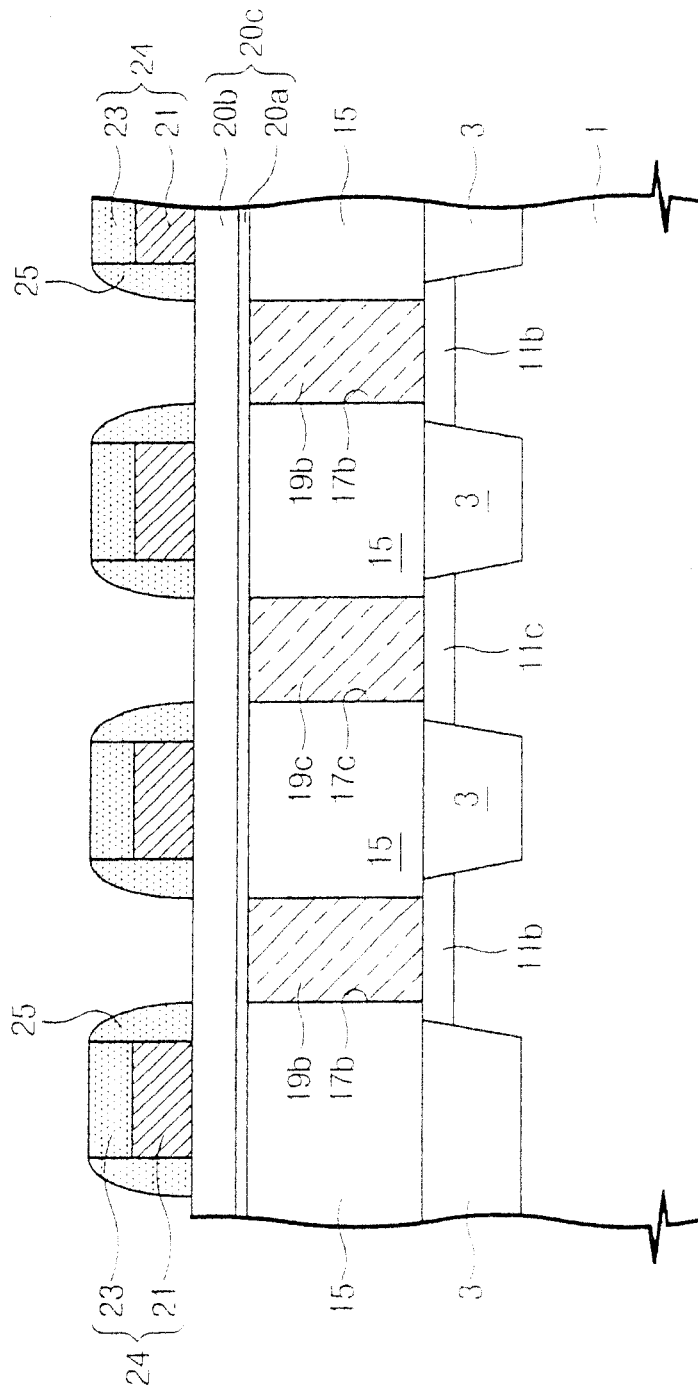


图3B



图4B

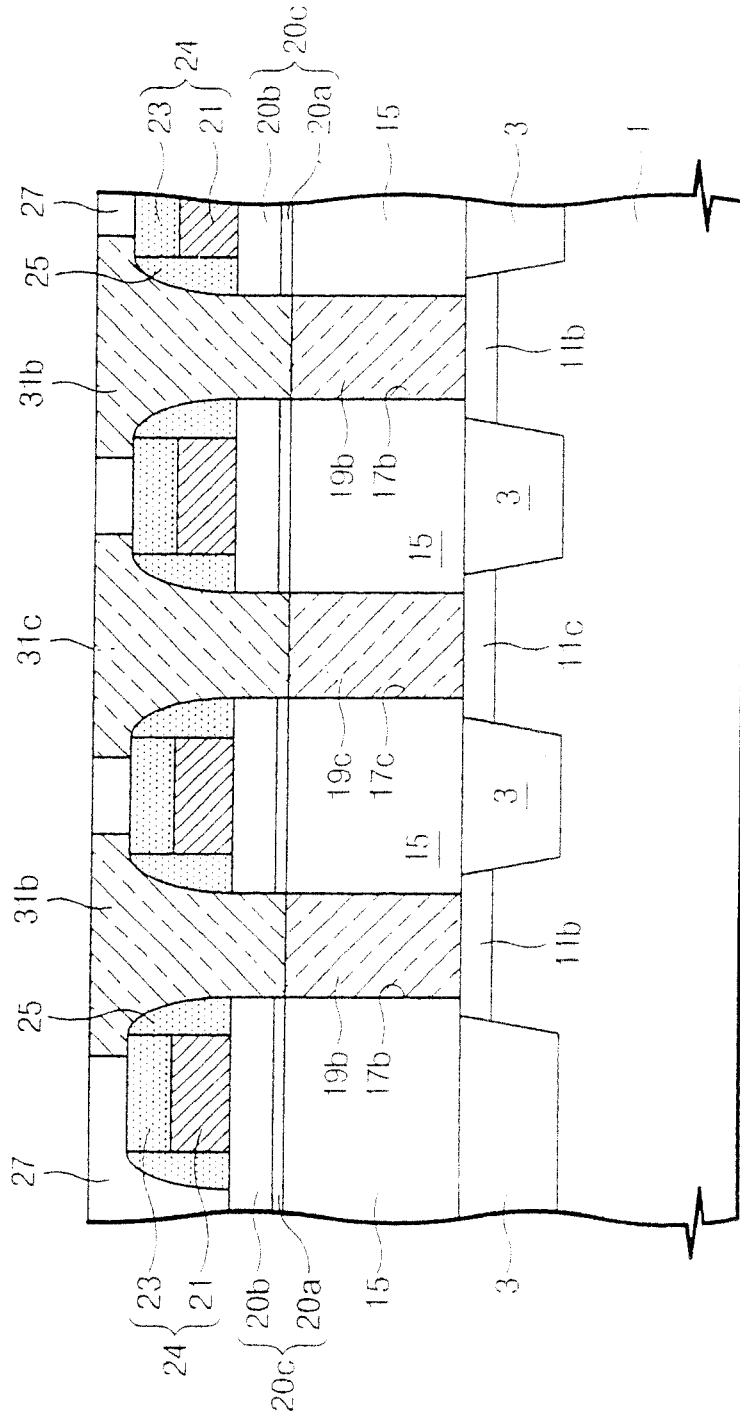


图5A

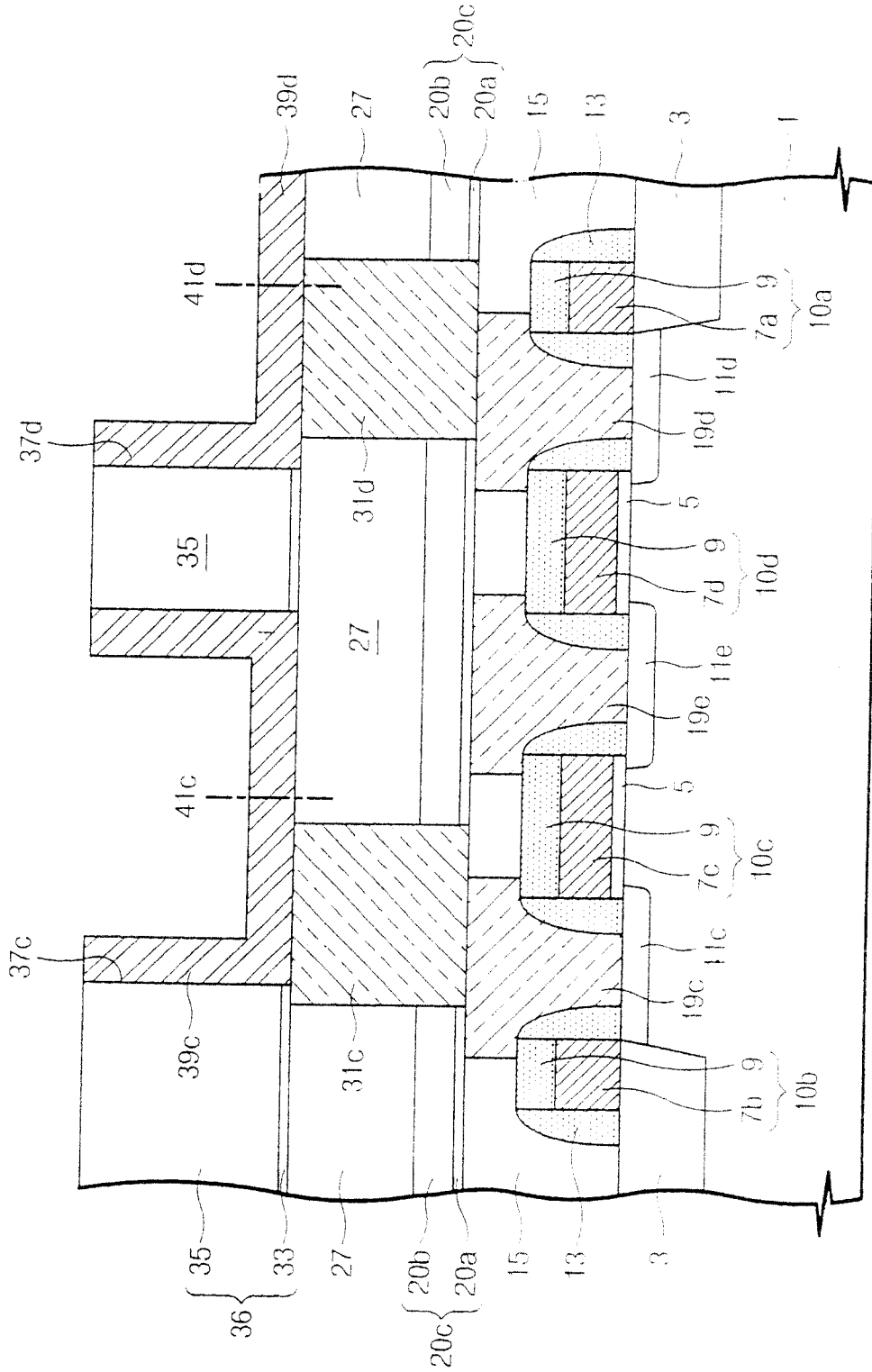


图5B

