

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4541060号  
(P4541060)

(45) 発行日 平成22年9月8日(2010.9.8)

(24) 登録日 平成22年7月2日(2010.7.2)

(51) Int.Cl.		F I	
<b>HO3M 3/02</b>	<b>(2006.01)</b>	HO3M 3/02	
<b>HO3M 1/14</b>	<b>(2006.01)</b>	HO3M 1/14	A
<b>HO3M 1/36</b>	<b>(2006.01)</b>	HO3M 1/36	
<b>HO3M 1/76</b>	<b>(2006.01)</b>	HO3M 1/76	

請求項の数 8 (全 18 頁)

(21) 出願番号	特願2004-219827 (P2004-219827)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成16年7月28日(2004.7.28)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2006-41992 (P2006-41992A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成18年2月9日(2006.2.9)	(72) 発明者	工藤 純也 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
審査請求日	平成19年7月19日(2007.7.19)	(72) 発明者	矢萩 孝一 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	松浦 達治 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 A/D変換回路を内蔵した半導体集積回路および通信用半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

ローカルA/D変換回路とローカルD/A変換回路とを備えたA/D変換回路を内蔵した半導体集積回路であって、前記ローカルA/D変換回路で使用される基準電圧を生成する第1基準電圧生成回路と、前記ローカルD/A変換回路で使用される基準電圧を生成する第2基準電圧生成回路とが別個に設けられており、前記第1基準電圧生成回路の出力端子および前記第2基準電圧生成回路の出力端子には、それぞれ生成された基準電圧を安定化させる容量素子が接続され、前記第2基準電圧生成回路の出力端子に接続された安定化容量素子の容量値は前記第1基準電圧生成回路の出力端子に接続された安定化容量素子の容量値よりも大きいことを特徴とする半導体集積回路。

【請求項2】

前記A/D変換回路は、入力と前記ローカルD/A変換回路の出力との差分を積分する積分回路を備え、前記ローカルA/D変換回路は該積分回路の出力を量子化し、前記ローカルD/A変換回路は前記ローカルA/D変換回路の量子化出力をアナログ信号に変換する型A/D変換回路であることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】

前記第1基準電圧生成回路の出力端子および前記第2基準電圧生成回路の出力端子に接続された安定化容量素子は前記A/D変換回路を構成する素子が形成されている半導体チップと同一の半導体チップに形成されているオンチップの素子であることを特徴とする請求項2に記載の半導体集積回路。

## 【請求項 4】

前記 A / D 変換回路は、 $n$  (2 以上) 個の積分回路と  $n$  個のローカル D / A 変換回路を備えた  $n$  次の型 A / D 変換回路であり、後段側のローカル D / A 変換回路で使用される基準電圧を生成する基準電圧生成回路は前記第 1 基準電圧生成回路または第 2 基準電圧生成回路と共通化されていることを特徴とする請求項 2 に記載の半導体集積回路。

## 【請求項 5】

前記第 1 基準電圧生成回路と第 2 基準電圧生成回路は各々定電圧回路とインピーダンス変換回路とからなり、定電圧回路は共通化されていることを特徴とする請求項 1 ~ 4 のいずれかに記載の半導体集積回路。

## 【請求項 6】

前記ローカル D / A 変換回路と前記ローカル A / D 変換回路はそれぞれスイッチド・キャパシタ回路により構成されていることを特徴とする請求項 1 ~ 5 のいずれかに記載の半導体集積回路。

## 【請求項 7】

受信信号と所定の周波数の発振信号とを合成して該発振信号の周波数と前記受信信号の周波数との差に相当する周波数成分を含む復調信号を生成する復調回路を有する通信用半導体集積回路であって、

前記復調回路により生成されたアナログ復調信号をデジタル信号に変換する回路として請求項 2 ~ 6 のいずれかに記載の A / D 変換回路を備えることを特徴とする通信用半導体集積回路。

## 【請求項 8】

前記受信信号と合成される前記所定の周波数の発振信号を生成する電圧制御発振回路を含む PLL 回路と、基準となる発振信号を生成する基準発振回路とを備え、該 PLL 回路は前記電圧制御発振回路の発振出力と前記基準発振回路により生成された基準発振信号とを比較して前記電圧制御発振回路の発振周波数を制御し、前記基準発振信号に基づいて前記 A / D 変換回路の動作クロック信号が生成されることを特徴とする請求項 7 に記載の通信用半導体集積回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、アナログ信号をデジタル信号に変換するためのアナログ - デジタル (A / D) 変換回路さらにはローカル A / D 変換回路とローカル D / A 変換回路とを備えたオンチップの A / D 変換回路において A / D 変換に用いられる基準電圧の安定化技術に関し、例えば (シグマ・デルタ) 型 A / D 変換回路およびそれを内蔵した通信用半導体集積回路に利用して有効な技術に関するものである。

## 【背景技術】

## 【0002】

現在、携帯電話器のような無線通信システムは、一般に、送信信号の変調機能および受信信号の復調機能を有する半導体集積回路 (RF - IC) や送信データを基本波に対し同相成分の I 信号および直交成分の Q 信号に変換したり受信信号から復調された I, Q 信号を処理してデータを復元したりするベースバンド回路などの半導体集積回路と、送信信号を電力増幅してアンテナより出力させるパワーアンプを含むパワーモジュールなどにより構成されている。従来、上記 RF - IC とベースバンド LSI との間で伝達される I, Q 信号はアナログ信号であることが多かった。

## 【0003】

一方、ベースバンド LSI は、内部処理のほとんどがデジタル処理で行なわれるため、ベースバンド LSI 側に、入力された受信アナログ I, Q 信号をデジタル信号に変換する A/D 変換回路や送信デジタル I, Q 信号をアナログ信号に変換する D/A 変換回路が設けられていた。この場合、ベースバンド LSI は、大部分がデジタル回路であるにもかかわらずアナログ回路である A/D 変換回路や D/A 変換回路を内蔵するため、LSI の製

10

20

30

40

50

造プロセスにアナログ回路を構成する素子を形成するための工程を含むことになり、それによりチップコストが高くなるという不具合がある。

【0004】

そこで、本発明者等は、上記RF-IC側にAD変換回路とDA変換回路を設けて、RF-ICとベースバンドLSIとの間で、I, Q信号をデジタル信号で伝達することを検討した。RF-IC側にAD変換回路とDA変換回路を設けることにより、ベースバンドLSI側にはAD変換回路やDA変換回路が不要になり、プロセスにアナログ回路素子を形成するための工程が不要になって、チップコストを低減することができるとともに、RF-ICの受信系回路においては復調回路の後段に設けられる高利得増幅回路やフィルタを簡略化してチップサイズの低減が可能になるためである。

10

【0005】

また、I, Q信号をデジタル化することにより、SN比(Signal to Noise Ratio)を向上させることができる。なお、RF-IC側にAD変換回路とDA変換回路を設けたとしても、RF-ICはもともとアナログ回路を含むためチップサイズは増大するもののプロセスが複雑にならないため、コストアップはベースバンドLSI側にAD変換回路とDA変換回路を設ける場合よりも小さくて済む。

【0006】

従来より、A/D変換器には、逐次比較型やオーバーサンプル型など種々の形式のものが開発されている。一般に、A/D変換器でアナログ入力信号をデジタル信号に変換する場合、サンプリング周波数を高くすれば、信号周波数近傍のSN特性を向上させることができる。オーバーサンプル型A/D変換器は、オーバーサンプル比(信号帯域の周波数に対するナイキスト(サンプリング周波数の1/2)周波数の比を高くすることによりSN特性を向上させた方式である。

20

【0007】

オーバーサンプル型A/D変換器は、(デルタ)変調方式、変調方式、それらの混合方式に大別できる。このうち、変調方式は、出力信号と入力信号との差を積分器で積分し、この積分器の出力が最小となるようにフィードバック制御するものである。この変調方式においては、アナログ積分の次数すなわち積分器の数を増やすことにより、SN特性をさらに改善することができる。つまり、アナログ積分の次数を1次増やす毎に、ほぼオーバーサンプリング比の2乗に逆比例したノイズシェーピング特性(雑音整形)が期待できる。

30

【0008】

本発明者等は、上記RF-ICに内蔵されて、復調回路で復調されたI, Q信号をデジタル信号に変換するA/D変換器としては、変調精度および変換速度の点からオーバーサンプリング型A/D変換器、その中でも特に変調方式のA/D変換器(以下、型A/D変換器と称する)が適していると考えた。なお、RF-IC側に型A/D変換器を設けて、復調回路で復調されたI, Q信号をデジタル信号に変換してベースバンド回路へ伝達するようにした発明としては例えば特許文献1に記載の発明がある。

【0009】

また、本発明に関連のある先願発明として特許文献2に記載の発明があるが、この先願発明はAD変換回路とDA変換回路を内蔵した半導体集積回路において、AD変換回路の基準電圧を生成する基準電圧生成回路とDA変換回路の基準電圧を生成する基準電圧生成回路を別々に設けたものであり、ローカルA/D変換回路とローカルD/A変換回路に関して基準電圧生成回路を別々に設けることや生成された基準電圧を安定させる安定化容量については開示されていない点で本願発明とは異なる。

40

【特許文献1】特開2002-368621号公報

【特許文献2】特開平11-177423号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

50

一般に、A/D変換回路やD/A変換回路には基準電圧が必要であり、高精度のA/D変換結果やD/A変換結果を得るには基準電圧の精度が高くなくてはならない。ところが、D/A変換回路には基準電圧の切り替えのためスイッチ素子が設けられる。また、スイッチド・キャパシタ型A/D変換回路にも電荷の転送のためスイッチ素子と容量素子が設けられる。そして、かかるスイッチ素子のオン・オフ動作によって基準電圧が変動するおそれがある。この基準電圧の変動を抑制するため、従来は一般に、基準電圧を生成する基準電圧生成回路の出力端子に安定化容量（バイパスコンデンサ）を接続してインピーダンスを低くすることが行なわれている。

#### 【0011】

A/D変換回路では、10ビット以上の高精度のA/D変換結果を得たい場合には、上記安定化容量として数 $\mu$ F程度の大容量が必要であり、これを半導体チップに内蔵させることは困難である。また、 $\Sigma$ 型A/D変換回路では、少なくとも2種類、スイッチド・キャパシタ型では3種類の基準電圧が必要でありこれに応じて安定化容量も3個必要であるため、安定化容量を接続する外部端子数が多くなって、チップサイズの増大、部品点数の増加を招くという課題があることが分かった。

10

#### 【0012】

本発明の目的は、ローカルA/D変換回路とローカルD/A変換回路とを備えたA/D変換回路を半導体チップに内蔵させる場合に基準電圧を生成する基準電圧生成回路の出力端子に接続する安定化容量の容量値を減らし、もってチップサイズの増大、外部端子数の増加を回避することが可能なA/D変換回路を内蔵した半導体集積回路を提供することにある。

20

#### 【0013】

本発明の他の目的は、チップサイズの増大を抑制しつつ高精度のA/D変換が可能なA/D変換回路を内蔵した半導体集積回路を提供することにある。

本発明のさらに他の目的は、A/D変換回路を内蔵した半導体集積回路を用いたシステムの小型化を達成することにある。

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 【課題を解決するための手段】

#### 【0014】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

30

すなわち、ローカルA/D変換回路とローカルD/A変換回路を有するA/D変換回路を内蔵した半導体集積回路において、ローカルA/D変換回路に必要な基準電圧を生成する基準電圧生成回路とローカルD/A変換回路に必要な基準電圧を生成する基準電圧生成回路とを別個に設けるようにしたものである。

#### 【0015】

上記した手段によれば、高い精度の基準電圧を生成する必要がある基準電圧生成回路には容量値の大きな安定化容量を接続し、高い精度を必要としない基準電圧を生成する基準電圧生成回路には容量値の小さな安定化容量を接続するかもしくは安定化容量をなくすことができ、それによってローカルA/D変換回路用の基準電圧とローカルD/A変換回路用の基準電圧を共通の基準電圧生成回路により生成する場合に比べて必要な安定化容量の容量値を小さくすることができるとともに、別々に安定化容量を接続した場合にもトータルの容量値を小さくすることができる。

40

#### 【0016】

ここで、ローカルA/D変換回路とローカルD/A変換回路を有するA/D変換回路としては、入力と出力の差分を積分する積分回路と該積分回路の出力を量子化するローカルA/D変換回路と該ローカルA/D変換回路の出力をD/A変換して前記積分回路の入力側に帰還するローカルD/A変換回路を備えた $\Sigma$ 型A/D変換回路である場合に特に有効である。

50

## 【0017】

型A/D変換回路においては、仮に出力が14ビットの精度を必要とする場合、ローカルD/A変換回路には14ビットの精度が要求される一方、ローカルA/D変換回路はその出力が3ビットの場合には3ビットの精度を有していれば良いので、ローカルA/D変換回路に用いられる基準電圧はローカルD/A変換回路に用いられる基準電圧に比べてはるかに精度は低くてよい。そのため、ローカルA/D変換回路用の基準電圧を生成する基準電圧生成回路に接続する安定化容量の容量値もかなり小さくてもよく、場合によっては省略することができる。

## 【0018】

さらに、本発明は、上記型A/D変換回路がスイッチド・キャパシタ回路で構成されている場合に適用すると有効である。スイッチド・キャパシタ回路はスイッチング動作されるため、スイッチングの際に基準電圧が変動しやすいので安定化容量もできるだけ容量値が大きいことが望ましいが、ローカルA/D変換回路に必要な基準電圧を生成する基準電圧生成回路とローカルD/A変換回路に必要な基準電圧を生成する基準電圧生成回路とを別個に設けることにより、ローカルA/D変換回路用の基準電圧とローカルD/A変換回路用の基準電圧を共通の基準電圧生成回路により生成する場合に比べて必要な安定化容量の容量値を小さくすることができる。

10

## 【0019】

つまり、基準電圧生成回路を共通にすると、ローカルA/D変換回路のスイッチング動作で発生する基準電圧の変動とローカルD/A変換回路のスイッチング動作で発生する基準電圧の変動を、所望の変換精度が得られるように抑えるにはかなり大きな安定化容量が必要であるが、基準電圧生成回路を別個に設けることにより、ローカルD/A変換回路用の基準電圧生成回路の安定化容量はローカルD/A変換回路のスイッチング動作で発生する基準電圧の変動を抑えるだけでよいので、安定化容量を小さくすることができる。

20

## 【0020】

これとともに、型A/D変換回路では、ローカルA/D変換回路に用いられる基準電圧はローカルD/A変換回路に用いられる基準電圧に比べて精度は低くてよいので、ローカルD/A変換回路用の基準電圧生成回路の安定化容量をかなり小さくすることができる。そして、安定化容量の容量値を小さくすることで、半導体チップに内蔵させることが可能になり、安定化容量を接続するための外部端子が不要になってチップサイズの増加を抑制することができる。また、基準電圧生成回路の安定化容量の容量値が小さくても精度の高いA/D変換結果が得られるとともに、外付けの容量素子が不要であるため、A/D変換回路を内蔵した半導体集積回路を用いたシステムの小型化を図ることができる。

30

## 【発明の効果】

## 【0021】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、A/D変換回路を半導体チップに内蔵させる場合に基準電圧を生成する基準電圧生成回路の出力端子に接続する安定化容量の容量値を減らし、安定化容量をチップに内蔵させることができ、もって外部端子数の増加、チップサイズの増大を回避することが可能な半導体集積回路を実現することができる。

40

## 【0022】

また、本発明に従うと、チップサイズの増大を抑制しつつ高精度のA/D変換が可能なA/D変換回路を内蔵した半導体集積回路を得ることができるとともに、A/D変換回路を内蔵した半導体集積回路を用いたシステムの小型化を達成することができるという効果がある。

## 【発明を実施するための最良の形態】

## 【0023】

以下、図面を用いて本発明の実施形態を説明する。

50

図 1 には、本発明に係る 変調方式の A / D 変換回路の第 1 の実施例が示されている。

図 1 に示されている A / D 変換回路は、2 次の 変調方式とされ、公知の半導体集積回路製造技術により単結晶シリコンチップのような一つの半導体基板に形成される。

【 0 0 2 4 】

図 1 の実施例の 型 A / D 変換回路は、アナログ入力信号  $V_{in}$  と帰還信号  $V_{f1}$  との差分をとる第 1 加算回路 1 1 と、該第 1 加算回路 1 1 の出力の積分を行なう第 1 積分回路 1 2 と、該第 1 積分回路 1 2 の出力と帰還信号  $V_{f2}$  との差分をとる第 2 加算回路 1 3 と、該第 2 加算回路 1 3 の出力の積分を行なう第 2 積分回路 1 4 と、該第 2 積分回路 1 4 の出力を N ビットのデジタル信号に変換して出力するローカル A / D 変換回路 1 5 と、  
該 A / D 変換回路 1 5 の出力をそれぞれ D / A 変換して前記第 1 加算回路 1 1 と第 2 加算回路 1 2 へ供給する第 1 のローカル D / A 変換回路 (DAC1) 1 7 と第 2 のローカル D / A 変換回路 (DAC2) 1 8 とにより構成されている。

10

【 0 0 2 5 】

ローカル A / D 変換回路 1 5 は、第 2 積分回路 1 4 の出力を基準電圧と比較して量子化する量子化回路 5 1 と、該量子化回路 5 1 の出力をエンコードするエンコーダ 5 2 とから構成することができる。エンコーダ 5 2 の出力が N ビット (N は 2 以上の整数) の場合、量子化回路 5 1 の出力信号は 2 の N 乗個である。量子化回路 5 1 は第 2 積分回路 1 4 の出力電圧を 2 の N 乗個の基準電圧と比較する電圧比較回路により構成される。そして、これらの電圧比較回路の出力信号が、エンコーダ 1 6 により N ビットの信号にエンコードされて本実施例の 型 A / D 変換回路の出力信号として後段回路に伝達される。

20

【 0 0 2 6 】

これとともに、上記電圧比較回路からなる量子化回路 5 1 の出力信号はローカル D / A 変換回路 1 7 , 1 8 へも伝達され、ローカル D / A 変換回路 1 7 , 1 8 でアナログ信号に変換された信号が、帰還信号  $V_{f1}$  ,  $V_{f2}$  として上記第 1 加算回路 1 1 と第 2 加算回路 1 2 に供給されるようにされている。なお、ある値 a から b を減算する減算回路は、a に - b を加算する加算回路とみることができるので、この明細書では減算回路を加算回路と記すこととした。

【 0 0 2 7 】

この実施例では、ローカル A / D 変換回路 1 5 で必要とされる基準電圧  $V_{ref(+)}$  ,  $V_{cm}$  ,  $V_{ref(-)}$  を生成する基準電圧生成回路 2 1 a , 2 1 b , 2 1 c と、ローカル D / A 変換回路 1 7 , 1 8 で必要とされる基準電圧  $V_{ref(+)}$  ,  $V_{cm}$  ,  $V_{ref(-)}$  を生成する基準電圧生成回路 2 2 a , 2 2 b , 2 2 c とが別個の回路として設けられている。これとともに、各基準電圧生成回路 2 1 a , 2 1 b , 2 1 c の出力端子には比較的小さな安定化容量  $C_{a1}$  ,  $C_{b1}$  ,  $C_{c1}$  が、また基準電圧生成回路 2 2 a , 2 2 b , 2 2 c の出力端子には比較的大きな安定化容量  $C_{a2}$  ,  $C_{b2}$  ,  $C_{c2}$  がそれぞれ接続されている。なお、 $V_{cm}$  は  $V_{ref(+)}$  と  $V_{ref(-)}$  の中間の電位であり、例えば  $V_{ref(+)}$  が 1 . 9 V で、 $V_{ref(-)}$  が 0 . 9 V の場合、 $V_{cm}$  は 1 . 4 V のような電位とされる。

30

【 0 0 2 8 】

型 A / D 変換回路においては、仮に出力が 1 4 ビットの精度を必要とする場合、ローカル D / A 変換回路 1 7 には 1 4 ビットの精度が要求される一方、ローカル A / D 変換回路 1 5 はその出力が 3 ビットの場合には 3 ビットの精度を有していれば良いので、ローカル A / D 変換回路 1 5 に用いられる基準電圧はローカル D / A 変換回路 1 7 に用いられる基準電圧に比べてはるかに精度は低くてよい。そこで、本実施例では、基準電圧生成回路 2 1 a , 2 1 b , 2 1 c に接続する安定化容量  $C_{a1}$  ,  $C_{b1}$  ,  $C_{c1}$  の容量値は数 1 0 p F のような大きさとされ、基準電圧生成回路 2 2 a , 2 2 b , 2 2 c に接続する安定化容量  $C_{a2}$  ,  $C_{b2}$  ,  $C_{c2}$  の容量値は数 1 0 0 p F のような大きさとされている。

40

【 0 0 2 9 】

基準電圧生成回路 2 1 a , 2 1 b , 2 1 c に接続する安定化容量  $C_{a1}$  ,  $C_{b1}$  ,  $C_{c1}$  は省略することも可能である。また、基準電圧  $V_{ref(+)}$  ,  $V_{cm}$  ,  $V_{ref(-)}$  のうち  $V_{c$

50

mは $V_{ref(+)}$ 、 $V_{ref(-)}$ に比べると若干精度は低くても良いので、基準電圧 $V_{cm}$ を生成する基準電圧生成回路22bの安定化容量 $C_{b2}$ は $C_{a2}$ 、 $C_{c2}$ よりも小さくすることができる。

【0030】

図1の型A/D変換回路においては、ローカルA/D変換回路用の基準電圧とローカルD/A変換回路用の基準電圧は同一の電位であるので、共通の基準電圧生成回路により生成する方式も可能であり、それによって基準電圧生成回路の数は減らすことができる。ただし、その場合には、基準電圧 $V_{ref(+)}$ 、 $V_{cm}$ 、 $V_{ref(-)}$ を安定させ、かつローカルD/A変換回路17に対しては非常に精度の高い基準電圧 $V_{ref(+)}$ 、 $V_{cm}$ 、 $V_{ref(-)}$ を供給する必要があるため、共通の基準電圧生成回路に接続する安定化容量 $C_{a0}$ 、 $C_{b0}$ 、 $C_{c0}$ の容量値は数1000pFの大きさを必要とする。

10

【0031】

そのため、基準電圧生成回路を共通化させた場合には、必要な安定化容量 $C_{a0}$ 、 $C_{b0}$ 、 $C_{c0}$ の容量値は、実施例の基準電圧生成回路21a、21b、21cに接続する安定化容量 $C_{a1}$ 、 $C_{b1}$ 、 $C_{c1}$ の容量値と基準電圧生成回路22a、22b、22cに接続する安定化容量 $C_{a2}$ 、 $C_{b2}$ 、 $C_{c2}$ の容量値を合計したトータルの容量値よりも大きくなってしまふ。このことは、安定化容量を半導体チップ上に形成する場合、より大きな面積を必要とすることを意味する。本実施例を適用すると、安定化容量の容量値を小さくできるため、よりオンチップ化がし易くなるという利点がある。

【0032】

20

図2には上記基準電圧生成回路21a、22aの具体的な回路例が、図3には上記ローカルA/D変換回路15の具体的な回路例が、また図4には上記ローカルD/A変換回路17、18の具体的な回路例が、さらに図5には上記積分回路12、14の具体的な回路例が示されている。特に制限されるものでないが、本実施例では、スイッチド・キャパシタ型の回路が用いられている。

【0033】

基準電圧生成回路21a、22aは、図2に示されているように、定電流源CSおよび該定電流源CSからの電流 $I_c$ を電圧に変換する抵抗 $R_c$ からなる定電圧回路CVGと、生成された定電圧をインピーダンス変換するボルテージフォロワVF1、VF2とから構成されている。このように、定電圧回路CVGを共用することで、基準電圧生成回路を2つに分けて設けたことに伴う回路規模の増大を抑えることができる。基準電圧生成回路21b、22bと、21c、22cも同様である。定電流源CSは、電源電圧依存性および温度依存性のない基準電圧を生成するバンドギャップリファレンス回路と、生成された基準電圧をベースもしくはゲートに受けるバイポーラ・トランジスタもしくはMOSトランジスタとにより構成することができる。

30

【0034】

ローカルA/D変換回路15は、図3に示されているように、差動アンプからなる8個の比較器CMP1～CMP8と、同一容量値の8対の入力容量 $C_{11}$ 、 $C_{12}$ ；…… $C_{81}$ 、 $C_{82}$ と、8組のスイッチSW11～SW14；……SW81～SW84とからなるマルチビット構成とされている。各比較器CMP1～CMP8には、基準電圧 $V_{ref(+)}$ 、 $V_{cm}$ 、 $V_{ref(-)}$ をラダー抵抗 $R_1$ ～ $R_7$ からなる分圧回路で分割して生成した参照電圧 $V_{r1(+)}$ 、 $V_{r1(-)}$ ；…… $V_{r4(+)}$ 、 $V_{r4(-)}$ がスイッチSW11、SW14；……SW81、SW84を介して入力容量 $C_{11}$ 、 $C_{12}$ ；…… $C_{81}$ 、 $C_{82}$ に印加可能にされるとともに、積分回路14からの差動出力が差動入力 $V_{in(+)}$ 、 $V_{in(-)}$ としてスイッチSW12、SW13；……SW82、SW83を介して入力容量 $C_{11}$ 、 $C_{12}$ ；…… $C_{81}$ 、 $C_{82}$ に印加可能にされている。

40

【0035】

図3のローカルA/D変換回路15は、第1フェーズ(基準クロック0の1周期の前半)でスイッチSW11、SW14；……SW81、SW84がオン状態にされて入力容量 $C_{11}$ 、 $C_{12}$ …… $C_{81}$ 、 $C_{82}$ に参照電圧 $V_{r1(+)}$ 、 $V_{r1(-)}$ ；…… $V_{r4(+)}$ 、 $V_{r4(-)}$

50

-)に応じた電荷が蓄積された後、第2フェーズ(基準クロック 0の1周期の後半)でスイッチSW11, SW14; ... SW81, SW84がオフされ、代わってSW12, SW13; ... SW82, SW83がオン状態にされて入力容量C11, C12; ... C81, C82に入力Vin, Vin(-)が供給されVin(+), Vin(-)と参照電圧Vr1(+), Vr1(-); ... Vr4(+), Vr4(-)との差電圧に応じた電荷がC11, C12; ... C81, C82に残ることで、比較器CMP1~CMP8がそれぞれいずれの入力電圧が高いかを判定し、8個の比較結果J1~J8を出力するように動作する。

【0036】

具体的には、 $V_{in} > V_{r1(+)}$ のときはJ1~J8がオール"1"、 $V_{r1(+)} > V_{in} > V_{r2(+)}$ のときはJ1~J7="1", J8="0"に、 $V_{r2(+)} > V_{in} > V_{r3(+)}$ のときはJ1~J6="1", J7, J8="0"に、 $V_{r2(+)} > V_{in} > V_{r3(+)}$ のときはJ1~J5="1", J6~J8="0"に、...  $V_{r3(-)} > V_{in} > V_{r4(-)}$ のときはJ1="1", J2~J8="0"に、 $V_{r4(-)} > V_{in}$ のときはJ1~J8="0"になる。

10

【0037】

なお、図3のローカルA/D変換回路15は、回路動作的には中間電圧Vcmは不要であるが、ラダー抵抗の midpoint に電圧Vcmを与えることで、分圧電圧の精度を高めるとともにカップリング容量などを介して飛び込んでくるノイズに対して分圧電圧を安定化させることができる。

【0038】

ローカルD/A変換回路17, 18は、図4に示されているように、一方の端子同士が共通結合された同一容量値の8個の容量C91~C98と、これらの容量C91~C98の他方の端子にそれぞれ接続され3個を一組とする8組のスイッチS11, S12, S13; ... S81, S82, S83と、容量C91~C98の共通結合ノードと出力端子OUTとの間に接続されたスイッチSWOと、容量C91~C98の共通結合ノードと基準電圧Vcmが印加されたアナロググランド端子との間に接続されたスイッチSWGとから構成されている。

20

【0039】

上記8組のスイッチS11~S13; ... S81~S83のうち最初のスイッチS11, S21, S31... S81は中間の基準電圧Vcmを容量C91~C98に伝え、次のスイッチS12, S22, S32... S82は正の基準電圧Vref(+)を容量C91~C98に伝え、残りのスイッチS13, S23, S33... S83は負の基準電圧Vref(-)を容量C91~C98に伝えるためのものである。正の基準電圧Vref(+)を容量C91~C98に伝えるスイッチS12, S22, S32... S82と、負の基準電圧Vref(-)を容量C91~C98に伝えるスイッチS13, S23, S33... S83は、前記ローカルA/D変換回路15の8個の比較器CMP1~CMP8の出力J1~J8に応じて、いずれか一方がオン状態にされ他方がオフ状態にされる。

30

【0040】

図4のローカルD/A変換回路は、第1フェーズでは、図4(A)のように、スイッチS11, S21, S31... S81と出力スイッチSWOがオフ状態に、またスイッチSWGがオン状態にされて、スイッチS12, S22, S32... S82とS13, S23, S33... S83がローカルA/D変換回路15の出力J1~J8に応じてオンまたはオフ状態にされて、オン状態のスイッチの入力(Vref(+)またはVref(-))とVcmとの差電位に応じた電荷が容量C91, C92... C98に蓄積される。

40

【0041】

その後、第2フェーズでは、図4(B)のように、スイッチS11, S21, S31... S81と出力スイッチSWOがオン状態に、またスイッチSWGとスイッチS12, S22, S32... S82およびS13, S23, S33... S83がオフ状態にされて、容量C91, C92... C98に蓄積されていた電荷を合算した電圧がスイッチSWOを介して出力端子OUTに伝達され出力されるように動作する。

【0042】

50

積分回路 1 2 , 1 4 は、図 5 に示されているように、差動アンプ A M P と、該差動アンプ A M P の差動出力端子と差動入力端子との間に接続された一対の積分容量 C M 1 , C M 2 と、差動アンプ A M P の差動入力端子と入力ノード N 1 , N 2 との間に接続されたスイッチ S I 1 , S I 2 と、上記入力ノード N 1 , N 2 と基準電圧 V c m が印加されたアナロググランド端子との間に接続された一対のスイッチ S G 1 , S G 2 と、上記入力ノード N 1 , N 2 に一方の端子が結合された一対の入力容量 C I 1 , C I 2 と、これらの容量 C I 1 , C I 2 の他方の端子にそれぞれ接続された 2 組のスイッチ S I 1 1 , S I 1 2 および S I 2 1 , S I 2 2 から構成されている。

【 0 0 4 3 】

上記 2 組のスイッチ S I 1 1 , S I 1 2 および S I 2 1 , S I 2 2 のうちスイッチ S I 1 1 , S I 2 1 は中間の基準電圧 V c m を入力容量 C I 1 , C I 2 に伝え、他方のスイッチ S I 1 2 , S I 2 2 は前段の回路からの入力信号 V in , V in(-) を入力容量 C I 1 , C I 2 に伝えるためのものである。また、本実施例の積分回路は上記入力ノード N 1 , N 2 に、ローカル D / A 変換回路 1 7 a , 1 7 b の出力端子が接続されている。これにより、図 5 の積分回路は、図 1 の加算回路 1 1 と積分回路 1 2 (または加算回路 1 3 と積分回路 1 4 ) とを含んだような回路として構成されている。

【 0 0 4 4 】

なお、ローカル D / A 変換回路 1 7 a と 1 7 b は、それぞれアナロググランド端子に印加された基準電圧 V c m を中心電位 ( 0 V ) として絶対値が同一である正電圧と負電圧を出力する回路であり、積分回路 1 2 , 1 4 が図 5 に示されているように、差動型の回路である場合には、図 4 のローカル D / A 変換回路 ( 1 7 a ) とは別に、図 4 と同一の構成を有し逆相の動作を行なうローカル D / A 変換回路 ( 1 7 b ) が設けられる。

【 0 0 4 5 】

また、積分回路 1 2 , 1 4 の容量 C I 1 , C I 2 は、ローカル D / A 変換回路の容量 C 9 1 ~ C 9 8 との比が最適になるように設定され、その容量比は A / D 変換回路の持つ伝達関数により決定される。容量の絶対値は、雑音レベルや、容量を半導体チップに形成する際の加工精度に応じて決定される。また、A / D 変換回路の伝達関数は、要求される S N 比や A / D 変換回路の安定性を考慮して、シミュレーションにより決定される。

【 0 0 4 6 】

図 6 には、図 5 の積分回路内のスイッチをオン、オフさせる互いに位相が異なる動作クロック 1 と 2 のタイミングが示されている。動作クロック 1 と 2 は、貫通電流が流れるのを防止するため、基準クロック 0 に基づいてそれぞれハイレベルの期間が重ならないように形成される。

【 0 0 4 7 】

図 5 の積分回路は、第 1 フェーズで動作クロック 1 によりスイッチ S G 1 , S G 2 と S I 1 1 , S I 2 1 がオン状態にされて入力容量 C I 1 , C I 2 に入力信号 V in , V in(-) に応じた電荷が蓄積された後、第 2 フェーズでスイッチ S G 1 , S G 2 と S I 1 1 , S I 2 1 がオフされ、代わって動作クロック 2 により S I 1 , S I 2 と S I 1 2 , S I 2 2 がオン状態にされて入力 V in , V in(-) と基準電圧 V c m との差電圧に応じた電荷が C I 1 , C I 2 に残る。さらに、これと同時にローカル D / A 変換回路 1 7 a と 1 7 b からの出力電圧がノード N 1 , N 2 に印加されて加算された電圧が、スイッチ S I 1 , S I 2 を介して差動アンプ A M P の差動入力端子に供給されて、入力容量 C I 1 , C I 2 と積分容量 C M 1 , C M 2 との間の電荷再配分によって、入力電圧を積分した電圧を出力するように動作する。

【 0 0 4 8 】

上記のように、ローカル A / D 変換回路 1 5 とローカル D / A 変換回路 1 7 , 1 8 がスイッチング動作して内部のスイッチのオン動作により基準電圧生成回路 2 1 , 2 2 からの基準電圧 V ref(+), V c m , V ref(-) が供給される場合、基準電圧生成回路 2 1 , 2 2 の出力インピーダンスあるいは基準電圧生成回路 2 1 , 2 2 からローカル A / D 変換回路 1

10

20

30

40

50

5とローカルD/A変換回路17, 18まで定電圧を供給する配線の持つインピーダンスが大きいと、スイッチがオンされたときに基準電圧 $V_{ref}(+)$ ,  $V_{cm}$ ,  $V_{ref}(-)$ が変動するおそれがあるが、図1に示されているように、本実施例においては、基準電圧生成回路21a, 21b, 21cに安定化容量 $C_{a1}$ ,  $C_{b1}$ ,  $C_{c1}$ が、また基準電圧生成回路22a, 22b, 22cに安定化容量 $C_{a2}$ ,  $C_{b2}$ ,  $C_{c2}$ がそれぞれ接続されているため、インピーダンスを下げることができ、それによってスイッチング動作の際の基準電圧 $V_{ref}(+)$ ,  $V_{cm}$ ,  $V_{ref}(-)$ の変動を抑制することができる。

【0049】

図7には、本発明にかかるA/D変換回路の第2の実施例が示されている。本実施例のA/D変換回路も図1と同様な2次の変調方式のA/D変換回路である。

この実施例では、ローカルA/D変換回路15で必要とされる基準電圧 $V_{ref}(+)$ ,  $V_{cm}$ ,  $V_{ref}(-)$ を生成する基準電圧生成回路21a, 21b, 21cと、ローカルD/A変換回路17, 18のうち初段側のローカルD/A変換回路17で必要とされる基準電圧 $V_{ref}(+)$ ,  $V_{cm}$ ,  $V_{ref}(-)$ を生成する基準電圧生成回路22a, 22b, 22cとが別個の回路として設けられている。これとともに、ローカルD/A変換回路17, 18のうち後段側のローカルD/A変換回路18で必要とされる基準電圧 $V_{ref}(+)$ ,  $V_{cm}$ ,  $V_{ref}(-)$ を生成する基準電圧生成回路は、ローカルA/D変換回路15用の基準電圧生成回路21a, 21b, 21cと共用されている。

【0050】

この実施例においても、各基準電圧生成回路21a, 21b, 21cの出力端子には比較的小さな安定化容量 $C_{a1}$ ,  $C_{b1}$ ,  $C_{c1}$ が、また基準電圧生成回路22a, 22b, 22cの出力端子には比較的大きな安定化容量 $C_{a2}$ ,  $C_{b2}$ ,  $C_{c2}$ がそれぞれ接続されている。なお、安定化容量 $C_{a1}$ ,  $C_{b1}$ ,  $C_{c1}$ の容量値は第1の実施例と同一もしくは若干大きい程度にすればよく、安定化容量 $C_{a2}$ ,  $C_{b2}$ ,  $C_{c2}$ の容量値は第1の実施例と同一もしくは若干小さくすることができる。

【0051】

2次の型A/D変換回路においては、初段側のローカルD/A変換回路17には出力と同程度の高精度が要求される一方、後段側のローカルD/A変換回路18には高い精度が必要でないので、本実施例のように、ローカルA/D変換回路15に用いられる基準電圧を生成する基準電圧生成回路とローカルD/A変換回路18に用いられる基準電圧を生成する基準電圧生成回路を共用させたとしても精度上問題はない。

【0052】

図8には、本発明に係るA/D変換回路の第3の実施例が示されている。本実施例のA/D変換回路はパイプライン型のA/D変換回路である。

サンプルホールド回路31によりサンプリングされた入力信号 $V_{in}$ は、第1ステージの1ビットのローカルA/D変換回路32aによりデジタル信号に変換されてMSB(最上位ビット)の信号として出力されるとともに、該ローカルA/D変換回路32aの出力はローカルD/A変換回路33aによりアナログ信号に戻されて加算回路34aで入力信号 $V_{in}$ との差分が取られ、この差分が第2ステージで変換される。

【0053】

第2ステージでは、加算回路34aから出力された入力信号 $V_{in}$ とD/A変換回路33aの出力との差分が増幅回路35aによって増幅され、これが1ビットのローカルA/D変換回路32bによりデジタル信号に変換されて第2ビットの信号として出力されるとともに、該ローカルA/D変換回路32bの出力はローカルD/A変換回路33bによりアナログ信号に戻されて加算回路34bで増幅回路35aの出力との差分が取られ、この差分が第2ステージで変換される。

【0054】

第3ステージでは、加算回路34bから出力された増幅回路35aの出力とD/A変換回路33bの出力との差分が増幅回路35bによって増幅され、これが1ビットのローカルA/D変換回路32cによりデジタル信号に変換されて第3ビットの信号として出力

10

20

30

40

50

される。上記動作を繰り返すことでステージ数に応じた解像度を有するA/D変換出力が得られる。

#### 【0055】

本実施例のA/D変換回路では、ローカルA/D変換回路で生じた量子化誤差はステージが進むに従って増幅されるため、前のステージのローカルA/D変換回路ほど後のステージのローカルA/D変換回路に比べて高い精度が必要とされる。そこで、この実施例では、初段のローカルA/D変換回路32aで必要とされる基準電圧Vref(+), Vcm(0V), Vref(-)を生成する基準電圧生成回路22a, 22b, 22cと、第2ステージ以降のローカルA/D変換回路32b, 32c...で必要とされる基準電圧Vref(+), Vcm, Vref(-)を生成する基準電圧生成回路21a, 21b, 21cとが別個の回路として設けられている。

10

#### 【0056】

これとともに、各基準電圧生成回路21a, 21b, 21cの出力端子には比較的小さな安定化容量Ca1, Cb1, Cc1が、また基準電圧生成回路22a, 22b, 22cの出力端子には比較的大きな安定化容量Ca2, Cb2, Cc2がそれぞれ接続されている。これによって、第1の実施例のA/D変換回路と同様な効果が得られる。なお、図8においては、初段のローカルA/D変換回路32a用の基準電圧生成回路22a, 22b, 22cで生成された基準電圧Vref(+), Vcm, Vref(-)をローカルA/D変換回路32aに供給する配線のみ示されているが、基準電圧Vref(+), Vcm, Vref(-)はローカルD/A変換回路33aにも供給される。基準電圧生成回路21a, 21b, 21cで生成された基準電圧Vref(+), Vcm, Vref(-)についても同様である。

20

#### 【0057】

図7に示されている実施例と同様に、初段のローカルA/D変換回路32aで必要とされる基準電圧Vref(+), Vcm, Vref(-)を生成する基準電圧生成回路と第2ステージのローカルA/D変換回路32bで必要とされる基準電圧Vref(+), Vcm, Vref(-)を生成する基準電圧生成回路とを共用し、第3ステージ以降のローカルA/D変換回路32cで必要とされる基準電圧Vref(+), Vcm, Vref(-)を生成する基準電圧生成回路を別個の回路として設けるように構成しても良い。

#### 【0058】

次に、上記実施例の型A/D変換回路を、RF-ICに内蔵されて復調回路で復調されたI, Q信号をデジタル信号に変換するA/D変換器として使用したRF-ICおよび無線通信システムの構成例を、図9を用いて説明する。

30

#### 【0059】

図9に示されているように、この実施例の無線通信システムは信号電波の送受信アンテナ100、送受信切り替え用のスイッチ110、受信信号から不要波を除去するSAWフィルタなどからなる高周波フィルタ120a~120d、送信信号を増幅する高周波電力増幅回路(パワーモジュール)130、受信信号を復調したり送信信号を変調したりする高周波IC200、送信データをI, Q信号に変換したり高周波IC200を制御したりするベースバンド回路300などで構成される。高周波IC200とベースバンド回路300は、各々別個の半導体チップ上に半導体集積回路として構成される。

40

#### 【0060】

特に制限されるものでないが、この実施例の高周波IC200は、GSM850とGSM900、DCS1800、PCS1900の通信方式による4つの周波数帯の信号の復調が可能に構成されている。また、これに応じて、高周波フィルタは、GSM850の周波数帯の受信信号を通過させるフィルタ120aと、GSM900の周波数帯の受信信号を通過させるフィルタ120bと、DCS1800の周波数帯の受信信号を通過させるフィルタ120cと、PCS1900の周波数帯の受信信号を通過させるフィルタ120dとが設けられている。

#### 【0061】

本実施例の高周波IC200は、大きく分けると、受信系回路RXCと、送信系回路T

50

X Cと、それ以外の制御回路やクロック生成回路など送受信系に共通の回路からなる制御系回路C T Cとで構成される。

【 0 0 6 2 】

受信系回路R X Cは、G S M 8 5 0、G S M 9 0 0、D C S 1 8 0 0、P C S 1 9 0 0の各周波数帯の受信信号をそれぞれ増幅するロウノイズアンプ2 1 0 a, 2 1 0 b, 2 1 0 c, 2 1 0 dと、局部発振信号 RFを生成する高周波発振回路(R F V C O) 2 5 1と、分周回路や位相比較回路、チャージポンプ、ループフィルタなどからなり前記高周波発振回路(R F V C O) 2 5 1と共にR F - P L L回路を構成するR Fシンセサイザ2 5 2と、前記R F - P L L回路で生成された局部発振信号 RFを分周し互いに9 0 °位相がずれた直交信号を生成する分周移相回路2 1 1 a, 2 1 1 bと、ロウノイズアンプ2 1 0 a, 2 1 0 bで増幅されたG S M系の受信信号に分周移相回路2 1 1で生成された直交信号をミキシングすることにより復調およびダウンコンバートを行なうミキサ回路2 1 2 aと、ロウノイズアンプ2 1 0 c, 2 1 0 dで増幅されたD C SとP C S系の受信信号に分周移相回路2 1 1 bで生成された直交信号をミキシングすることにより復調およびダウンコンバートを行なうミキサ回路2 1 2 bを備える。

10

【 0 0 6 3 】

受信系回路R X Cは、さらに、前記ミキサ回路2 1 2 a, 2 1 2 bにより復調されたI, Q信号をそれぞれ増幅してベースバンド回路3 0 0へ出力する各周波数帯に共通の高利得増幅部2 2 0 A, 2 2 0 Bと、高利得増幅部2 2 0 A, 2 2 0 B内のアンプの入力D Cオフセットをキャンセルするためのオフセットキャンセル回路2 1 3と、高利得増幅部2 2 0 A, 2 2 0 Bで増幅されたI, Q信号をそれぞれ例えば3ビットのデジタル信号に変換する前記実施例のような構成を有するA / D変換回路2 3 1 A, 2 3 1 Bと、変換された3ビットの時間軸方向に高い解像度を有する信号を1 4ビットの電圧方向に高い解像度を有する信号に変換するデシメーションフィルタ回路2 3 2 A, 2 3 2 Bなどを備える。3ビットの信号を1 4ビットの低周波数の信号に変換することにより、高周波I C 2 0 0からベースバンド回路3 0 0へのデータの転送速度を落とすことができる。

20

【 0 0 6 4 】

高利得増幅部2 2 0 Aは、複数のロウパスフィルタL P F 1 1, L P F 1 2, L P F 1 3, L P F 1 4と利得制御アンプP G A 1 1, P G A 1 2, P G A 1 3とが交互に直列形態に接続され、最終段にアンプA M P 1が接続された構成を有しており、復調されたI信号を不要波を除去しつつ所定の振幅レベルまで増幅する。高利得増幅部2 2 0 Bも同様に、複数のロウパスフィルタL P F 2 1, L P F 2 2, L P F 2 3, L P F 2 4と利得制御アンプP G A 2 1, P G A 2 2, P G A 2 3とが交互に直列形態に接続され、最終段にアンプA M P 2が接続された構成を有しており、復調されたQ信号を所定の振幅レベルまで増幅する。

30

【 0 0 6 5 】

オフセットキャンセル回路2 1 3は、各利得制御アンプP G A 1 1 ~ P G A 2 3に対応して設けられ入力端子間を短絡した状態におけるそれらの出力電位差をデジタル信号に変換するA / D変換回路(A D C)と、これらのA / D変換回路による変換結果に基づき、対応する利得制御アンプP G A 1 1 ~ P G A 2 3の出力のD Cオフセットを「0」とするような入力オフセット電圧を生成し差動入力に対して与えるD / A変換回路(D A C)と、これらのA / D変換回路(A D C)とD / A変換回路(D A C)を制御してオフセットキャンセル動作を行なわせる制御回路などから構成される。デシメーションフィルタ回路2 3 2 A, 2 3 2 Bにより変換された1 4ビットのデジタルI, Q信号は、デジタルインタフェース回路2 4 0を介してベースバンドL S I 3 0 0へ出力される。

40

【 0 0 6 6 】

送信系回路T X Cは、図示しないが、ベースバンド回路3 0 0から供給されるI信号とQ信号により変調をかける変調回路と、変調された信号を送信周波数の信号にアップコンバートする周波数変換回路とが設けられている。アップコンバートされた送信信号はパワーモジュール1 3 0により電力増幅され、フィルタ1 4 1, 1 4 2により不要波を除去さ

50

れた後、切替えスイッチ110を経てアンテナ100に供給される。特に制限されるものでないが、パワーモジュール130には、GSM系の送信信号を増幅するパワーアンプ131と、DCSとPCS系の送信信号を増幅するパワーアンプ132とが設けられている。GSM方式では、送信と受信は時間的に別々に行なわれるので、RF-VC0251を受信系回路RXCと送信系回路TXCの共通の発振回路として使用するよう構成することも可能である。

#### 【0067】

また、この実施例の高周波IC200のチップ上には、チップ全体を制御する制御回路260と、基準発振信号refを生成する基準発振回路(VCXO)261と、該基準発振信号refに基づいて前記A/D変換回路231A, 231Bの動作タイミングを与えるクロック信号1, 2や制御回路260により生成されるチップ内部の制御信号の基準となるクロック信号を生成するタイミング発生回路262とが設けられている。

10

#### 【0068】

なお、基準発振信号refは周波数精度の高いことが要求されるため、基準発振回路261には外付けの水晶振動子が接続される。基準発振信号refとしては、26MHz(あるいは13MHz)のような周波数が選択される。かかる周波数の水晶振動子は、汎用部品であり容易に手に入れることができるためである。本実施例のRF-ICにおいては、A/D変換回路231A, 231Bの動作タイミングを与えるクロック信号1, 2も26MHzとされている。一方、A/D変換回路231A, 231Bへ入力される被変換信号は数100kHzのような周波数とされる。これにより、オーバーサンプリングによるA/D変換が可能とされる。

20

#### 【0069】

制御回路260には、ベースバンドLSI300から同期用のクロック信号CLKと、データ信号SDATAと、制御信号としてのロードイネーブル信号LENとが供給されており、制御回路260は、ロードイネーブル信号LENが有効レベルにアサートされると、ベースバンド回路300から伝送されてくるデータ信号SDATAをクロック信号CLKに同期して順次取り込んで、チップ内部の制御信号を生成する。特に制限されるものでないが、データ信号SDATAはシリアルで伝送される。ベースバンドLSI300はマイクロプロセッサなどから構成される。

#### 【0070】

本実施例の高周波IC200においては、受信系回路の最終段にA/D変換回路231A, 231Bを設けてI, Q信号をデジタル化するようにしているため、ベースバンド回路300への伝送ロスがなく、S/Nを向上させることができる。また、デジタルI, Q信号を受けるベースバンド回路300側においてデジタルフィルタ処理などを行なうよう構成することで、高利得増幅部220A, 220Bではそれほど高いゲインで受信信号を増幅してノイズを除去しなくても精度の高い受信データを得ることができるようになるので、高利得増幅部220A, 220Bの多段接続されている利得制御アンプとフィルタを簡略化することができ、これによりチップサイズの低減が可能になる。

30

#### 【0071】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば、実施例においては、ローカルA/D変換回路用の基準電圧生成回路とローカルD/A変換回路用の基準電圧生成回路の両方にそれぞれ安定化容量を接続した例を示したが、例えばボルテージフォロワをサイズの大きなトランジスタで構成するなどして出力インピーダンスの低いローカルA/D変換回路用の基準電圧生成回路を用いるようにすれば安定化容量を省略することが可能である。ただし、そのようにすると、基準電圧生成回路の占有面積が大きくなるので、安定化容量を設けることにより増加する面積との関係でどちらにするか決定すればよい。特にローカルA/D変換回路用の基準電圧生成回路に関しては、生成する基準電圧に要求される精度が低いので、安定化容量を省略することができる可能性が高い。

40

50

## 【 0 0 7 2 】

また、前記実施例においては、基準電圧  $V_{ref(+)}$  と  $V_{ref(-)}$  に対して別個にボルテージフォロワ  $V_{F1}$  と  $V_{F2}$  を設けているが、反転出力端子と非反転出力端子を有し反転出力端子と非反転入力端子との間および非反転出力端子と反転入力端子との間にそれぞれ抵抗が接続された1個の差動出力型のアンプから基準電圧  $V_{ref(+)}$  と  $V_{ref(-)}$  を出力させるように構成しても良い。

## 【 0 0 7 3 】

さらに、実施例においては、本発明を2次の型A/D変換回路に適用した場合について説明したが、本発明は、1次の型A/D変換回路や3次以上の型A/D変換回路にも適用することができる。また、実施例においては、ローカルA/D変換回路やローカルD/A変換回路がスイッチド・キャパシタ型の回路で構成されている場合を説明したが、スイッチド・キャパシタ型でないローカルA/D変換回路やローカルD/A変換回路を使用する場合にも適用することが可能である。

## 【産業上の利用可能性】

## 【 0 0 7 4 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話機のような無線通信システムに用いられる高周波ICに適用した場合について説明したが、本発明はそれに限定されるものでなく、型A/D変換器を内蔵した通信以外の半導体集積回路に対しても本発明を適用することができる。

## 【図面の簡単な説明】

## 【 0 0 7 5 】

【図1】本発明に係る変調方式のA/D変換回路の第1の実施例を示すブロック図である。

【図2】実施例の型A/D変換器における基準電圧生成回路の具体例を示す回路構成図である。

【図3】実施例の型A/D変換回路におけるローカルA/D変換回路の具体例を示す回路構成図である。

【図4】実施例の型A/D変換回路におけるローカルD/A変換回路の具体例を示す回路構成図である。

【図5】実施例の型A/D変換回路における積分回路の具体例を示す回路構成図である。

【図6】図5の積分回路内のスイッチをオン、オフさせる動作クロック1と2のタイミングを示すタイミングチャートである。

【図7】本発明に係る変調方式のA/D変換回路の第2の実施例の機能ブロック図である。

【図8】本発明に係るA/D変換回路の第3の実施例の機能ブロック図である。

【図9】実施例のA/D変換回路を、RF-ICに内蔵されて復調されたI, Q信号をデジタル信号に変換するA/D変換器として使用したRF-ICおよび無線通信システムの構成例を示すブロック図である。

## 【符号の説明】

## 【 0 0 7 6 】

- 11, 13 加算回路
- 12, 14 積分回路
- 15 ローカルA/D変換回路
- 17, 18 ローカルD/A変換回路
- 21, 22 基準電圧生成回路
- 51 量子化回路
- 52 エンコーダ
- 100 アンテナ
- 130 パワーモジュール

10

20

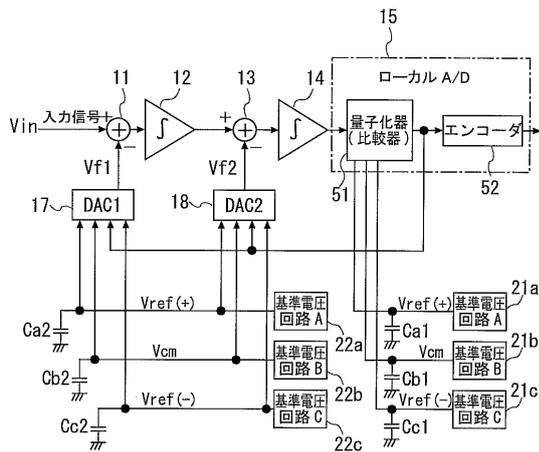
30

40

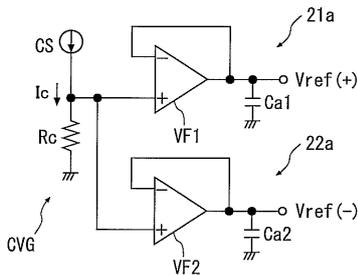
50

- 2 0 0 高周波 I C ( R F - I C )
- 2 1 0 ロウノイズアンプ
- 2 1 2 ミキサ
- 2 2 0 高利得増幅部
- 2 3 1 3ビット A / D 変換回路
- 2 5 1 高周波発振回路
- 2 6 1 基準発振回路

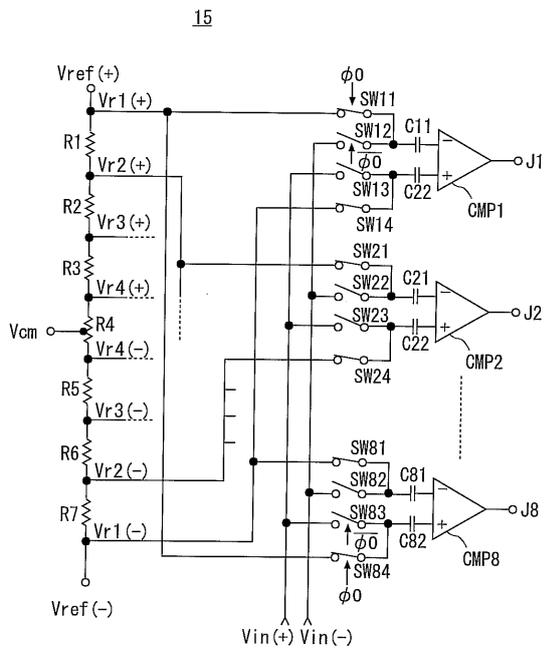
【 図 1 】



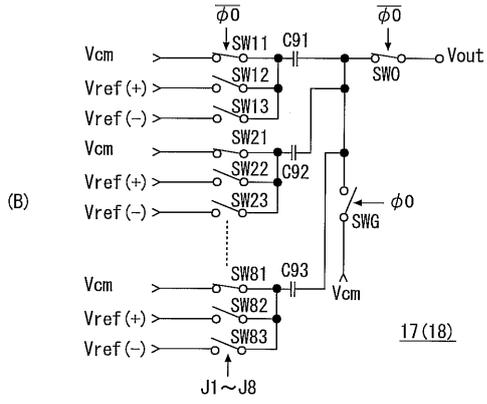
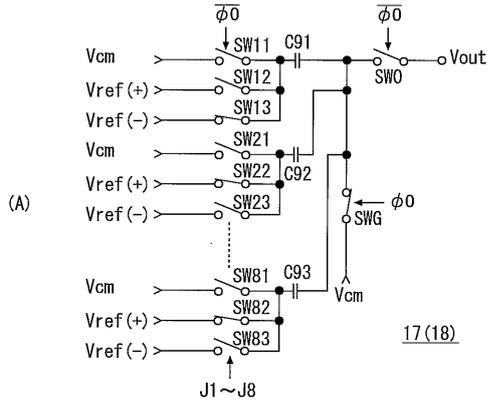
【 図 2 】



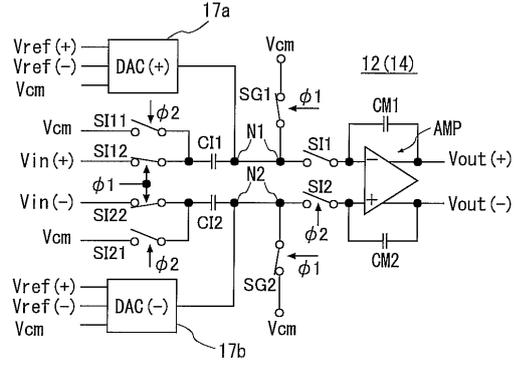
【 図 3 】



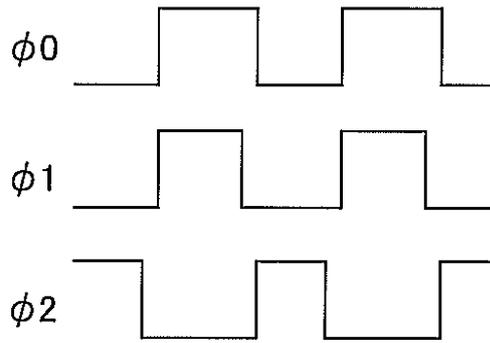
【図4】



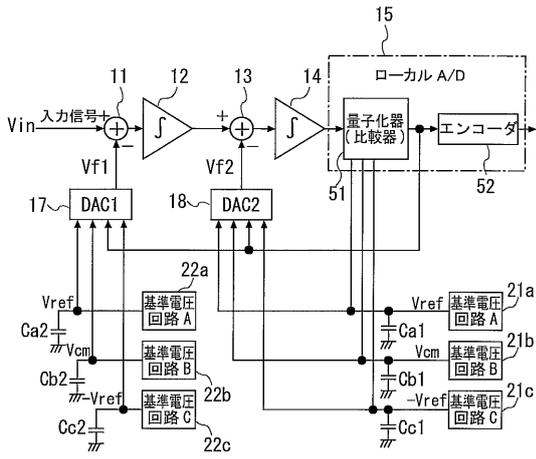
【図5】



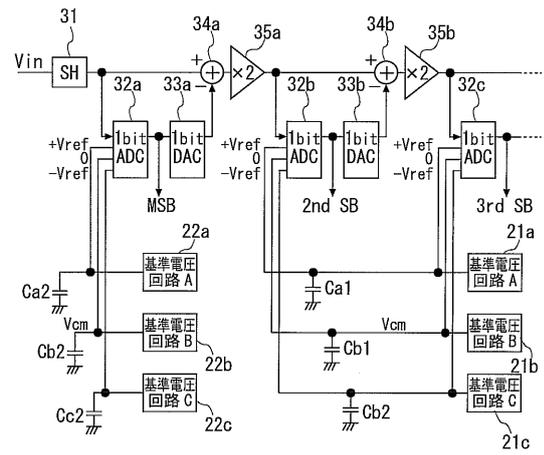
【図6】



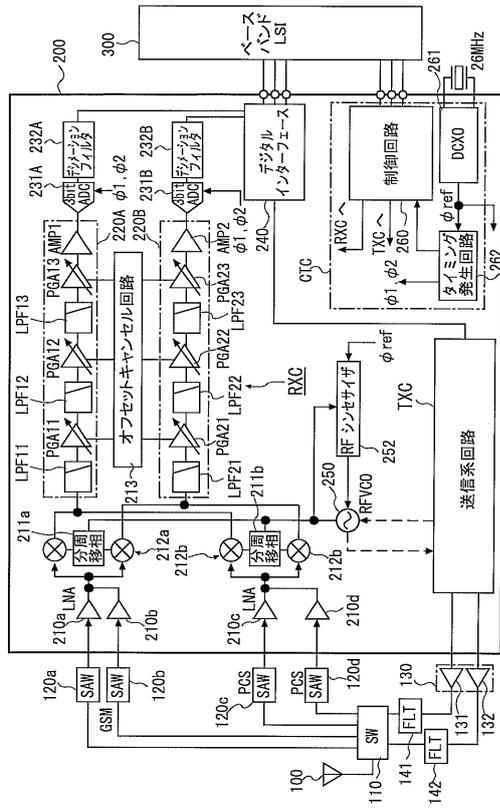
【図7】



【図8】



【図9】



---

フロントページの続き

審査官 北村 智彦

- (56)参考文献 特開平06 - 104757 (JP, A)  
国際公開第02 / 084880 (WO, A1)  
国際公開第03 / 065590 (WO, A1)  
特表2001 - 526487 (JP, A)  
特開平10 - 242862 (JP, A)  
特開平07 - 074646 (JP, A)  
特開平06 - 177769 (JP, A)  
特開昭63 - 039216 (JP, A)  
特開2003 - 008439 (JP, A)  
特表2002 - 527978 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M3 / 00 - 11 / 00  
H03M 1 / 14  
H03M 1 / 36  
H03M 1 / 76