

發明專利說明書 200539588

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94 115754

※申請日期：94.5.16

※IPC 分類：H04B 1/69

一、發明名稱：(中文/英文)

展頻訊號之擷取裝置及方法

G01S 1/00

APPARATUS AND METHOD FOR ACQUIRING SPREAD-SPECTRUM
SIGNALS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

旺玖科技股份有限公司

PROLIFIC TECHNOLOGY INC.

代表人：(中文/英文)

張景棠

CHANG, CHING TANG

住居所或營業所地址：(中文/英文)

台北市南港區南港路三段48號7樓

7FL., NO. 48, SEC. 3, NAN KANG RD., NAN KANG DIST., TAIPEI 115,
TAIWAN, R.O.C.

國 籍：(中文/英文)

中華民國 REPUBLIC OF CHINA

三、發明人：(共 1 人)

姓 名：(中文/英文)

黃奕平

HUANG, YI PING

國 籍：(中文/英文)

中華民國 REPUBLIC OF CHINA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年05月17日；10/847,244

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種展頻訊號之擷取裝置及擷取方法，特別係關於一種可即時擷取微弱展頻訊號之裝置及方法。

【先前技術】

全球定位系統(global positioning system, GPS)係由衛星建構之導航定位網路，其具有24顆環繞地球上空11,000英哩之衛星，這24顆衛星係分布在6個軌道上且環繞地球飛行。每顆衛星以12小時之週期環繞地球，並發出專屬的虛擬亂碼(pseudo-random, PN)。藉由在相同頻譜中使用不同的虛擬亂碼序列，衛星彼此之間可共享頻寬而不會干擾彼此之訊號。應用於GPS之虛擬亂碼具有1023個符片(chip)且其週期為1毫秒。

GPS接收器係使用不同的虛擬亂碼序列來搜尋一符合之展頻訊號。若找到一符合之展頻訊號，則該接收器即可辨識發出該展頻訊號之衛星。大部分傳統的GPS接收器均採用序列關聯器來擷取、追蹤及解調衛星發出之展頻訊號。一般用途之展頻訊號的資料速率係50位元/秒、並以二進位相移鍵(BPSK)編碼而具1.023百萬符片/秒，且調變於一頻率1575.42百萬赫茲之載波上。

若欲藉由一GPS訊號來量測位置，接收器必須先解析未知之載波頻率以及展頻訊號之碼相位不確定性。未知之載波頻率係源自於衛星與接收器之相對移動所產生之都卜勒頻率變動，以及接收器與衛星之計時頻率的差異。碼相位

不確定性則係源自於接收器與衛星之計時頻率間之差異。

傳統接收器係以試誤法搜尋隱藏於環境雜訊中之展頻訊號。試誤法利用本身之關聯器產生一假定之載波頻率及相位之複製虛擬亂碼，並比對接收之虛擬亂碼與自身產生之複製虛擬亂碼在一週期內之關聯性。之後，將具有1023個符片之複製虛擬亂碼每次移動半個符片，再與接收訊號比對，直到找到符合之接收訊號。當找出符合的複製虛擬亂碼後，該關聯器之輸出即為一強訊號。若在整個1023個符片之中均找不到符合的複製虛擬亂碼，則改變載波之頻率及相位後再進行比對，直到找出符合的複製虛擬亂碼。由於虛擬亂碼之週期為1毫秒且具1023個可能相位，因此搜尋單一載波頻率之所有相位總共需要1.023秒。一般用途之GPS接收器搜尋一可目視之衛星總共需要嘗試36個載波頻率。由此可知，即使對一採用多通道設計之GPS接收器而言，訊號偵測亦是一非常耗時的程序，特別是在微弱訊號雜訊比之環境中。

為了偵測GPS訊號，必須對每一個頻率及相位之組合進行超過1毫秒之關聯程序。當關聯間隔增加一因子N，則頻率之變動大小必須減少為 $1/N$ ，如此將導致整體之搜尋時間增加 N^2 。因此，當使用數毫秒之關聯程序來偵測一微弱之GPS訊號時，訊號之搜尋時間將因耗時太長而不切實際。

近來，GPS在手機操作E-119緊急電話之應用已經逐漸顯現。此一應用要求GPS接收器必須可以在惡劣的環境中操作，例如在室內以數秒時間快速地達成訊號偵測。然而，

欲偵測如此微弱的訊號需要進行較長的關聯程序。一般用途之GPS接收器必須進行超過10毫秒的關聯程序方可鎖定如此微弱的訊號。然而，使用10毫秒的關聯程序來偵測訊號將延長整體搜尋時間100倍，導致無法實際應用於一般用途之接收器上。

由於50位元/秒的導航資料係調變於GPS訊號上，因此超過10毫秒的關聯程序將導致效能嚴重地降低。然而，欲在室內偵測GPS訊號，必須延長GPS訊號之搜尋時間方可偵測約-150dBm的微弱訊號。單一序列關聯器須花費約460秒來搜尋單一頻率之所有相位。即使採用16-通道64-關聯器(16-channel 64-correlator)設計之接收器，對這類微弱訊號的整體擷取時間將因耗時太長而無任何實際的應用。

GPS訊號之整體搜尋時間係反比於所使用之關聯器數目。因此，設計人員利用高時脈電路之時間共享技術來虛擬地建構更多的關聯器，而不須實際增加關聯器的硬體電路。1999年4月27日核准之美國專利5,897,605號揭示一種可快速擷取展頻訊號之接收器，其使用一時間共享電路來實現240個關聯器，具有比傳統12-通道48個關聯器快5倍之優點。然而，這樣的擷取速率仍無法在可接受的時間內偵測GPS訊號。

另，2003年8月12日核准之美國專利6,606,346號揭示一種高速關聯GPS訊號的方法，其實現了在合理時限內偵測GPS訊號之高感度接收器。惟，此一設計需要100百萬赫茲或更高的工作時脈，方可在1毫秒之虛擬亂碼週期內完成分隔半

個符片之完整2046點樣本(sample)的關聯結果。高時脈意味著需要消耗更多的功率，因而不適用於以電池供應電源之可攜式裝置。

因此，低操作功率之可攜式裝置需要一種可顯著地加速訊號擷取速度、達成高感度及操作於一低時脈之硬體架構。

【發明內容】

本發明之主要目的係提供一種可即時擷取微弱展頻訊號之裝置及方法。

為達成上述目的，本發明揭示一種展頻訊號之擷取裝置，其包含一可從該展頻訊號產生一同相位訊號及一正交相位訊號之混波器、一連接於該混波器之取樣器、一連接於該取樣器之關聯器、一連接於該關聯器之第一同調積分器、一連接於該關聯器之第二同調積分器、一連接於該第一同調積分器及第二同調積分器之非同調積分器以及一連接於該非同調積分器之訊號偵測器。

該取樣器分別從該同相位訊號及該正交相位訊號產生複數個樣本。該關聯器產生該同相位訊號之樣本與一虛擬亂碼之同相位關聯值及該正交相位訊號之樣本與該虛擬亂碼之正交相位關聯值。該第一同調積分器加總複數個同相位關聯值以產生一同相位同調積分值，而該第二同調積分器則加總複數個正交相位關聯值以產生一正交相位同調積分值。該非同調積分器加總複數個同相位關聯值及正交相位關聯值以產生一非同調積分值，而該訊號偵測器根據該非同調積分值檢查該展頻訊號是否存在。

本發明之展頻訊號擷取方法首先從該展頻訊號產生一同相位訊號及一正交相位訊號。之後，將該同相位訊號乘以一虛擬亂碼以產生一同相位關聯值，並將該正交相位訊號乘以該虛擬亂碼以產生一正交相位關聯值。接著加總複數個同相位關聯值以產生一同相位同調積分值以及加總複數個正交相位關聯值以產生一正交相位同調積分值。然後加總複數個同相位同調積分值及正交相位同調積分值以產生一非同調積分值，並根據該非同調積分值檢查該展頻訊號是否存在。

【實施方式】

GPS接收器之定位程序涉及二維檢索，亦即找出正在接收之虛擬亂碼的正確相位及訊號載波之頻率偏移。GPS接收器係藉由檢查接收訊號與自身產生之虛擬亂碼(間隔半個符片)在1毫秒內之關聯值，用以確認每個可能的載波頻率及每個可能的相位。若關聯值大於一預定門檻值，則表示已偵測到訊號，且訊號與虛擬亂碼間之偏移間隔即對應GPS訊號之傳遞時間。若關聯值小於該預定門檻值，則表示未偵測到訊號，因而必須嘗試另一載波頻率及相位的組合。本發明將詳述於下文之GPS應用上，熟悉該項技藝者應瞭解本發明亦可應用於其它通訊產品上，而不侷限於GPS之應用上。

圖1係一使用本發明之GPS接收器100之功能方塊圖。如圖1所示，該接收器100包含一用以接收GPS訊號之天線102、一RF前端電路104、一用以擷取GPS訊號之擷取裝置

200以及複數個用以追蹤GPS訊號之追蹤模組500。該RF前端電路104係用以濾波、放大以及將GPS訊號降頻為一中頻訊號(IF)。該RF前端電路104之輸出解析度可為1位元/樣本至4位元/樣本。下文之敘述主要係以1位元/樣本為實施例。

該擷取裝置200包含一連接於該RF前端電路104之混波器202、一連接於該混波器202之取樣器206、一連接於該取樣器206之關聯器300、一連接於該關聯器300之同調積分器210、一連接於該同調積分器210之非同調積分器230以及一連接於該非同調積分器230之訊號偵測器250。

該混波器202係以一數值控制振盪器(numerically controlled oscillator, NCO)204驅動而產生一基頻訊號。該基頻訊號係由一同相位訊號I1及一正交相位訊號Q1構成，其中I1及Q1之資料速率分別為8樣本/符片。若適當地設定該數值控制振盪器204之頻率，即可消除GPS訊號在該RF前端電路104降頻後之頻率偏移誤差、參考計時器之頻率誤差以及源自於衛星與接收器間之相對移動所產生之都卜勒頻率偏移。在此情況下，頻率之不確定性即可視為已經消除。

該數值控制振盪器204係藉由一時脈控制器208驅動該取樣器206產生一同相位訊號I2及一正交相位訊號Q2，且I2及Q2之資料速率係小於I1及Q1。例如，I1及Q1之資料速率為8樣本/符片，而I2及Q2之資料速率可為2或4樣本/符片。此外，該取樣器206亦可補償都卜勒頻率偏移。

該關聯器300執行I2及Q2與一選取PN碼之高速關聯以產生一同相位訊號I3及一正交相位訊號Q3，其中I3及Q3代表

在每一毫秒之PN碼週期內完整之2046點(對4樣本/符片之資料速率而言則為4092點)的關聯結果。由於GPS之虛擬亂碼的週期為1毫秒，因此從該關聯器300連續地輸出之1毫秒訊框的關聯結果將具有相似之特性。若蒐集複數個1毫秒訊框，並在相同的偏位(offset)下予以加總即可增加訊號雜訊比，如圖2所示。加總四個訊框1101、112、113及114以產生一同調積分訊框115。明顯地，該同調積分訊框115具有一較佳的訊號雜訊比，有助於增加偵測微弱GPS訊號之成功機會。此一程序稱為同調積分，係由該同調積分器210執行。該同調積分器210加總一預定數目之1毫秒訊框以產生具有2046點資料之同相位訊框I4或正交相位訊框Q4。

該同調積分器210在處理GPS訊號之期間係受限於GPS資料調變、訊號因都卜勒效應而引起之載波偏移以及參考頻率之穩定性。對GPS訊號上之50位元/秒且以BPSK調變之資料而言，連續的虛擬亂碼訊框在超過20毫秒時即改變記號。對訊號調變之未知資料位元而言，該同調積分之持續時間係限制於20毫秒內。一般而言，同調積分之持續期間少於10毫秒，而10毫秒之同調積分可提供10分貝(dB)之訊號處理增益。

為進一步增加訊號處理增益以便於偵測微弱訊號，該非同調積分器230平方該同調積分器210輸出之I4及Q4，並予以加總，其可移除載波偏移之旋轉效應以及I4及Q4之50位元/秒調變，而容許進行較長時間的積分以增加接收器之感度。因此，非同調積分之執行時間可持續數秒鐘。該非同

調積分器 230 每次進行一預定數目之同調積分訊框 (I4 及 Q4) 的非同調積分以產生一具有 2046 點資料之非同積分訊框。

該非同調積分器 230 之輸出係傳送至該訊號偵測器 250 以檢查 GPS 訊號是否存在。若在同調及非同調積分處理一預定時間後仍無法偵測到訊號，則嘗試另一不同之 NCO 頻率。若偵測到訊號，該 PN 碼之相位資料可由非同調積分訊框之關聯訊號峯的位置決定。之後，該 PN 碼之相位資料以及頻率偏位資料係傳送至一未使用之追蹤模組 500，其實質上相同於傳統接收器內使用之追蹤模組。在閉迴路模式下，該追蹤模組 500 之載波追蹤迴路及碼追蹤迴路將追蹤由該擷取裝置 200 偵測到之微弱 GPS 訊號。搜尋程序係對所有可視之衛星一直重覆執行，直到該追蹤模組 500 至少追蹤到 4 個衛星後，才可進行 GPS 量測。

對一特定之接收器架構而言，藉由 N-毫秒之同調積分來增加感度將導致整體搜尋速率降低 $1/N^2$ ，而 10 毫秒之同調積分將導致搜尋時間降低 100 倍，而降低至此的效能係無法適用於傳統的 GPS 接收器。本發明揭示一種較不複雜且低實現成本之快速搜尋器，其即便使用 10 毫秒之同調積分及更長時間的非同調積分，所需之整體處理時間仍在合理範圍內。

圖 3 顯示一以匹配濾波器型式直接實現之關聯器 400，其解析度為 $1/2$ 符片 (或 $1/2$ 符片延遲)。該關聯器 400 總共具有 2046 個暫存器，用以容納該取樣器 206 輸出之 2046 個分隔 $1/2$ 符片之樣本。每個樣本均移入該 2046-暫存器之延遲線，

藉由向量乘法計算輸入樣本與PN碼(讀取自一PN碼檢索表唯讀記憶體)之關聯並予以加總。在 $2.046E6$ 樣本/秒之資料速率下，每一毫秒可產生一具有2046點分隔 $1/2$ 符片的關聯結果(即分別產生I3及Q3)。傳統採用12通道48序列關聯器之設計可每一毫秒產生24個分隔 $1/2$ 符片之關聯點。由此可知，匹配濾波器型式之關聯器400的關聯速度比傳統12通道48序列關聯器快85倍。圖3下方之方程式即顯示I通道輸出之17點資料藉由在延遲線上移位而計算關聯結果。然而，此一直覺式實現之關聯器400的延遲線需要非常多的正反器以及非常大量的乘法及加法電路。

圖4例示本發明第一實施例之關聯器300之架構。如圖4所示，該關聯器300包含連接於該取樣器206之序列/並列轉換器302A及302B、連接於該序列/並列轉換器302A及302B之隨機存取記憶體304A及304B、16個連接於該隨機存取記憶體304A及304B之部分關聯模組330A及330B以及一用以儲存PN碼之PN碼檢索表唯讀記憶體306。該序列/並列轉換器302A及302B可將該取樣器206產生之複數個樣本轉換成一字元，該隨機存取記憶體304A及304B之資料寬度可儲存該字元，而該部分關聯模組330A及330B係用以計算該字元與一PN碼片段之部分關聯值。若該取樣器206之取樣速率為 K 樣本/符片，該字元係由 M 個樣本構成，該關聯器300包含 M 個部分關聯模組330A，其中 K 係 $2N$ ， M 係 K 之倍數，且 N 及 M 係正整數。特而言之，該關聯器300之部分關聯模組330A及330B總共有 $2 \times M$ 個(在此 $M=16$)，其中16個部分關聯

模組330A係用以計算I通道之部分關聯值，而另16個部分關聯模組330B則用以計算Q通道之部分關聯值。

自該取樣器206輸出之I2及Q2(2.046E6樣本/秒， $2F_0$)係由該序列/並列轉換器302A及302B組合為16-位元之字元，該字元之資料速率為 $F_0/8$ (或每8個符片間隔即輸出一字元)。該16-位元之字元係寫入記憶空間為128字元 \times 16位元之隨機存取記憶體304A及304B(或一個128字元 \times 32位元之隨機存取記憶體)，其功能係執行如圖3所示之延遲線的工作。一位址產生單元308可產生該隨機存取記憶體304A及304B與該PN碼檢索表唯讀記憶體306之位址指標。就一運作時脈頻率為16.368百萬赫茲($16F_0$)之系統而言，在該序列/並列轉換器302A及302B輸出之二個字元之間共有128個時脈(clock)。在每一個16-位元之字元從該序列/並列轉換器302A傳送至該隨機存取記憶體304A之間，16個部分關聯模組330A使用128個時脈計算16點分隔1/2符片之部分關聯值。由此可知，部分關聯模組330A計算後輸出資料之速率匹配於輸入資料之速率，且I通道及Q通道即時地在1毫秒內分別產生全部2046點的關聯結果。

圖5例示本發明之部分關聯模組330A之架構。如圖5所示，如圖5所示，該部分關聯模組330A包含一關聯單元340、一累加器346以及一門鎖348。該關聯單元340實質上包含16個乘法器342以及一連接於該乘法器342之加法器344。各加法器342計算該16-位元之字元內含之一樣本與該PN碼片段之一對應符片的乘積，而該加法器344則加總該16個加法器

342計算之16個乘積以產生一部分關聯值。該累加器346實質上係連接於該加法器344，且累加由該加法器344輸出之128個連續的部分關聯值以產生一完整關聯值。該門鎖348隨後將最終之完整關聯值傳送至該同調積分器210，且為該同調積分器210保存該完整關聯值。

下文將描述如何在128個時脈中完成I通道之16點分隔1/2符片(或8個符片)之部分關聯值。該PN碼檢索表唯讀記憶體306之內容係顯示於圖6。雖然未顯示於圖6中，廣域增強系統(Wide Area Augmentation System, WAAS)及歐洲同步衛星導航覆蓋服務(European Geostationary Navigation Overlay System, EGNOS)等系統之PN碼亦可添加於該PN碼檢索表唯讀記憶體306之中。該隨機存取記憶體304A之更迭情形係顯示於圖7。

該隨機存取記憶體304A之內容係以1字元/秒之速率依序讀出並傳送至門鎖312A，且同時將原本門鎖312A內之資料移入門鎖314A。該PN碼檢索表唯讀記憶體306內之PN碼資料亦依時脈讀出，一次讀出8符片/字元。該16個部分關聯模組330A計算該16點樣本的關聯結果。該16個部分關聯模組330A每一個時脈即計算該16點樣本(來自第一暫存器320A及第二暫存器322A)與16個符片(由該PN碼檢索表唯讀記憶體306讀出之8個符片加倍展開而得)之內積。簡言之，先計算該字元之各樣本與該虛擬亂碼片段之一對應符片之乘積(共有16個乘積)後，再加總該字元及該虛擬亂碼片段之16個乘積即可獲得該16點樣本與該16個符片之內積。

圖 8(a)及圖 8(b)顯示本發明如何利用該部分關聯模組 330A 計算關聯值。由第一暫存器 320A 及第二暫存器 322A 提供之總共 32 點樣本與該 PN 碼檢索表唯讀記憶體 306 之輸出可計算得到每一個部分關聯值。由該 16 個部分關聯模組 330A 計算在 128 至 225 時脈之部分關聯值亦顯示於圖中。在第 128 個時脈(即 $t=255$)時，該部分關聯模組 330A 所累加之 16 個關聯結果幾乎相同於圖 3 底部所顯示之結果，兩者之差異僅為最終之 2 個額外 1/2 符片。而此一些微差異係可忽略的。由此可知，此一較佳實施例之運作時脈頻率僅為 16.368 百萬赫茲，卻可獲得高度相似之關聯結果。

請參考圖 4，在計算前 128 個部分關聯值時，第一暫存器 320A 儲存之資料係取自該門鎖 316A，而門鎖 316A 保存前一次計算之關聯值。在計算其它部分關聯值(即前 128 個部分關聯值以外)時，第一暫存器 320A 儲存之資料係取自該門鎖 314A。在計算最後之 128 個部分關聯值時，第二暫存器 322A 儲存之資料係取自該門鎖 318A，而該門鎖 318A 保存前一次存入該隨機存取記憶體 304A 之 16-位元之字元。在下一個時脈，該隨機存取記憶體 304A 及該門鎖 318A 二者之內容皆以新組成之 16-位元之字元更新。在計算其它部分關聯值(即最後之 128 個部分關聯值以外)時，第二暫存器 322A 儲存之資料係取自該門鎖 312A。相較於圖 3 所示之匹配濾波器型式之關聯器 400，本發明之關聯器 300 所需之閘數目較少，且面積使用率較高。

圖 9 例示本發明第二實施例之關聯器 300。為了進一步降

低開數目，該關聯器300之運作時脈頻率可提升至65.472百萬赫茲($64F_0$)，如圖9所示。該隨機存取記憶體304A及304B之儲存容量係變更為256字元 \times 8位元，且該關聯器300使用8個部分關聯模組330A來計算部分關聯值。該取樣器206輸出之I2及Q2的資料速率為2.046樣本/秒($2F_0$)且1位元/樣本，而該序列/並列轉換器302A及302B將I2及Q2組合為8-位元之字元，該字元之資料速率為 $F_0/4$ (即每4個符片間隔輸出一字元)。該8-位元之字元隨後存入256字元 \times 8位元之該隨機存取記憶體304A。該關聯器300之運作時脈頻率為 $64F_0$ ，每二個從該序列/並列轉換器302A輸出之8-位元之字元間將有256個時脈。在每一個8-位元之字元從該序列/並列轉換器302A傳送至該隨機存取記憶體304A時，此一較佳實施例在256個時脈內使用8個部分關聯模組330A計算8點分隔1/2符片之關聯結果。

圖10例示本發明第三實施例之關聯器300之架構。如圖10所示，該關聯器300之運作時脈頻率為261.888百萬赫茲($256F_0$)，該隨機存取記憶體304A及304B之儲存容量係變更為512字元 \times 4位元，且該關聯器300使用4個部分關聯模組330A來計算部分關聯值。該取樣器206輸出之I2及Q2的資料速率為2.046樣本/秒($2F_0$)且1位元/樣本，而該序列/並列轉換器302A及302B將I2及Q2組合成4-位元之字元，該字元之資料速率為 $F_0/2$ (即每2個符片間隔輸出一字元)。該4-位元之字元隨後存入512字元 \times 4位元之該隨機存取記憶體304A。該關聯器300之運作時脈頻率為 $256F_0$ ，每二個從該

序列/並列轉換器302A輸出之4-位元之字元間將有512個時脈。在每一個4-位元之字元從該序列/並列轉換器302A傳送至該隨機存取記憶體304A，此一較佳實施例在512個時脈內使用4個部分關聯模組330A計算4點分隔1/2符片之關聯結果。很明顯地，提昇運作時脈頻率4倍(或16倍)，所需之部分關聯模組330A數目及其所需之資料輸入寬度二者均可減少為1/2(或1/4)。整體觀之，藉由提升關聯器330之運作時脈頻率4倍(或16倍)，該部分關聯模組330A所需之閘數目可減少50%(或75%)以上。

圖11例示本發明第四實施例之關聯器300之架構，其可處理分隔1/4符片之樣本(或每一符片間隔有4個樣本)。前述實施例之操作均係用以處理分隔1/2符片之樣本。在此一實施例中，圖1之擷取裝置200之取樣器206從I1及Q1產生分隔1/4符片之樣本(即每一符片間隔產生4個樣本)。除了將平行處理之資料路徑的寬度及部分關聯模組330A及330B的數目擴展二倍之外，在該擷取裝置200內之元件的功能係大致同前所述。該擷取裝置200內其它的訊號處理元件需要增加1位元以容納倍增之關聯結果，因為每一訊框之樣本已由2046點倍增為4096點。同調積分及非同調積分所需之隨機存取記憶體的容量為4096個字元。該擷取裝置200仍可運作於相當低的時脈頻率，16.368百萬赫茲。前述藉由提升關聯器300之運作時脈頻率4倍(或16倍)以降低部分關聯模組50%(或75%)以上所需之閘數目的技術仍可適用於此一實施例。

圖 12 例示本發明之同調積分器 210 及非同調積分器 230 之架構，用以處理分隔 1/2 符片之樣本。該同調積分器 210 包含一位址產生單元 212 及二個同調積分隨機存取記憶體 214A 及 214B，其資料寬度僅需容納 1 至 10 毫秒的同調積分及 2046 個字元之容量以容納 2046 個分隔 1/2 符片之同調加總之關聯結果。該非同調積分器 230 包含一非同調積分隨機存取記憶體 240、一用以平方該同調積分器隨機存取記憶體 214A 之輸出 I4 的第一平方元件 232、一用以平方該同調積分器隨機存取記憶體 214B 之輸出 Q4 的第二平方元件 234、一用以平方該非同調積分器隨機存取記憶體 240 內儲存之前一次非同調積分值的第三平方元件 236、一加法器 231 以及一平方根元件 238。該加法器 231 係用以加總該第一平方元件 232、該第二平方元件 234 及該第三平方元件 236 之輸出，而該平方根元件 238 則係用以降低該非同調積分隨機存取記憶體 240 用以儲存該非同調積分 (I²+Q²) 值所需之位元數。該平方根元件 238 先將該加法器 231 之輸出取平方根後再存入該非同調積分隨機存取記憶體 240，而取自該非同調積分隨機存取記憶體 240 之資料係先由該第三平方元件 236 取平方後再加入由第一平方元件 232 及第二平方元件 234 計算之新的非同調積分值。該位址產生器 212 可產生該非同調積分隨機存取記憶體 240、該同調積分隨機存取記憶體 214A 及 214B 的位址指標。

圖 13 例示本發明之訊號偵測器 250 之架構。如圖 13 所示，該訊號偵測器 250 包含一第一組暫存器 252、一第二組暫存

器 254、一比較器 256 以及一門檻值暫存器 258。該第一組暫存器 252 係用以儲存一最大峯值及其在該非同調積分中之對應偏位，而該第二組暫存器 254 係用以儲存一次大峯值及其在該非同調積分中之對應偏位。該門檻值暫存器 258 儲存一預定門檻值，而比較器 256 係用以檢查該最大峯值與該次大峯值之差值是否大於該預定門檻值。偵測非常微弱 GPS 訊號需要進行長時間的非同調積分，導致輸出之非同調關聯結果內含相當程度之直流位準，而該直流位準係相關於所進行之非同調積分時間。由於難以決定所有可能輸入訊號位準之絕對門檻值以及同調積分時間與非同調積分時間之組合，因此需要一種更簡易之訊號偵測方法。本發明係藉由非同調積分之最大峯值與次大峯值之差值來判定訊號是否存在。該比較器 256 比較該差值與該預定門檻值以檢查是否偵測到一展頻訊號，並據以輸出一訊號偵測指示。若該差值大於該預定門檻值，則指示已經偵測到訊號，否則即指示未偵測到訊號。若設定一較大之門檻值，則可獲得較高可信度之偵測訊號指示。

請參考圖 12，該非同調積分器 230 另包含一直流偏壓移除器 242，其實質上包含一閘鎖 244、一減法器 246、一直流偏壓偵測器 248。該閘鎖 242 儲存前一次非同調積分之最小直流偏壓，該減法器 246 將該加法器 231 之輸出減去該閘鎖 244 儲存之最小直流偏壓，而該直流偏壓偵測器 248 則可偵測從該減法器 246 輸出之目前非同調積分之最小直流偏壓。若在訊號偵測後不需預估訊號雜訊比，移除非同調積分結果之

最小直流偏壓有助於延長可實施非同調積分之時間。在進行第一次非同調積分之迭代時，該門鎖244之儲存值係設定為0，且該直流偏壓偵測器248暫存2046點非同調積分之最小值。在非同調積分程序之末端，該直流偏壓偵測器248儲存之直流偏壓值將傳送至該門鎖244。在進行下一次非同調積分之迭代過程中，該加法器231之輸出將減去該門鎖244儲存之最小直流偏壓值以移除前一次非同調積分之迭代所產生之直流偏壓。由此，使用2046個字元記憶體可達成較長之非同調積分時間。

圖14係本發明之全球定位系統接收器100之整體運作流程圖，其中該擷取裝置200進行虛線內之所有操作，而虛線外之操作則可由一中央處理器執行之軟體進行。在一般戶外情況下，該GPS接收器100在該追蹤模組500追蹤到展頻訊號時即可解調在該展頻訊號上之資料。在蒐集星曆(ephemeris)資料且已知起點周時(time-of-week)資料後，該接收器100之位置可經由量測至少四個衛星之位置來計算。戶外操作並不需要高感度，但該GPS接收器100仍具有非常高之訊號偵測速度的優點。對一微弱訊號環境而言，該追蹤模組500無法再正確地解調資料位元，該接收器100係操作於一協同模式。在協同模式下，星曆資料及起點周時資料係由外部提供，例如由具有GPS-E911功能之手機內之無線數據機提供。

簡言之，本發明之展頻訊號擷取方法首先從該展頻訊號產生一同相位訊號及一正交相位訊號。該同相位訊號及正

交相位訊號之取樣速率為2樣本/符片，即2046樣本/毫秒。分別將2046個樣本之同相位訊號及正交相位訊號組合為128個16位元之字元，且儲存於一隨機存取記憶體之中。該同相位訊號之16位元之字元隨後乘以一虛擬亂碼片段以產生一同相位關聯值，該正交相位訊號亦進行相同處理以產生一正交相位關聯值。之後，累加複數個同相位關聯值以產生一同相位同調積分值，以及累加複數個正交相位關聯值以產生一正交相位同調積分值。接著，累加複數個同相位同調積分值及正交相位同調積分值以產生一非同調積分值，並根據該非同調積分值檢查該展頻訊號是否存在。

相較於以匹配濾波器型式直接實現之關聯器400，本發明之關聯器300所需之閘數目較少。此外，同調積分、非同調積分及訊號偵測排程之整合可提供在非常微弱訊號雜訊比環境下操作所需之訊號處理。

本發明之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

【圖式簡單說明】

圖1係一使用本發明之全球定位系統接收器的功能方塊圖；

圖2顯示一同調積分技術如何改善訊號/雜訊比；

圖3顯示一以匹配濾波器型式直接實現之關聯器；

圖4例示本發明第一實施例之關聯器之架構；

圖5例示本發明之部分關聯模組之架構；

圖6顯示一虛擬亂碼檢索表唯讀記憶體之內部配置；

圖7顯示一隨機存取記憶體之記憶內容的更迭情形；

圖8(a)及圖8(b)顯示本發明如何利用部分關聯模組計算關聯值；

圖9例示本發明第二實施例之關聯器之架構；

圖10例示本發明第三實施例之關聯器之架構；

圖11例示本發明第四實施例之關聯器之架構；

圖12例示本發明之同調積分器及非同調積分器之架構；

圖13例示本發明之訊號偵測器之架構；以及

圖14係本發明之全球定位系統接收器之整體運作流程圖。

【主要元件符號說明】

100	接收器	102	天線
111	訊框	112	訊框
113	訊框	114	訊框
115	訊框	104	RF前端電路
200	擷取裝置	202	混波器
204	載波NCO	206	取樣器
208	時脈控制器	210	同調積分器
212	位址產生單元	214A	同調積分隨機存取 記憶體

- | | | | |
|------|-------------|------|--------------|
| 214B | 同調積分隨機存取記憶體 | 230 | 非同調積分器 |
| 231 | 加法器 | 232 | 平方元件 |
| 234 | 平方元件 | 236 | 平方元件 |
| 238 | 平方根元件 | 240 | 非同調積分隨機存取記憶體 |
| 242 | 直流偏壓移除器 | 244 | 閘鎖 |
| 246 | 減法器 | 248 | 直流偏壓偵測器 |
| 250 | 訊號偵測器 | 252 | 第一組暫存器 |
| 254 | 第二組暫存器 | 256 | 比較器 |
| 258 | 門檻值暫存器 | 300 | 關聯器 |
| 302A | 序列/並列轉換器 | 302B | 序列/並列轉換器 |
| 304A | 隨機存取記憶體 | 304B | 隨機存取記憶體 |
| 306 | PN碼檢索表唯讀記憶體 | 308 | 位址產生單元 |
| 312A | 閘鎖 | 312B | 閘鎖 |
| 314A | 閘鎖 | 314B | 閘鎖 |
| 316A | 閘鎖 | 316B | 閘鎖 |
| 318A | 閘鎖 | 318B | 閘鎖 |
| 320A | 暫存器 | 320B | 暫存器 |
| 322A | 暫存器 | 322B | 暫存器 |
| 330A | 部分關聯模組 | 330B | 部分關聯模組 |
| 340 | 關聯單元 | 342 | 乘法器 |
| 344 | 加法器 | 346 | 累加器 |
| 348 | 閘鎖 | 400 | 關聯器 |

200539588

500 追蹤模組

五、中文發明摘要：

本發明之展頻訊號擷取裝置包含一可從該展頻訊號產生一同相位訊號及一正交相位訊號之混波器、一連接於該混波器之取樣器、一連接於該取樣器之關聯器、連接於該關聯器之第一及第二同調積分器、一連接於該第一及第二同調積分器之非同調積分器以及一連接於該非同調積分器之訊號偵測器。該關聯器可產生該同相位訊號與一虛擬亂碼之同相位關聯值以及該正交相位訊號與該虛擬亂碼之正交相位關聯值。該第一及第二同調積分器可分別產生一同相位同調積分值及一非同相位同調積分值，而該訊號偵測器根據該非同調積分器之輸出檢查該展頻訊號是否存在。

六、英文發明摘要：

An apparatus for acquiring spread-spectrum signals includes a mixer for generating an in-phase signal and a quadrature signal from the spread-spectrum signal, a decimator for subsampling the in-phase signal and the quadrature signal, a correlation engine for producing an in-phase correlation between the subsampled in-phase signal and a PN code and producing a quadrature correlation between the subsampled quadrature signal and the PN code, a first coherent integrator for accumulating a plurality of in-phase correlations to produce an in-phase coherent integration, a second coherent integrator for accumulating a plurality of quadrature correlations to produce a quadrature coherent integration, an incoherent integrator for accumulating the in-phase coherent integrations and the quadrature coherent integrations to produce an incoherent integration, and a signal detector for checking the presence of the spread-spectrum signal based on the incoherent integration.

十、申請專利範圍：

1. 一種展頻訊號之擷取裝置，包含：
 - 一取樣器，用以從該展頻訊號產生複數個樣本；
 - 一序列/並列轉換器，連接於該取樣器，用以組合複數個樣本為一字元；
 - 一第一記憶體，其資料寬度可儲存該字元；以及
 - 一關聯器，包含複數個連接於該第一記憶體之部分關聯模組，該部分關聯模組可從該字元及一虛擬亂碼片段計算一部分關聯值，其中該部分關聯模組包含：
 - 複數個乘法器及一加法器，用以計算該字元及該虛擬亂碼片段之內積以產生該部分關聯值；以及
 - 一累加器，用以累加複數個部分關聯值以產生一完整關聯值。
2. 根據請求項1之展頻訊號之擷取裝置，其另包含：
 - 一同調積分器，連接於該關聯器，用以累加複數個完整關聯值以產生一同調積分值；
 - 一非同調積分器，連接於該同調積分器，用以累加複數個同調積分值以產生一非同調積分值；以及
 - 一訊號偵測器，連接於該非同調積分器，用以根據該非同調積分值檢查該展頻訊號是否存在。
3. 根據請求項2之展頻訊號之擷取裝置，其中該訊號偵測器包含：
 - 一第一組暫存器，用以儲存該非同調積分值之最大峯值及該最大峯值在該非同調積分值中之對應偏位；
 - 一第二組暫存器，用以儲存該非同調積分值之次大峯

值及該次大峯值在該非同調積分值中之對應偏位；以及

一比較器，用以比較該最大峯值及該次大峯值間之差值與一預定門檻值，以檢查該展頻訊號是否存在。

4. 根據請求項2之展頻訊號之擷取裝置，其中該非同調積分器包含：

一非同調記憶體，用以儲存該非同調積分值；

一第一平方元件，用以平方該同調積分器輸出之同相位訊號；

一第二平方元件，用以平方該同調積分器輸出之正交相位訊號；

一第三平方元件，用以平方前一次非同調積分值；

一加法器，用以加總該第一平方元件、該第二平方元件及該第三平方元件之輸出以產生一平方值；以及

一平方根元件，用以計算該平方值之平方根以產生該非同調積分值，並減半儲存該加法器之輸出所需之位元數。

5. 根據請求項4之展頻訊號之擷取裝置，其中該非同調積分器另包含一直流偏壓移除器，其包含：

一第二記憶體，用以儲存該前一次非同調積分值之最小直流偏壓值；

一減法器，用以將該加法器之輸出減去儲存於該第二記憶體內之最小直流偏壓值；以及

一直流偏壓偵測器，用以偵測該減法器輸出之非同調積分值之最小直流偏壓值。

6. 根據請求項1之展頻訊號之擷取裝置，其中該取樣器之取

樣速率為 K 樣本/符片，該字元係由 M 個樣本構成，且該關聯器包含 M 個部分關聯模組。

7. 根據請求項6之展頻訊號之擷取裝置，其中 K 係 $2N$ ， M 係 K 之倍數，且 N 及 M 係正整數。

8. 一種展頻訊號之擷取裝置，包含：

一混波器，用以從該展頻訊號產生一同相位訊號及一正交相位訊號；

一取樣器，用以取樣該同相位訊號及該正交相位訊號；

一關聯器，連接於該取樣器，用以從該同相位訊號及一虛擬亂碼產生一同相位關聯值以及從該正交相位訊號及該虛擬亂碼產生一正交相位關聯值；

一第一同調積分器，連接於該關聯器，用以累加複數個同相位關聯值以產生一同相位同調積分值；

一第二同調積分器，連接於該關聯器，用以累加複數個正交相位關聯值以產生一正交相位同調積分值；

一非同調積分器，連接於該第一同調積分器及該第二同調積分器，用以累加複數個同相位同調積分值及正交相位同調積分值以產生一非同調積分值；以及

一訊號偵測器，連接於該非同調積分器，用以根據該非同調積分值檢查該展頻訊號是否存在。

9. 根據請求項8之展頻訊號之擷取裝置，其中該訊號偵測器包含：

一第一組暫存器，用以儲存該非同調積分值之最大峯值及該最大峯值在該非同調積分值中之對應偏位；

一第二組暫存器，用以儲存該非同調積分值之次大峯

值及其在該次大峯值在該非同調積分值中之對應偏位；以及

一比較器，用以比較該最大峯值及該次大峯值間之差值與一預定門檻值，以檢查該展頻訊號是否存在。

10. 根據請求項8之展頻訊號之擷取裝置，其中該非同調積分器包含：

一非同調記憶體，用以儲存該非同調積分值；

一第一平方元件，用以平方該同相位同調積分值；

一第二平方元件，用以平方該正交相位同調積分值；

一第三平方元件，用以平方前一次非同調積分值；

一加法器，用以加總該第一平方元件、該第二平方元件及該第三平方元件之輸出以產生一平方值；以及

一平方根元件，用以計算該平方值之平方根以產生該非同調積分值，並減半儲存該加法器之輸出所需之位元數。

11. 根據請求項10之展頻訊號之擷取裝置，其中該非同調積分器另包含一直流偏壓移除器，其包含：

一記憶體，用以儲存該前一次非同調積分值之最小直流偏壓值；

一減法器，用以將該加法器之輸出減去儲存於該記憶體內之最小直流偏壓值；以及

一直流偏壓偵測器，用以偵測該減法器輸出之非同調積分值之最小直流偏壓值。

12. 根據請求項8之展頻訊號之擷取裝置，其中該取樣器係以一K樣本/符片之速率取樣該同相位訊號及該正交相位訊

號，該關聯器包含 $2 \times M$ 個部分關聯模組，且 M 係 K 之倍數。

13. 根據請求項12之展頻訊號之擷取裝置，其中 K 係 $2N$ ，且 N 係正整數。

14. 一種展頻訊號之擷取方法，包含：

從該展頻訊號產生一同相位訊號及一正交相位訊號；

將該同相位訊號乘以一虛擬亂碼以產生一同相位關聯值，以及將該正交相位訊號乘以該虛擬亂碼以產生一正交相位關聯值；

累加複數個同相位關聯值以產生一同相位同調積分值，以及累加複數個正交相位關聯值以產生一正交相位同調積分值；

累加複數個複數同相位同調積分值及正交相位同調積分值以產生一非同調積分值；以及

根據該非同調積分值檢查該展頻訊號是否存在。

15. 根據請求項14之展頻訊號之擷取方法，其中產生該非同調積分值包含：

平方該同相位同調積分值以產生一第一數值；

平方該正交相位同調積分值以產生一第二數值；

平方前一次非同調積分值以產生一第三數值；

加總該第一數值、該第二數值及該第三數值以產生一第四數值；以及

計算該第四數值之平方根以產生該非同調積分值。

16. 根據請求項15之展頻訊號之擷取方法，其另包含：

偵測該非同調積分值之最小直流偏壓值；以及

將該非同調積分值減去該最小直流偏壓值。

17. 根據請求項14之展頻訊號之擷取方法，其中檢查該展頻訊號是否存在包含：

偵測該非同調積分值之最大峯值；

偵測該非同調積分值之次大峯值；以及

比較該最大峯值及該次大峯值間之差值與一預設門檻值，以檢查該展頻訊號是否存在。

18. 根據請求項14之展頻訊號之擷取方法，其中產生該同相位關聯值包含：

以一K樣本/符片之速率取樣該同相位訊號以產生複數個樣本；

組合M個樣本為一字元，其中該字元係K之倍數且為一正整數；

計算該字元與一虛擬亂碼片段之內積以產生一部分關聯值；以及

累加複數個部分關聯值以產生該同相位關聯值。

19. 根據請求項18之展頻訊號之擷取方法，其中K係 $2N$ ，且N係正整數。

20. 根據請求項18之展頻訊號之擷取方法，其中計算該字元與該虛擬亂碼片段之內積包含下列步驟：

計算該字元之各樣本與該虛擬亂碼片段之一對應符片之乘積；以及

加總該字元及該虛擬亂碼片段之M個乘積以產生該內積。

十一、圖式：

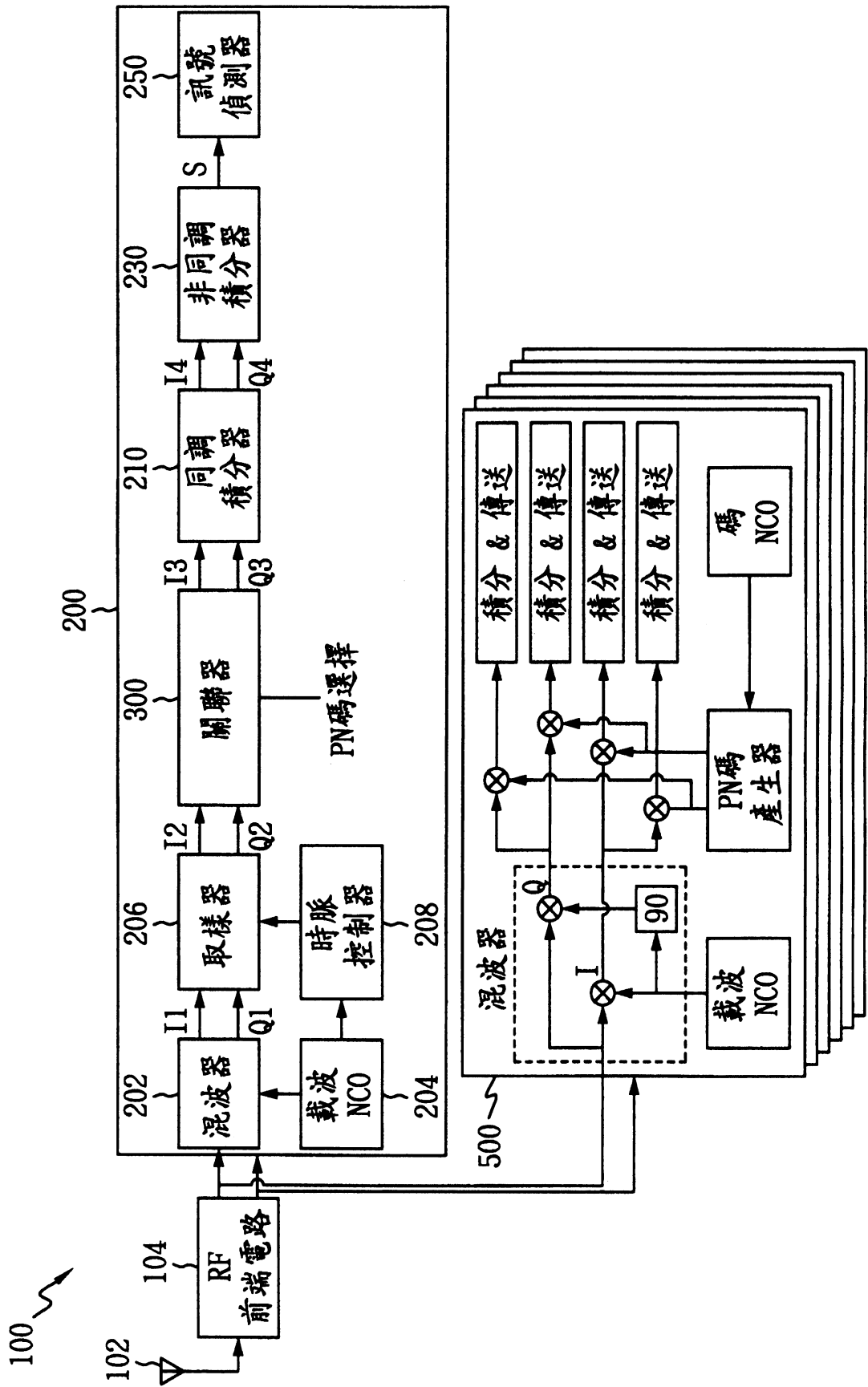
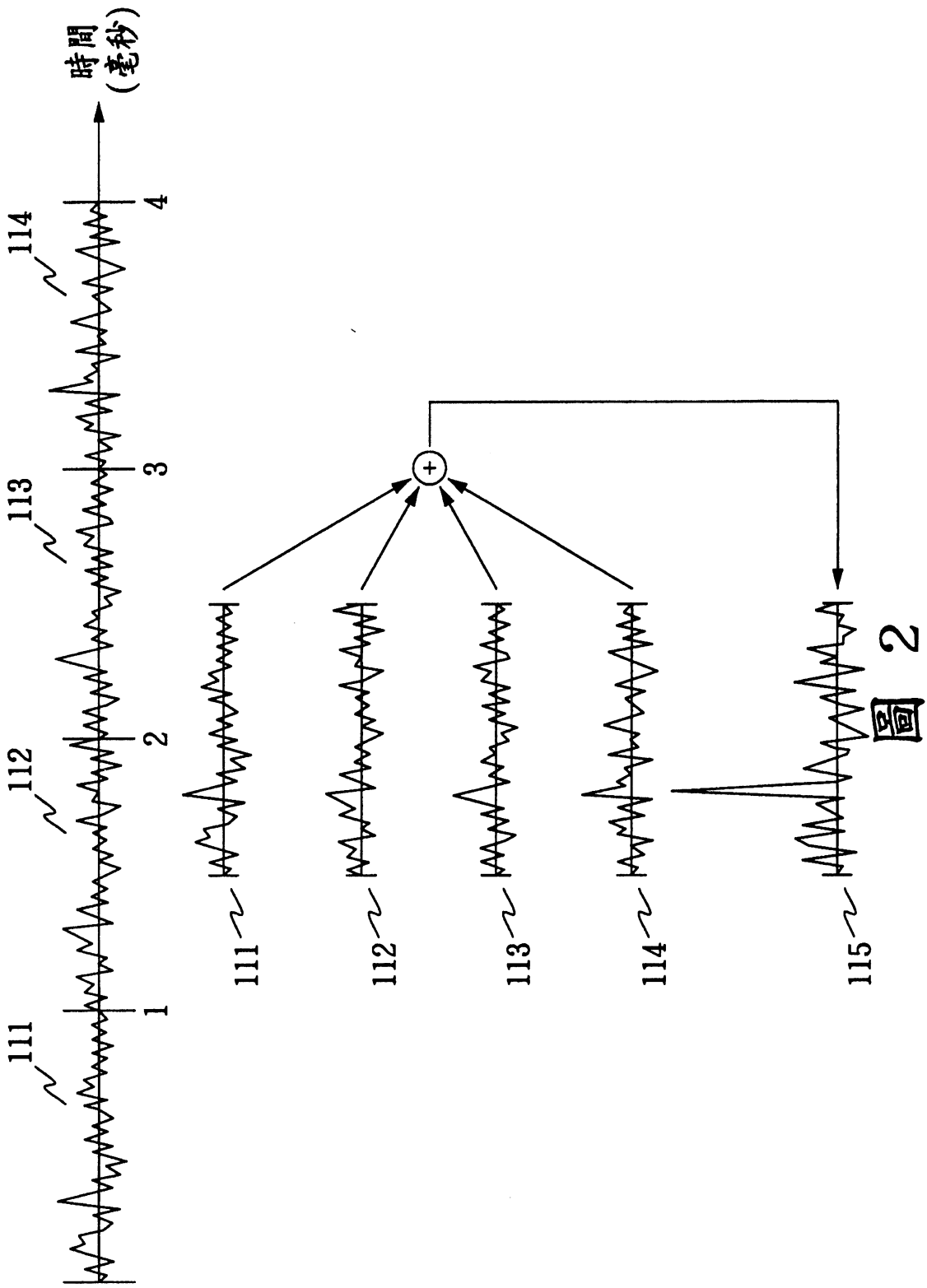
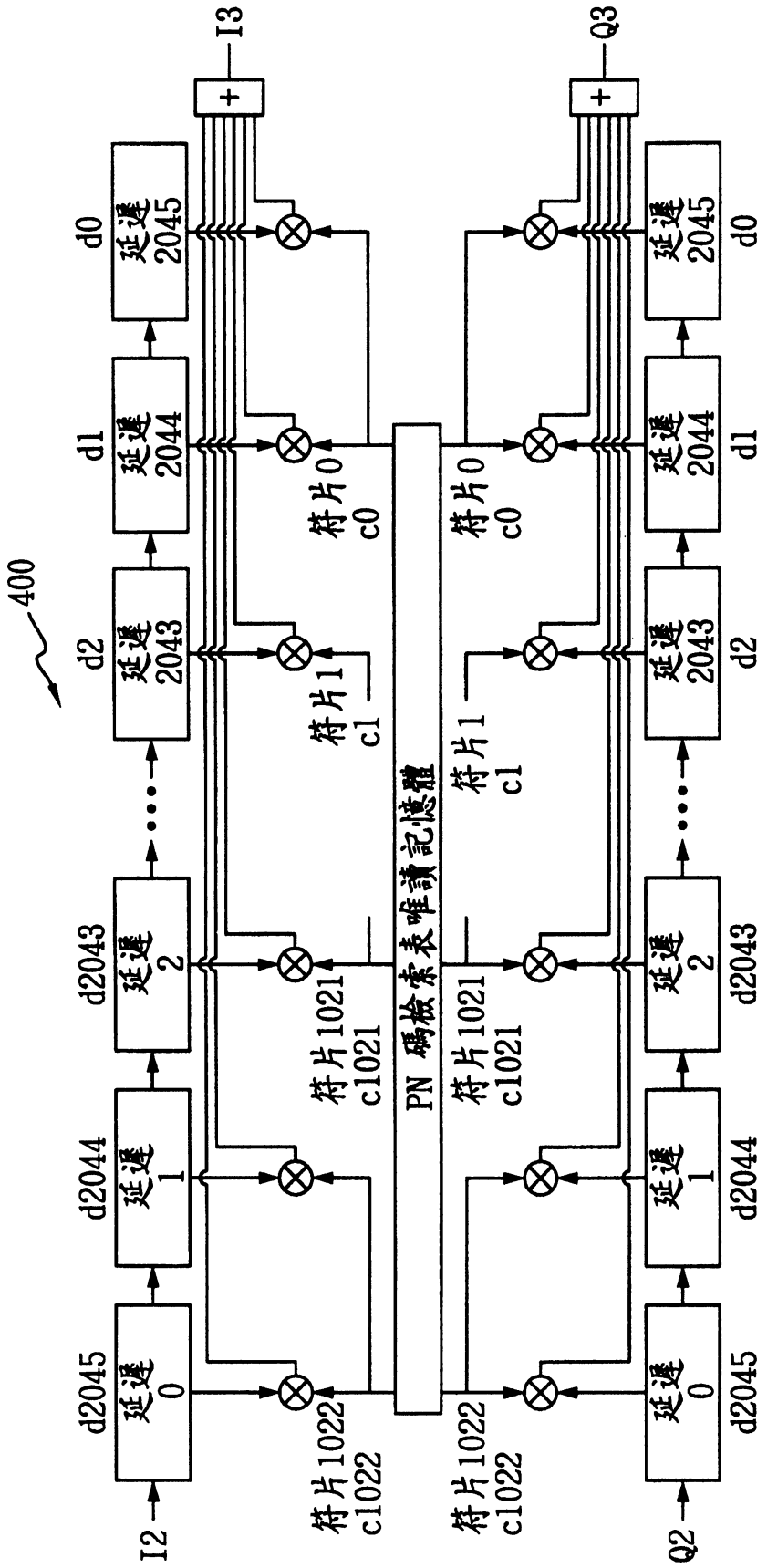


圖 1





$$I_{3,0} = d_{2045} * c_{1022} + d_{2044} * c_{1022} + d_{2043} * c_{1021} + d_{2042} * c_{1021} + d_{2041} * c_1 + d_{2040} * c_0$$

$$I_{3,1} = d_{2046} * c_{1022} + d_{2045} * c_{1022} + d_{2044} * c_{1021} + d_{2043} * c_{1021} + d_{2042} * c_1 + d_{2041} * c_0$$

...

$$I_{3,14} = d_{2059} * c_{1022} + d_{2058} * c_{1022} + d_{2057} * c_{1021} + d_{2056} * c_{1021} + d_{2055} * c_1 + d_{2054} * c_0$$

$$I_{3,15} = d_{2060} * c_{1022} + d_{2059} * c_{1022} + d_{2058} * c_{1021} + d_{2057} * c_{1021} + d_{2056} * c_1 + d_{2055} * c_0$$

$$I_{3,16} = d_{2061} * c_{1022} + d_{2060} * c_{1022} + d_{2059} * c_{1021} + d_{2058} * c_{1021} + d_{2057} * c_1 + d_{2056} * c_0$$

...

圖 3

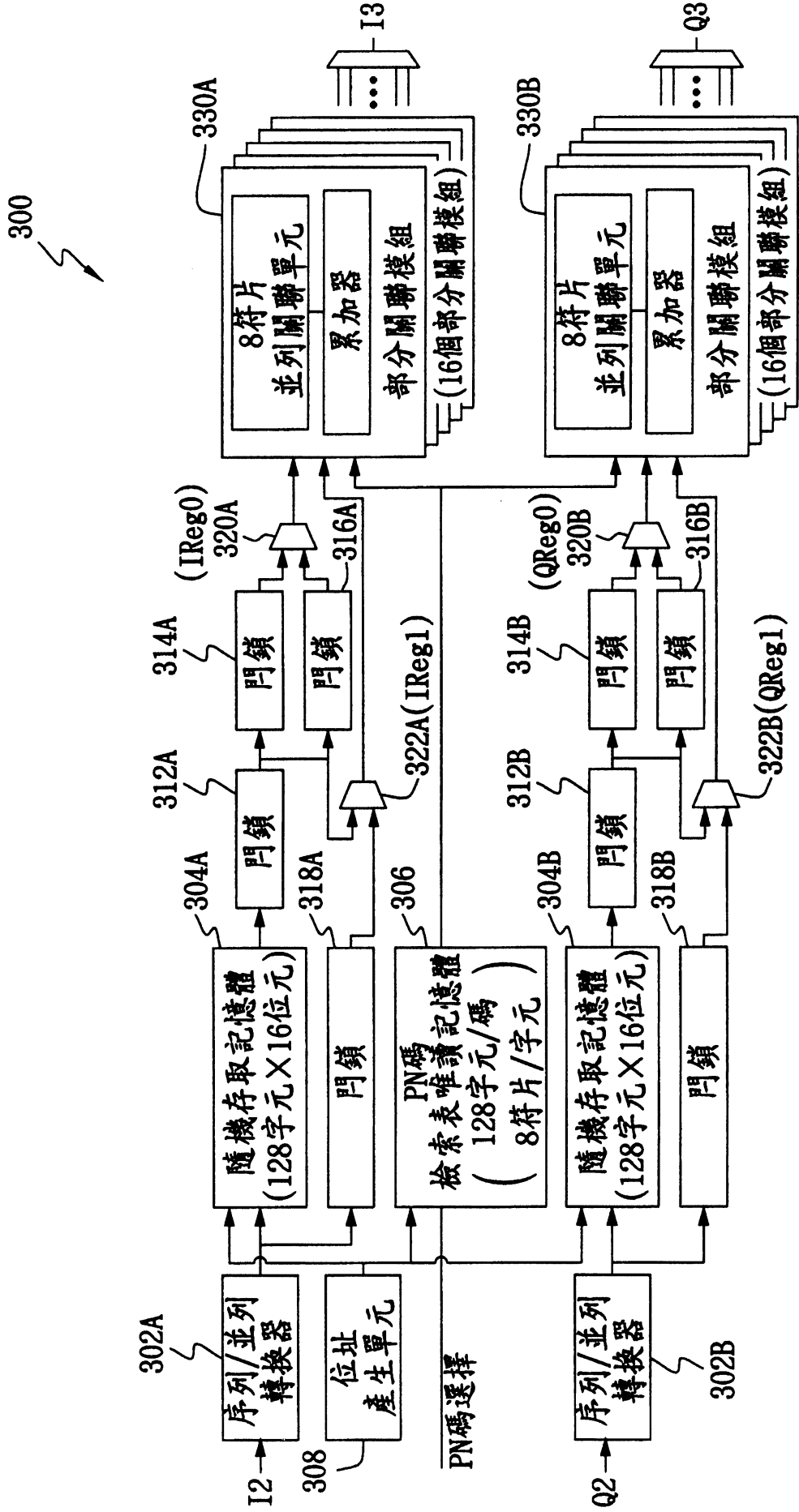


圖 4

PN碼檢索表唯讀記憶體

	bit7	bit6	...	bit1	bit0	
PRN1 PN碼	c7	c6	...	c1	c0	000h
	c15	c14	...	c9	c8	001h
	c47	c46	...	c33	c32	002h
			...			
	c1015	c1014	...	c1009	c1008	07Eh
	x	c1022	...	c1017	c1016	07Fh
PRN2 PN碼	c'7	c'6	...	c'1	c'0	080h
	c'15	c'14	...	c'9	c'8	081h
	c'47	c'46	...	c'33	c'32	082h
			...			
	c'1015	c'1014	...	c'1009	c'1008	0FEh
	x	c'1022	...	c'1017	c'1016	0FFh
	...					
PRN32 PN碼	c"7	c"6	...	c"1	c"0	F80h
	c"15	c"14	...	c"9	c"8	F81h
	c"47	c"46	...	c"33	c"32	F82h
			...			
	c"1015	c"1014	...	c"1009	c"1008	FFEh
	x	c"1022	...	c"1017	c"1016	FFFh

圖 6

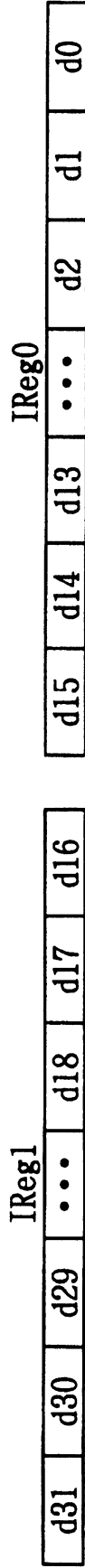
隨機存取記憶體之內容

t=0~127	d15	d14	d13	d12	...	d1	d0	00h
	d31	d30	d29	d28	...	d17	d16	01h
	d47	d46	d45	d44	...	d33	d32	02h
					...			
	d2031	d2030	d2029	d2028	...	d2017	d2016	7Eh
	d2047	d2046	d2045	d2044	...	d2033	d2032	7Fh

t=128~255	d2063	d2062	d2061	d2060	...	d2049	d2048	00h
	d31	d30	d29	d28	...	d17	d16	01h
	d47	d46	d45	d44	...	d33	d32	02h
					...			
	d2031	d2030	d2029	d2028	...	d2017	d2016	7Eh
	d2047	d2046	d2045	d2044	...	d2033	d2032	7Fh

t=256~383	d2063	d2062	d2061	d2060	...	d2049	d2048	00h
	d2079	d2078	d2077	d2076	...	d2065	d2064	01h
	d47	d46	d45	d44	...	d33	d32	02h
					...			
	d2031	d2030	d2029	d2028	...	d2017	d2016	7Eh
	d2047	d2046	d2045	d2044	...	d2033	d2032	7Fh

圖 7



$$\text{Acc0,0} = d15^*c7 + d14^*c7 + d13^*c6 + d12^*c6 + \dots + d3^*c1 + d2^*c1 + d1^*c0 + d0^*c0$$

$$\text{Acc1,0} = d16^*c7 + d15^*c7 + d14^*c6 + d13^*c6 + \dots + d4^*c1 + d3^*c1 + d2^*c0 + d1^*c0$$

t=128

$$\text{Acc14,0} = d29^*c7 + d28^*c7 + d27^*c6 + d26^*c6 + \dots + d17^*c1 + d16^*c1 + d15^*c0 + d14^*c0$$

$$\text{Acc15,0} = d30^*c7 + d29^*c7 + d28^*c6 + d27^*c6 + \dots + d18^*c1 + d17^*c1 + d16^*c0 + d15^*c0$$



$$\text{Acc0,1} = \text{Acc0,0} + d31^*c15 + d30^*c15 + d29^*c14 + d28^*c14 + \dots + d19^*c9 + d18^*c9 + d17^*c8 + d16^*c8$$

$$\text{Acc1,1} = \text{Acc1,0} + d32^*c15 + d31^*c15 + d30^*c14 + d29^*c14 + \dots + d20^*c9 + d19^*c9 + d18^*c8 + d17^*c8$$

t=129

$$\text{Acc14,1} = \text{Acc14,0} + d45^*c15 + d44^*c15 + d43^*c14 + d42^*c14 + \dots + d33^*c9 + d32^*c9 + d31^*c8 + d30^*c8$$

$$\text{Acc15,1} = \text{Acc15,0} + d46^*c15 + d45^*c15 + d44^*c14 + d43^*c14 + \dots + d34^*c9 + d33^*c9 + d32^*c8 + d31^*c8$$

圖 8(a)

IReg1					IReg0						
d2047	d2046	d2045	•••	d2034	d2033	d2032	•••	d2029	d2028	d2027	d2016

Acc0, 126 = Acc0, 125 + d2031*c1015 + d2030*c1015 + d2029*c1014 + ... + d2019*c1009 + d2018*c1009 + d2017*c1008 + d2016*c1008

Acc1, 126 = Acc1, 125 + d2032*c1015 + d2031*c1015 + d2030*c1014 + ... + d2020*c1009 + d2019*c1009 + d2018*c1008 + d2017*c1008

t=254 •••

Acc14, 126 = Acc14, 125 + d2045*c1015 + d2044*c1015 + d2043*c1014 + ... + d2033*c1009 + d2032*c1009 + d2031*c1008 + d2030*c1008

Acc15, 126 = Acc15, 125 + d2046*c1015 + d2045*c1015 + d2044*c1014 + ... + d2034*c1009 + d2033*c1009 + d2032*c1008 + d2031*c1008

IReg1					IReg0						
d2063	d2062	d2061	•••	d2050	d2049	d2048	•••	d2045	d2034	d2033	d2032

Acc0, 127 = Acc0, 126 + d2047*x + d2046*x + d2045*c1022 + d2044*c1022 + ... + d2035*c1017 + d2034*c1017 + d2033*c1016 + d2032*c1016

Acc1, 127 = Acc1, 126 + d2048*x + d2047*x + d2046*c1022 + d2045*c1022 + ... + d2036*c1017 + d2035*c1017 + d2034*c1016 + d2033*c1016

t=255 •••

Acc14, 127 = Acc14, 126 + d2061*x + d2060*x + d2059*c1022 + d2058*c1022 + ... + d2049*c1017 + d2048*c1017 + d2047*c1016 + d2046*c1016

Acc15, 127 = Acc15, 126 + d2062*x + d2061*x + d2060*c1022 + d2059*c1022 + ... + d2050*c1017 + d2049*c1017 + d2048*c1016 + d2047*c1016

圖 8(b)

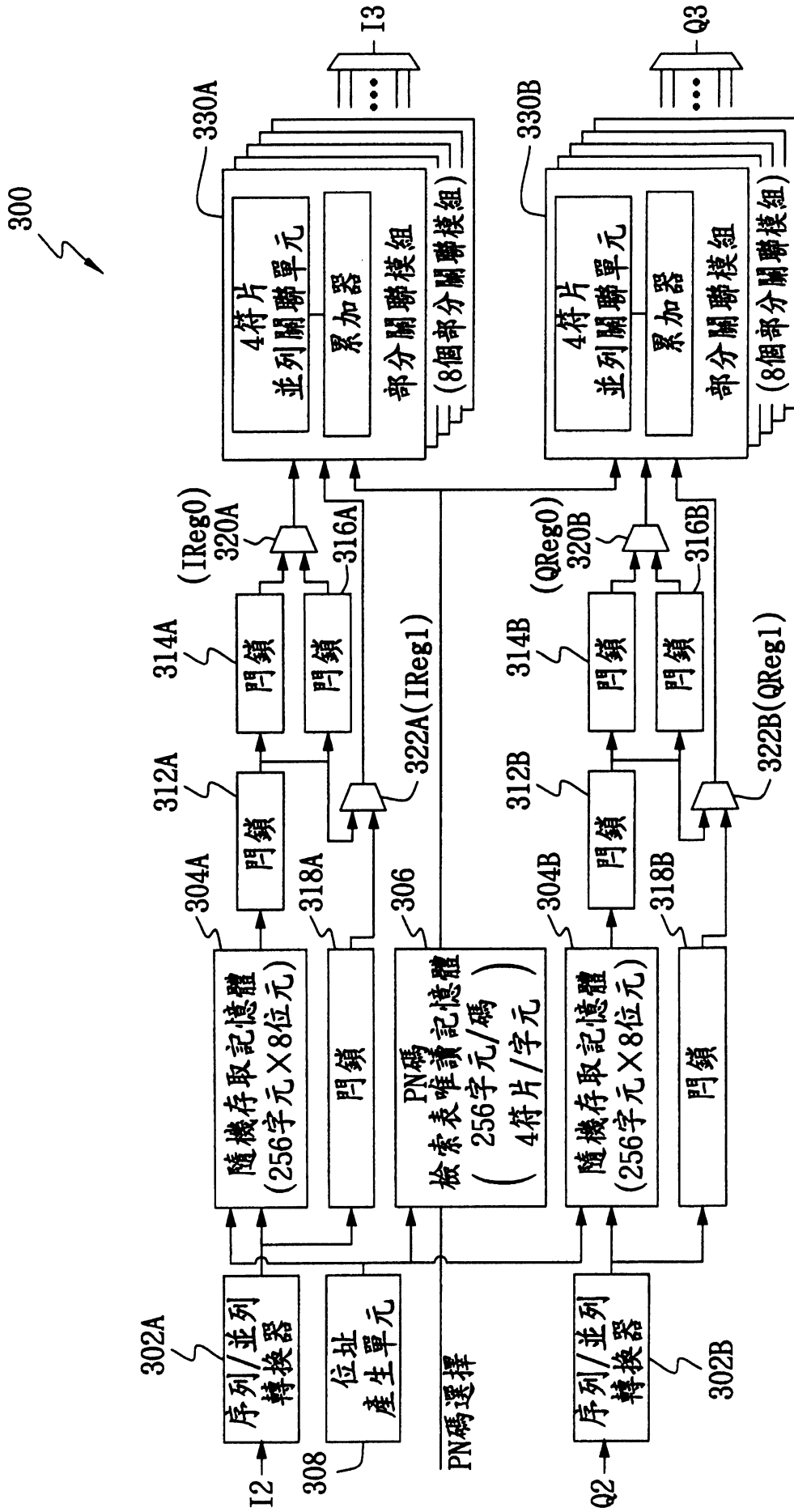


圖 9

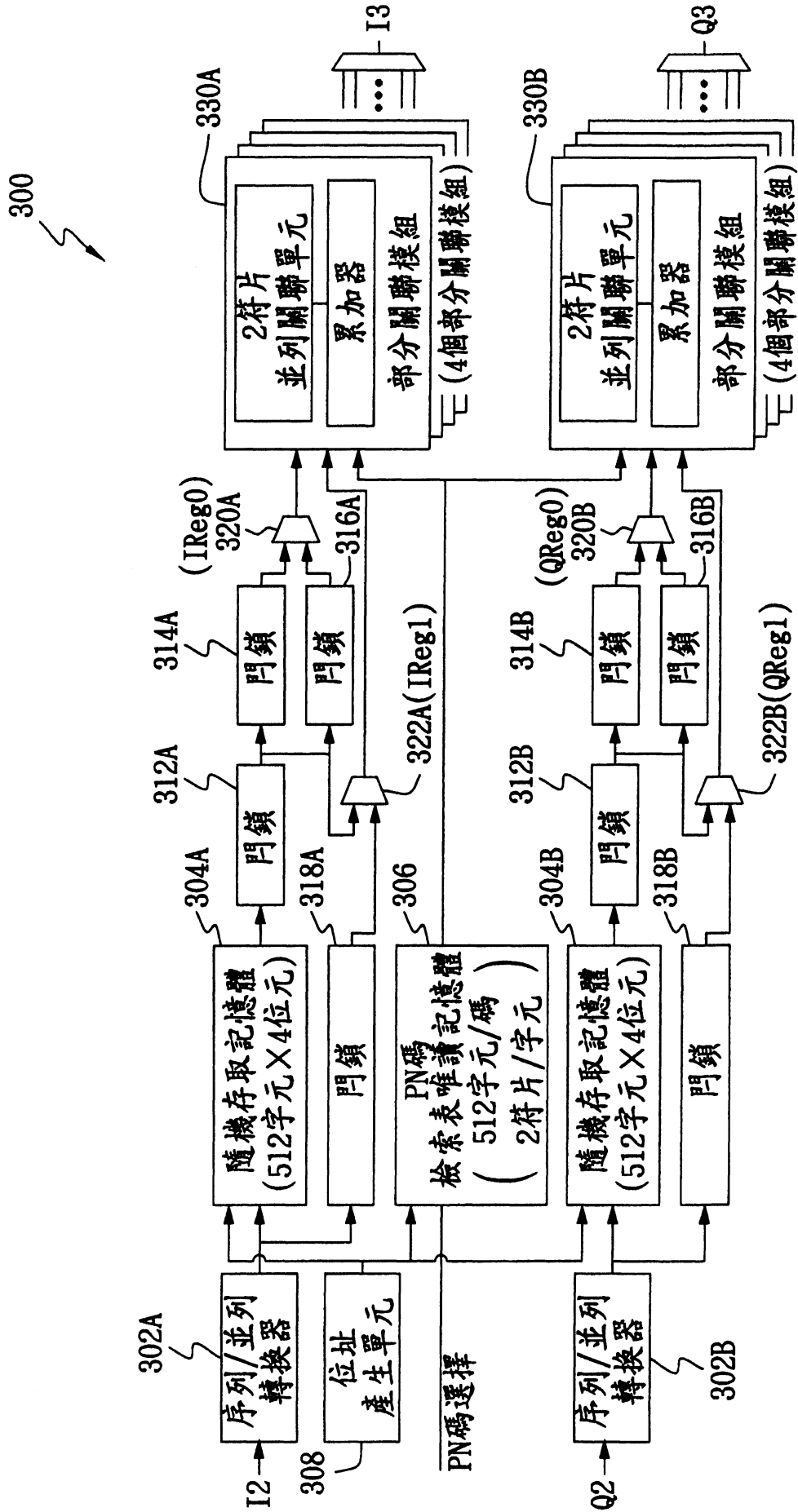


圖 10

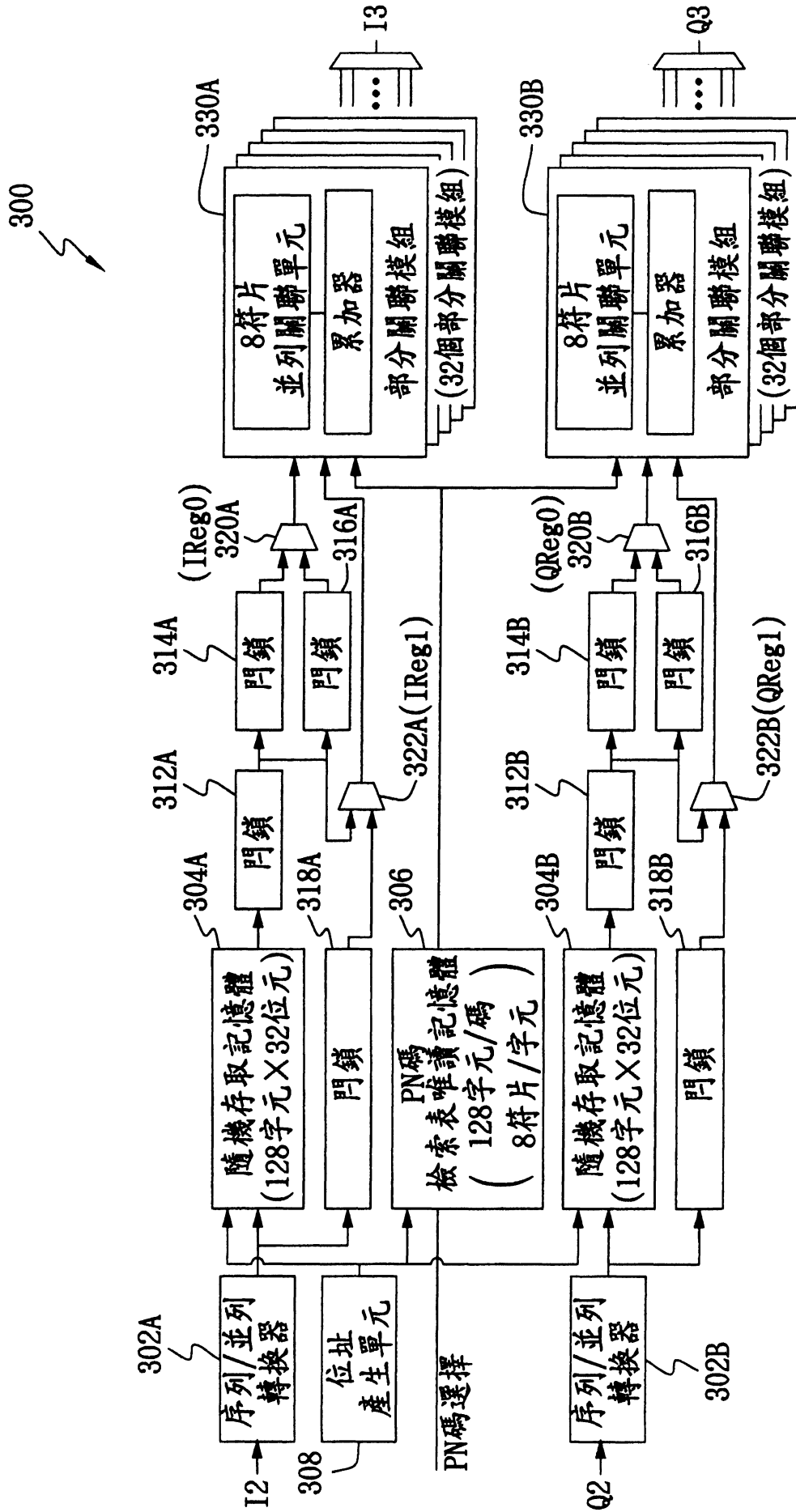


圖 11

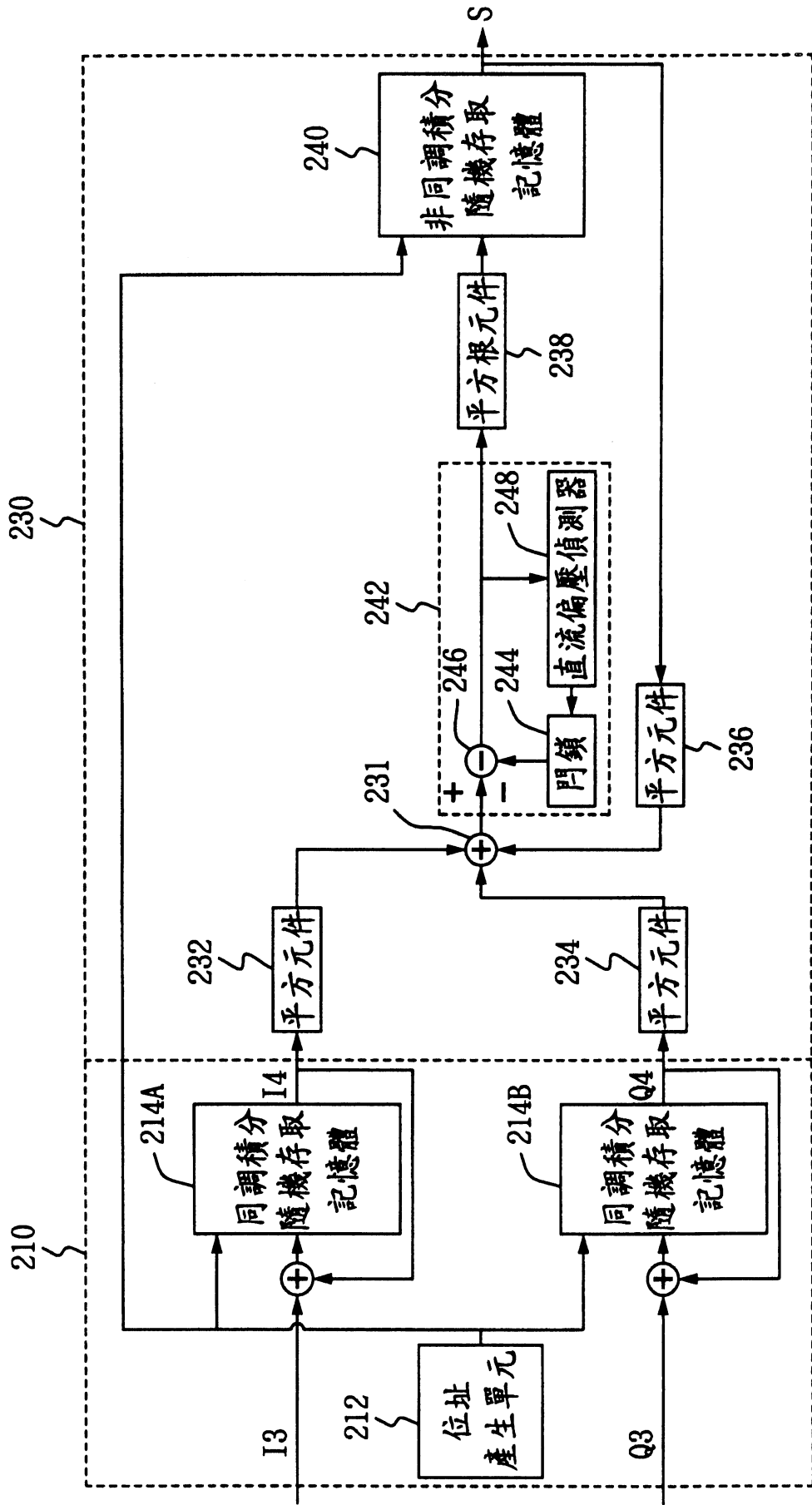


圖 12

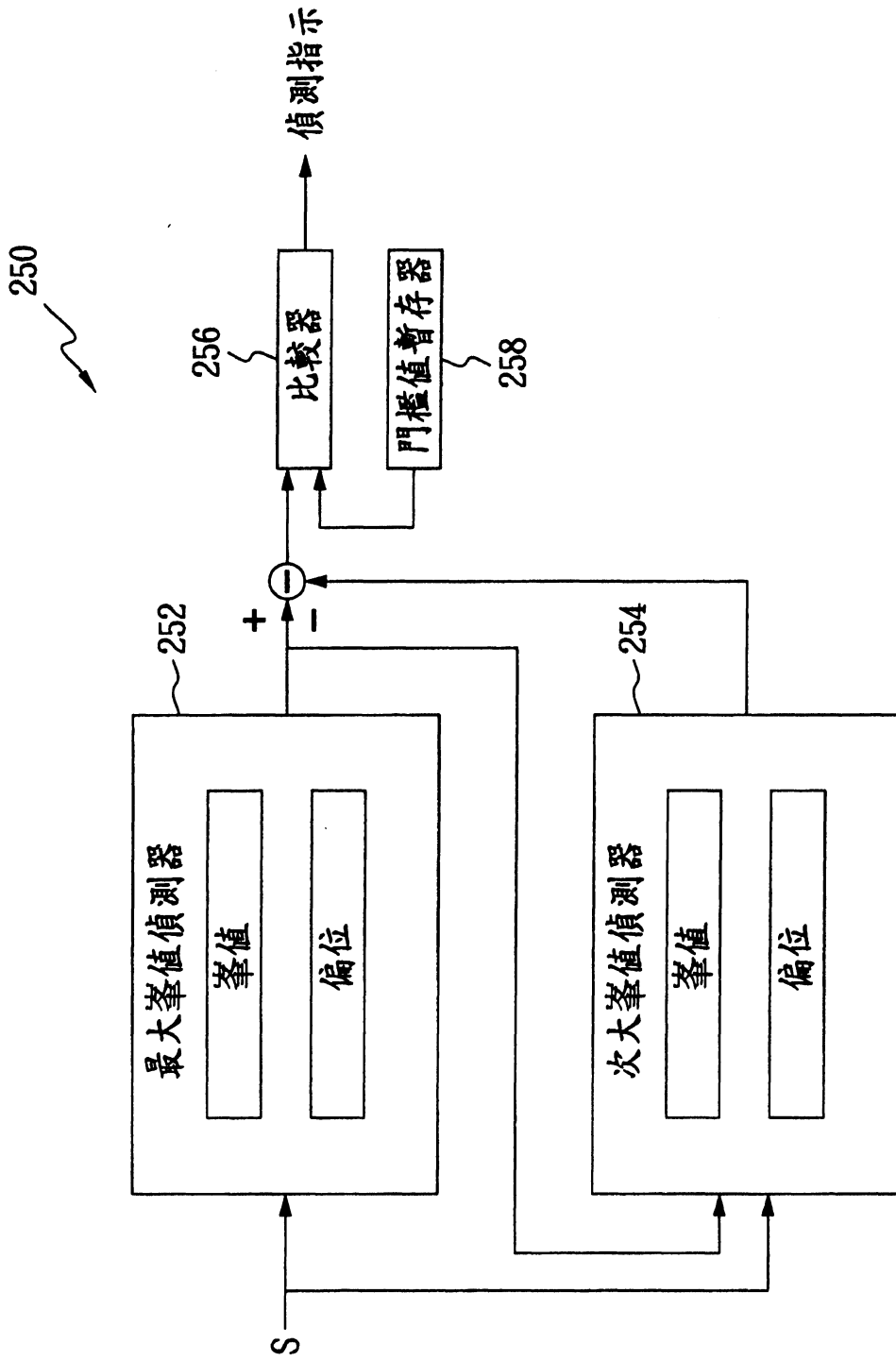


圖 13

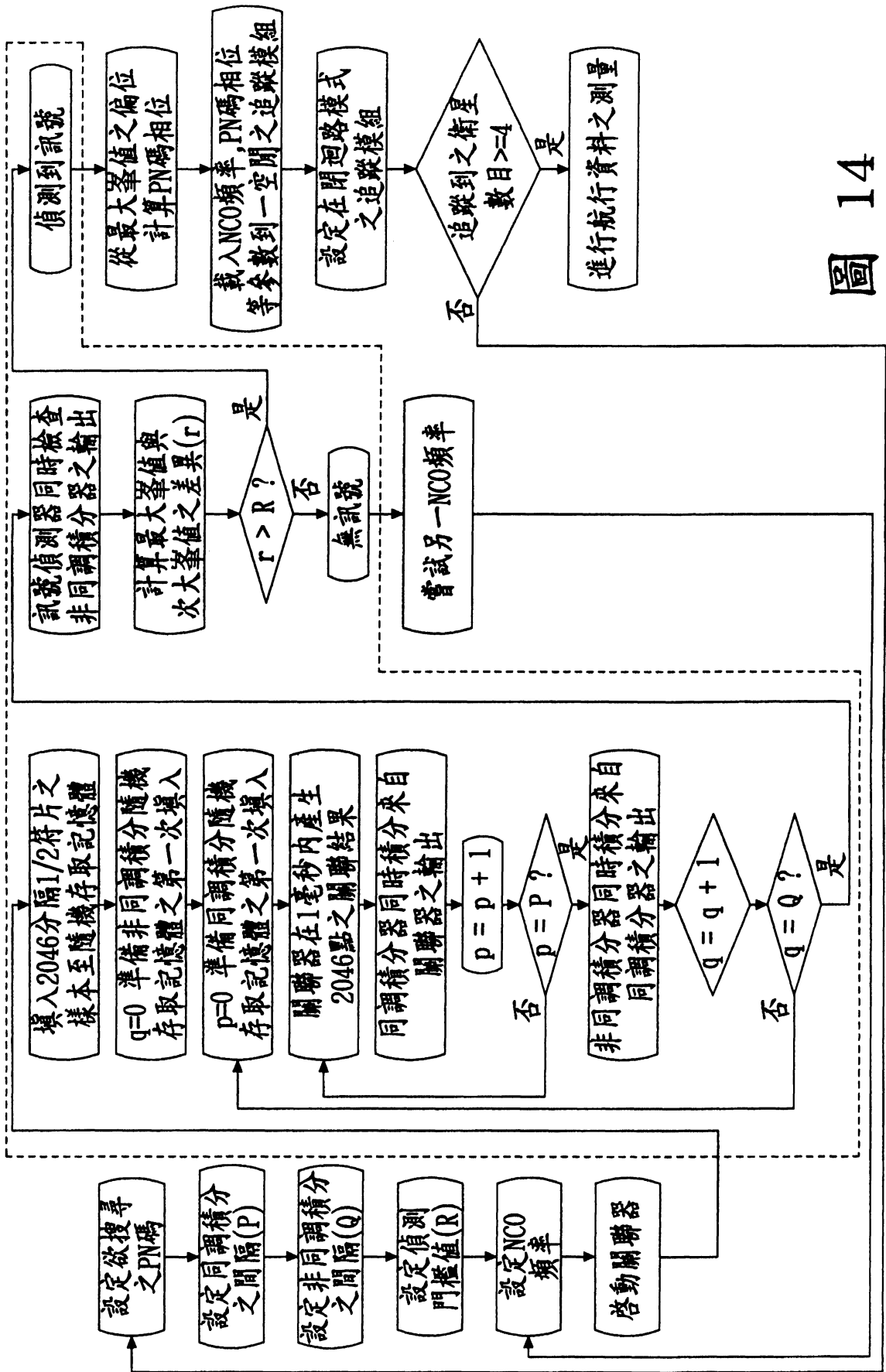


圖 14

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100 接收器	102 天線
104 RF前端電路	200 擷取裝置
202 混波器	204 載波NCO
206 取樣器	208 時脈控制器
210 同調積分器	230 非同調積分器
250 訊號偵測器	300 關聯器
500 追蹤模組	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)