



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년11월02일
(11) 등록번호 10-0991379
(24) 등록일자 2010년10월27일

(51) Int. Cl.

H01L 27/108 (2006.01)

(21) 출원번호 10-2003-0086040
(22) 출원일자 2003년11월29일
심사청구일자 2008년09월23일
(65) 공개번호 10-2005-0052176
(43) 공개일자 2005년06월02일
(56) 선행기술조사문헌
KR1019990074636 A
JP10223858 A
KR1020010036018 A
KR1020020061353 A

전체 청구항 수 : 총 9 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이성권

경기도이천시부발읍현대7차아파트706-1401

이민석

경기도성남시분당구정자동121

상록우성아파트305-1302

(74) 대리인

특허법인 신성

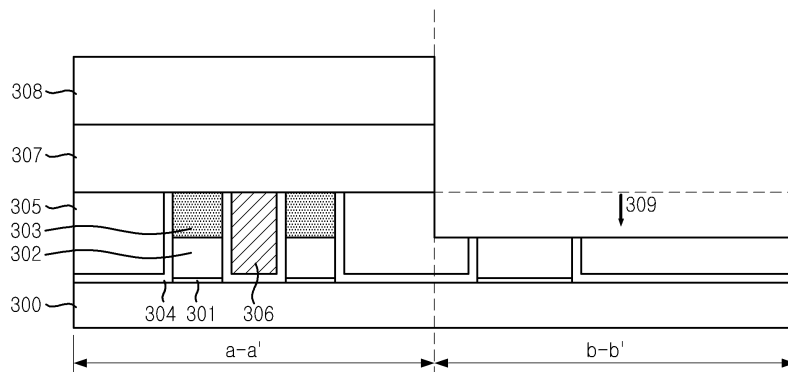
심사관 : 구영희

(54) 반도체소자 제조 방법

(57) 요약

본 발명은 정밀한 공정 조건이 요구되면서도 생산 비용이 많이 소요되고 중복되는 마스크 공정을 하나의 마스크로 실시하여 생산 비용을 낮추며, 정밀한 CD의 제어가 가능한 반도체소자의 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 셀영역과 주변영역을 갖는 기판 상에 하드마스크용 절연막/전도막 구조의 복수의 도전패턴을 형성하는 단계; 상기 복수의 도전패턴 상에 제1절연막을 형성하는 단계; 상기 셀영역에서 제1절연막을 관통하여 상기 도전패턴 사이의 상기 기판에 전기적으로 콘택된 제1도전층을 형성하는 단계; 상기 제1절연막 상에 제2절연막을 형성하는 단계; 상기 제2절연막 상에 셀클로즈 마스크인 제1포토리소그래피 패턴을 형성하는 단계; 상기 제1포토리소그래피 패턴을 식각마스크로 상기 주변영역에서 상기 전도막이 노출될 때까지 상기 제2절연막과 상기 하드마스크용 절연막 및 제1절연막을 식각하는 단계; 상기 제1포토리소그래피 패턴을 제거하는 단계; 상기 셀영역과 상기 주변영역을 포함하는 기판 전면에 상기 주변영역에서의 그 높이가 상기 셀영역에서의 상기 제2절연막의 높이보다 높도록 제3절연막을 형성하는 단계; 상기 제3절연막 상에 상기 셀영역 및 상기 주변영역에서의 콘택을 동시에 형성하기 위한 제2포토리소그래피 패턴을 형성하는 단계; 및 상기 제2포토리소그래피 패턴을 식각마스크로 상기 제3절연막 및 상기 제2절연막을 선택적으로 식각하여 상기 셀영역의 상기 제1도전층과 상기 주변영역에서 상기 전도막을 각각 노출시키는 복수의 오픈부를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

대표도 - 도4c



특허청구의 범위

청구항 1

셀 영역과 주변영역을 갖는 기판 상에 하드마스크용 절연막/전도막 구조의 복수의 도전패턴을 형성하는 단계;

상기 복수의 도전패턴 상에 제1절연막을 형성하는 단계;

상기 셀 영역에서 제1절연막을 관통하여 상기 도전패턴 사이의 상기 기판에 전기적으로 콘택된 제1도전층을 형성하는 단계;

상기 제1절연막 상에 제2절연막을 형성하는 단계;

상기 제2절연막 상에 셀클로즈 마스크인 제1포토레지스트 패턴을 형성하는 단계;

상기 제1포토레지스트 패턴을 식각마스크로 상기 주변영역에서 상기 전도막이 노출될 때까지 상기 제2절연막과 상기 하드마스크용 절연막 및 제1절연막을 식각하는 단계;

상기 제1포토레지스트 패턴을 제거하는 단계;

상기 셀 영역과 상기 주변영역을 포함하는 기판 전면에서 상기 주변영역에서의 그 높이가 상기 셀 영역에서의 상기 제2절연막의 높이보다 높도록 제3절연막을 형성하는 단계;

상기 제3절연막 상에 상기 셀 영역 및 상기 주변영역에서의 콘택을 동시에 형성하기 위한 제2포토레지스트 패턴을 형성하는 단계; 및

상기 제2포토레지스트 패턴을 식각마스크로 상기 제3절연막 및 상기 제2절연막을 선택적으로 식각하여 상기 셀 영역의 상기 제1도전층과 상기 주변영역에서 상기 전도막을 각각 노출시키는 복수의 오픈부를 형성하는 단계

를 포함하는 반도체소자 제조 방법.

청구항 2

셀 영역과 주변영역을 갖는 기판 상에 하드마스크용 절연막/전도막 구조의 복수의 도전패턴을 형성하는 단계;

상기 복수의 도전패턴 상에 제1절연막을 형성하는 단계;

상기 셀 영역에서 제1절연막을 관통하여 상기 도전패턴 사이의 상기 기판에 전기적으로 콘택된 제1도전층을 형성하는 단계;

상기 제1절연막 상에 제2절연막을 형성하는 단계;

상기 제2절연막 상에 셀클로즈 마스크인 제1포토레지스트 패턴을 형성하는 단계;

상기 제1포토레지스트 패턴을 식각마스크로 상기 주변영역에서 상기 전도막이 노출될 때까지 상기 제2절연막과 상기 하드마스크용 절연막 및 제1절연막을 식각하는 단계;

상기 제1포토레지스트 패턴을 제거하는 단계;

상기 셀 영역과 상기 주변영역을 포함하는 기판 전면에서 상기 주변영역에서의 그 높이가 상기 셀 영역에서의 상기 제2절연막의 높이보다 높도록 제3절연막을 형성하는 단계;

상기 제3절연막 상에 상기 셀 영역 및 상기 주변영역에서의 콘택을 동시에 형성하기 위한 제2포토레지스트 패턴을 형성하는 단계; 및

상기 제2포토레지스트 패턴을 식각마스크로 상기 제3절연막 및 상기 제2절연막을 선택적으로 식각하여 상기 셀 영역의 상기 제1도전층과 상기 주변영역에서 상기 전도막 또는 상기 기판을 각각 노출시키는 복수의 오픈부를 형성하는 단계

를 포함하는 반도체소자 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제3절연막은, APL막 또는 SOG을 포함하는 유동성 절연막인 것을 특징으로 하는 반도체소자 제조 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제2절연막과 상기 하드마스크용 절연막 및 제1절연막을 식각하는 단계는, 상기 제2절연막을 제거하는 단계와, 상기 하드마스크용 절연막과 상기 제1절연막을 식각하는 단계를 포함하며,

상기 하드마스크용 절연막과 상기 제1절연막을 식각하는 단계에서,

상기 하드마스크용 절연막과 상기 제1절연막의 식각비가 실질적으로 1:1의 비율을 갖도록 식각하는 것을 특징으로 하는 반도체소자 제조 방법.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 복수의 도전패턴은, 게이트전극 패턴, 비트라인 또는 금속전극 중 어느 하나를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제1도전층은, 콘택 플러그를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 오픈부를 형성하는 단계 후, 상기 오픈부를 매립하며 노출된 부분과 전기적으로 연결되는 제2도전층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

청구항 8

제 7 항에 있어서,

상기 제2도전층은, 콘택 플러그를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

청구항 9

제 8 항에 있어서,

상기 콘택 플러그는 비트라인콘택 플러그인 것을 특징으로 하는 반도체소자 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 반도체소자 제조 방법에 관한 것으로 특히, 제조 비용이 많이 소요되는 콘택 형성 공정을 비교적 저렴한 콘택 형성 공정으로 대체하여 생산 비용을 줄일 수 있는 반도체소자의 콘택 형성 방법에 관한 것이다.
- [0013] 반도체 메모리소자 중 DRAM(Dynamic Random Access Memory) 등은 예컨대, 1T1C(하나의 트랜지스터와 하나의 캐패시터)로 구성된 복수의 단위 셀을 포함하는 셀영역과 그 이외의 주변영역으로 크게 구분된다.
- [0014] 예컨대, 비트라인(Bitline)은 셀 트랜지스터의 소스 쪽에 연결되어 실제로 데이터가 전송되는 라인으로, 셀 영역 측면에서는 이러한 비트라인의 전기적 연결을 위해 게이트전극(예컨대, 워드라인) 측면의 소스/드레인 접합 영역에(통상 하부의 랜딩 플러그 콘택(Landing plug contact; 이하 LPC1이라 함)을 통해 콘택됨) 연결되며, 이러한 비트라인을 통해 전달된 셀 데이터를 감지 및 증폭하기 위한 비트라인 감지증폭기(Bitline sense amplifier)를 포함하는 주변영역 측면에서는 비트라인 감지증폭기(구체적으로 비트라인 감지증폭기를 이루는 트랜지스터의 게이트와 소스/드레인 접합)와 비트라인 간의 전기적 연결을 위해 콘택이 필요하다.
- [0015] 이하에서는, 셀영역에서의 비트라인콘택(Bitline line contact)을 BLC1이라 하고, 주변영역에서의 비트라인콘택을 BLC2라 한다.
- [0016] 도 1a 내지 도 1e는 제1 종래기술에 따른 반도체소자 제조 공정을 도시한 단면도로서, 이를 참조하여 종래의 셀 영역 및 주변영역의 비트라인콘택 형성 공정을 상세히 살펴 본다.
- [0017] 먼저, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(10) 상에 게이트 절연막(11)과 게이트 전도막(12)과 하드마스크용 절연막(13)을 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 하드마스크용 절연막(13)/게이트 전도막(12)/게이트 절연막(11)의 적층 구조의 게이트전극 패턴(G1, G2, G3)을 형성한다.
- [0018] 여기서, a-a'은 셀영역을 나타내고, b-b'은 주변영역(구체적으로는, 비트라인 감지증폭기 형성 영역)을 나타낸다.
- [0019] 게이트 절연막(11)은 주로 실리콘 산화막 등의 산화막 계열을 이용하고, 게이트 전도막(12)은 폴리실리콘, 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용 절연막(13)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다.
- [0020] 하드마스크용 절연막(13)으로 질화막 계열의 물질을 사용하는 것은, 산화막 계열인 층간절연용 절연막과의 식각 선택비를 갖는 질화막 계열을 사용함으로써 플러그 형성을 위한 자기정렬콘택(Self align contact; 이하 SAC이라 함) 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 셀영역의 LPC1 형성을 위한 SAC 식각 공정에서 게이트전극 패턴(G1, G2)의 손실을 방지하기 위한 것이다.
- [0021] 이어서, 질화막 계열의 식각정지막(14)을 증착하는 바, 게이트전극 패턴(G1, G2, G3)이 형성된 프로파일을 따라 얇게 증착되도록 한다.
- [0022] 식각정지막(14)이 형성된 기판(10) 전면에 층간절연 및 게이트전극 패턴(G1, G2, G3) 간을 분리시키기 위한 산화막 계열의 제1절연막(15)을 증착한다.
- [0023] 제1절연막(15)으로는 BPSG(Boro Phospho Silicate Glass)막, BSG(Boro Silicate Glass)막, PSG(Phospho Silicate Glass)막, TEOS(Tetra Ethyl Ortho Silicate)막 또는 HDP(High Density Plasma) 산화막 등을 주로 사용한다.
- [0024] 이어서, 제1절연막(15) 상에 셀콘택 오픈 마스크를 형성한 다음, 셀콘택 오픈 마스크 식각마스크로 제1절연막(15)을 선택적으로 식각하여 셀영역(a-a')에서 게이트전극 패턴(G1, G2) 사이의 기판(10)(예컨대, 소스/드레인 접합 등의 활성영역)을 노출시키는 오픈부 즉, 콘택홀(도시하지 않음)을 형성한다.
- [0025] 이어서, 포토레지스트 스트립(Photoresist strip) 공정을 실시하여 셀콘택 오픈 마스크를 제거하고, 불산계 용액을 이용한 세정 공정을 실시하여 식각 부산물을 제거하며, 오픈부의 개구부를 확장시킨다.
- [0026] 오픈부가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부 형성시 노출된 기판(10)에 전기적으로 도통되도록 한다.
- [0027] 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용한다.

- [0028] 이어서, 게이트전극 패턴(G1, G2, G3) 상부와 제1절연막(15)이 평탄화되는 연마 타겟으로 화학적기계적연마 (Chemical Mechanical Polishing; 이하 CMP라 함) 공정을 실시하여 제1절연막(15)에 의해 분리되어 서로 아이솔레이션(Isolation)된 복수의 플러그(16)를 형성한다.
- [0029] 한편, 제1절연막(15)이 게이트전극 패턴(G1, G2, G3) 상부에서 일부 남는 연마 타겟으로 CMP 공정을 실시할 수 있다.
- [0030] 도 1a은 복수의 분리된 플러그(16)가 형성된 공정 단면을 나타낸다.
- [0031] 이어서, 도 1b에 도시된 바와 같이, 복수의 분리된 플러그(16)가 형성된 전체 구조 상부에 층간절연용 제2절연막(17)을 증착한 다음, 셀영역(a-a')에서의 BLC1 형성을 위한 콘택 마스크인 포토레지스트 패턴(18)을 형성한다.
- [0032] 제2절연막(17)으로는 BPSG막, BSG막, PSG막, TEOS막 또는 HDP 산화막 등을 사용한다.
- [0033] 이어서, 도 1c에 도시된 바와 같이, 포토레지스트 패턴(18)을 식각마스크로 제2절연막(17)을 식각하여 셀영역(a-a')의 플러그(16)를 노출시키는 오픈부(19, 구체적으로, 비트라인 콘택홀)을 형성한다.
- [0034] 이 때, 주지의 SAC 식각 공정을 적용하는 바, CF계열의 가스와 CHF 계열의 가스 등을 조합한 식각 레시피를 적용하며, 오픈부(19) 형성 후 세정 공정을 실시하여 식각 부산물을 제거함과 동시에 콘택 영역을 확장시킨다.
- [0035] 포토레지스트 스트립(또는 애싱(Ashing)) 공정을 실시하여 BLC1 형성용 포토레지스트 패턴(18)을 제거한 다음, 주변영역(b-b')에서의 BLC2 형성을 위한 콘택 마스크인 포토레지스트 패턴(20)을 형성한다.
- [0036] 이어서, 포토레지스트 패턴(20)을 식각마스크로 주변영역(b-b')의 제2절연막(17)을 선택적으로 식각하여 게이트 전극 패턴의 전도막(12) 및 주변영역(b-b')에서의 기관(10) 활성영역(예컨대, 비트라인 감지증폭기를 이루는 트랜지스터의 소스/드레인 영역)을 각각 노출시키는 오픈부(21, 22)를 형성한다.
- [0037] 이 때에도 전술한 바와 같은 SAC 식각 공정을 적용하는 바, CF 계열의 가스와 CHF 계열의 가스 등을 조합한 식각 레시피를 적용하며, 오픈부(21, 22) 형성 후 세정 공정을 실시하여 식각 부산물을 제거함과 동시에 콘택 영역을 확장시킨다.
- [0038] 포토레지스트 스트립 공정을 실시하여 BLC2 형성용 포토레지스트 패턴(20)을 제거하는 바, 도 1d는 BLC2용 오픈부(21, 22)가 형성된 공정 단면을 나타낸다.
- [0039] 오픈부가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부(19, 21, 22) 형성시 노출된 셀영역(a-a')의 플러그(16)와 주변영역(b-b')의 전도막(12) 및 기관(10)에 전기적으로 도통되도록 한다.
- [0040] 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용한다.
- [0041] 도 1e에 도시된 바와 같이, 제2절연막(17)이 노출되는 타겟으로 에치백 또는 CMP 공정을 실시하여 제2절연막(17)에 의해 분리되어 서로 격리된 비트라인 콘택 플러그(23, 24, 25)를 형성한다.
- [0042] 한편, 주변영역(b-b')의 비트라인 콘택 플러그 '24'와 '25'가 서로 연결될 수도 있으므로(예컨대, 비트라인 감지증폭기에서 트랜지스터의 소스/드레인과 게이트가 서로 전기적으로 연결되는 경우), 평탄화 공정시 식각 또는 연마 타겟을 적절히 조절하는 것이 바람직하다.
- [0043] 전술한 종래의 비트라인콘택 플러그 형성 공정에서는 셀영역(BLC1)과 주변영역(BLC2)을 별도로 분리하여 실시하였다.
- [0044] 한편, 비트라인콘택 플러그 형성을 위한 포토리소그래피 공정의 경우 다른 포토리소그래피 공정에 비해 정밀한(Critical) 공정 조건이 요구되며, 그 제조 비용도 상당히 많이 소요된다.
- [0045] 아울러, BLC1과 BLC2의 각각에 대한 식각 공정 후에 실시하는 세정 단계 중에 콘택 오픈부의 상부 임계치수(Critical Dimension; 이하 CD라 함)가 넓어져 금속 배선 형성 등 후속 공정에서의 오버랩(Overlap) 마진을 감소시키는 원인이 되기도 한다.
- [0046] 이러한 제1 종래기술의 문제점을 개선하기 위해 BLC1 및 BLC2를 하나의 마스크를 이용하여 동시에 형성하는 기술을 고려할 수도 있다.
- [0047] 도 2a 내지 도 2d는 제2 종래기술에 따른 반도체소자 제조 공정을 도시한 단면도로서, 이를 참조하여 종래의 셀

영역 및 주변영역의 비트라인콘택 형성 공정을 상세히 살펴 본다.

- [0048] 먼저, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(100) 상에 게이트 절연막(101)과 게이트 전도막(102)과 하드마스크용 절연막(103)을 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 하드마스크용 절연막(103)/게이트 전도막(102)/게이트 절연막(101)의 적층 구조의 게이트전극 패턴(G21, G22, G23)을 형성한다.
- [0049] 여기서, a-a'은 셀영역을 나타내고, b-b'은 주변영역(구체적으로는, 비트라인 감지증폭기 형성 영역)을 나타낸다.
- [0050] 게이트 절연막(101)은 주로 실리콘 산화막 등의 산화막 계열을 이용하고, 게이트 전도막(102)은 폴리실리콘, 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용 절연막(103)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다.
- [0051] 하드마스크용 절연막(103)으로 질화막 계열의 물질을 사용하는 것은, 산화막 계열인 층간절연용 절연막과의 식각선택비를 갖는 질화막 계열을 사용함으로써 플러그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 셀영역의 LPC1 형성을 위한 SAC 식각 공정에서 게이트전극 패턴(G21, G22)의 손실을 방지하기 위한 것이다.
- [0052] 이어서, 질화막 계열의 식각정지막(104)을 증착하는 바, 게이트전극 패턴(G21, G22, G23)이 형성된 프로파일을 따라 얇게 증착되도록 한다.
- [0053] 식각정지막(104)이 형성된 기판(100) 전면에 층간절연 및 게이트전극 패턴(G21, G22, G23) 간을 분리시키기 위한 산화막 계열의 제1절연막(105)을 증착한다.
- [0054] 제1절연막(105)으로는 BPSG막, BSG막, PSG막, TEOS막 또는 HDP 산화막 등을 주로 사용한다.
- [0055] 이어서, 제1절연막(105) 상에 셀콘택 오픈 마스크를 형성한 다음, 셀콘택 오픈 마스크 식각마스크로 제1절연막(105)을 선택적으로 식각하여 셀영역(a-a')에서 게이트전극 패턴(G21, G22) 사이의 기판(100)(예컨대, 소스/드레인 접합 등의 활성영역)을 노출시키는 오픈부 즉, 콘택홀(도시하지 않음)을 형성한다.
- [0056] 이어서, 포토레지스트 스트립 공정을 실시하여 셀콘택 오픈 마스크를 제거하고, 불산계 용액을 이용한 세정 공정을 실시하여 식각 부산물을 제거하며, 오픈부의 개구부를 확장시킨다.
- [0057] 오픈부가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부 형성시 노출된 기판(100)에 전기적으로 도통되도록 한다.
- [0058] 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용한다.
- [0059] 이어서, 게이트전극 패턴(G21, G22, G23) 상부와 제1절연막(105)이 평탄화되는 연마 타겟으로 CMP 공정을 실시하여 제1절연막(105)에 의해 분리되어 서로 아이솔레이션된 복수의 플러그(106)를 형성한다.
- [0060] 한편, 제1절연막(105)이 게이트전극 패턴(G21, G22, G23) 상부에서 일부 남는 연마 타겟으로 CMP 공정을 실시할 수 있다.
- [0061] 도 2a은 복수의 분리된 플러그(106)가 형성된 공정 단면을 나타낸다.
- [0062] 이어서, 도 2b에 도시된 바와 같이, 복수의 분리된 플러그(106)가 형성된 전체 구조 상부에 층간절연용 제2절연막(107)을 증착한 다음, 셀영역(a-a')에서의 BLC1 형성 및 주변영역(b-b')에서의 BLC2 형성을 위한 콘택 마스크가 머지된(Merged) 포토레지스트 패턴(108)을 형성한다.
- [0063] 제2절연막(107)으로는 BPSG막, BSG막, PSG막, TEOS막 또는 HDP 산화막 등을 사용한다.
- [0064] 이어서, 포토레지스트 패턴(108)을 식각마스크로 제2절연막(107)을 식각하여 셀영역(a-a')의 플러그(106)를 노출시키는 오픈부(109, 구체적으로, 비트라인 콘택홀)을 형성한다. 또한, 이와 동시에 포토레지스트 패턴(108)을 식각마스크로 주변영역(b-b')의 제2절연막(107)과 제1절연막(105)을 선택적으로 식각하여 게이트전극 패턴(G23)의 게이트 전도막(103) 및 주변영역(b-b')에서의 기판(100) 활성영역(예컨대, 비트라인 감지증폭기를 이루는 트랜지스터의 소스/드레인 영역)을 각각 노출시키는 오픈부(110, 111)를 형성한다.
- [0065] 이 때, 주지의 SAC 식각 공정을 적용하는 바, CF계열의 가스와 CHF 계열의 가스 등을 조합한 식각 레시피를 적용하며, 오픈부(109, 110, 111) 형성 후 세정 공정을 실시하여 식각 부산물을 제거함과 동시에 콘택 영역을 확

장시킨다.

- [0066] 포토레지스트 스트립(또는 애싱(Ashing)) 공정을 실시하여 BLC1 및 BLC2 형성용 포토레지스트 패턴(108)을 제거한다. 도 2c는 BLC1 및 BLC2용 오픈부(109, 110, 111)가 형성된 공정 단면을 나타낸다.
- [0067] 오픈부(109, 110, 111)가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부(109, 110, 111) 형성시 노출된 셀 영역(a-a')의 플러그(106)와 주변영역(b-b')의 게이트 전도막(102) 및 기판(100)에 전기적으로 도통되도록 한다.
- [0068] 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용한다.
- [0069] 도 2d에 도시된 바와 같이, 제2절연막(107)이 노출되는 타겟으로 에치백 또는 CMP 공정을 실시하여 제2절연막(107)에 의해 분리되어 서로 격리된 비트라인 콘택 플러그(112, 113, 114)를 형성한다.
- [0070] 한편, 주변영역(b-b')의 비트라인 콘택 플러그 '113'과 '114'가 서로 연결될 수도 있으므로(예컨대, 비트라인 감지증폭기에서 트랜지스터의 소스/드레인과 게이트가 서로 전기적으로 연결되는 경우), 평탄화 공정시 식각 또는 연마 타겟을 적절히 조절하는 것이 바람직하다.
- [0071] 전술한 제2 종래기술의 비트라인콘택 플러그 형성 공정에서는 셀영역(BLC1)과 주변영역(BLC2)을 동시에 실시하였다.
- [0072] 제2 종래기술에서 제시된 바 대로 공정이 이루어진다면 다른 이슈없이 실제 공정에 적용하면 거의 최적의 공정 조건이라 간주할 수 있을 것이다.
- [0073] 그러나, 머지된 비트라인 콘택 형성용 포토레지스트 패턴을 사용할 경우에는 BLC1용 콘택홀의 식각하는 경우 게이트 하드마스크의 손실을 최소화하기 위해 SAC 식각 공정이 이루어져야 하나, SAC 식각 공정을 진행할 경우 주변영역에서 BLC2용 콘택홀 형성시 게이트 전도막 상부의 하드마스크용 절연막으로 사용되는 질화막의 식각이 사실상 불가능하다는 문제가 발생한다.
- [0074] 도 3a 및 도 3b는 제2 종래기술에 따른 문제점을 도시한 단면 SEM(Scanning Electron Microscopy) 사진이다.
- [0075] 한편, SAC 식각 조건을 적용하지 않고 식각시에는 도 3a 및 도 3b의 각각에서 'A'와 'B'로 도시된 바와 같이 셀 영역 내의 BLC1용 콘택홀에서의 게이트 하드마스크의 손실로 인한 SAC 결함이 발생함을 알 수 있다.

발명이 이루고자 하는 기술적 과제

- [0076] 본 발명은 정밀한 공정 조건이 요구되면서도 생산 비용이 많이 소요되고 셀영역과 주변영역에서 서로 중복되는 마스크 공정을 하나의 마스크로 실시하여 생산 비용을 낮추며, 정밀한 CD의 제어가 가능한 반도체소자의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0077] 상기의 목적을 달성하기 위해 본 발명은, 셀영역과 주변영역을 갖는 기판 상에 하드마스크용 절연막/전도막 구조의 복수의 도전패턴을 형성하는 단계; 상기 복수의 도전패턴 상에 제1절연막을 형성하는 단계; 상기 셀영역에서 제1절연막을 관통하여 상기 도전패턴 사이의 상기 기판에 전기적으로 콘택된 제1도전층을 형성하는 단계; 상기 제1절연막 상에 제2절연막을 형성하는 단계; 상기 제2절연막 상에 셀클로즈 마스크인 제1포토레지스트 패턴을 형성하는 단계; 상기 제1포토레지스트 패턴을 식각마스크로 상기 주변영역에서 상기 전도막이 노출될 때까지 상기 제2절연막과 상기 하드마스크용 절연막 및 제1절연막을 식각하는 단계; 상기 제1포토레지스트 패턴을 제거하는 단계; 상기 셀영역과 상기 주변영역을 포함하는 기판 전면에 상기 주변영역에서의 그 높이가 상기 셀영역에서의 상기 제2절연막의 높이보다 높도록 제3절연막을 형성하는 단계; 상기 제3절연막 상에 상기 셀영역 및 상기 주변영역에서의 콘택을 동시에 형성하기 위한 제2포토레지스트 패턴을 형성하는 단계; 및 상기 제2포토레지스트 패턴을 식각마스크로 상기 제3절연막 및 상기 제2절연막을 선택적으로 식각하여 상기 셀영역의 상기 제1도전층과 상기 주변영역에서 상기 전도막을 각각 노출시키는 복수의 오픈부를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.
- [0078] 또한, 상기의 목적을 달성하기 위해 본 발명은, 셀영역과 주변영역을 갖는 기판 상에 하드마스크용 절연막/전도

막 구조의 복수의 도전패턴을 형성하는 단계; 상기 복수의 도전패턴 상에 제1절연막을 형성하는 단계; 상기 셀 영역에서 제1절연막을 관통하여 상기 도전패턴 사이의 상기 기판에 전기적으로 콘택된 제1도전층을 형성하는 단계; 상기 제1절연막 상에 제2절연막을 형성하는 단계; 상기 제2절연막 상에 셀클로즈 마스크인 제1포토리소그래피 패턴을 형성하는 단계; 상기 제1포토리소그래피 패턴을 식각마스크로 상기 주변영역에서 상기 전도막이 노출될 때까지 상기 제2절연막과 상기 하드마스크용 절연막 및 제1절연막을 식각하는 단계; 상기 제1포토리소그래피 패턴을 제거하는 단계; 상기 셀영역과 상기 주변영역을 포함하는 기판 전면에 상기 주변영역에서의 그 높이가 상기 셀 영역에서의 상기 제2절연막의 높이보다 높도록 제3절연막을 형성하는 단계; 상기 제3절연막 상에 상기 셀영역 및 상기 주변영역에서의 콘택을 동시에 형성하기 위한 제2포토리소그래피 패턴을 형성하는 단계; 및 상기 제2포토리소그래피 패턴을 식각마스크로 상기 제3절연막 및 상기 제2절연막을 선택적으로 식각하여 상기 셀영역의 상기 제1도전층과 상기 주변영역에서 상기 전도막 또는 상기 기판을 각각 노출시키는 복수의 오픈부를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

- [0079] 본 발명에서는 전술한 바와 같이, 고도의 정밀성이 요구되면서도 생산 비용이 많이 소요되는 공정(예컨대, 비트 라인콘택 공정)을 반복하여 사용함으로써 인한 문제점을 극복하기 위해, 비교적 간단한 마스크 공정을 추가하고, CD 관리가 요구되는 비트라인콘택 공정과 같은 공정 스텝에 대한 마스크 공정을 셀영역과 주변영역에서 하나의 마스크 패턴을 이용한 공정으로 실시함으로써, 생산 비용의 저감과 아울러, 반복되는 세정 공정으로 인한 오픈부 상부에서의 CD의 확대를 방지할 수 있도록 한다.
- [0080] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.
- [0081] 도 4a 내지 도 4f는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도로서, 이를 참조하여 본 발명의 일실시예에 따른 셀영역 및 주변영역의 비트라인콘택 형성 공정을 상세히 살펴 본다.
- [0082] 먼저, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(300) 상에 게이트 절연막(301)과 게이트 전도막(302)과 하드마스크용 절연막(303)을 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 하드마스크용 절연막(303)/게이트 전도막(302)/게이트 절연막(301)의 적층 구조의 게이트전극 패턴(G31, G32, G33)을 형성한다.
- [0083] 여기서, a-a'은 셀영역을 나타내고, b-b'은 주변영역(구체적으로는, 비트라인 감지증폭기 형성 영역)을 나타낸다.
- [0084] 게이트 절연막(301)은 주로 실리콘 산화막 등의 산화막 계열을 이용하고, 게이트 전도막(302)은 폴리실리콘, 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용 절연막(303)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다.
- [0085] 하드마스크용 절연막(303)으로 질화막 계열의 물질을 사용하는 것은, 산화막 계열인 층간절연용 절연막과의 식각선택비를 갖는 질화막 계열을 사용함으로써 플러그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 셀영역의 LPC1 형성을 위한 SAC 식각 공정에서 게이트전극 패턴(G31, G32)의 손실을 방지하기 위한 것이다.
- [0086] 이어서, 질화막 계열의 식각저지막(304)을 증착하는 바, 게이트전극 패턴(G31, G32, G33)이 형성된 프로파일을 따라 얇게 증착되도록 한다.
- [0087] 식각저지막(304)이 형성된 기판(300) 전면에 층간절연 및 게이트전극 패턴(G31, G32, G33) 간을 분리시키기 위한 산화막 계열의 제1절연막(305)을 증착한다.
- [0088] 제1절연막(305)으로는 BPSG막, BSG막, PSG막, TEOS막 또는 HDP 산화막 등을 주로 사용한다.
- [0089] 이어서, 제1절연막(305) 상에 셀콘택 오픈 마스크를 형성한 다음, 셀콘택 오픈 마스크 식각마스크로 제1절연막(305)을 선택적으로 식각하여 셀영역(a-a')에서 게이트전극 패턴(G31, G32) 사이의 기판(300)(예컨대, 소스/드레인 접합 등의 활성영역)을 노출시키는 오픈부 즉, 콘택홀(도시하지 않음)을 형성한다.
- [0090] 이어서, 포토레지스트 스트립 공정을 실시하여 셀콘택 오픈 마스크를 제거하고, 불산계 용액을 이용한 세정 공

정을 실시하여 식각 부산물을 제거하며, 오픈부의 개구부를 확장시킨다.

- [0091] 오픈부가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부 형성시 노출된 기관(300)에 전기적으로 도통되도록 한다. 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용한다.
- [0092] 이어서, 게이트전극 패턴(G31, G32, G33) 상부와 제1절연막(305)이 평탄화되는 연마 타겟으로 CMP 공정을 실시하여 제1절연막(305)에 의해 분리되어 서로 아이솔레이션된 복수의 플러그(306)를 형성한다.
- [0093] 한편, 제1절연막(305)이 게이트전극 패턴(G31, G32, G33) 상부에서 일부 남는 연마 타겟으로 CMP 공정을 실시할 수 있다.
- [0094] 도 4a은 복수의 분리된 플러그(306)가 형성된 공정 단면을 나타낸다.
- [0095] 이어서, 도 4b에 도시된 바와 같이, 복수의 분리된 플러그(106)가 형성된 전체 구조 상부에 층간절연용 제2절연막(307)을 증착한 다음, 제2절연막(307) 상에 셀 영역(a-a')을 마스크하는 셀클로즈 마스크인 포토레지스트 패턴(308)을 형성하여 셀 주변영역(b-b')의 제2절연막(307)이 노출되도록 한다.
- [0096] 여기서, 제2절연막(307)으로는 BPSG막, BSG막, PSG막, TEOS막 또는 HDP 산화막 등을 사용한다.
- [0097] 이어서, 도 4c에 도시된 바와 같이, 포토레지스트 패턴(308)을 식각마스크로 주변영역(b-b')의 제2절연막(307)과 게이트 하드마스크(303) 및 제1절연막(305)을 식각하여 주변영역(b-b')에서 게이트 전도막(302)이 노출되도록 한다.
- [0098] 이 때, 제2절연막(307)을 먼저 식각한 후, 제1절연막(305)과 게이트 하드마스크(303)가 실질적으로 1:1 정도의 식각비로 식각되도록 식각 공정 '309'을 진행한다.
- [0099] 계속해서, 포토레지스트 패턴(308)을 제거한 다음, 도 4d에 도시된 바와 같이 주변영역(b-b')에서 게이트 하드마스크(303)가 식각되어 게이트 전도막(302)이 노출된 전면에 제3절연막(310)을 증착한다.
- [0100] 제3절연막(310)은 셀영역(a-a')과 주변영역(b-b') 사이에서의 토폴로지 차이에 의해 주변영역(b-b') 부분에서 주로 형성되도록 유동성이 큰 절연막 즉, 유동성 절연막(Flowable dielectric)을 사용한다.
- [0101] 이 때, 셀영역(a-a')과 주변영역(b-b') 사이의 단차를 극복하기 위해 그 단차를 초과하는 두께로 제3절연막(310)을 형성하는 것이 바람직하며, 제3절연막(310)으로는 APL(Advanced Planarization Layer)막 또는 SOG(Spin On Glass)막을 사용한다.
- [0102] 따라서, 도 4d에서 셀영역(a-a')에서의 제3절연막(310)의 두께에 비해 주변영역(b-b')에서의 제3절연막(310)의 두께가 상대적으로 큼을 알 수 있다.
- [0103] 이어서, 도 4e에 도시된 바와 같이, 제3절연막(310) 상에 셀영역(a-a')에서의 BLC1 형성 및 주변영역(b-b')에서의 BLC2 형성을 위한 콘택 마스크가 머지된 포토레지스트 패턴(311)을 형성한다.
- [0104] 이어서, 포토레지스트 패턴(311)을 식각마스크로 제3절연막(310)과 제2절연막(307)을 식각하여 셀영역(a-a')의 플러그(306)를 노출시키는 오픈부(312, 구체적으로, 비트라인 콘택홀)을 형성한다. 또한, 이와 동시에 포토레지스트 패턴(311)을 식각마스크로 주변영역(b-b')의 제3절연막(310)을 선택적으로 식각하여 게이트전극 패턴의 게이트 전도막(302) 및 주변영역(b-b')에서의 기관(300) 활성영역(예컨대, 비트라인 감지증폭기를 이루는 트랜지스터의 소스/드레인 영역)을 각각 노출시키는 오픈부(313, 314)를 형성한다.
- [0105] 이 때, 주지의 SAC 식각 공정을 적용하는 바, CF계열의 가스와 CHF 계열의 가스 등을 조합한 식각 레시피를 적용하며, 오픈부(312, 313, 314) 형성 후 세정 공정을 실시하여 식각 부산물을 제거함과 동시에 콘택 영역을 확장시킨다.
- [0106] 도 4e는 BLC1 및 BLC2용 오픈부(312, 313, 314)가 형성된 공정 단면을 나타낸다.
- [0107] 포토레지스트 스트립(또는 애싱) 공정을 실시하여 BLC1 및 BLC2 형성을 위한 머지된 포토레지스트 패턴(311)을 제거한다.
- [0108] 오픈부(312, 313, 314)가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부(312, 313, 314) 형성시 노출된 셀영역(a-a')의 플러그(306)와 주변영역(b-b')의 게이트 전도막(302) 및 기관(300)에 전기적으로 도통되도록 한다.
- [0109] 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용한다.

- [0110] 이어서, 제3절연막(310)이 노출되는 타겟으로 에치백 또는 CMP 공정을 실시하여 제3절연막(310)에 의해 분리되어 서로 격리된 비트라인 콘택 플러그(315, 316, 317)를 형성한다.
- [0111] 한편, 주변영역(b-b')의 비트라인 콘택 플러그 '316'과 '317'이 서로 연결될 수도 있으므로(예컨대, 비트라인 감지증폭기에서 트랜지스터의 소스/드레인과 게이트가 서로 전기적으로 연결되는 경우), 평탄화 공정시 식각 또는 연마 타겟을 적절히 조절하는 것이 바람직하다.
- [0112] 한편, 여기서는 제3절연막(310)을 연마 타겟 'P'로 한 것을 예로 하였으나, 제2절연막(307)을 연마 타겟 'Q'로 하는 것도 가능하다.
- [0113] 전술한 바와 같이 이루어지는 본 발명은, 비트라인콘택 공정과 같은 CD 제어가 요구되는 마스크 공정은 셀영역과 주변영역에서 하나의 마스크 패턴을 이용한 공정으로 실시하고, 대신에 비트라인 콘택 공정에 비해 CD 제어 등에서 유리한 셀클로즈 마스크를 사용함으로써, 고도의 정밀성이 요구되면서도 생산 비용이 많이 소요되는 공정을 반복하여 사용함으로써 인한 생산 비용의 증가를 방지할 수 있으며, 반복되는 세정 공정으로 인한 오픈부 상부에서의 CD의 확대를 방지할 수 있음을 실시예를 통해 알아 보았다.
- [0114] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.
- [0115] 예컨대, 전술한 본 발명의 실시예에서는 비트라인콘택 공정을 그 일례로 하였으나, 비트라인콘택 공정 이외에 셀영역과 주변영역에서 모두 필요하며 각각 따로 실시하는 모든 콘택 공정에 응용이 가능하다.
- [0116] 또한, 전술한 본 발명의 실시예에서는 비트라인 콘택 형성 공정을 그 예로 하였으나, 이외에도 게이트전극 패턴 사이를 오픈시키는 공정 또는 비아 콘택 형성 공정 등 다양한 반도체 콘택 형성 공정에 적용이 가능하다.

발명의 효과

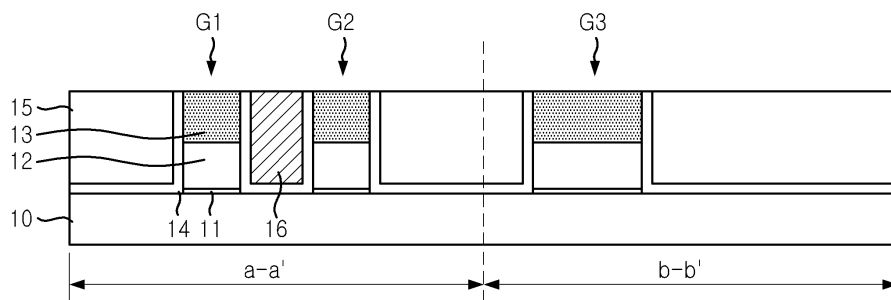
- [0117] 상술한 바와 같은 본 발명은, 셀영역과 주변영역에서 각각 형성되는 비트라인 콘택 공정과 같은 CD 제어를 필요로 하는 마스크 공정을 하나의 마스크 패턴을 이용한 공정으로 실시함으로써 생산 비용을 낮출 수 있어 궁극적으로, 반도체소자의 가격 경쟁력을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

도면의 간단한 설명

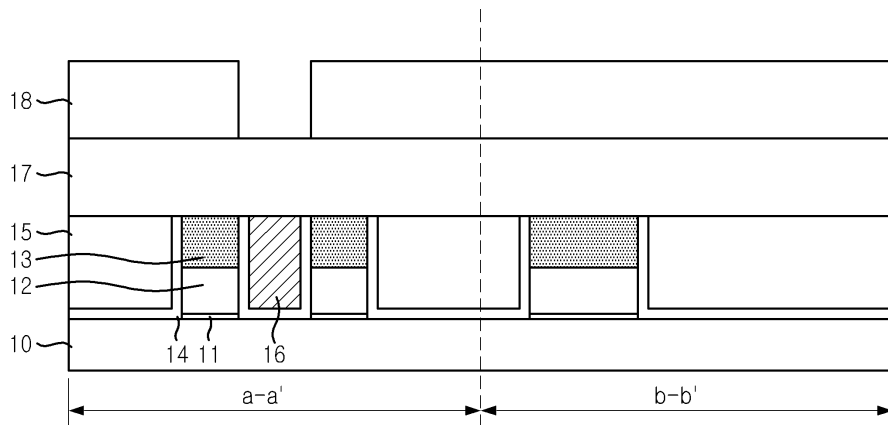
- [0001] 도 1a 내지 도 1e는 제1 종래기술에 따른 반도체소자 제조 공정을 도시한 단면도.
- [0002] 도 2a 내지 도 2d는 제2 종래기술에 따른 반도체소자 제조 공정을 도시한 단면도.
- [0003] 도 3a 및 도 3b는 제2 종래기술에 따른 문제점을 도시한 단면 SEM 사진.
- [0004] 도 4a 내지 도 4f는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도.
- [0005] * 도면의 주요부분에 대한 부호의 설명 *
- [0006] 300 : 기판 301 : 게이트 절연막
- [0007] 302 : 게이트 전도막 303 : 게이트 하드마스크
- [0008] 304 : 식각정지막 305 : 제1절연막
- [0009] 306 : 플러그 307 : 제2절연막
- [0010] 308 : 포토레지스트 패턴
- [0011] 309 : 제1절연막과 게이트 하드마스크를 1:1 정도의 식각비로 식각하는 공정

도면

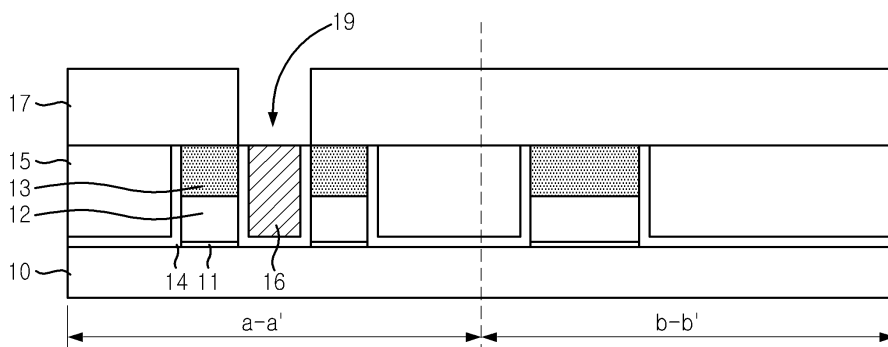
도면1a



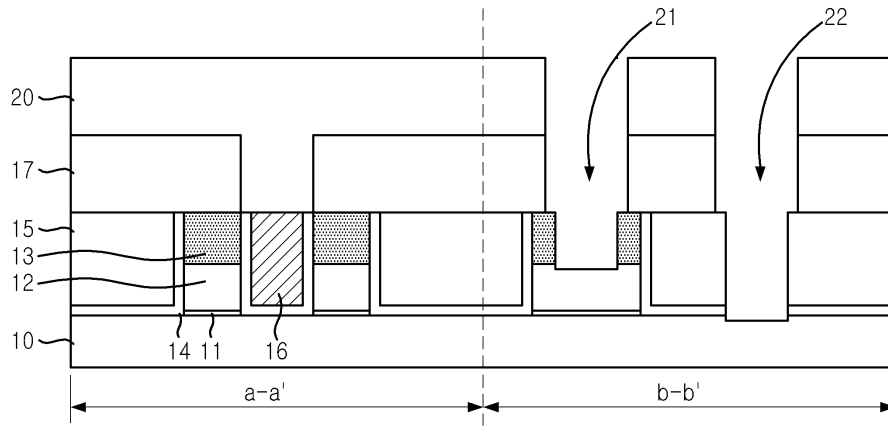
도면1b



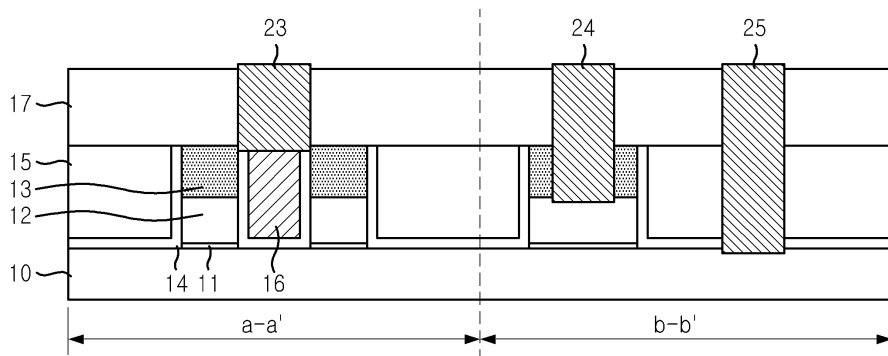
도면1c



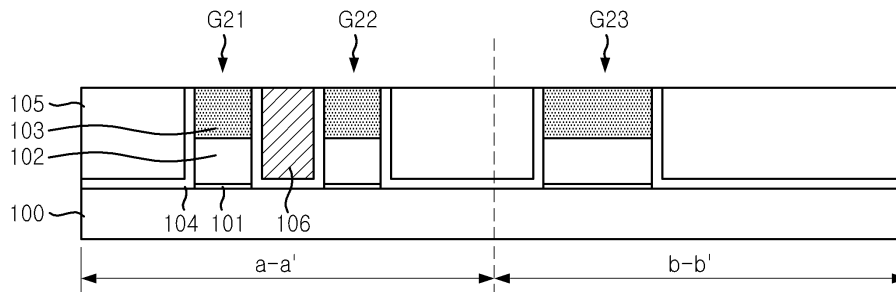
도면1d



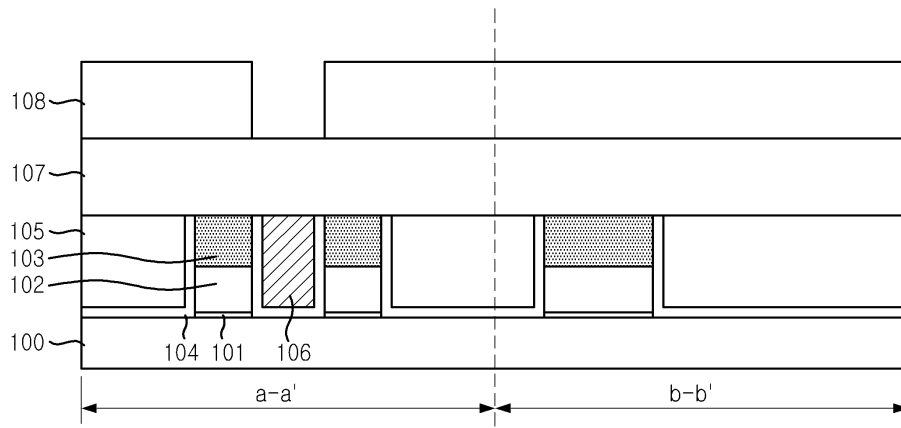
도면1e



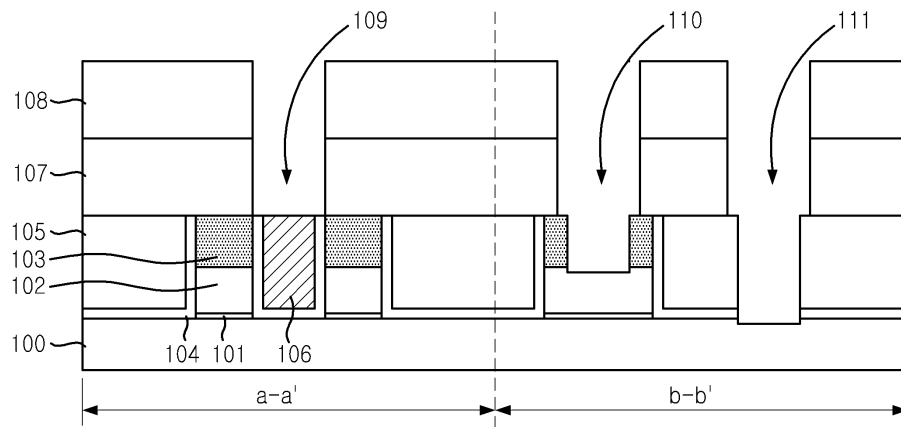
도면2a



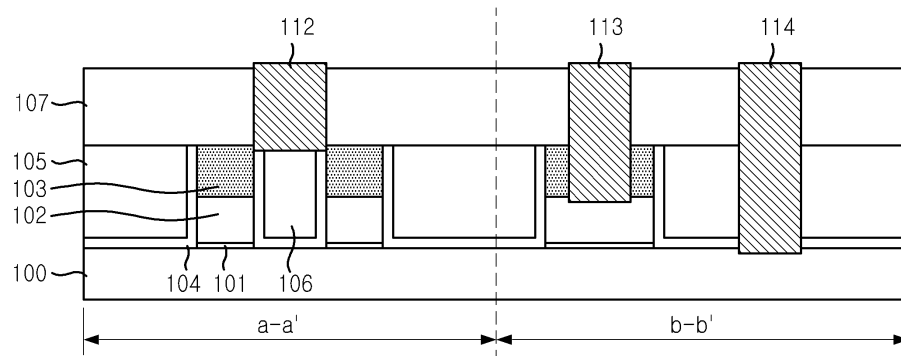
도면2b



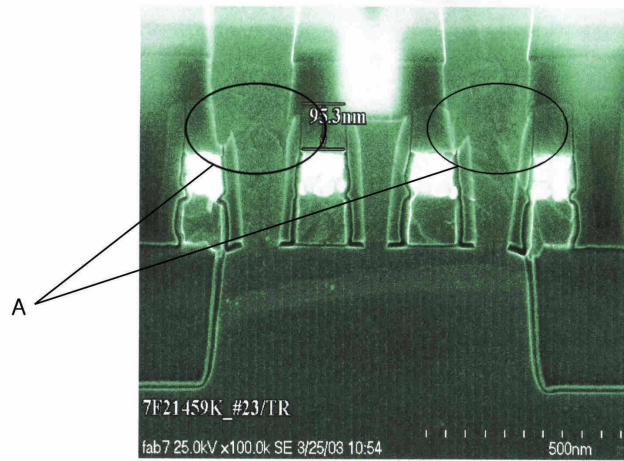
도면2c



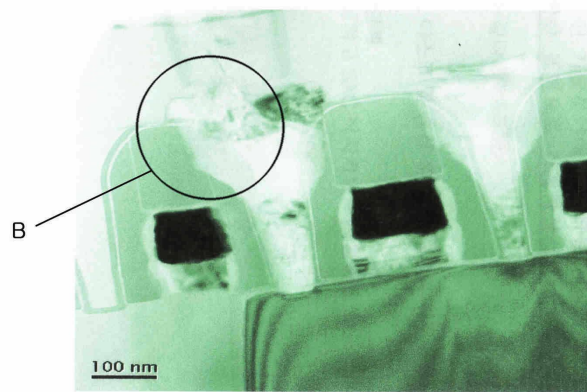
도면2d



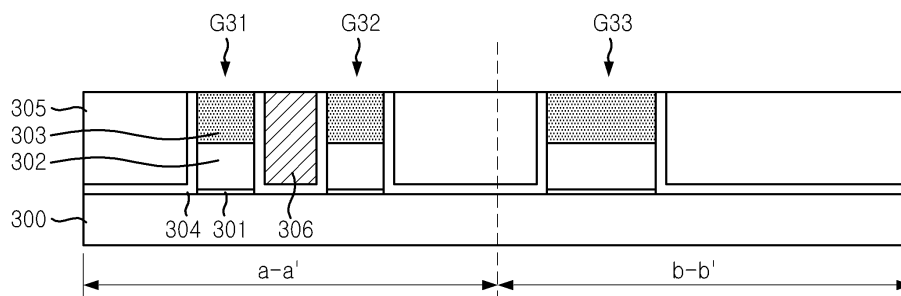
도면3a



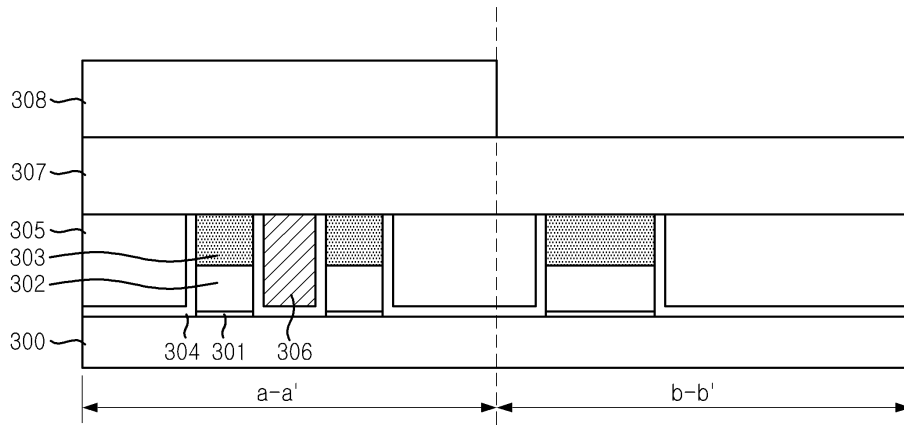
도면3b



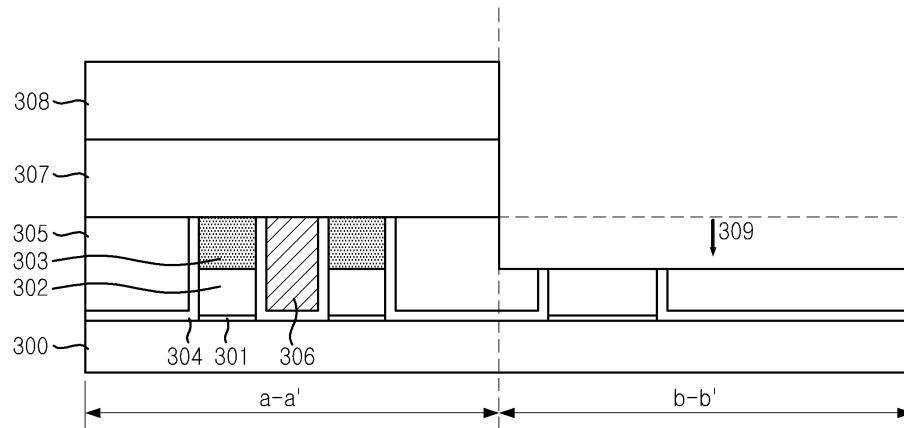
도면4a



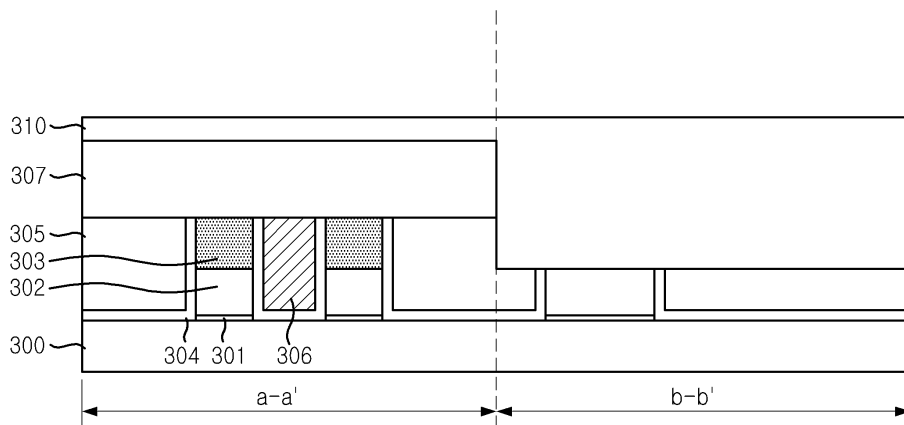
도면4b



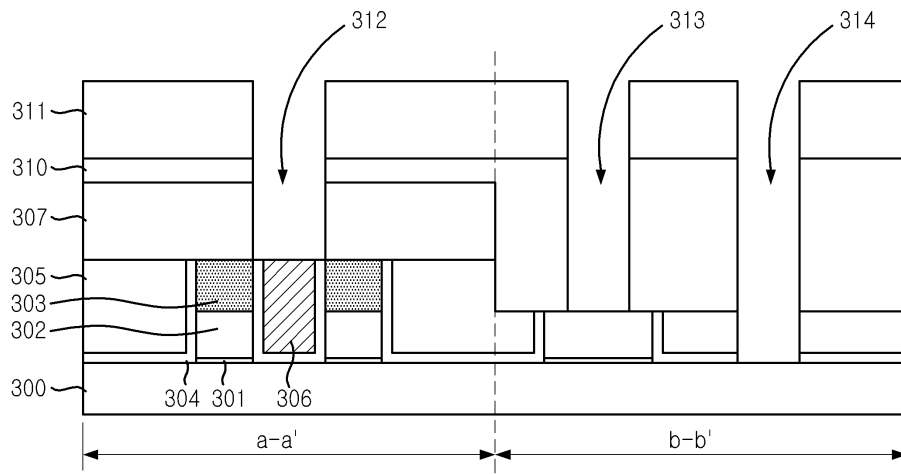
도면4c



도면4d



도면4e



도면4f

