



대표도

도 1d

색인어

유기, 박막, 트랜지스터, PMMA, 회석, 코팅

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 유기 박막 트랜지스터의 제조 공정 단면도이다.

도 2a와 2b는 본 발명에 따라 HfO<sub>2</sub>와 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때, 펜타신의 그레인 사이즈를 비교하기 위한 원자력 현미경(atomic force microscopy, AFM)의 사진도이다.

도 3a와 3b는 본 발명에 따라 Si<sub>3</sub>N<sub>4</sub>와 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때, 펜타신의 그레인 사이즈를 비교하기 위하여, 광학현미경으로 관측된 사진도이다.

도 4a와 4b는 본 발명에 따라 Ni와 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때, 펜타신의 그레인 사이즈를 비교하기 위하여, 광학현미경으로 관측된 사진도이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 기판 20 : 게이트 전극

30 : 게이트 절연막 51 : 소스전극

52 : 드레인 전극 60 : 회석된 PMMA 코팅막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 박막 트랜지스터 및 그의 제조방법에 관한 것으로, 보다 상세하게는 모노클로로벤젠(monochlorobenzene)에 의해 회석시킨 PMMA(poly-(methyl methacrylate))용액을 소스와 드레인 전극 및 게이트 절연막에 스핀 코팅한 후, 유기 반도체 물질을 증착함으로써, 그레인 사이즈가 큰 유기 반도체 물질막을 형성할 수 있게 되고, 소자의 캐리어 이동도를 향상시킬 수 있으며, 제조 공정 시간을 단축시킬 수 있는 유기 박막 트랜지스터 및 그의 제조방법에 관한 것이다.

최근, 능동형 가요성(flexible) 디스플레이, 스마트 카드, 재고 물품이나 가격 표시기와 같은 새롭고 저가격의 응용분야에 대한 적용 가능성으로 인해서 유기 박막 트랜지스터(organic thin film transistors, OTFTs)에 대한 관심은 최근에(최근에)가 두 번 반복됨, 삭제 요망) 커져 가고 있는 중이다.

특히, 최근 유기 EL 디스플레이의 많은 발전과 플라스틱 기판 위에 적용 가능한 저온 프로세스 덕분에 능동형 유기 EL 디스플레이의 개발의 필요성이 증가되고 있다.

그리고, AMLCD(active matrix liquid crystal display)에 사용되는 능동형 소자인 비정질 실리콘 박막형 트랜지스터는 제조 온도가 360℃이므로, 고온의 제조온도에 요구되는 플라스틱 기판은 고가이며, 유연성 관점에서도 무기물 소자의 특성상 깨어질 수 있는 가능성이 있다.

그러므로, 최근, 상온 근처의 온도에서 증착 가능하면서도 유연성을 보장할 수 있는 유기 박막 트랜지스터의 필요성은 커져가고 있다.

하지만, 현재까지 개발된 유기 박막 트랜지스터에서는 특성상 이동도가  $1\text{cm}^2/\text{Vsec}$  이하의 열악한 특성을 보이는 소자들이 대부분이며, 공기 중에서의 안정성이 저하되는 경우가 큰 문제로 지적되고 있다.

이러한 문제를 해결하기 위하여, 유기 반도체 물질인 펜타신(Pentacene)을 유기 박막 트랜지스터에 적용시키는 연구가 활발히 진행되고 있다.

그 이유는 펜타신이 적용된 유기 박막 트랜지스터가 비정질 실리콘 박막 트랜지스터의 성능과 대등할 정도의 우수한 이동도 특성을 보여 줄뿐만 아니라 공기 중에서 상당히 안정적인 특성을 보여 주기 때문이다.

한편, 이러한 펜타신을 이용하여 제조된 유기 박막 트랜지스터는 그레인 사이즈가 큰 펜타신이 게이트 절연막 상부에 잘 성장될 수 있는 기술이 이동도 향상을 위해서 필수적으로 요구된다.

지금까지 연구의 결과는 산화막과 같은 게이트 절연막 상부에 SAM(Self Assembly Monolayer) 물질을 코팅시켜 소수성 특성을 갖도록 하면, 펜타신이 잘 성장되었다.

그러나, 만일 게이트 절연막이 산화막처럼 친수성의 특성을 보이면, 펜타신이 증착될 때, 펜타신의 그레인 사이즈가 크게 성장되지 못하는 이유 때문에 이동도 측면에서 열악한 특성을 보여준다.

따라서, 펜타신이 게이트 절연막 상부에 증착될 때, 잘 성장 될 수 있도록, 친수성 특성을 보이는 게이트 절연막을 OTS(octadecyl trichlorosilane)을 이용해 표면처리를 하여 소수성의 특성을 갖도록 해서 펜타신의 그레인 성장을 도울 수밖에 없었다.

그 결과, 유기 박막 트랜지스터의 이동도와 전류의 온/오프 비를 향상시키는 결과를 가져왔다.

하지만, OTS를 가지고 처리하는 경우에는 공기 중에서의 산화가 잘되므로 인해서, 불활성 가스 분위기의 글로브 박스(glove box)안에서 진행해야 하는 불편함과 여러 스텝을 거치면서 다양한 종류의 용액 속에 담그고, 빼고 다시 핫 플레이트(hot plate)위에서 말리는 등 복잡한 단계의 공정을 수행해야 하는 문제점들이 있다.

또한, 게이트 절연막의 특성이 친수성 특성을 보이면서 표면에 수산화기(-OH)를 가져야 표면 처리가 잘되는 특성 때문에 게이트 절연막의 종류에 대한 의존성을 가지게 된다.

더불어, 펜타신은 소스와 드레인 전극에서 상대적으로 잘 자라지 않는 특성으로 인하여 상위 전극 구조를 채택한 유기 박막 트랜지스터 보다 하위 전극 구조를 채택한 유기 박막 트랜지스터는 이동도 관점에서 특성이 열악한 결과를 보인다.

그리하여, 하위 전극구조에 1-hexadecanethiol 이나 MBN(2-mercapto 5-nitrogenzimidazole)으로 표면처리를 해서 소스와 드레인 전극 상부에 펜타신 성장을 용이하게 하고, 그 결과로 이동도의 특성과 선형 영역에서의 특성을 개선한 경우가 발표되었다.

그러나, 소스와 드레인 전극을 표면 처리하는 물질과 게이트 절연막을 표면 처리하는 OTS를 동시에 사용할 경우에 특성이 OTS 단독으로 사용한 경우보다도 오히려 좋지 않는 결과가 나타나기도 하였다.

또한, 소스와 드레인에 표면처리 하는 물질과 OTS가 서로 악영향을 주지 않고 표면처리 될 수 있어도, 채널 부분과 소스 드레인 부분을 각각 다른 물질로 표면 처리하여 유기 박막 트랜지스터를 제조해야 하는 복잡한 공정을 수행하는 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

이에 본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 안출된 것으로, 모노클로로벤젠(monochlorobenzen)에 의해 희석시킨 PMMA용액을 소스와 드레인 전극 및 게이트 절연막에 스핀 코팅한 후 유기 반도체 물질을 증착함으로써, 그레인 사이즈가 큰 유기 반도체 물질막을 형성할 수 있어 소자의 캐리어 이동도를 향상시키고, 제조 공정 시간을 단축시킬 수 있는 유기 박막 트랜지스터 및 그의 제조방법을 제공하는 데 그 목적이 있다.

상기한 본 발명의 목적을 달성하기 위한 바람직한 양태(樣態)는, 기관의 상부에 형성된 게이트 전극과;

상기 게이트 전극을 감싸고, 상기 기관의 상부에 형성된 게이트 절연막과;

상기 게이트 절연막의 상부에, 상호 이격시켜 형성된 소스 전극과 드레인 전극과;

상기 소스와 드레인 전극을 감싸고, 상기 게이트 절연막 상부에 코팅되어 있는 희석된 PMMA 코팅막과;

상기 소스와 드레인 전극의 일부 영역과 채널 영역에 있는 상기 희석된 PMMA 코팅막 상부에 증착된 유기 반도체 물질막으로 구성된 유기 박막 트랜지스터가 제공된다.

상기한 본 발명의 목적을 달성하기 위한 바람직한 다른 양태(樣態)는, 기관의 상부에 게이트 전극을 형성하는 제 1 단계와;

상기 게이트 전극을 감싸고, 상기 기관의 상부에 게이트 절연막을 형성하고, 상기 게이트 절연막의 상부에, 상호 이격되어 있는 소스 전극과 드레인 전극을 형성하는 제 2 단계와;

상기 소스와 드레인 전극을 감싸고, 상기 게이트 절연막 상부에 희석된 PMMA 용액으로 코팅하여 희석된 PMMA 코팅막을 형성하는 제 3 단계와;

상기 소스와 드레인 전극의 일부 영역과 채널 영역에 있는 상기 희석된 PMMA 코팅막 상부에 유기 반도체 물질막을 형성하는 제 4 단계로 구성된 유기 박막 트랜지스터의 제조방법이 제공된다.

### 발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하면 다음과 같다.

도 1a 내지 도 1d는 본 발명에 따른 유기 박막 트랜지스터의 제조 공정 단면도로서, 먼저, 도 1a에서는, 기관(10)의 상부에 스퍼터링법 또는 진공 증착법을 통하여 게이트 전극으로 사용될 물질을 형성한 후, 사진 공정과 에칭 공정을 이용해서 제거하여 원하는 부분만 게이트 전극(20)으로 정의한다.

이 때, 게이트 전극으로 사용될 물질은 알루미늄, 텅스텐, 크롬과 같은 금속이 사용될 수 있을 뿐만 아니라 폴리 아닐린(polyaniline) 또는 PEDOT:PSS(폴리에틸렌디옥티오펜(PSS)으로 도핑된 폴리에틸렌디옥티오펜(PEDOT))와 같은 전도성 고분자 물질도 사용 가능하다.

또한, 상기 기관(10)은 산화막이 성장된 실리콘기관, 유리기관과 같은 무기물 기관과 가요성(Flexible) 플라스틱 기관 중 선택된 어느 하나로 적용한다.

여기서, 상기 플라스틱 기관은 PET(polyethylene terephthalate), PEN(polyethylenaphtanate), PC(poly carbonate), PI(polyimide)와 PNB(polynorborneen) 중 선택된 어느 하나의 물질로 형성된 것이 바람직하다.

그 다음, 상기 게이트 전극(20)을 감싸고, 상기 기관(10)의 상부에 게이트 절연막(30)을 형성하고, 상기 게이트 절연막(30)의 상부에, 상호 이격되어 있는 소스 전극(51)과 드레인 전극(52)을 형성한다.(도 1b)

여기서, 게이트 절연막은 기관의 종류에 따라서, SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, BZT(barium zirconate titanate) 등과 같은 무기 절연막이 사용될 수 있다.

그리고, 상기 가요성 플라스틱 기관이 적용되었을 경우에는 유기 절연막을 게이트 절연막으로 사용한다.

상기 유기 절연막은 PVP(poly-4-vinylphenol), PMMA(poly-(methyl methacrylate)), 암모늄 중크롬산염(ammonuym dichromate)이 첨가된 PVA(polyvinylalcohol), 폴리이미드(polyimide)와 파릴렌(parylene) 중 선택된 어느 하나를 사용하는 것이 바람직하다.

더불어, 상기 소스와 드레인 전극(51,52)은 금(Au), 백금(Pt), 니켈(Ni), 팔라듐(Pd) 중 어느 하나로 사용할 수 있으며, 이들 금속들은 건식 또는 습식 식각이 용이하지 않은 금속이기 때문에 감광막으로 정의된 패턴 위에 상기 금속을 증착하고 나서 리프트 오프(Lift-off) 공정을 적용해 소스와 드레인 전극을 수  $\mu\text{m}$  정도 크기까지 정의할 수 있다.

연속하여, 도 1c에서는 게이트 절연막(30) 상부에 정의된 소스와 드레인 전극(51,52)을 감싸고, 상기 게이트 절연막(30) 상부에 회석된 PMMA 용액으로 코팅하여 회석된 PMMA 코팅막(60)을 형성한다.

상기 회석된 PMMA 용액은 분자량이 950000인 PMMA와 용매인 모노클로로벤젠(monochlorobenzen)을 1:99의 부피비로 혼합한 이빔(E-Beam)용 감광막을 모노클로로벤젠(monochlorobenzen)에 회석시켜 사용하였는데, 0.7:99.3 내지 1.3:98.7의 이빔용 감광막을 사용하여도 유사한 결과를 얻을 수 있다.

그리고, 상기 이빔용 감광막을 모노클로로벤젠에 회석시키는 비율은 용매인 모노클로로벤젠(monochlorobenzen)과 이빔(E-Beam)용 감광막을 부피비로 3:1 ~ 12:1 범위내로 설정하여 수행하는 것이 바람직하다.

여기서, 상기 3:1 이하의 회석비를 갖는 PMMA 용액으로 표면처리하면, 두껍게 덮인 PMMA 절연체층으로 인하여 소스와 드레인으로부터 홀(hole)의 주입이 원활하게 이루어지지 않아 소자의 전기적인 특성이 저하된다.

또한, 상기 12:1 이상의 과도한 회석비를 갖는 PMMA 용액으로 표면처리하면, 펜타신이 잘 성장되지 않는다.

한편, 상기 회석된 PMMA 코팅막(60)을 사용하는 이유는, PMMA 자체의 소수성 특성이 소스와 드레인 전극 위에서 펜타신이 잘 성장 되도록 도울 수 있지만, 코팅된 PMMA 자체가 좋은 절연체 특성을 가지므로, 두꺼운 PMMA막은 결국, 전극으로부터 정공의 주입을 방해하는 역할을 수행함으로 인해서, 소자의 이동도(Mobility)를 감소시킨다. 따라서 회석된 PMMA 용액의 사용이 필요하다.

여기서, 회석된 PMMA 용액이 코팅된 후, 대류식 오븐에서 80 ~ 110°C 온도로 30분 ~ 1시간 베이킹하는 공정이 더 구비된다.

상기 베이킹 공정은 110°C로 유지되는 대류식 오븐에서 30분 베이킹하는 것이 가장 바람직하다.

이와 같이, 베이킹 공정까지 수행하여 극히 얇은 PMMA층이 소스 드레인 전극과 채널 영역의 절연체 상부에 덮히게 되면, 이 후 공정에서 유기 반도체 물질막을 증착했을 때에 채널부분과 소스, 드레인 전극에서 유기 반도체 물질막이 잘 자라는 특성을 얻을 수 있다.

더불어, 극히 얇은 PMMA막을 코팅함으로 인하여 소스와 드레인 전극과 펜타신 사이의 오믹 접촉(Ohmic contact) 특성을 유지할 수 있게 된다.

마지막으로, 도 1d에서는 상기 소스와 드레인 전극(51,52)의 일부 영역과 채널(53) 영역에 있는 상기 회석된 PMMA 코팅막(60) 상부에 유기 반도체 물질막(80)을 형성한다.

이 때, 상기 유기 반도체 물질막(80)은 펜타신(pentacene), 헥시시오핀(hexithiophene)과 폴리시오핀(polythiophene) 중 어느 하나로 형성한다.

여기서, 유기 반도체 물질막(80)은 능동영역인 상기 소스와 드레인 전극(51,52)의 일부 영역과 채널(53) 영역의 회석된 PMMA 코팅막(60) 상부에 형성되며, 유기 반도체 물질막(80)의 능동영역을 정의하는 방법은 통상적인 사진식각공정이나 새도우 마스크(Shadow mask) 이용 등, 다양한 방법을 이용할 수 있다.

도 2a와 2b는 본 발명에 따라 HfO<sub>2</sub>와 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때의 펜타신의 그레인 사이즈를 비교하기 위한 원자력 현미경(Atomic Force Microscopy, AFM)의 사진도로서, 먼저, 도 2a는 HfO<sub>2</sub>의 상부에 펜타신(pentacene)을 증착했을 때의 사진도이고, 도 2b는 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때의 사진도이므로, 도 2b가 상대적으로 증착된 펜타신의 그레인 사이즈가 큰 것을 알 수 있다.

여기서, 상기 회석된 PMMA 코팅막은 HfO<sub>2</sub>의 상부에 회석된 PMMA용액으로 코팅한 막이다.

도 3a와 3b는 본 발명에 따라 Si<sub>3</sub>N<sub>4</sub>와 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때의 펜타신의 그레인 사이즈를 비교하기 위하여, 광학현미경으로 관측된 사진도로서, 먼저, 도 3a는 Si<sub>3</sub>N<sub>4</sub>의 상부에 펜타신(pentacene)을 증착했을 때의 사진도이고, 도 3b는 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때의 사진도이므로, 도 2a와 2b의 비교와 동일한 결과로서, 회석된 PMMA 코팅막의 상부에 펜타신을 증착했을 때, 상대적으로 증착된 펜타신의 그레인 사이즈가 큰 것을 알 수 있다.

상기 회석된 PMMA 코팅막은 Si<sub>3</sub>N<sub>4</sub>의 상부에 회석된 PMMA용액으로 코팅한 막이다.

그러므로, 도 2a와 2b 그리고 도 3a와 3b의 비교된 바와 같이, 고 유전을 물질인 HfO<sub>2</sub>와 Si<sub>3</sub>N<sub>4</sub>에 회석된 PMMA를 코팅하였을 때 펜타신이 잘 성장됨으로, 유기 박막 트랜지스터의 게이트 절연막 종류에 관계없이 회석된 PMMA를 코팅하게 되면, 그레인 사이즈가 큰 펜타신이 성장된다.

도 4a와 4b는 본 발명에 따라 Ni과 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때의 펜타신의 그레인 사이즈를 비교하기 위하여 광학현미경으로 관측된 사진도로서, Ni의 상부에 펜타신(pentacene)을 증착했을 때의 사진도인 도 4a 보다 회석된 PMMA 코팅막의 상부에 펜타신(pentacene)을 증착했을 때의 사진도인 도 4b가 상대적으로 증착된 펜타신의 그레인 사이즈가 크다.

이 때도, 도 4b의 회석된 PMMA 코팅막은 Ni의 상부에 회석된 PMMA용액을 코팅한 막이다.

따라서, 금속층의 상부에 회석된 PMMA용액을 코팅한 다음, 펜타신을 증착하면, 금속층 상부에 펜타신을 증착한 경우보다 월등히 잘 성장됨으로, 전술된 비교 사진도에 의하여, 소스 및 드레인 전극과 게이트 절연막 상부에 회석된 PMMA용액을 코팅하면, 한 번의 표면처리로 인하여 펜타신의 성장을 우수히 할 수 있다.

표 1은 저온 산화막(low temperature oxide, LTO), 모노클로러벤젠과 회석된 PMMA 코팅막들(3:1,6:1,9:1,12:1 PMMA)의 상부에 유기 반도체 물질막을 형성한 각각의 유기 박막 트랜지스터 특성을 비교한 표이다.

**[표 1]**

	이동도( $\text{cm}^2/\text{V}_{\text{sec}}$ )	문턱전압( $V_T$ )(V)	포화전류( $\mu\text{A}$ )
LTO	0.01	-2	0.9
3:1 PMMA	0.25	-2.35	14.2
6:1 PMMA	0.13	-2.05	16.0
9:1 PMMA	0.23	-0.5	32.3
12:1 PMMA	0.05	-1.6	10.2
모노클로러벤젠	0.02	-0.55	1.8

(1) 이동도(mobility)

LTO와 모노클로러벤젠을 이용한 소자의 이동도( $\text{cm}^2/\text{Vsec}$ )는 0.01과 0.02이고, 희석된 PMMA 코팅막들(3:1,6:1,9:1,12:1 PMMA)을 이용한 소자의 이동도( $\text{cm}^2/\text{Vsec}$ )는 0.25,0.13,0.23,0.05이므로, 희석된 PMMA 코팅막들의 상부에 유기 반도체 물질막을 형성한 유기 박막 트랜지스터들이 캐리어(carrier)의 이동도가 우수한 것을 알 수 있다.

(2) 문턱전압( $V_T$ )

LTO와 모노클로러벤젠을 이용한 소자가 -2V와 -2.35V이고, 희석된 PMMA 코팅막들(3:1,6:1,9:1,12:1 PMMA)을 이용한 소자가 -2.35V,-2.05V,-0.5V,-1.6V이므로, 모두 0 V 근방의 음전압 특성의 문턱전압이 측정되어, 문턱전압 관점에서 표면 처리후의 특성이 정상적임을 알 수 있다.

(3) 포화전류

이 특성은 각각의 유기 박막 트랜지스터들의 소스, 드레인과 게이트 전압을 동일하게 인가하여 드레인-소스간 포화 전류( $I_{DS-sat}$ )를 비교측정한 것이다.

여기서, 희석된 PMMA 코팅막들(3:1,6:1,9:1,12:1 PMMA)을 이용한 소자의 포화전류는  $14.2 \mu\text{A}$ ,  $16.0 \mu\text{A}$ ,  $32.3 \mu\text{A}$ ,  $10.2 \mu\text{A}$ 이므로,  $0.9 \mu\text{A}$ 와  $1.8 \mu\text{A}$ 의 포화전류가 측정된 LTO와 모노클로러벤젠을 이용한 소자보다 더 우수하였다.

**발명의 효과**

이상에서 상세히 설명한 바와 같이 본 발명은 모노클로러벤젠(monochlorobenzen)에 의해 희석시킨 PMMA용액을 소스와 드레인 전극 및 게이트 절연막 영역에 스핀 코팅한 후 유기 반도체 물질을 증착함으로써, 그레인 사이즈가 큰 유기 반도체 물질막을 형성할 수 있게 되고, 유기 박막 트랜지스터의 캐리어 이동도를 향상시킬 수 있으며, 제조 공정 시간을 단축시킬 수 있는 효과가 있다.

본 발명은 구체적인 예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다.

(57) 청구의 범위

**청구항 1.**

기판의 상부에 형성된 게이트 전극과;

상기 게이트 전극을 감싸고, 상기 기판의 상부에 형성된 게이트 절연막과;

상기 게이트 절연막의 상부에, 상호 이격시켜 형성된 소스 전극과 드레인 전극과;

상기 소스와 드레인 전극을 감싸고, 상기 게이트 절연막 상부에 분자량이 950000인 PMMA와 용매인 모노클로러벤젠(monochlorobenzen)을 1:99 정도의 부피비로 혼합한 이-빔(E-Beam)용 감광막을 모노클로러벤젠(monochlorobenzen)으로 3:1 ~ 12:1의 부피비로 추가로 희석한 PMMA 용액을 코팅하여 형성한 희석된 PMMA

(poly-(methyl methacrylate)) 코팅막과;

상기 소스와 드레인 전극의 일부 영역과 채널 영역에 있는 상기 희석된 PMMA 코팅막 상부에 증착된 유기 반도체 물질을 포함하여 구성된 유기 박막 트랜지스터.

**청구항 2.**

삭제

**청구항 3.**

삭제

**청구항 4.**

기관의 상부에 게이트 전극을 형성하는 제 1 단계와;

상기 게이트 전극을 감싸고, 상기 기관의 상부에 게이트 절연막을 형성하고, 상기 게이트 절연막의 상부에, 상호 이격되어 있는 소스 전극과 드레인 전극을 형성하는 제 2 단계와;

상기 소스와 드레인 전극을 감싸고, 상기 게이트 절연막 상부에 분자량이 950000인 PMMA와 용매인 모노클로로벤젠(monochlorobenzene)을 1:99 정도의 부피비로 혼합한 이-빔(E-Beam)용 감광막을 모노클로로벤젠(monochlorobenzene)으로 3:1 ~ 12:1의 부피비로 추가로 희석한 PMMA 용액으로 코팅하여 희석된 PMMA 코팅막을 형성하는 제 3 단계와;

상기 소스와 드레인 전극의 일부 영역과 채널 영역에 있는 상기 희석된 PMMA 코팅막 상부에 유기 반도체 물질막을 형성하는 제 4 단계를 포함하여 구성된 유기 박막 트랜지스터 제조 방법.

**청구항 5.**

삭제

**청구항 6.**

삭제

**청구항 7.**

제 4 항에 있어서,

제 3 단계와 제 4 단계의 사이에, 대류식 오븐에서 80 ~ 110℃ 온도로 30분 ~ 2시간 베이킹하는 공정이 더 구비된 것을 특징으로 하는 유기 박막 트랜지스터 제조 방법.

**청구항 8.**

삭제

**청구항 9.**

삭제

**청구항 10.**

삭제

**청구항 11.**

삭제

**청구항 12.**

삭제

**청구항 13.**

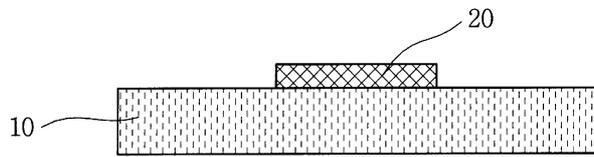
삭제

**청구항 14.**

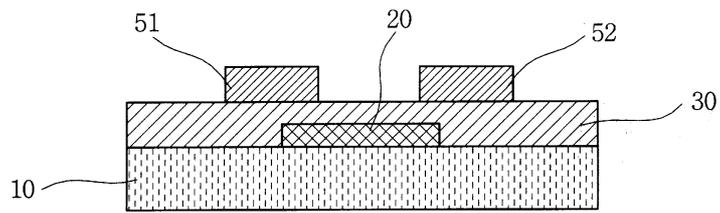
삭제

도면

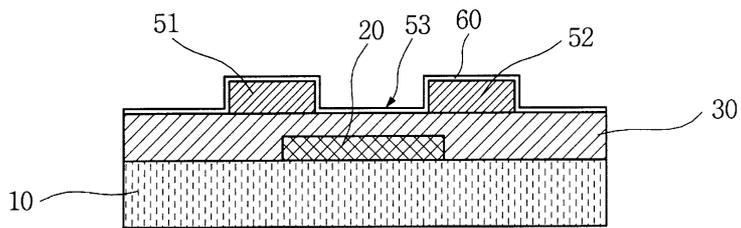
도면1a



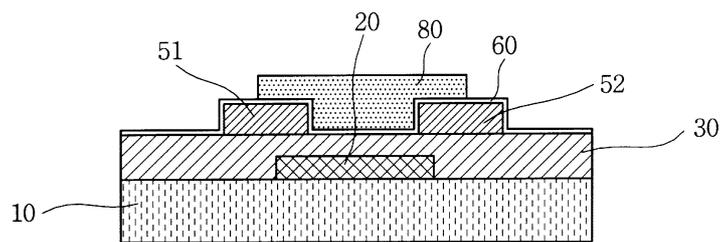
도면1b



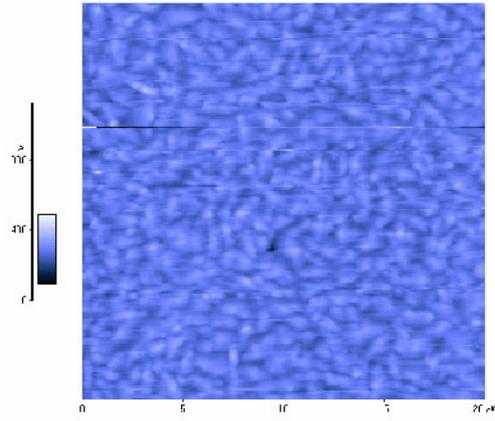
도면1c



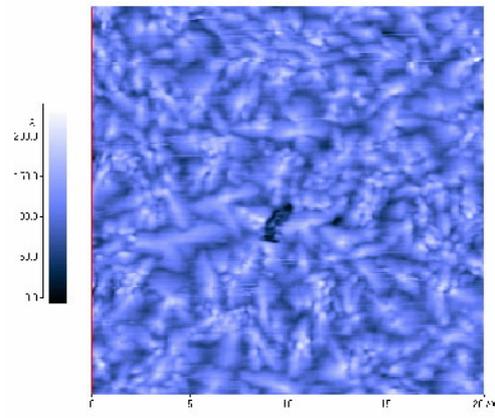
도면1d



도면2a



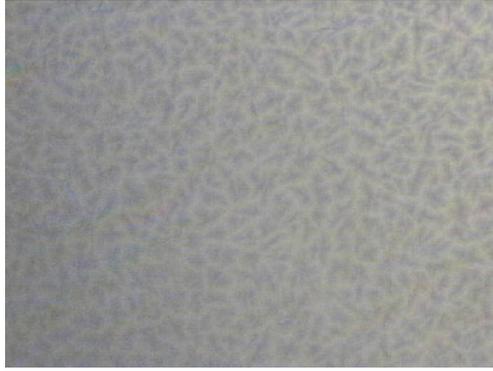
도면2b



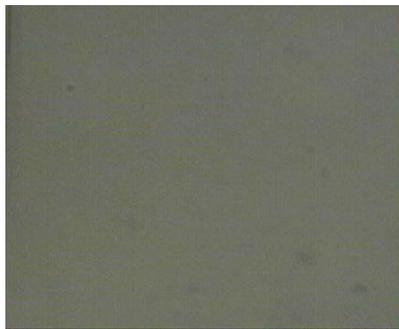
도면3a



도면3b



도면4a



도면4b

