



(12)发明专利申请

(10)申请公布号 CN 110868218 A

(43)申请公布日 2020.03.06

(21)申请号 201911220496.2

(22)申请日 2019.12.03

(71)申请人 江苏亨鑫科技有限公司

地址 214222 江苏省无锡市宜兴市丁蜀镇陶都路138号

(72)发明人 张翼 张小元 刘中华 夏洪亮 蔡志匡 肖建

(74)专利代理机构 苏州国诚专利代理有限公司 32293

代理人 王丽

(51)Int.Cl.

H03M 1/46(2006.01)

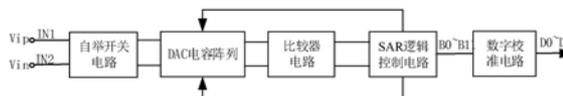
权利要求书2页 说明书6页 附图5页

(54)发明名称

一种采用电容阵列的逐次逼近型模数转换器

(57)摘要

本发明提供了一种采用电容阵列的逐次逼近型模数转换器,其可以满足高速度、中高精度、低功耗要求,大大提高转换器的速度和精度;其包括依次连接的自举开关电路、DAC电容阵列、比较器电路、SAR逻辑控制电路、数字校准电路,DAC电容阵列与SAR逻辑控制电路相连接,自举开关电路输入端连接差分输入电压;自举开关电路,用于采样差分输入电压,并保持在DAC电容阵列;DAC电容阵列,用于将保持的差分输入电压传输到比较器电路进行比较;比较器电路,用于比较差分输入电压,并将比较结果传输给SAR逻辑控制电路;SAR逻辑控制电路,用于将比较结果实现数字码的转换,并产生数字信号;数字校准电路,用于将得到的数字信号转变为最终的数字输出信号。



1. 一种采用电容阵列的逐次逼近型模数转换器,其特征在于:其包括依次连接的自举开关电路、DAC电容阵列、比较器电路、SAR逻辑控制电路、数字校准电路,所述DAC电容阵列与所述SAR逻辑控制电路相连接,所述自举开关电路输入端连接差分输入电压;

所述自举开关电路,用于采样所述差分输入电压,并保持在所述DAC电容阵列;

所述DAC电容阵列,用于将保持的所述差分输入电压传输到所述比较器电路进行比较;

所述比较器电路,用于比较所述差分输入电压,并将比较结果传输给所述SAR逻辑控制电路;

所述SAR逻辑控制电路,用于将所述比较器电路比较出的比较结果实现数字码的转换,并产生数字信号;

所述数字校准电路,用于将得到的数字信号通过逻辑运算转变为最终的数字输出信号。

2. 根据权利要求1所述的一种采用电容阵列的逐次逼近型模数转换器,其特征在于:所述自举开关电路的输入端IN1和输入端IN2分别对应连接差分输入电压 $V_{ip}$ 和 $V_{in}$ ,所述自举开关电路包括MOS管M1~M11、电容C24,所述MOS管M1、M7的栅极均连接外部时钟信号clk,所述MOS管M2、M11的栅极连接外部时钟信号clkb,所述MOS管M1的源极与所述MOS管M3的漏极相连后连接电压Vdd,所述MOS管M1的漏极与所述MOS管M7的漏极、MOS管M8的漏极、MOS管M4的栅极均相连接,所述MOS管M3的源极与所述MOS管M4的漏极、电容C24的一端均相连接,所述电容C24的另一端与所述MOS管M2的漏极、MOS管M7的源极、MOS管M8的源极、MOS管M9的漏极均相连接,所述MOS管M2的源极、MOS管M11的源极相连后连接电压Vss,所述MOS管M11的漏极连接所述MOS管M10的源极,所述MOS管M10的漏极与所述MOS管M6、M8、M11的栅极、MOS管M4的源极均相连接,所述MOS管M9的源极与所述MOS管M6的漏极相连接,所述MOS管M6的源极与所述MOS管M5的漏极相连接,所述MOS管M5、M6、M7、M8、M10的衬底以及所述MOS管M5的栅极均连接电压Vss,所述MOS管M10的栅极连接电压Vdd。

3. 根据权利要求2所述的一种采用电容阵列的逐次逼近型模数转换器,其特征在于:所述DAC电容阵列包括电容C0~C11、C12~C23、选择开关S0~S11、S11~S23,所述电容C0~C11的一端均与所述差分输入电压 $V_{ip}$ 相连接,所述电容C0~C11的另一端分别对应与所述选择开关S0~S11的第一端相连接,所述选择开关S0~S11的第二端均连接参考电压 $V_{ref}$ 、第三端均接地;所述电容C12~C23的一端均与所述差分输入电压 $V_{in}$ 相连接,所述电容C12~C23的另一端分别对应与所述选择开关S12~S23的第一端相连接,所述选择开关S12~S23的第二端均连接所述参考电压 $V_{ref}$ 、第三端均接地。

4. 根据权利要求2所述的一种采用电容阵列的逐次逼近型模数转换器,其特征在于:所述比较器电路包括MOS管MP1~MP7、MOS管MN1~MN4、反相器T1、T2,所述MOS管MP5、MOS管MN3、MN4的栅极均连接外部时钟信号clkc,所述MOS管MP1、MP2、MP5的漏极相连后连接电压Vdd,所述MOS管MP5的源极、MOS管MP6、MP7的漏极相连接,所述MOS管MP6的源极与所述MOS管MP1的栅极、MN3的漏极、反相器T1的输入端均相连接,所述MOS管MP7的源极与所述MOS管MP2的栅极、MN4的漏极、反相器T2的输入端均相连接,所述MOS管MN3、MN4的源极均接地,所述反相器T1的输出端连接所述MOS管MN2的漏极,所述反相器T2的输出端连接所述MOS管MN1的漏极,所述MOS管MP1的源极、MN1的栅极、MP3的栅极、MN2的源极、MP4的漏极均相连接,所述MOS管MP2的源极、MN2的栅极、MP4的栅极、MN1的源极、MP3的漏极均相连接,所述MOS管MP3的漏

极、MP4的源极相连后连接电压V<sub>dd</sub>,所述MOS管MP6、MP7的栅极端均连接于所述自举开关电路的输出端OUT。

5. 根据权利要求3所述的一种采用电容阵列的逐次逼近型模数转换器,其特征在于:所述SAR逻辑控制电路包括多个位控制模块,前级的所述位控制模块的clksb输入端连接外部时钟信号,所述比较器电路的输出端outp、outn均与所述位控制模块的输入端相连接,后级的所述位控制模块与前级的所述位控制模块产生的时钟控制信号端clk<sub>n</sub>连接,以使得多个位控制模块相连接,其中n=0、1、2、。。。。。。,所述位控制模块的控制输出端与所述DAC电容阵列的选择开关的一端对应连接。

6. 根据权利要求5所述的一种采用电容阵列的逐次逼近型模数转换器,其特征在于:所述位控制模块包括MOS管MP8~MP11、MOS管MN5~MN9、D触发器DD10,所述MOS管MP8、MP9的栅极相连接,且所述MOS管MN7的栅极端作为所述位控制模块的时钟控制信号端clk<sub>n</sub>,所述MOS管MP8~MP11的漏极均相连后连接电压V<sub>dd</sub>,所述MOS管MP8的源极、MOS管MN6的栅极、MP11的源极、MP10的栅极、MN5的漏极、MN8的漏极均相连接,所述MOS管MP9的源极、MOS管MN5的栅极、MP10的源极、MP11的栅极、MN6的漏极、MN9的漏极以及所述D触发器DD10的输入端均相连接,所述MOS管MN5、MN6的源极、MN7的漏极均相连接,所述MOS管MN7的源极接地,所述MOS管MN8、MN9的栅极相连接,所述MOS管MN8的源极连接所述比较器电路的输出端outp,所述MOS管MN9的源极连接所述比较器电路的输出端outn,所述D触发器DD10的输出端生成数字码Bi,其中,i=0、1、2、。。。。。。。

7. 根据权利要求6所述的一种采用电容阵列的逐次逼近型模数转换器,其特征在于:所述数字校准电路包括全加器FA1~FA10、D触发器DD0~DD9,所述全加器FA1的SU进位端连接所述全加器FA2的A1输入端,所述全加器FA1的A3输入端连接所述全加器FA2的A2输入端,所述全加器FA2的SU进位端连接所述全加器FA3的A1输入端,所述全加器FA3的A2输入端与所述全加器FA4、FA7的A2输入端均相连接,所述全加器FA3的A3输入端与所述全加器FA4的SU进位端,所述全加器FA3的SU进位端连接所述全加器FA6的A3输入端,所述全加器FA5的SU进位端连接所述全加器FA6的A1输入端,所述全加器FA4的A3输入端与所述全加器FA6的A2输入端,所述全加器FA5的SU进位端连接所述全加器FA6的A1输入端,所述全加器FA6的SU进位端连接所述全加器FA7的A1输入端,所述全加器FA7的SU进位端连接所述全加器FA8的A1输入端,所述全加器FA8的SU进位端连接所述全加器FA9的A1输入端,所述全加器FA9的SU进位端连接所述全加器FA10的A1输入端,所述全加器FA8、FA9、FA10的A2输入端均相连接,所述全加器FA10的SU进位端连接所述D触发器DD9的输入端,所述全加器FA1的C0输出端连接所述D触发器DD1的输入端,所述全加器FA2的C0输出端连接所述全加器FA4的A1输入端,所述全加器FA3的C0输出端连接所述全加器FA5的A1输入端,所述全加器FA4的C0输出端连接所述D触发器DD2的输入端,所述全加器FA5的C0输出端连接所述D触发器DD3的输入端,所述全加器FA6的C0输出端连接所述D触发器DD4的输入端,所述全加器FA7的C0输出端连接所述D触发器DD5的输入端,所述全加器FA8的C0输出端连接所述D触发器DD6的输入端,所述全加器FA9的C0输出端连接所述D触发器DD7的输入端,所述全加器FA10的C0输出端连接所述D触发器DD8的输入端,所述D触发器DD0~DD9的时钟输入端均相连后与所述MOS管MN7的栅极相连接,所述D触发器DD0的输入端连接前级的所述位控制模块的所述D触发器DD10的输出端。

## 一种采用电容阵列的逐次逼近型模数转换器

### 技术领域

[0001] 本发明涉及集成电路技术领域,具体为一种采用电容阵列的逐次逼近型模数转换器。

### 背景技术

[0002] A/D转换器是连接模拟系统与数字信号处理系统重要的桥梁,随着ADC在数字信号处理技术及无线通信领域的广泛应用,使得对基于CMOS工艺的ADC(Analog-to-digital converter,模数转换器)的需求量日益增加,但是现有的转换器无法满足高速度、中高精度、低功耗要求,也就无法提高ADC的速度和精度。

### 发明内容

[0003] 针对上述问题,本发明提供了一种采用电容阵列的逐次逼近型模数转换器,其可以满足高速度、中高精度、低功耗要求,大大提高转换器的速度和精度。

[0004] 其技术方案是这样的:其特征在于:其包括依次连接的自举开关电路、DAC电容阵列、比较器电路、SAR逻辑控制电路、数字校准电路,所述DAC电容阵列与所述SAR逻辑控制电路相连接,所述自举开关电路输入端连接差分输入电压;

[0005] 所述自举开关电路,用于采样所述差分输入电压,并保持在所述DAC电容阵列;

[0006] 所述DAC电容阵列,用于将保持的所述差分输入电压传输到所述比较器电路进行比较;

[0007] 所述比较器电路,用于比较所述差分输入电压,并将比较结果传输给所述SAR逻辑控制电路;

[0008] 所述SAR逻辑控制电路,用于将所述比较器电路比较出的比较结果实现数字码的转换,并产生数字信号;

[0009] 所述数字校准电路,用于将得到的数字信号通过逻辑运算转变为最终的数字输出信号。

[0010] 其进一步特征在于:

[0011] 所述自举开关电路的输入端IN1和输入端IN2分别对应连接差分输入电压 $V_{ip}$ 和 $V_{in}$ ,所述自举开关电路包括MOS管M1~M11、电容C24,所述MOS管M1、M7的栅极均连接外部时钟信号clk,所述MOS管M2、M11的栅极连接外部时钟信号clkb,所述MOS管M1的源极与所述MOS管M3的漏极相连后连接电压Vdd,所述MOS管M1的漏极与所述MOS管M7的漏极、MOS管M8的漏极、MOS管M4的栅极均相连接,所述MOS管M3的源极与所述MOS管M4的漏极、电容C24的一端均相连接,所述电容C24的另一端与所述MOS管M2的漏极、MOS管M7的源极、MOS管M8的源极、MOS管M9的漏极均相连接,所述MOS管M2的源极、MOS管M11的源极相连后连接电压Vss,所述MOS管M11的漏极连接所述MOS管M10的源极,所述MOS管M10的漏极与所述MOS管M6、M8、M11的栅极、MOS管M4的源极均相连接,所述MOS管M9的源极与所述MOS管M6的漏极相连接,所述MOS管M6的源极与所述MOS管M5的漏极相连接,所述MOS管M5、M6、M7、M8、M10的衬底以及所述MOS

管M5的栅极均连接电压V<sub>ss</sub>,所述MOS管M10的栅极连接电压V<sub>dd</sub>;

[0012] 所述DAC电容阵列包括电容C<sub>0</sub>~C<sub>11</sub>、C<sub>12</sub>~C<sub>23</sub>、选择开关S<sub>0</sub>~S<sub>11</sub>、S<sub>11</sub>~S<sub>23</sub>,所述电容C<sub>0</sub>~C<sub>11</sub>的一端均与所述差分输入电压V<sub>ip</sub>相连接,所述电容C<sub>0</sub>~C<sub>11</sub>的另一端分别对应与所述选择开关S<sub>0</sub>~S<sub>11</sub>的第一端相连接,所述选择开关S<sub>0</sub>~S<sub>11</sub>的第二端均连接参考电压V<sub>ref</sub>、第三端均接地;所述电容C<sub>12</sub>~C<sub>23</sub>的一端均与所述差分输入电压V<sub>in</sub>相连接,所述电容C<sub>12</sub>~C<sub>23</sub>的另一端分别对应与所述选择开关S<sub>12</sub>~S<sub>23</sub>的第一端相连接,所述选择开关S<sub>12</sub>~S<sub>23</sub>的第二端均连接所述参考电压V<sub>ref</sub>、第三端均接地;

[0013] 所述比较器电路包括MOS管MP<sub>1</sub>~MP<sub>7</sub>、MOS管MN<sub>1</sub>~MN<sub>4</sub>、反相器T<sub>1</sub>、T<sub>2</sub>,所述MOS管MP<sub>5</sub>、MOS管MN<sub>3</sub>、MN<sub>4</sub>的栅极均连接外部时钟信号c<sub>1kc</sub>,所述MOS管MP<sub>1</sub>、MP<sub>2</sub>、MP<sub>5</sub>的漏极相连后连接电压V<sub>dd</sub>,所述MOS管MP<sub>5</sub>的源极、MOS管MP<sub>6</sub>、MP<sub>7</sub>的漏极相连接,所述MOS管MP<sub>6</sub>的源极与所述MOS管MP<sub>1</sub>的栅极、MN<sub>3</sub>的漏极、反相器T<sub>1</sub>的输入端均相连接,所述MOS管MP<sub>7</sub>的源极与所述MOS管MP<sub>2</sub>的栅极、MN<sub>4</sub>的漏极、反相器T<sub>2</sub>的输入端均相连接,所述MOS管MN<sub>3</sub>、MN<sub>4</sub>的源极均接地,所述反相器T<sub>1</sub>的输出端连接所述MOS管MN<sub>2</sub>的漏极,所述反相器T<sub>2</sub>的输出端连接所述MOS管MN<sub>1</sub>的漏极,所述MOS管MP<sub>1</sub>的源极、MN<sub>1</sub>的栅极、MP<sub>3</sub>的栅极、MN<sub>2</sub>的源极、MP<sub>4</sub>的漏极均相连接,所述MOS管MP<sub>2</sub>的源极、MN<sub>2</sub>的栅极、MP<sub>4</sub>的栅极、MN<sub>1</sub>的源极、MP<sub>3</sub>的漏极均相连接,所述MOS管MP<sub>3</sub>的漏极、MP<sub>4</sub>的源极相连后连接电压V<sub>dd</sub>,所述MOS管MP<sub>6</sub>、MP<sub>7</sub>的栅极端均连接于所述自举开关电路的输出端OUT;

[0014] 所述SAR逻辑控制电路包括多个位控制模块,前级的所述位控制模块的c<sub>1ksb</sub>输入端连接外部时钟信号,所述比较器电路的输出端out<sub>p</sub>、out<sub>n</sub>均与所述位控制模块的输入端相连接,后级的所述位控制模块与前级的所述位控制模块产生的时钟控制信号端c<sub>1kn</sub>连接,以使得多个位控制模块相连接,其中n=0、1、2、。。。。。。,所述位控制模块的控制输出端与所述DAC电容阵列的选择开关的一端对应连接;

[0015] 所述位控制模块包括MOS管MP<sub>8</sub>~MP<sub>11</sub>、MOS管MN<sub>5</sub>~MN<sub>9</sub>、D触发器DD<sub>10</sub>,所述MOS管MP<sub>8</sub>、MP<sub>9</sub>的栅极相连接,且所述MOS管MN<sub>7</sub>的栅极端作为所述位控制模块的时钟控制信号端c<sub>1kn</sub>,所述MOS管MP<sub>8</sub>~MP<sub>11</sub>的漏极均相连后连接电压V<sub>dd</sub>,所述MOS管MP<sub>8</sub>的源极、MOS管MN<sub>6</sub>的栅极、MP<sub>11</sub>的源极、MP<sub>10</sub>的栅极、MN<sub>5</sub>的漏极、MN<sub>8</sub>的漏极均相连接,所述MOS管MP<sub>9</sub>的源极、MOS管MN<sub>5</sub>的栅极、MP<sub>10</sub>的源极、MP<sub>11</sub>的栅极、MN<sub>6</sub>的漏极、MN<sub>9</sub>的漏极以及所述D触发器DD<sub>10</sub>的输入端均相连接,所述MOS管MN<sub>5</sub>、MN<sub>6</sub>的源极、MN<sub>7</sub>的漏极均相连接,所述MOS管MN<sub>7</sub>的源极接地,所述MOS管MN<sub>8</sub>、MN<sub>9</sub>的栅极相连接,所述MOS管MN<sub>8</sub>的源极连接所述比较器电路的输出端out<sub>p</sub>,所述MOS管MN<sub>9</sub>的源极连接所述比较器电路的输出端out<sub>n</sub>,所述D触发器DD<sub>10</sub>的输出端生成数字码B<sub>i</sub>,其中,i=0、1、2、。。。。。。;

[0016] 所述数字校准电路包括全加器FA<sub>1</sub>~FA<sub>10</sub>、D触发器DD<sub>0</sub>~DD<sub>9</sub>,所述全加器FA<sub>1</sub>的SU进位端连接所述全加器FA<sub>2</sub>的A<sub>1</sub>输入端,所述全加器FA<sub>1</sub>的A<sub>3</sub>输入端连接所述全加器FA<sub>2</sub>的A<sub>2</sub>输入端,所述全加器FA<sub>2</sub>的SU进位端连接所述全加器FA<sub>3</sub>的A<sub>1</sub>输入端,所述全加器FA<sub>3</sub>的A<sub>2</sub>输入端与所述全加器FA<sub>4</sub>、FA<sub>7</sub>的A<sub>2</sub>输入端均相连接,所述全加器FA<sub>3</sub>的A<sub>3</sub>输入端与所述全加器FA<sub>4</sub>的SU进位端,所述全加器FA<sub>3</sub>的SU进位端连接所述全加器FA<sub>6</sub>的A<sub>3</sub>输入端,所述全加器FA<sub>5</sub>的SU进位端连接所述全加器FA<sub>6</sub>的A<sub>1</sub>输入端,所述全加器FA<sub>4</sub>的A<sub>3</sub>输入端与所述全加器FA<sub>6</sub>的A<sub>2</sub>输入端,所述全加器FA<sub>5</sub>的SU进位端连接所述全加器FA<sub>6</sub>的A<sub>1</sub>输入端,所述全加器FA<sub>6</sub>的SU进位端连接所述全加器FA<sub>7</sub>的A<sub>1</sub>输入端,所述全加器FA<sub>7</sub>的SU进位端连接所述全加

器FA8的A1输入端,所述全加器FA8的SU进位端连接所述全加器FA9的A1输入端,所述全加器FA9的SU进位端连接所述全加器FA10的A1输入端,所述全加器FA8、FA9、FA10的A2输入端均相连接,所述全加器FA10的SU进位端连接所述D触发器DD9的输入端,所述全加器FA1的C0输出端连接所述D触发器DD1的输入端,所述全加器FA2的C0输出端连接所述全加器FA4的A1输入端,所述全加器FA3的C0输出端连接所述全加器FA5的A1输入端,所述全加器FA4的C0输出端连接所述D触发器DD2的输入端,所述全加器FA5的C0输出端连接所述D触发器DD3的输入端,所述全加器FA6的C0输出端连接所述D触发器DD4的输入端,所述全加器FA7的C0输出端连接所述D触发器DD5的输入端,所述全加器FA8的C0输出端连接所述D触发器DD6的输入端,所述全加器FA9的C0输出端连接所述D触发器DD7的输入端,所述全加器FA10的C0输出端连接所述D触发器DD8的输入端,所述D触发器DD0~DD9的时钟输入端均相连后与所述MOS管MN7的栅极相连接,所述D触发器DD0的输入端连接前级的所述位控制模块的所述D触发器DD10的输出端。

[0017] 本发明的有益效果是,差分输入电压 $V_{ip}$ 和 $V_{in}$ 通过自举开关电路实现采样并保持在DAC电容阵列上,DAC电容阵列将保持的差分输入电压 $V_{ip}$ 和 $V_{in}$ 传输到比较器电路进行第一次比较,比较结果传输给SAR逻辑控制电路产生数字码,并产生控制信号反馈到DAC电容阵列,则在SAR逻辑控制电路产生的控制信号作用下,比较器电路进入第二次比较,依次类推,直到SAR逻辑控制电路依次产生数字码,再经过数字校准电路将数字码通过逻辑运算转变为最终的数字输出结果;其不仅减小了电路的建立时间,且提高了电路整体速度,从而实现满足了高速度、中高精度、低功耗要求,大大提高转换器的速度和精度。

## 附图说明

- [0018] 图1是本发明的结构示意图;
- [0019] 图2是本发明DAC电容阵列电路示意图;
- [0020] 图3是本发明DAC电容阵列权值重新分配示意图;
- [0021] 图4是本发明自举开关电路示意图;
- [0022] 图5是本发明比较器电路示意图;
- [0023] 图6是本发明SAR逻辑控制电路结构示意图;
- [0024] 图7是本发明位控制模块电路示意图;
- [0025] 图8是本发明数字校准电路逻辑计算示意图;
- [0026] 图9是本发明数字校准电路结构示意图。

## 具体实施方式

[0027] 如图1~图9所示,一种采用电容阵列的逐次逼近型模数转换器,其包括依次连接的自举开关电路、DAC电容阵列、比较器电路、SAR逻辑控制电路、数字校准电路,DAC电容阵列与SAR逻辑控制电路相连接,自举开关电路输入端连接差分输入电压;

- [0028] 自举开关电路,用于采样差分输入电压,并保持在DAC电容阵列;
- [0029] DAC电容阵列,用于将保持的差分输入电压传输到比较器电路进行比较;
- [0030] 比较器电路,用于比较差分输入电压,并将比较结果传输给SAR逻辑控制电路;
- [0031] SAR逻辑控制电路,用于将比较器电路比较出的比较结果实现数字码的转换,并产

生数字信号；

[0032] 数字校准电路，用于将得到的数字信号通过逻辑运算转变为最终的数字输出信号。

[0033] 图4所示，自举开关电路的输入端IN1和输入端IN2分别对应连接差分输入电压 $V_{ip}$ 和 $V_{in}$ ，自举开关电路包括MOS管M1~M11、电容C24，MOS管M1、M7的栅极均连接外部时钟信号clk，MOS管M2、M11的栅极连接外部时钟信号clkb，外部时钟信号clk和外部时钟信号clkb为一对反向的时钟输入信号；MOS管M1的源极与MOS管M3的漏极相连后连接电压Vdd，MOS管M1的漏极与MOS管M7的漏极、MOS管M8的漏极、MOS管M4的栅极均相连接，MOS管M3的源极与MOS管M4的漏极、电容C24的一端均相连接，电容C24的另一端与MOS管M2的漏极、MOS管M7的源极、MOS管M8的源极、MOS管M9的漏极均相连接，MOS管M2的源极、MOS管M11的源极相连后连接电压Vss，MOS管M11的漏极连接MOS管M10的源极，MOS管M10的漏极与MOS管M6、M8、M11的栅极、MOS管M4的源极均相连接，MOS管M9的源极与MOS管M6的漏极相连接，MOS管M6的源极与MOS管M5的漏极相连接，MOS管M5、M6、M7、M8、M10的衬底以及MOS管M5的栅极均连接电压Vss，MOS管M10的栅极连接电压Vdd；

[0034] 其中，当外部时钟信号clk为低时，MOS管M1和M2导通，对电容C1进行预充电，电容C1两端的压差逐渐变为Vdd，此时，输出端OUT保持MOS管M6关断前输入端IN1的瞬时电压值；当外部时钟信号clk为高时，MOS管M3、M4导通，使MOS管M6导通，电路进入采样阶段。MOS管M5的尺寸与MOS管M6的尺寸相同，可以与MOS管M6的各种寄生参数相匹配，提高电路的线性度。

[0035] 图2所示，DAC电容阵列包括电容C0~C11、C12~C23、选择开关S0~S11、S11~S23，电容C0~C11的一端均与差分输入电压 $V_{ip}$ 相连接，电容C0~C11的另一端分别对应与选择开关S0~S11的第一端相连接，选择开关S0~S11的第二端均连接参考电压Vref、第三端均接地；电容C12~C23的一端均与差分输入电压 $V_{in}$ 相连接，电容C12~C23的另一端分别对应与选择开关S12~S23的第一端相连接，选择开关S12~S23的第二端均连接参考电压Vref、第三端均接地；

[0036] 其中，若差分输入电压 $V_{ip} > V_{in}$ ，则DAC电容阵列与差分输入电压 $V_{ip}$ 相连的最高位电容的选择开关闭合，DAC电容阵列的下级板电压由参考电压Vref变为0，根据电荷守恒的原则，此时，与差分输入电压 $V_{ip}$ 相连的DAC电容阵列的上级板电压值变为 $V_{ip} - V_{ref}/2$ ；反之，若差分输入电压 $V_{ip} < V_{in}$ ，DAC电容阵列与差分输入电压 $V_{in}$ 相连的最高位电容的选择开关闭合，DAC电容阵列的下级板电压由参考电压Vref变为0，此时，与差分输入电压 $V_{in}$ 相连的DAC电容阵列的上级板电压值变为 $V_{in} - V_{ref}/2$ 。

[0037] 图5所示，比较器电路包括MOS管MP1~MP7、MOS管MN1~MN4、反相器T1、T2，MOS管MP5、MOS管MN3、MN4的栅极均连接外部时钟信号clk，MOS管MP1、MP2、MP5的漏极相连后连接电压Vdd，MOS管MP5的源极、MOS管MP6、MP7的漏极相连接，MOS管MP6的源极与MOS管MP1的栅极、MN3的漏极、反相器T1的输入端均相连接，MOS管MP7的源极与MOS管MP2的栅极、MN4的漏极、反相器T2的输入端均相连接，MOS管MN3、MN4的源极均接地，反相器T1的输出端连接MOS管MN2的漏极，反相器T2的输出端连接MOS管MN1的漏极，MOS管MP1的源极、MN1的栅极、MP3的栅极、MN2的源极、MP4的漏极均相连接，MOS管MP2的源极、MN2的栅极、MP4的栅极、MN1的源极、MP3的漏极均相连接，MOS管MP3的漏极、MP4的源极相连后连接电压Vdd，MOS管MP6、MP7的栅极端均连接于自举开关电路的输出端OUT；

[0038] 其中,MOS管MN1和MOS管MP3、MOS管MN2和MOS管MP4构成一对对锁存器,当外部时钟信号clkc为高电平时,比较器电路通过MOS管MP1和MOS管MP2将输出置高,此时比较器电路处于复位状态;当外部时钟信号clkc为低电平时,比较器电路比较输入电压的大小并通过锁存器的正反馈作用将输出一端上拉到Vdd,另一端下拉到地。比较器电路输出有效后,触发SAR逻辑控制电路开始工作。

[0039] 图6所示,SAR逻辑控制电路包括12个位控制模块,前级的位控制模块的clksb输入端连接外部时钟信号,比较器电路的输出端outp、outn均与位控制模块的输入端相连接,后级的位控制模块与前级的位控制模块产生的时钟控制信号端clk<sub>n</sub>连接,以使得多个位控制模块相连接,其中n=0、1、2、……、11,即第一个位控制模块的时钟控制信号端clk<sub>0</sub>连接第二个位控制模块的输入端,第二个位控制模块的时钟控制信号端clk<sub>1</sub>连接第三个位控制模块的输入端,依次连接直至第十一个位控制模块的时钟控制信号端clk<sub>10</sub>连接第十二个位控制模块的输入端;SAR逻辑控制电路的控制输出端ctr<sub>0</sub>~ctr<sub>23</sub>分别与DAC电容阵列的选择开关S<sub>0</sub>~S<sub>23</sub>的一端对应连接;

[0040] 其中,位控制模块在输入外部时钟信号和比较器电路的输出端outp、outn信号控制下,产生一位数字码,并产生后级位控制模块的时钟控制信号和DAC电容阵列控制信号。

[0041] 图7所示,每个位控制模块均包括MOS管MP<sub>8</sub>~MP<sub>11</sub>、MOS管MN<sub>5</sub>~MN<sub>9</sub>、D触发器DD<sub>10</sub>,MOS管MP<sub>8</sub>、MP<sub>9</sub>的栅极相连接,且MOS管MN<sub>7</sub>的栅极端作为位控制模块的时钟控制信号端clk<sub>n</sub>,MOS管MP<sub>8</sub>~MP<sub>11</sub>的漏极均相连后连接电压Vdd,MOS管MP<sub>8</sub>的源极、MOS管MN<sub>6</sub>的栅极、MP<sub>11</sub>的源极、MP<sub>10</sub>的栅极、MN<sub>5</sub>的漏极、MN<sub>8</sub>的漏极均相连接,MOS管MP<sub>9</sub>的源极、MOS管MN<sub>5</sub>的栅极、MP<sub>10</sub>的源极、MP<sub>11</sub>的栅极、MN<sub>6</sub>的漏极、MN<sub>9</sub>的漏极以及D触发器DD<sub>10</sub>的输入端均相连接,MOS管MN<sub>5</sub>、MN<sub>6</sub>的源极、MN<sub>7</sub>的漏极均相连接,MOS管MN<sub>7</sub>的源极接地,MOS管MN<sub>8</sub>、MN<sub>9</sub>的栅极相连接,MOS管MN<sub>8</sub>的源极连接比较器电路的输出端outp,MOS管MN<sub>9</sub>的源极连接比较器电路的输出端outn,D触发器DD<sub>10</sub>的输出端生成数字码B<sub>i</sub>,其中,i=0、1、2、……、11;

[0042] 图6、图7中,clk<sub>in</sub>作为前级位控制模块的输出时钟,第一个位控制模块输入的外部时钟信号为clksb,clk<sub>in</sub>经过D触发器DD<sub>10</sub>逻辑处理后产生时钟信号clk作为后级位控制模块的输入,clks同为外部时钟信号。

[0043] 图9所示,数字校准电路包括全加器FA<sub>1</sub>~FA<sub>10</sub>、D触发器DD<sub>0</sub>~DD<sub>9</sub>,全加器FA<sub>1</sub>的SU进位端连接全加器FA<sub>2</sub>的A<sub>1</sub>输入端,全加器FA<sub>1</sub>的A<sub>3</sub>输入端连接全加器FA<sub>2</sub>的A<sub>2</sub>输入端,全加器FA<sub>2</sub>的SU进位端连接全加器FA<sub>3</sub>的A<sub>1</sub>输入端,全加器FA<sub>3</sub>的A<sub>2</sub>输入端与全加器FA<sub>4</sub>、FA<sub>7</sub>的A<sub>2</sub>输入端均相连接,全加器FA<sub>3</sub>的A<sub>3</sub>输入端与全加器FA<sub>4</sub>的SU进位端,全加器FA<sub>3</sub>的SU进位端连接全加器FA<sub>6</sub>的A<sub>3</sub>输入端,全加器FA<sub>5</sub>的SU进位端连接全加器FA<sub>6</sub>的A<sub>1</sub>输入端,全加器FA<sub>4</sub>的A<sub>3</sub>输入端与全加器FA<sub>6</sub>的A<sub>2</sub>输入端,全加器FA<sub>5</sub>的SU进位端连接全加器FA<sub>6</sub>的A<sub>1</sub>输入端,全加器FA<sub>6</sub>的SU进位端连接全加器FA<sub>7</sub>的A<sub>1</sub>输入端,全加器FA<sub>7</sub>的SU进位端连接全加器FA<sub>8</sub>的A<sub>1</sub>输入端,全加器FA<sub>8</sub>的SU进位端连接全加器FA<sub>9</sub>的A<sub>1</sub>输入端,全加器FA<sub>9</sub>的SU进位端连接全加器FA<sub>10</sub>的A<sub>1</sub>输入端,全加器FA<sub>8</sub>、FA<sub>9</sub>、FA<sub>10</sub>的A<sub>2</sub>输入端均相连接,全加器FA<sub>10</sub>的SU进位端连接D触发器DD<sub>9</sub>的输入端,全加器FA<sub>1</sub>的C<sub>0</sub>输出端连接D触发器DD<sub>1</sub>的输入端,全加器FA<sub>2</sub>的C<sub>0</sub>输出端连接全加器FA<sub>4</sub>的A<sub>1</sub>输入端,全加器FA<sub>3</sub>的C<sub>0</sub>输出端连接全加器FA<sub>5</sub>的A<sub>1</sub>输入端,全加器FA<sub>4</sub>的C<sub>0</sub>输出端连接D触发器DD<sub>2</sub>的输入端,全加器FA<sub>5</sub>的C<sub>0</sub>输出端连接D触发器DD<sub>3</sub>的输入端,全加器FA<sub>6</sub>的C<sub>0</sub>输出端连接D触发器DD<sub>4</sub>的输入端,全加器FA<sub>7</sub>的C<sub>0</sub>输出端连接D触发器

DD5的输入端,全加器FA8的C0输出端连接D触发器DD6的输入端,全加器FA9的C0输出端连接D触发器DD7的输入端,全加器FA10的C0输出端连接D触发器DD8的输入端,D触发器DD0~DD9的时钟输入端均相连后与MOS管MN7的栅极相连接,D触发器DD0的输入端连接前级的位控制模块的D触发器DD10的输出端。

[0044] 图2中,本发明采用了单调电容开关阵列,与传统的电容阵列相比,该结构减少了一个最高位电容,使得总电容减小为原来的一半,因此电容阵列的面积也减小为原来的一半,功耗与传统电容阵列相比下降了81%;同时DAC电容阵列电容下极板选择开关数量减少,从而减小了电路的建立时间,有利于提高电路整体速度。

[0045] 图3中,本发明还在单调电容开关阵列的基础上,重新分配了电容阵列中各个电容的权值,将DAC电容阵列的最高位电容拆成 $240C$ 和 $16C$ 两部分( $C$ 为单位电容),再将 $16C$ 分成若干小部分加到DAC电容阵列相应的低位中,同时增加两个冗余位,最后将DAC电容阵列后4位电容权值加倍,对电容阵列权值的重新分配有利于进一步缩短电路的建立时间,同时减小寄生电容对低位电容的影响,避免输出结果出现乱码,提高了转换器的精度和速度。

[0046] 本发明中,采用12个位控制模块,共生成12位数字码: $B_0 \sim B_{11}$ ,经过数字校准电路逻辑运算得到最终的10位数字码 $D_0 \sim D_9$ ;图8、图9所示,数字码 $B_0$ 直接赋予D触发器DD0的输入端得到数字码 $D_0$ ;数字码 $B_1$ 、 $B_2$ 、 $B_4$ 之和得到的本位值赋予 $D_1$ 位;进位值与数字码 $B_3$ 、 $B_4$ 、 $B_5$ 、 $B_6$ 之和得到的本位值赋予 $D_2$ 位;进位值与数字码 $B_5$ 、 $B_7$ 、 $B_8$ 之和得到的本位值赋予 $D_3$ 位;进位值与数字码 $B_6$ 之和得到的本位值赋予 $D_4$ 位;进位值与数字码 $B_7$ 、 $B_{11}$ 之和得到的本位值赋予 $D_5$ 位;进位值与数字码 $B_8$ 、 $B_{11}$ 之和得到的本位值赋予 $D_6$ 位;进位值与数字码 $B_9$ 、 $B_{11}$ 之和得到的本位值赋予 $D_7$ 位;进位值与数字码 $B_{10}$ 、 $B_{11}$ 之和得到的本位值赋予 $D_8$ 位;进位值赋予 $D_9$ 位;从而将SAR逻辑控制电路输出的12位数字码 $B_0 \sim B_{11}$ 转换成10位数字码 $D_0 \sim D_9$ 。

[0047] 本技术领域技术人员可以理解的是,除非另外定义,这里使用的所有术语具有与本发明所属领域中的普通技术人员的一般理解相同的意义。还应该理解的是,诸如通用字典中定义的那些术语应该被理解为具有与现有技术的上下文中的意义一致的意义,并且除非像这里一样定义,不会用理想化或过于正式的含义来解释。

[0048] 以上实施例仅为说明本发明的技术思想,不能以此限定本发明的保护范围,凡是按照本发明提出的技术思想,在技术方案基础上所做的任何改动,均落入本发明保护范围之内。上面结合附图对本发明的实施方式作了详细说明,但是本发明并不限于上述实施方式,在本领域普通技术人员所具备的知识范围内,还可以再不脱离本发明宗旨的前提下做出各种变化。



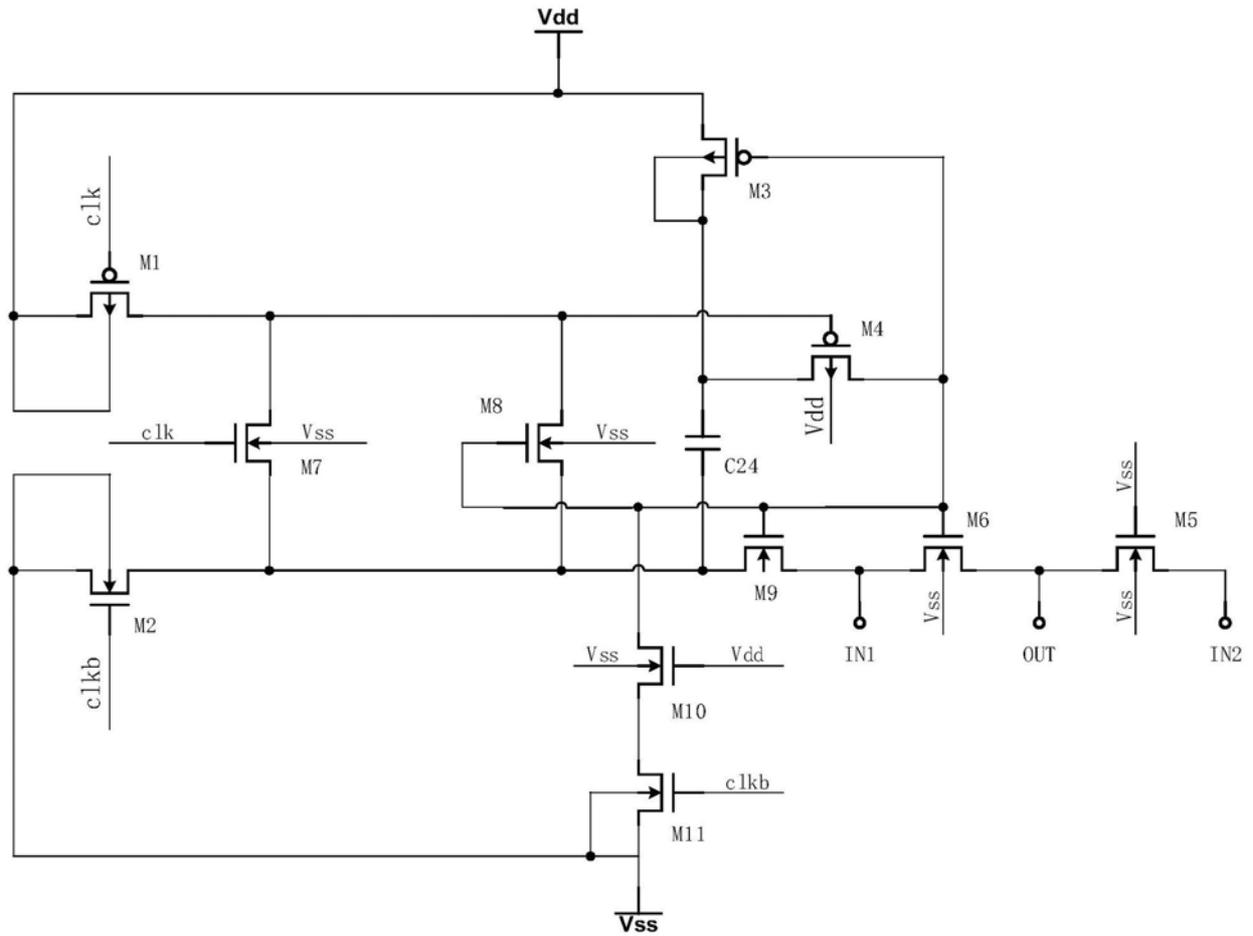


图4



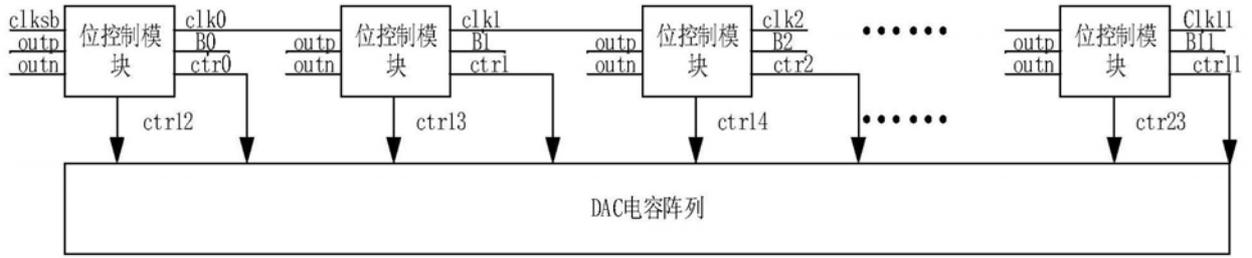


图6

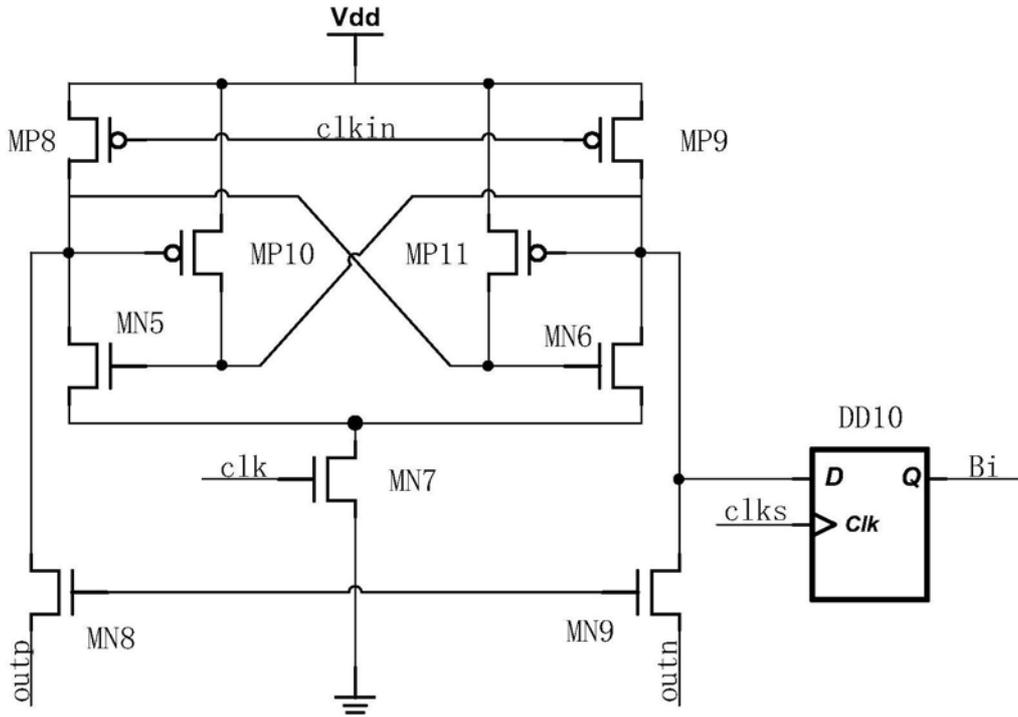


图7

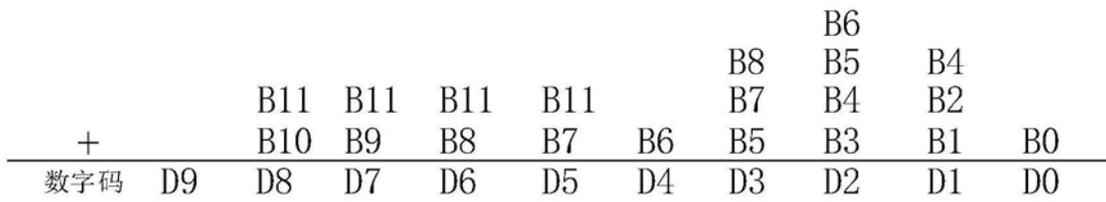


图8

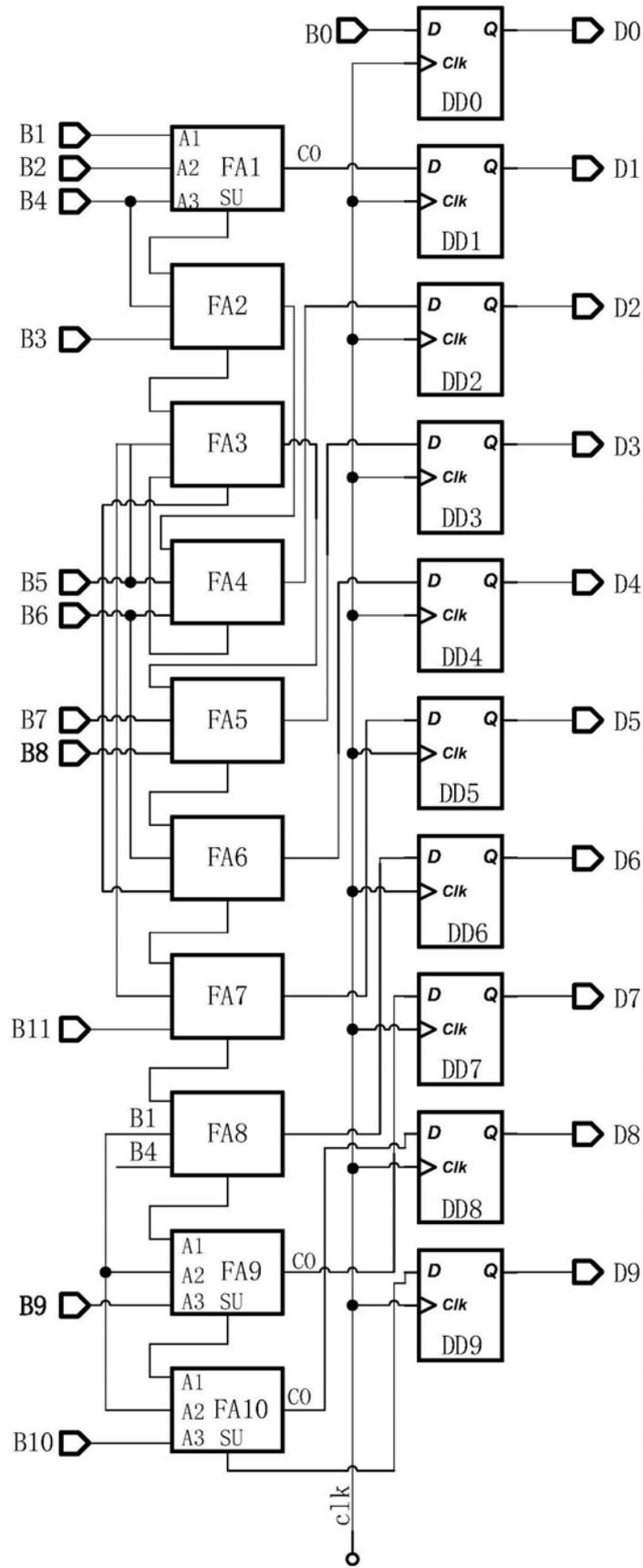


图9