



(12) 发明专利申请

(10) 申请公布号 CN 113035732 A

(43) 申请公布日 2021.06.25

(21) 申请号 202110209757.1

(22) 申请日 2019.06.11

(62) 分案原申请数据

201910503430.8 2019.06.11

(71) 申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 张磊 李思哲 周玉婷 汤召辉

董明 曾凡清

(74) 专利代理机构 北京派特恩知识产权代理有

限公司 11270

代理人 高洁 张颖玲

(51) Int. Cl.

H01L 21/66 (2006.01)

H01L 23/544 (2006.01)

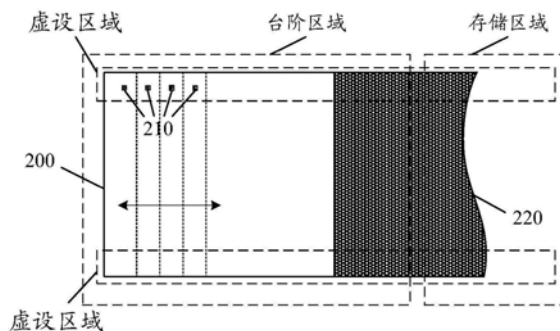
权利要求书1页 说明书8页 附图9页

(54) 发明名称

三维存储器及三维存储器台阶区域的形成方法

(57) 摘要

本发明公开了一种三维存储器及三维存储器台阶区域的形成方法,其中,所述三维存储器,包括:衬底以及位于所述衬底上的堆叠结构;其中,所述堆叠结构包括台阶区域,在所述台阶区域内的台阶的表面上第一位置处形成有测量标记;所述测量标记通过刻蚀所述堆叠结构而形成。



1. 一种三维存储器,其特征在于,包括:衬底以及位于所述衬底上的堆叠结构;其中,所述堆叠结构包括台阶区域,在所述台阶区域内的台阶的表面上第一位置处形成有测量标记;所述测量标记通过刻蚀所述堆叠结构而形成。

2. 一种三维存储器,其特征在于,包括:衬底以及位于所述衬底上的堆叠结构;其中,所述堆叠结构包括台阶区域,在所述台阶区域内的台阶的表面上第一位置处形成有测量标记;

所述第一位置与所述台阶的预设形成位置对应;所述台阶位于台阶的实际形成位置;所述测量标记的位置以及所述台阶区域内台阶的实际形成位置,用于确定所述台阶的偏移量。

3. 根据权利要求1或2所述的三维存储器,其特征在于,所述测量标记形成于所述三维存储器的虚设区域内。

4. 根据权利要求1或2所述的三维存储器,其特征在于,所述测量标记形成于所述台阶区域内的部分台阶的表面上。

5. 根据权利要求1或2所述的三维存储器,其特征在于,所述第一位置距离相邻两台阶的预设形成位置的距离相等。

6. 根据权利要求1或2所述的三维存储器,其特征在于,所述测量标记沿至少两个方向排列,所述至少两个方向与所述三维存储器上至少两个台阶区域的形成方向相对应。

7. 一种三维存储器台阶区域的形成方法,其特征在于,所述方法包括以下步骤:
提供衬底以及位于所述衬底上的堆叠结构;
刻蚀所述堆叠结构,在所述三维存储器台阶区域内的若干台阶的预设形成位置内的第一位置形成测量标记;

刻蚀所述堆叠结构,形成若干台阶;所述测量标记转移到所述台阶的表面上。

8. 根据权利要求7所述的方法,其特征在于,所述第一位置位于所述三维存储器的虚设区域内。

9. 根据权利要求7所述的方法,其特征在于,所述第一位置距离相邻两台阶的预设形成位置的距离相等。

10. 根据权利要求7所述的方法,其特征在于,所述方法还包括:
在形成所述测量标记的同时,在所述台阶区域内形成顶层台阶。

11. 根据权利要求7-10中任意一项所述的方法,其特征在于,所述方法还包括:
根据所述测量标记的位置以及所述台阶区域内台阶的实际形成位置,确定所述台阶的偏移量。

三维存储器及三维存储器台阶区域的形成方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种三维存储器及三维存储器台阶区域的形成方法。

背景技术

[0002] 存储器(Memory)是现代信息技术中用于保存信息的记忆设备。随着各类电子设备对集成度和数据存储密度的需求的不断提高,普通的二维存储器件越来越难以满足要求,在这种情况下,三维(3D)存储器应运而生。

[0003] 目前,三维存储器主要包括垂直的沟道层,以及设置在沟道层外的水平堆叠的栅极结构。水平堆叠的栅极结构一般具有台阶区域(Stair Steps,SS),以使每一层栅极通过相应的台阶面与垂直的接触孔(Contact,CT)导电连接,从而实现每一层栅极对应存储单元的寻址操作。实际制备过程中,如果台阶的形成位置发生偏移,后续工艺中形成的CT无法与相应的台阶准确对应,将导致对应栅极内的存储单元无法正常工作。因此,台阶区域内每一台阶的实际形成位置相对于预设形成位置的偏移情况,对于判断器件在该工艺阶段是否制备成功至关重要。

[0004] 然而,由于台阶区域内各台阶需要经过多次刻蚀步骤形成,每一次刻蚀中掩膜层的尺寸、位置均会影响台阶的最终形成位置。目前通过光阻层的套刻(Overlay,OVL)量测以及刻蚀修整尺寸(ETCH TRIM CD)量测往往难以计算出台阶的实际偏移量。如何方便、准确的确定台阶的实际偏移情况成为本领域中亟需解决的技术问题之一。

发明内容

[0005] 有鉴于此,本发明的主要目的在于提供一种三维存储器及三维存储器台阶区域的形成方法。

[0006] 为达到上述目的,本发明的技术方案是这样实现的:

[0007] 根据本发明实施例的第一方面,本发明实施例提供了一种三维存储器,所述三维存储器包括:衬底以及位于所述衬底上的堆叠结构;其中,

[0008] 所述堆叠结构包括台阶区域,在所述台阶区域内的台阶的表面上第一位置处形成有测量标记;所述测量标记通过刻蚀所述堆叠结构而形成。

[0009] 根据本发明实施例的第二方面,本发明实施例提供了一种三维存储器,所述三维存储器包括:衬底以及位于所述衬底上的堆叠结构;其中,

[0010] 所述堆叠结构包括台阶区域,在所述台阶区域内的台阶的表面上第一位置处形成有测量标记;

[0011] 所述第一位置与所述台阶的预设形成位置对应;所述台阶位于台阶的实际形成位置;

[0012] 所述测量标记的位置以及所述台阶区域内台阶的实际形成位置,用于确定所述台阶的偏移量。

- [0013] 在一些实施例中,所述测量标记形成于所述三维存储器的虚设区域内。
- [0014] 在一些实施例中,所述测量标记形成于所述台阶区域内的部分台阶的表面上。
- [0015] 在一些实施例中,所述第一位置距离相邻两台阶的预设形成位置的距离相等。
- [0016] 在一些实施例中,所述测量标记沿至少两个方向排列,所述至少两个方向与所述三维存储器上至少两个台阶区域的形成方向相对应。
- [0017] 根据本发明实施例的第三方面,本发明实施例提供了一种三维存储器台阶区域的形成方法,所述方法包括以下步骤:
- [0018] 提供衬底以及位于所述衬底上的堆叠结构;
- [0019] 刻蚀所述堆叠结构,在所述三维存储器台阶区域内的若干台阶的预设形成位置内的第一位置形成测量标记;
- [0020] 刻蚀所述堆叠结构,形成若干台阶;所述测量标记转移到所述台阶的表面上。
- [0021] 在一些实施例中,所述第一位置位于所述三维存储器的虚设区域内。
- [0022] 在一些实施例中,所述第一位置距离相邻两台阶的预设形成位置的距离相等。
- [0023] 在一些实施例中,所述方法还包括:
- [0024] 在形成所述测量标记的同时,在所述台阶区域内形成顶层台阶。
- [0025] 在一些实施例中,所述方法还包括:
- [0026] 根据所述测量标记的位置以及所述台阶区域内台阶的实际形成位置,确定所述台阶的偏移量。
- [0027] 本发明实施例所提供的三维存储器及三维存储器台阶区域的形成方法,通过在台阶区域内的台阶的表面上第一位置处形成测量标记;从而可以基于所述测量标记,确定所述台阶区域内台阶的实际形成位置相对于预设形成位置的偏移情况。

附图说明

- [0028] 图1a-1c为相关技术中采用第一掩膜层为掩膜刻蚀所述堆叠结构过程中的器件结构剖面示意图;
- [0029] 图2a-2i为相关技术中采用第二掩膜层为掩膜刻蚀所述堆叠结构过程中的器件结构剖面示意图;
- [0030] 图3为相关技术中几种台阶形成情况的示意图;
- [0031] 图4a为本发明一实施例提供的掩模板的结构示意图;
- [0032] 图4b为本发明另一实施例提供的掩模板中与虚设区域对应的部分的结构放大示意图;
- [0033] 图5为本发明实施例提供的三维存储器台阶区域的形成方法的流程示意图;
- [0034] 图6a-6b为本发明实施例中采用第一掩膜层为掩膜刻蚀所述堆叠结构过程中的器件结构剖面示意图;
- [0035] 图7a-7i为本发明实施例中采用第二掩膜层为掩膜刻蚀所述堆叠结构过程中的器件结构剖面示意图。

具体实施方式

- [0036] 下面将参照附图更详细地描述本发明公开的示例性实施方式。虽然附图中显示了

本发明的示例性实施方式,然而应当理解,可以以各种形式实现本发明,而不应被这里阐述的具体实施方式所限制。相反,提供这些实施方式是为了能够更透彻地理解本发明,并且能够将本发明公开的范围完整的传达给本领域的技术人员。

[0037] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述;即,这里不描述实际实施例的全部特征,不详细描述公知的功能和结构。

[0038] 在附图中,为了清楚,层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0039] 应当明白,当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时,并不表明本发明必然存在第一元件、部件、区、层或部分。

[0040] 空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0041] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0042] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0043] 图1、图2为相关技术中三维存储器台阶区域的形成过程中的器件结构剖面示意图;其中,图1a-1c为相关技术中采用第一掩膜层为掩膜刻蚀所述堆叠结构过程中的器件结构剖面示意图;图2a-2i为相关技术中采用第二掩膜层为掩膜刻蚀所述堆叠结构过程中的器件结构剖面示意图。

[0044] 首先,请参考图1a。提供待刻蚀形成台阶区域的三维存储器结构,所述三维存储器

结构包括:衬底10以及位于所述衬底10上的堆叠结构11;图中垂直虚线示出了台阶区域内各台阶的预设形成位置。

[0045] 接下来,请参考图1b。在所述堆叠结构11上形成第一掩膜层12,基于掩模板对所述第一掩膜层12进行图案化,最终形成如图所示的至少覆盖所述三维存储器的存储区域(图中未示出)以及台阶区域内的顶层台阶的预设形成位置的第一掩膜层12。

[0046] 接下来,请参考图1c。采用所述第一掩膜层12为掩膜刻蚀所述堆叠结构11,在所述台阶区域内形成所述顶层台阶111;去除所述第一掩膜层12。

[0047] 接下来,请参考图2a。在所述堆叠结构11上形成第二掩膜层13,所述第二掩膜层13同样已经过图案化处理,形成了与待刻蚀图案相对应的形状。

[0048] 接下来,请参考图2b。采用所述第二掩膜层13执行第一次刻蚀(1st ETCH),刻蚀终止在所述堆叠结构11内次顶层台阶112的厚度位置上,但此时所述次顶层台阶112沿阶梯方向上的位置还未到达其预设形成位置 S_{112} 。

[0049] 这里,可以理解,图中的水平方向示出了所述台阶区域的阶梯方向。

[0050] 接下来,请参考图2c。执行第一次修整所述第二掩膜层13尺寸的步骤(1st TRIM),以使得修整后的所述第二掩膜层相比于修整前暴露出更多的所述堆叠结构的表面;在一具体实施例中,该修整步骤中的修整尺寸(TRIM CD)等于相邻两台阶的边界沿阶梯方向上的距离。

[0051] 接下来,请参考图2d。采用修整后的第二掩膜层13为掩膜执行第二次刻蚀(2st ETCH),所述堆叠结构中未被所述第二掩膜层13覆盖的区域整体下降一个台阶的厚度。

[0052] 接下来,请参考图2e-2h。重复执行修整第二掩膜层尺寸以及以修整后的第二掩膜层为掩膜进行刻蚀的步骤,如执行2st TRIM—3st ETCH—3st TRIM—4st ETCH(此处,修整次数与刻蚀次数仅为举例),以形成若干台阶(Steps)。

[0053] 最后,请参考图2i。去除所述第二掩膜层13。

[0054] 由此可见,第一掩膜层12覆盖所述堆叠结构11的边界位置(通过光阻尺寸PH CD反映)、第二掩膜层13与第一掩膜层12的对准情况(通过光阻套刻PH OVL量测反映)、以及每一次修整第一掩膜层12的修整尺寸(通过刻蚀修整尺寸ETCH TRIM CD量测反映)都会影响到最终形成的台阶是否能够位于预设形成位置;上述影响因素中只要有一个因素不符合预设情况,就会对台阶的实际形成位置产生影响。例如,图3示出了几种台阶形成情况;如图所示,对于情况(1),量测到PH OVL向左偏移,即反应出第二掩膜层13的边界比预设情况向左偏移,此时,即使后续的修整尺寸是符合预设情况的,刻蚀形成的台阶也整体向左偏移;对于情况(2),已量测到PH OVL向左偏移,但情况(2)所对应台阶在刻蚀前的ETCH TRIM CD偏大,最终导致该台阶恰好形成在了预设形成位置,该台阶所对应的栅极导通并不会出现问题;对于情况(3),PH OVL以及情况(3)所对应台阶的前几次修整中的ETCH TRIM CD均发生了偏移,导致情况(3)所对应台阶恰好形成在了另一台阶的预设形成位置,此时,该台阶所对应的栅极虽然可以导通,但栅极内的存储单元并不能正常工作。由此可见,在三维存储器的刻蚀工艺中,台阶的实际形成情况非常复杂;而目前,并没有很好的可以确定台阶区域内每一台阶的实际形成位置相对于预设形成位置的偏移情况的方法,仅通过PH OVL量测以及ETCH TRIM CD量测往往难以反映出台阶的实际偏移量。

[0055] 基于此,本发明实施例提供了一种掩模板,应用于三维存储器台阶区域的刻蚀工

艺中;具体请参见图4a,所述掩模板200包括:若干第一图案210,所述若干第一图案210与所述三维存储器台阶区域内的若干台阶的预设形成位置一一对应,用于在所述台阶的预设形成位置内的第一位置形成测量标记。

[0056] 这里,所述第一图案可以为实体图案,也可以为空白图案,这主要取决于待光刻的光刻胶为正性光刻胶还是负性光刻胶。所述第一图案的形状可以包括圆形、方形、多边形、环形或其他形状;在一优选实施例中,所述第一图案为轴对称图形,如此,以方便在台阶上形成测量标记后,对测量标记的左侧边界与形成台阶的左侧边界之间的距离、测量标记的右侧边界与形成台阶的右侧边界之间的距离进行测量。

[0057] 在一具体实施例中,所述第一位置位于所述三维存储器的虚设区域(dummy area)内。这里,所述虚设区域为所述三维存储器的非工作区域,将测量标记形成在所述台阶的位于虚设区域内的部分,从而避免影响所述三维存储器的正常工作。

[0058] 在一具体实施例中,所述第一位置位于所述台阶的沿阶梯方向上的中间。

[0059] 本实施例中,若干台阶可以为三维存储器台阶区域内台阶的全部或部分,也可以为不同台阶形成方向上各台阶的至少之一。

[0060] 可以理解地,所述三维存储器包括但不限于在一个面或一个方向上形成台阶区域,例如,图4a示出了三维存储器仅在图中左侧边处沿箭头方向上设置有台阶的情况,而图4b则示出了三维存储器在多个方向上设置有台阶的情况。

[0061] 具体地,图4b为本发明另一实施例提供的掩模板200'中与虚设区域对应的部分的结构放大示意图;如图所示,所述若干第一图案210沿至少两个方向排列,所述至少两个方向与所述三维存储器上至少两个台阶区域的预设形成方向相对应。

[0062] 图中三组箭头分别示出了三个台阶区域的预设形成方向,即三维存储器中相应的位置上将在这三个方向上分别刻蚀以形成台阶区域。

[0063] 在该实施例中,所述第一位置同样可以位于所述三维存储器的虚设区域内。三维存储器的其他区域(工作区域)内台阶的偏移情况可以通过虚设区域得以反馈。

[0064] 在一具体实施例中,所述掩模板还包括第二图案220,所述第二图案220与所述三维存储器的存储区域以及台阶区域内的顶层台阶的预设形成位置对应,用于在所述台阶区域内形成所述顶层台阶。

[0065] 可以理解,所述第二图案用于形成覆盖存储区域以及台阶区域内的顶层台阶(即定义出顶层台阶形成位置)的掩膜层。本实施例提供的所述第一图案可以形成在现有工艺中已有的用于形成顶层台阶图案的掩模板中,从而无需增加掩模板,也不会增加台阶区域的形成工序。

[0066] 本发明实施例还提供了一种三维存储器台阶区域的形成方法;具体请参见附图5。如图所示,所述方法包括以下步骤:

[0067] 步骤301、提供衬底以及位于所述衬底上的堆叠结构;

[0068] 步骤302、在所述堆叠结构上形成第一掩膜层,所述第一掩膜层包括若干第一图案,所述若干第一图案与所述三维存储器台阶区域内的若干台阶的预设形成位置一一对应;

[0069] 步骤303、采用所述第一掩膜层为掩膜刻蚀所述堆叠结构,在所述台阶的预设形成位置内的第一位置形成测量标记;

[0070] 步骤304、在所述堆叠结构上形成第二掩膜层；

[0071] 步骤305、采用所述第二掩膜层为掩膜刻蚀所述堆叠结构，形成若干台阶；所述测量标记转移到所述台阶的表面上。

[0072] 下面，结合图6、图7中三维存储器台阶区域的形成过程中的器件结构剖面示意图，对本发明实施例提供的三维存储器台阶区域的形成方法再作进一步详细的说明。

[0073] 首先，请参考图6a。

[0074] 执行步骤301，提供衬底40以及位于所述衬底40上的堆叠结构41。

[0075] 这里，所述衬底40，可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个III-V化合物半导体材料、至少一个II-VI化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。

[0076] 所述堆叠结构41可以包括交替层叠的介质层以及栅极层（或伪栅极层）；其中，所述介质层的材料包括但不限于硅氧化物、硅氮化物层、硅氮氧化物以及其它高介电常数（高k）介质层；在一具体实施例中，所述介质层可以由 SiO_2 形成；所述栅极层的材料可以包括金属钨。

[0077] 执行步骤302，在所述堆叠结构41上形成第一掩膜层42，所述第一掩膜层42包括若干第一图案421，所述若干第一图案421与所述三维存储器台阶区域内的若干台阶的预设形成位置一一对应。

[0078] 本实施例中，所述第一掩膜层的第一图案可以基于本发明前述实施例之一提供的掩模板形成。具体地，可以通过光刻工艺将所述掩模板中的图案转移到所述第一掩膜层上。在一实施例中，所述第一掩膜层为硬掩膜层；在所述方法中，先通过光刻工艺将所述掩模板中的图案转移到位于所述第一掩膜层之上的光阻层中，再通过刻蚀步骤将所述光阻层中的图案转移到所述第一掩膜层上。

[0079] 在一具体实施例中，所述第一位置位于所述三维存储器的虚设区域内。从而，不会影响到所述三维存储器的工作区域。

[0080] 在一具体实施例中，所述第一位置位于沿阶梯方向上所述台阶的预设形成位置的中间。

[0081] 请继续参考图6a，图中竖直虚线示出了台阶区域内各台阶的预设形成位置，图中的水平方向示出了所述台阶区域的阶梯方向。所述第一位置位于沿阶梯方向上所述台阶的预设形成位置的中间，意味着所述第一位置距离相邻两台阶的预设形成位置的距离相等。

[0082] 可以理解地，所述三维存储器包括但不限于在一个面或一个方向上形成台阶区域，当在至少两个方向上形成台阶区域时，均可以使用本发明实施例提供的三维存储器台阶区域的形成方法。

[0083] 在一具体实施例中，所述第一掩膜层42还包括第二图案422，所述第二图案422与所述三维存储器的存储区域以及台阶区域内的顶层台阶的预设形成位置对应。

[0084] 可以理解，所述第二图案用于形成覆盖存储区域以及台阶区域内的顶层台阶（即定义出顶层台阶形成位置）的掩膜层。本实施例中所述测量标记可以与顶层台阶在同一步骤中形成，无需增加额外的形成工序。

[0085] 接下来，请参考图6b。

[0086] 执行步骤303，采用所述第一掩膜层为掩膜刻蚀所述堆叠结构，在所述台阶的预设

形成位置内的第一位置形成测量标记44。

[0087] 在一具体实施例中,所述采用所述第一掩膜层42为掩膜刻蚀所述堆叠结构41,包括:在所述台阶区域内形成所述顶层台阶411。可以理解地,此时,所述测量标记44与所述顶层台阶411位于同一层,而在后续的刻蚀过程中,所述测量标记会逐步转移到各台阶上。

[0088] 这里,所述顶层台阶411可由一层栅极层(或伪栅极层)与一层介质层共同组成。

[0089] 所述测量标记44的形状可以包括圆形、方形、多边形、环形或其他形状;在一优选实施例中,所述测量标记44的形状为轴对称图形,如此,以方便对测量标记的左侧边界与形成台阶的左侧边界之间的距离、测量标记的右侧边界与形成台阶的右侧边界之间的距离进行测量。

[0090] 应当注意的是,虽然图6、图7示出了所述第一图案421为实体图案(即遮挡所述堆叠结构41的图案),且所述测量标记44凸出于所述台阶表面的情况;但是,在其他实施例中,所述第一图案也可以为空白图案;所述测量标记可以为凹陷于所述台阶表面的标记。

[0091] 在所述形成测量标记44后,去除所述第一掩膜层42。

[0092] 接下来,请参考图7a。执行步骤304,在所述堆叠结构41上形成第二掩膜层43。

[0093] 这里,所述第二掩膜层覆盖上一步骤中形成的所述测量标记,并且暴露出所述堆叠结构中待刻蚀的区域;即所述第二掩膜层经过图案化处理,形成了与待刻蚀图案相对应的形状。

[0094] 接下来,执行步骤305,采用所述第二掩膜层43为掩膜刻蚀所述堆叠结构41,形成若干台阶;所述测量标记44转移到所述台阶的表面上。

[0095] 在一具体实施例中,所述采用所述第二掩膜层43为掩膜刻蚀所述堆叠结构41,形成若干台阶,包括:执行若干次修整所述第二掩膜层尺寸的步骤,以使得修整后的所述第二掩膜层相比于修整前暴露出更多的所述堆叠结构的表面;采用在所述堆叠结构上形成的所述第二掩膜层以及每一次修整后的所述第二掩膜层为掩膜刻蚀所述堆叠结构,形成若干所述台阶。

[0096] 具体地,请继续参考图7b。采用所述第二掩膜层43执行第一次刻蚀(1st ETCH),刻蚀终止在所述堆叠结构41内次顶层台阶412的厚度位置上,但此时所述次顶层台阶412沿阶梯方向上的位置还未到达其预设形成位置 S_{412} 。

[0097] 接下来,请参考图7c。执行第一次修整所述第二掩膜层43尺寸的步骤(1st TRIM),以使得修整后的所述第二掩膜层相比于修整前暴露出更多的所述堆叠结构的表面;在一具体实施例中,该修整步骤中的修整尺寸等于相邻两台阶的边界沿阶梯方向上的距离。此时,位于该相邻两台阶之间的测量标记被暴露。

[0098] 接下来,请参考图7d。采用修整后的第二掩膜层43为掩膜执行第二次刻蚀(2st ETCH),所述堆叠结构中未被所述第二掩膜层43覆盖的区域整体下降一个台阶的厚度。由此,在上一步骤中被暴露的所述测量标记被转移到下一层台阶上。

[0099] 接下来,请参考图7e-7h。重复执行修整第二掩膜层尺寸以及以修整后的第二掩膜层为掩膜进行刻蚀的步骤,如执行2st TRIM—3st ETCH—3st TRIM—4st ETCH(此处,修整次数与刻蚀次数仅为举例,不构成对本实施例的限制),以形成若干台阶(Steps)。由此,所述测量标记转移到所述台阶的表面上。

[0100] 最后,请参考图7i。去除所述第二掩膜层43。

[0101] 本发明实施例还提供了一种三维存储器,具体可参考图7i,包括:衬底40以及位于所述衬底40上的堆叠结构41;其中,所述堆叠结构41包括台阶区域,在所述台阶区域内的台阶的表面上第一位置处形成有呈第一图案的测量标记44。

[0102] 在一具体实施例中,所述第一位置位于所述三维存储器的虚设区域内。

[0103] 在一具体实施例中,所述第一位置位于沿阶梯方向上所述台阶的预设形成位置的中间。

[0104] 在一具体实施例中,所述测量标记沿至少两个方向排列,所述至少两个方向与所述三维存储器上至少两个台阶区域的形成方向相对应。

[0105] 本发明实施例还提供了一种三维存储器台阶区域内台阶偏移量的确定方法,包括前述实施例中任意一项所述三维存储器台阶区域的形成方法中的步骤,还包括:根据所述测量标记的位置以及所述台阶区域内台阶的实际形成位置,确定所述台阶的偏移量。

[0106] 在一具体实施例中,测量所述测量标记的左侧边界与形成台阶的左侧边界之间的第一距离,以及所述测量标记的右侧边界与形成台阶的右侧边界之间的第二距离,基于所述第一距离与所述第二距离计算所述台阶的偏移量。

[0107] 如此,实现了对三维存储器台阶区域内台阶的实际形成位置与预设形成位置偏移情况的测量,可以简单、及时地监控台阶的实际形成情况,有利于对三维存储器的良率进行预先判断,并且可以为产线流程的改进提供帮助。

[0108] 需要说明的是,本发明提供的掩模板、三维存储器、三维存储器台阶区域的形成方法以及三维存储器台阶区域内台阶偏移量的确定方法实施例属于同一构思;各实施例所记载的技术方案中各技术特征之间,在不冲突的情况下,可以任意组合。但需要进一步说明的是,本发明实施例提供的三维存储器,其各技术特征组合已经可以解决本发明所要解决的技术问题;因而,本发明实施例所提供的三维存储器可以不受本发明实施例提供的三维存储器台阶区域的形成方法的限制,任何能够形成本发明实施例所提供的三维存储器结构的制备方法所制备的三维存储器均在本发明保护的范围之内。

[0109] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

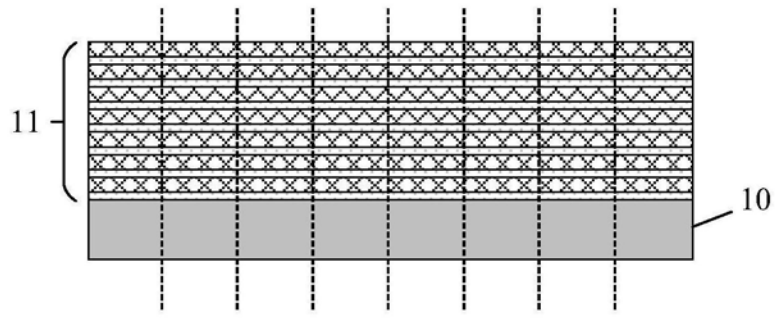


图1a

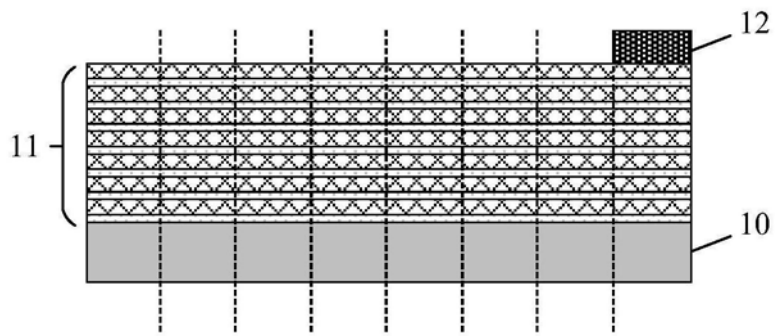


图1b

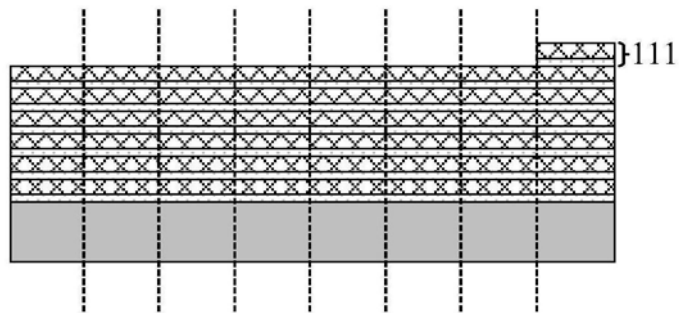


图1c

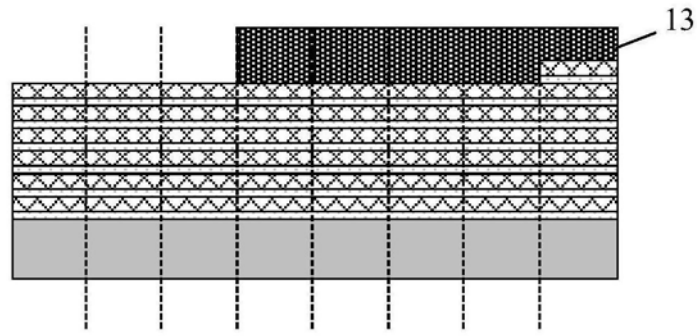


图2a

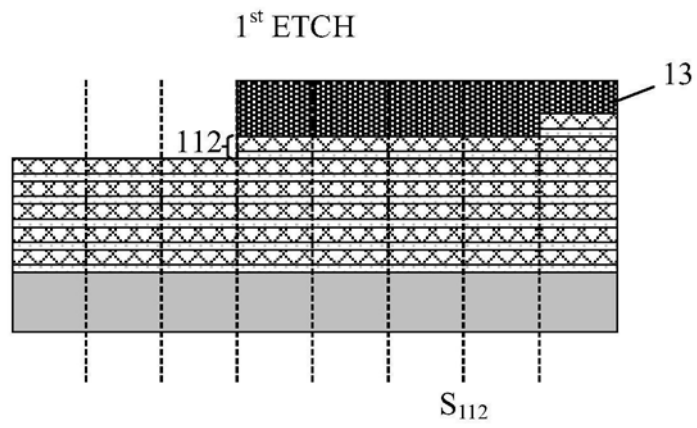


图2b

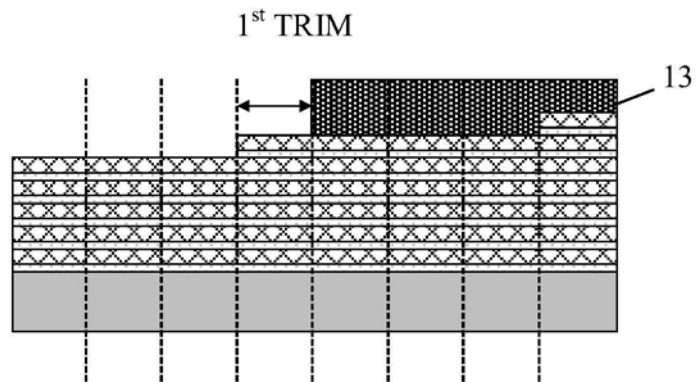


图2c

2st ETCH

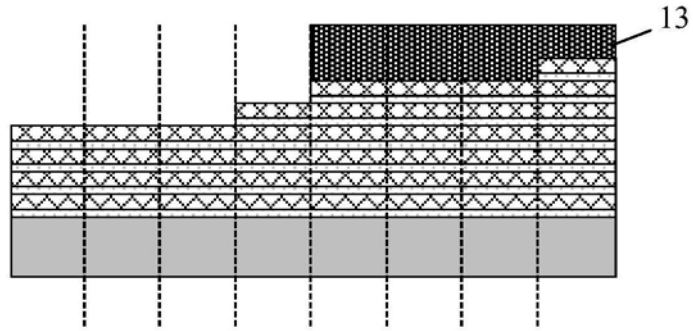


图2d

2st TRIM

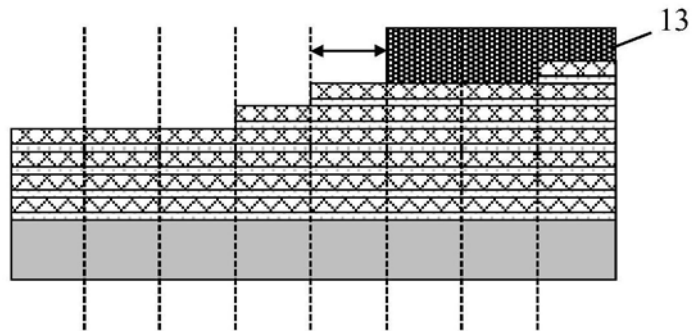


图2e

3st ETCH

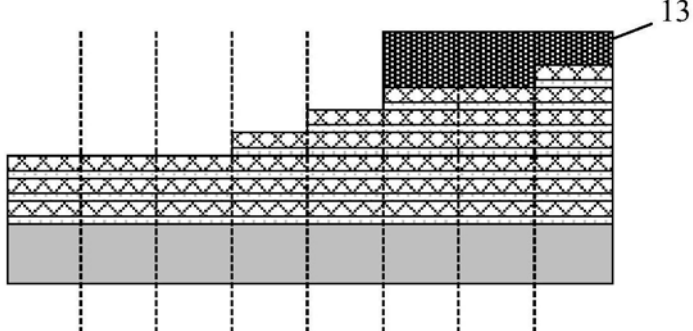


图2f

3st TRIM

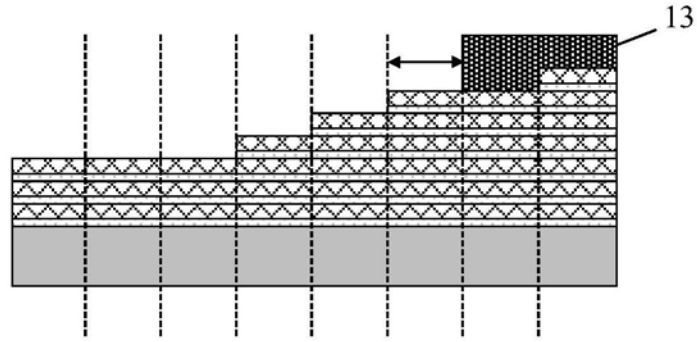


图2g

4st ETCH

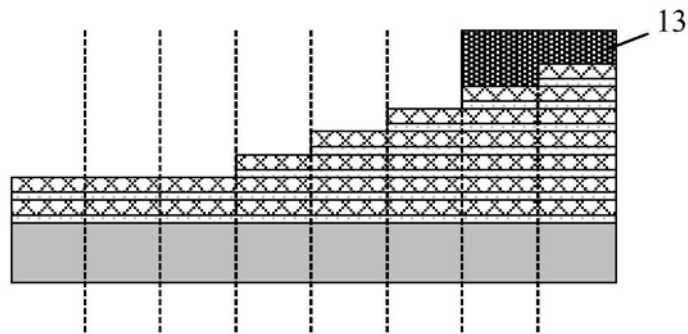


图2h

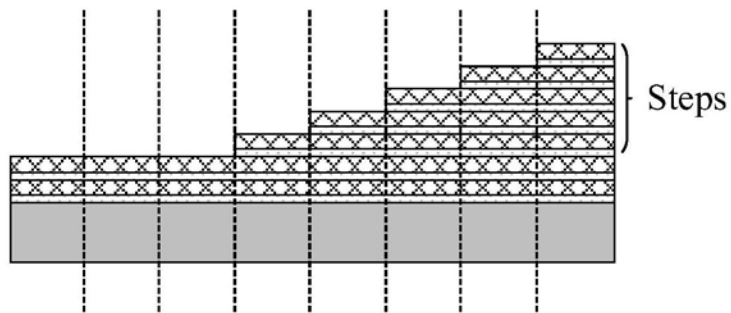


图2i

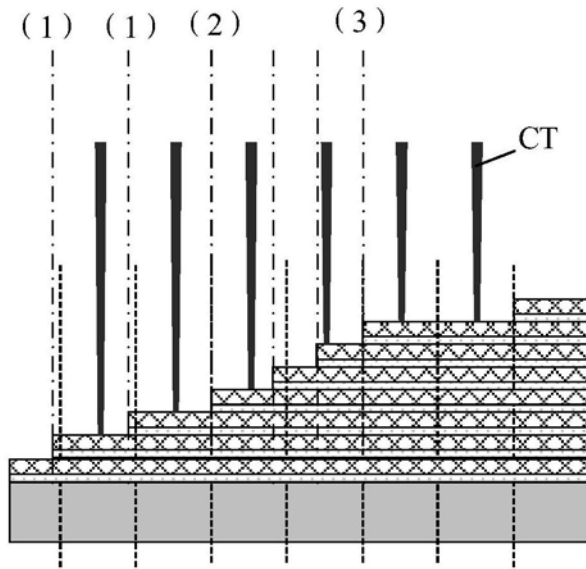


图3

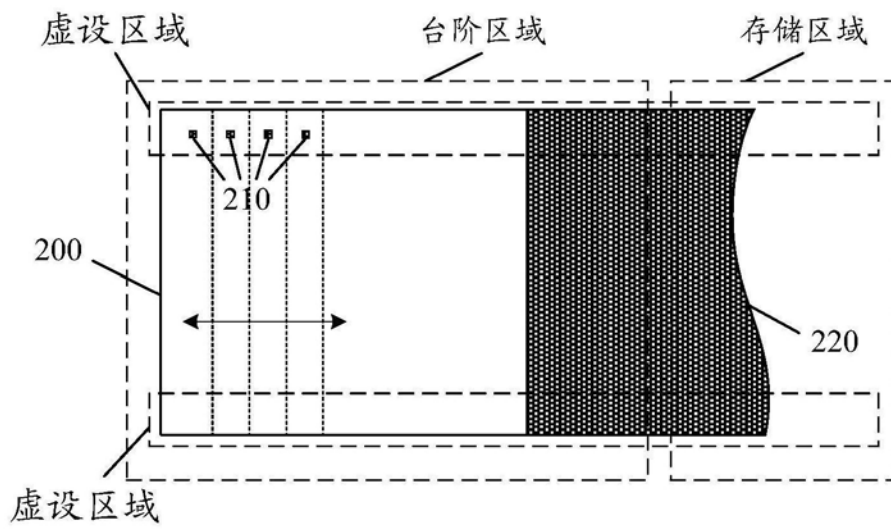


图4a

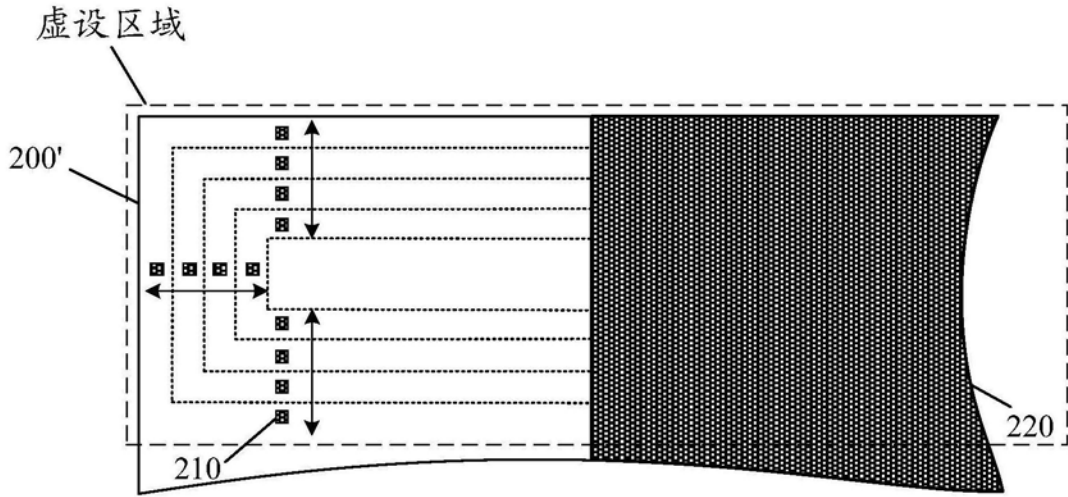


图4b

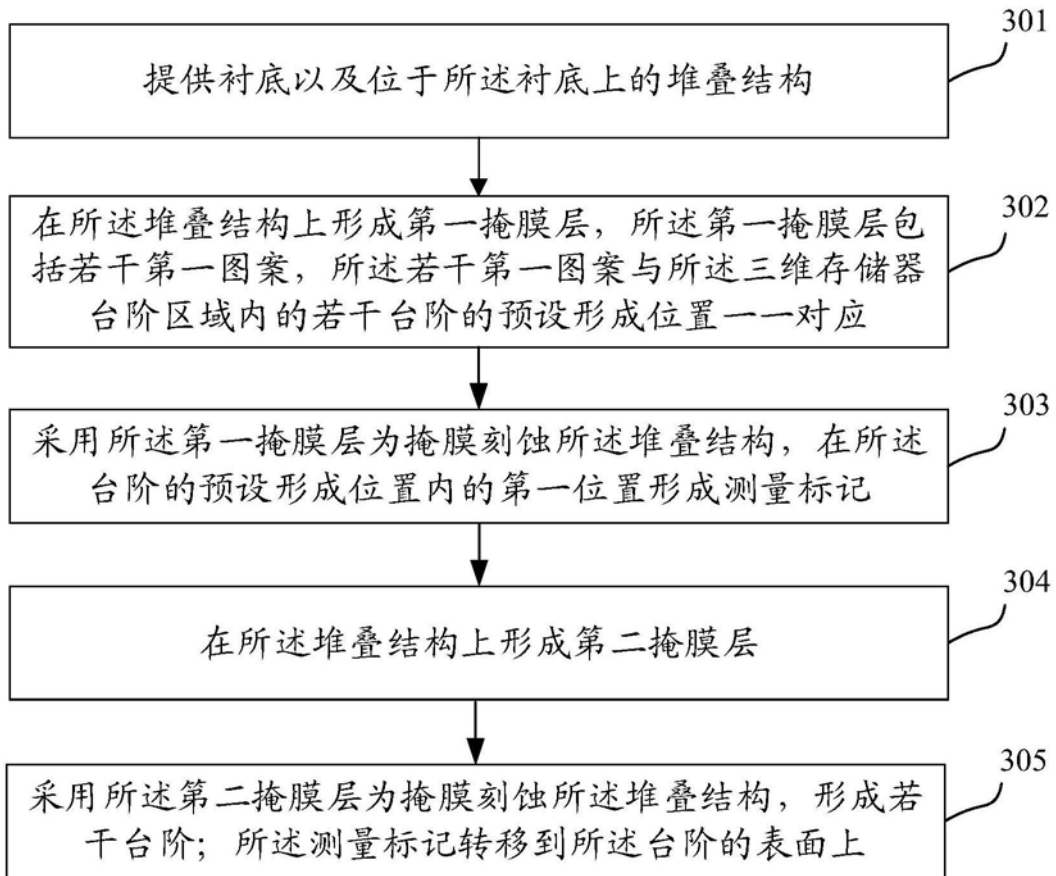


图5

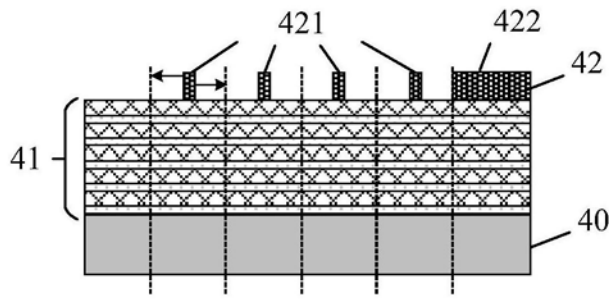


图6a

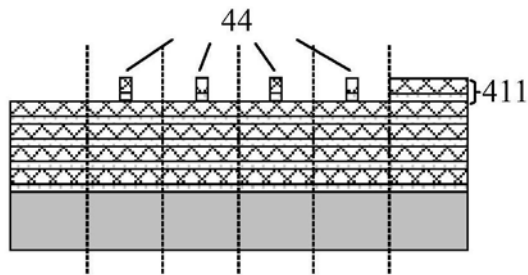


图6b

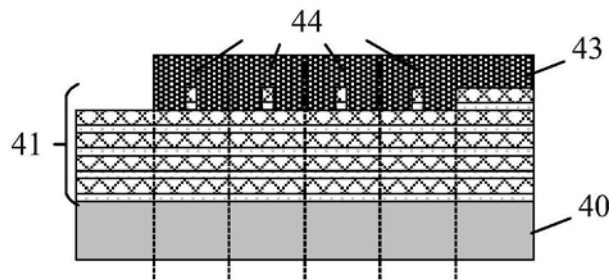


图7a

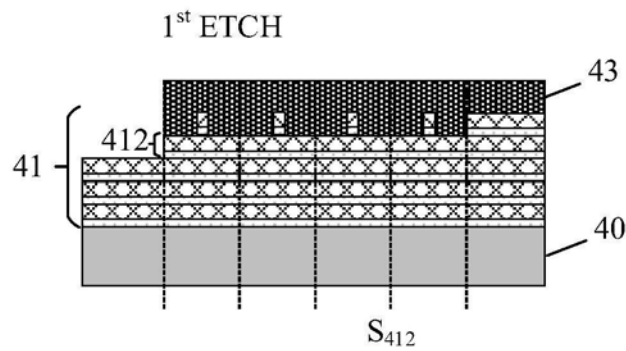


图7b

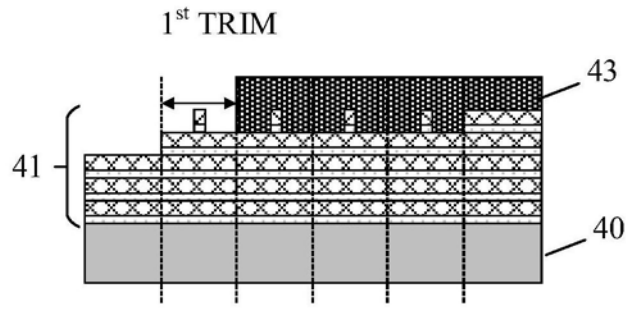


图7c

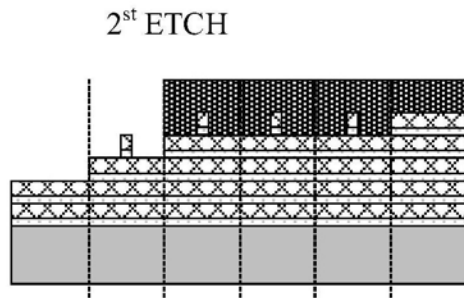


图7d

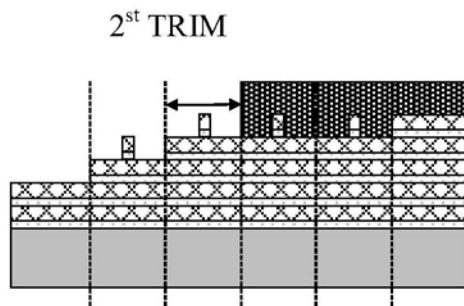


图7e

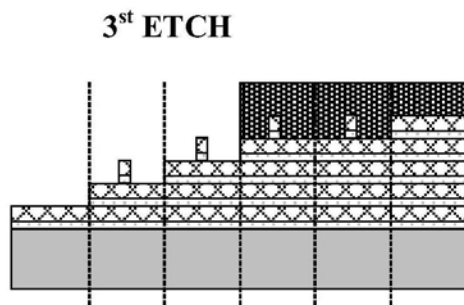


图7f

3st TRIM

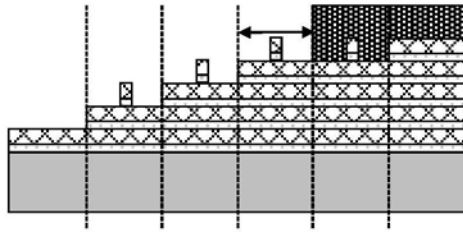


图7g

4st ETCH

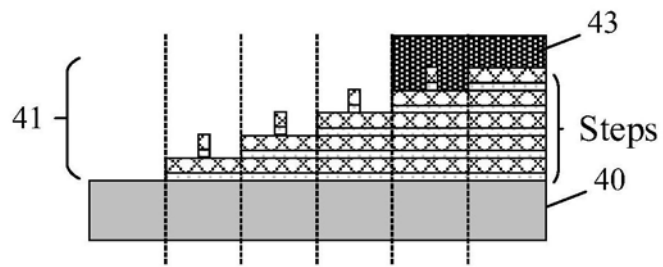


图7h

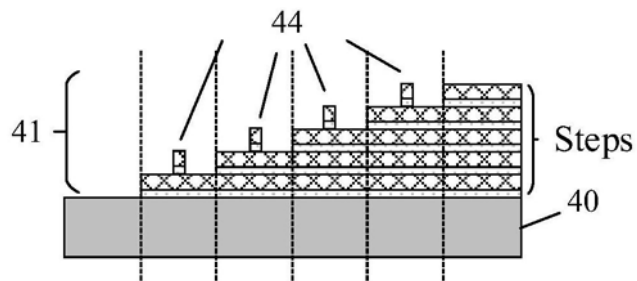


图7i