

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 2002년03월 13일
(11) 등록번호 10-0316221
(24) 등록일자 2001년11월 19일

(21) 출원번호	10-1998-0702311	(65) 공개번호	특 1999-0063841
(22) 출원일자	1998년03월28일	(43) 공개일자	1999년07월26일
번역문제출일자	1998년03월28일		
(86) 국제출원번호	PCT/US1996/15281	(87) 국제공개번호	WO 1997/14175
(86) 국제출원일자	1996년09월23일	(87) 국제공개일자	1997년04월17일
(81) 지정국	국내특허 : 아일랜드 알바니아 오스트레일리아 보스니아-헤르체고비나 바베이도스 불가리아 브라질 캐나다 중국 쿠바 체코 에스토니아 그 루지야 헝가리 이스라엘 아이슬란드 일본 AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국		

(30) 우선권주장 08/536694 1995년09월29일 미국(US)

(73) 특허권자 인텔 코오퍼레이션 피터 엔. 데트킨

(72) 발명자 미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200
문 피터 케이.

미국 오리건 97201 포틀랜드 사우스웨스트 26 드라이브 4901
랜다우 버니 더블유.

미국 오리건 97007 비버튼 사우스웨스트 나이트 호크 드라이브 16225
크릭 데이비드 티.

(74) 대리인 미국 오리건 97124 힐스보로 노스이스트 다니엘 드라이브 691
박종혁, 장용식

심사관 : 권인희

(54) 얇은트렌치격리신기술

명세서

기술분야

<1> 본 발명은 반도체 집적회로 제조방법에 관한 것이고, 더 상세하게 반도체 기판에 얇은 트렌치 격리 영역을 형성하는 방법에 관한 것이다.

배경기술

<2> 최근의 집적회로는 실리콘기판과 같은 단일 반도체 기판에 형성된 트랜지스터와 커패시터와 같은 다수의 개별소자로 사실상 구성되어 있다. 그 개별소자는 실리콘의 로컬산화(LOCOS), 오목 LOCOS, 및 트렌치와 같은 여러 격리기술을 사용하여 서로 전기적으로 격리된다.

<3> LOCOS 격리공정은 금속산화막 반도체(MOS) 소자를 격리시키는데 가장 광범위하게 사용되는 기술이다. 전형적인 LOCOS 격리영역이 도 1에 도시되어 있다. LOCOS 격리공정에서, 질화규소 마스크(102)와 패드산화층(104)이 전기장 격리영역(106)(즉, 전기장산화영역)을 선택적으로 성장시키는데 사용된다. 질화규소 마스크는 능동소자가 형성되는 지점에서 실리콘 기판의 산화를 방지한다. LOCOS 격리기술이 가지고 있는 문제점은 산화단계에서 격리영역에 인접한 실리콘의 상당량이 없어진다는 것이다. 이 현상은 "새부리 형상부(bird's beak)"(110)로 알려진 것을 발생시킨다. "새부리 형상부"의 장점은 인접 트랜지스터의 누설전류(I_{off})를 감소시키는데 도움이 된다는 것이다. 그러나, "새부리 형상부"의 문제점은 격리영역(106)의 면적이 증가되어 능동소자에 이용할 수 있는 실리콘의 양이 감소된다(즉, 소자 기억밀도를 감소시킨다)는 것이다. LOCOS 격리기술이 가지고 있는 다른 결점은 격리영역(106)의 약 45%가 실리콘기판(108) 위에 성장되어 사진식각술과 같은 하류공정단계에 나쁜 영향을 미칠 수 있는 비평면 형태를 야기한다는 것이다. 이런 이유로, LOCOS 공정은 최근의 극초대규모 집적(ULSI)회로의 제조에 잘 맞지 않는다.

<4> 오목 LOCOS 격리구조는 홈(groove) 또는 오목부가 산화단계에 앞서 실리콘기판에 에칭되는 것을 제외하고 LOCOS 격리구조와 유사하다. 그 다음, 산화단계는 에칭된 공간에 산화물을 성장시켜 상대적으로 평면인 격리영역을 형성한다. 그러나, 오목 LOCOS 공정은 새부리 형상부의 형성으로 인하여 어느 정

도 비평면인 형태와 측면 침식이 생긴다.

- <5> 최근에 상당한 주목을 받은 다른 격리기술이 트렌치 격리이다. 트렌치 격리 공정에서, 트렌치 또는 홈은 도 2에 도시된 실리콘기판(200)에 먼저 에칭된다. 다음, 산화층이 질화규소 마스크(206)를 이용하여 트렌치의 측벽에 선택적으로 성장된다. 그러면, 산화층 또는 다른 보충물질이 기판위에 그리고 트렌치를 재보충하기 위해 트렌치에 블랭킷 증착된다. 그러면, 증착된 산화막은 실리콘기판과 실제로 평탄한 격리구조를 형성하도록 뒤에 에칭된다.
- <6> 트렌치 격리공정은 LOCOS 공정보다 적은 기판영역을 필요로 하고, 그래서 더 높은 밀도의 집적회로를 제조할수 있으므로 LOCOS 공정보다 바람직하다. 또 트렌치 격리공정은 전형적으로 평면 형태의 격리구조를 만들고, 이것은 사진 석판술과 같은 차후 공정을 개선한 것이다.
- <7> 본 트렌치 격리기술의 문제점은 이상한 외형과 도핑 프로파일이 상당한 양의 트랜지스터 소스-드레인 누설 전류(I_{off})를 발생시킨다는 것이다. 즉, 본 트렌치 격리형성기술로, 트랜지스터가 오프일때(즉, 채널이 비전도 상태일 때), 상당한 양의 전류가 소스에서 드레인으로 누설되는 확산/격리 트랜지스터 에지에 저저항 경로가 만들어진다. 트랜지스터 누설전류는 제조된 집적회로내의 대기전류를 제어하기 위해서 최소화되어야 한다.
- <8> 따라서, 요구되는 것은 소스-드레인 누설전류가 실제로 감소되는 트렌치 격리구조를 제조하는 방법이다.

발명의 상세한 설명

- <9> 본 발명은 실리콘기판에 얇은 트렌치 격리구조를 형성하는 방법을 설명하고 있다. 본 발명의 바람직한 실시예에 따라서, 패드산화층이 실리콘기판상에 형성되고, 질화규소층은 패드산화층에 형성된다. 다음, 트렌치는 실리콘기판에 경사진 측벽을 가진 트렌치를 형성하기 위해서, 질화규소층, 패드 산화층을 통해, 실리콘기판에 에칭된다. 그 다음, 그 트렌치는 질화규소층 아래로부터 패드산화층의 일부를 에칭하여 그 트렌치에 인접한 실리콘기판의 상부 표면의 일부를 노출시키기 위해서 HF로 구성된 에칭제로 습식 에칭된다. 다음, 그 트렌치는 산화층을 트렌치 측벽과 트렌치에 인접한 실리콘기판의 노출된 상부 일부로부터 첫 번째로 산화된다. 다음에, 성장된 산화층은 HF로 구성된 습식 에칭제로 트렌치 측벽과 실리콘기판의 상부 일부로부터 에칭된다. 다음, 트렌치의 측벽과 트렌치와 인접한 실리콘기판의 일부가 그 위에 성장된 제 2 산화층을 형성하기 위해 두 번째로 산화된다. 최종적으로 트렌치 보충물질은 트렌치에 증착되고 평면형태로 얇은 트렌치 격리구조를 형성하기 위해 질화규소층에 대하여 평면화된다. 본 발명의 트렌치 격리구조는 인접한 트랜지스터 누설전류를 실제로 제거하고 균일한 고밀도 공간자유 격리영역을 형성한다.

도면의 간단한 설명

- <10> 도 1은 종래의 LOCOS 격리구조의 단면도,
- <11> 도 2도는 종래의 트렌치 격리구조의 단면도,
- <12> 도 3a는 자체에 형성된 패드 산화층, 반도체 질화규소층, 및 포토레지스터층을 가진 반도체 기판의 단면도,
- <13> 도 3b는 도 3a의 기판의 트렌치 형성을 도시한 단면도,
- <14> 도 3c는 도 3b의 기판의 제 1 트렌치 습식 에칭의 결과를 도시한 단면도,
- <15> 도 3d는 도 3c의 기판상의 제 1 산화층의 성장을 도시한 단면도,
- <16> 도 3e는 도 3d의 기판상의 트렌치 습식 에칭의 결과를 도시한 단면도,
- <17> 도 3f는 도 3e의 기판상의 산화층의 성장을 도시한 단면도,
- <18> 도 3g는 도 3f의 기판상의 제 1 산화층의 증착을 도시한 단면도,
- <19> 도 3h는 도 3g의 기판상의 스퍼터 에칭을 도시한 단면도,
- <20> 도 3i는 도 3h의 기판상의 제 2 산화층의 증착을 도시한 단면도,
- <21> 도 3j는 도 3i의 기판상의 연마(polishing)를 도시한 단면도,
- <22> 도 3k는 도 3j의 기판으로부터의 질산화층과 패드산화막의 제거와 게이트 산화층의 형성을 도시한 단면도.

실시예

- <23> 본 발명은 얇은 트렌치 격리구조를 제조하는 새로운 방법을 설명하고 있다. 다음 설명에서, 본 발명의 충분한 이해를 위해 특정 공정단계물질, 및 칫수 등과 같은 다수의 특정 세목이 설명되어 있다. 그러나, 이러한 특정 세목없이도 본 발명은 실행될 수 있다는 것을 당업자는 알 것이다. 다른예로, 공지된 집적회로 제조단계 및 장비는 본 발명을 불필요하게 모호하지 않게 하기 위해서 설명되지 않았다.
- <24> 본 발명은 반도체 기판에 형성된 개별 트랜지스터를 격리하는데 사용될수 있고, 또한 원한다면, P웰(well)과 N웰을 격리하는데 사용될수 있는 얇은 트렌치 격리(STI) 구조를 제조하는 새로운 방법이다. 본 발명의 방법은 평면형태를 가진 공간자유 고밀도 트렌치 격리구조를 형성한다. 본 발명의 방법은 트렌치 격리구조를 제공하고, 여기서 인접 트랜지스터의 누설 전류(I_{off})는 실제로 감소되거나 제거된다(즉,

트랜지스터가 오프일 때 소스에서 드레인으로 흐르는 전류(I_{off})의 양은 감소한다).

- <25> 본 발명의 방법에 따라서, 집적회로의 능동소자가 결국 형성될수 있는 반도체 기판(300)이 제공된다. 반도체 기판(300)은 바람직하게 단결정 실리콘이지만, 제한되어 있지 않지만 갈륨 비소화물의 게르마늄을 포함한 다른 유형의 반도체 물질이거나 포함할수 있다. 또 반도체기판(300)은 단일 또는 복수의 에피택셜층을 포함할수 있다. 더욱이, 반도체기판(300)은 절연체상의 실리콘(SOI) 공정의 경우에 산화층을 포함할수 있거나 사파이어상의 실리콘(SOS) 공정의 경우에 사파이어 층을 포함할수 있다. 본 발명의 바람직한 실시예에 따라서, 기판(300)은 자체에 형성된 실리콘 에피택셜층을 가진 벌크 실리콘층을 포함하고 있다.
- <26> 도 3a에 도시된 본발명의 제 1 단계는 실리콘기판(300)상에 얇은 패드산화층(302)을 형성하는 것이다. 패드 산화층(302)은 실리콘기판(300)과 차후 형성되는 질화규소층 사이의 응력을 경감시키는데 사용된다. 본 발명의 바람직한 실시예에 따라서, 약 $100\text{Å} \pm 10\text{Å}$ 두께의 패드 산화층이 기판(300)상에 성장된다. 패드산화층(302)의 두께는 얇은 트렌치 산화막에 작은 재생 새부리 형상부를 적당한 최종 트렌치 면적에 제공하도록 선택된다. 추가로, 패드 산화층(302)은 차후 질화규소 제거단계에 에칭 방지막을 제공하기에 충분한 두께가 바람직하게 형성된다. 본발명의 바람직한 실시예에 따라서, 패드 산화층(302)은 약 900°C 의 코쿠사이 버트론 III 수직 확산로의 산소와 디클로로에틸렌(DCE) 분위기에서 성장된다. DCE의 사용은 실리콘기판(300)으로부터 금속오염막을 게터(getter)함으로써 클린(clean)기판을 제공하는데 도움이 된다. 금속 오염막은 제거되는 가스 금속 염화물을 형성하는 DCE로부터의 염소와 반응한다. 그러나, 임의의 공지된 방법이 원한다면, 패드산화층(302)을 형성하는데 사용될수 있다.
- <27> 다음, 질화규소(304)의 균일층이 패드산화층(302)상에 형성된다. 질화규소층(304)은 차후의 얇은 트렌치 산화막의 성장을 위해 산화 장벽을 제공하고, 또한 차후의 얇은 트렌치의 평면화 단계를 위해 "연마방지막"을 제공한다. 본발명의 바람직한 실시예에 따라서, 약 $1800\text{Å} \pm 200\text{Å}$ 의 질화규소층이 패드산화층(302)상에 형성된다. 질화규소층(304)의 두께는 얇은 트렌치의 평면화후, 게이트 산화물이 성장하게 되는 실리콘 표면이 트렌치 보충물질보다 더 낮게 될 수 있도록 선택된다. 질화규소층(304)은 공지된 방법에 의해 형성될수 있다. 다른 적합한 산화 내성마스크 물질 또는 물질의 화합물이 질화규소층(304)과 패드산화층(302) 대신 사용될수 있다는 것을 알수 있다.
- <28> 다음, 본 발명에 따라서 포토레지스터층(306)은 질화규소층(304)위에 증착된다. 그러면, 포토레지스터층은 트렌치 격리영역이 형성되는 곳에서 포토레지스터층(306)의 위치(308)를 한정하도록 마스크되고, 노출되고 성장된다. 본 발명의 새로운 방법으로, 좁고 높은 밀도의 격리영역(4000Å 폭 미만)이 웨이퍼의 표면에 걸쳐서 균일하게 형성될수 있다. 본 발명의 방법은 면적이 단지 사진석판의 제한에 의해 제한되는 트렌치 격리영역을 형성할수 있다. 또, 본 발명으로, 큰 면적(폭)의 트렌치의 좁은 트렌치의 공정에 나쁜 영향을 미치지 않는 좁은 트렌치로 동시에 또한 형성될수 있고, 역도 동일하다.
- <29> 본 발명에 따른 다음단계는 도 3b에 도시된 질화규소층(304), 패드산화층(302)을 통해 실리콘기판(300)에 트렌치(310)를 에칭하는 것이다. 트렌치(310)는 격리를 통한 펀치를 제공하기에 충분하게 깊게 에칭되지만, 바람직하게 너무 깊어 가장자리의 갭을 보충하고 증가된 응력을 유발하지 않게 에칭된다. 추가로, 트렌치(310)의 측벽은 갭 또는 공간을 형성하지 않고 차후의 트렌치 보충이 용이하도록 바람직하게 약간 경사져 있다(약 80°). 또 본 발명의 바람직한 실시예에 따라서, 에칭후, 트렌치(310)의 코너(312)(트렌치/기판)는 대략 직각이다. 이러한 사프한 코너는 예기치 않은 누설전류를 야기하는 높은 전기장을 유발하기 때문에 예각($<90^{\circ}$)으로 코너를 형성하지 않는 것이 중요하다. 임의의 공지된 에칭기술이 질화규소층(304)과 패드산화층(302)을 관통하여 에칭하는데 사용될수 있다. 에칭의 실리콘부본은 염소계 화학물을 가진 램 레인보우(RAM Rainbow) 400 에칭기를 이용하여 바람직하게 얻는다. 실리콘 에칭은 원하는 깊이에 트렌치를 형성하기 위해 시간을 맞춘다.
- <30> 트렌치(310)가 바라는 깊이에 에칭된후, 포토레지스터층(306)은 플라즈마 애싱(ashing)과 같은 공지된 기술로 스트립(strip)된다.
- <31> 본 발명에 따른 다음 단계는 트렌치(310)를 노출하여 제 1 트렌치 습식 에칭하는 것이다. 본발명의 바람직한 실시예에 따라서, 트렌치(310)는 플루오르화 수소산(HF)으로 구성된 습식 에칭제에 노출된다. 도 3c에 도시된 바와같이, HF로 구성된 습식에칭제에 트렌치(310)를 노출함으로써, 트렌치(310)에 둘러싸인 패드산화층(302)의 일부는 트렌치코너(312)에 인접한 실리콘기판(300)의 상부표면의 일부(314)를 노출시키기 위해 제거된다(실리콘기판(300)과 질화규소층(304)은 패드 산화층(302)만의 에칭을 고려한 HF에칭제에 실질적으로 면적되어 있다는 것을 알수 있다). 습식에칭의 사용은 에칭제가 실리콘 질산화층을 방향내게하고, 실리콘기판(300)과 질화규소층 사이에 형성된 작은 갭내의 패드 산화층을 에칭하게 한다. 제 1 트렌치 습식 에칭의 목적은 패드산화층(302)의 일부를 제거하여 트렌치(310)의 코너(312)에 인접한 실리콘의 상부 표면을 노출시키는 것이며, 그 결과, 차후의 산화단계동안에 산화가 두 방향으로 일어나서, 누설전류(I_{off})를 감소시키는데 도움이 되는 트렌치(310)의 코너(312)의 라운딩을 야기하게 된다. 제 1트렌치 습식 에칭은 트렌치 코너의 차후 2차원 산화를 위해서 충분히 패드 산화물을 제거하여야 하지만, 너무 많이 패드 산화물을 제거하면 트렌치 면적이 실제로 증가된다. 트렌치(310)에 인접한 패드 산화물의 약 300Å (사실상)의 제거는 좋은 결과를 만든다. 본발명의 바람직한 방법은 탈이온화(DI) 물로 린스가 따르는 약 140초동안 $50:1$ 의 물:HF 로 구성된 습식 에칭제를 이용한다.
- <32> 다음, 도 3d에 도시된 바와같이 트렌치(310)는 제 1 트렌치 산화물(316)을 형성하도록 첫 번째로 산화된다. 트렌치 산화물(316)은 기판(300)의 상부(314) 뿐만아니라 트렌치(310)의 하부상과 측벽상에 성장된다. 실리콘기판(300)의 표면부(314)가 노출되기 때문에 코너(312)의 산화는 두 방향에서 일어나며 코너(312)의 라운딩을 야기한다. 제 1트렌치 산화단계는 제 1트렌치 습식에칭단계동안 떨어져 에칭되는 패드산화물(302)의 일부를 재생장시킨다. 제 1 산화단계는 제어된 작은 "새부리 형상부"(317)을 가진 제 1트렌치 산화물(316)을 성장시킨다. 트렌치(310)의 코너를 라운딩하고 새부리 형상부(317)를 형성함으로써 인접한 트랜지스터의 누설전류(I_{off})는 상당히 감소된다. 추가로, 트렌치 에칭으로부터 남은 임의의 덩글링(dangling) 결합은 제 1 산화단계동안 파괴된 결합에서 이산화 실리콘 결합으로 변형된다. 파괴된 결합에서 이산화 실리콘 결합으로의 변형은 트랜지스터 누설전류를 감소시키는데 도움이 된다고

생각된다. 본 발명의 바람직한 실시예에 따라서, 제 1트렌치 산화는 약 9% HCl 대 O₂ 당량을 가진 산소/DCE 대기를 이용하여 약 920℃의 코쿠사이 버트론 III 수직확산로로 약200-400Å 두께의 고품질 산화물을 성장시킨다.

- <33> 본 발명에 따른 다음단계는 제 2트렌치 습식에칭액에 트렌치(310)를 노출시키는 것이다. 본 발명의 바람직한 실시예에 따라서, 트렌치(310)는 플루오르화 수소산(HF)으로 구성된 제 2습식 에칭액에 노출된다. 도 3e에 도시된 바와같이 제 2트렌치 에칭액은 트렌치(310)를 둘러싼 실리콘기판(300)의 상부 표면뿐만아니라 트렌치(310)의 하부와 측면으로부터 제 1 트렌치 산화물(316)을 제거한다. 제 2 트렌치 습식 에칭액은 다시한번 트렌치 코너(312)를 노출시키기 위해 제 1 습식 에칭/산화 단계동안에 형성된 새부리 형상부를 제거한다. 또한, 제 2트렌치 습식 에칭은 제 1트렌치 습식 에칭동안에 제거되지 않은 약 200Å의 추가 패드산화물(302)을 제거한다(총 500Å이 측면으로부터 제거된다). 제 1 트렌치 습식 에칭과 같이, 제 2트렌치 습식 에칭의 목표는 자후의 산화막이 코너(312)의 추가 라운딩을 고려한 두면적에 발생하도록 코너(312)에 인접한 실리콘기판(300)의 일부를 노출시키는 것이다. 본 발명의 바람직한 실시예에서, 제 2 습식 에칭은 탈이온화수로 린스가 뒤따르는 약 280초동안 50:1의 H₂O:HF 용액으로 실행된다.
- <34> 본 발명의 바람직한 실시예에 따른 다음 단계는 제 2 트렌치 산화물(318)을 성장시키기 위해 두 번째로 트렌치(310)를 산화하는 것이다. 제 2 트렌치 산화단계는 약 400-500 옹스트롬 두께의 산화물을 트렌치 측벽과 실리콘기판(300)의 상부표면상에 성장시킨다. 트렌치(310)를 둘러싼 실리콘기판의 일부가 노출되어 있기 때문에, 제 2 산화단계는 추가로 코너(312)를 라운딩하고, 작은 "새부리 형상부"를 형성시킨다. 제 2 산화는 바람직하게 약 400-500Å의 산화물을 트렌치(310)의 코너(312) 위에 형성시킨다(제 2 산화는 트렌치(310)의 구조 때문에, 하부측벽(200-300Å)보다 트렌치 측벽(400-500Å)의 상부에 더 가볍게 산화막을 형성시킨다는 것을 알게된다). 제 2 산화는 트렌치 코너의 추가 라운딩을 위해 제공할 뿐만아니라, 실리콘기판(300)과 차후 증착되는 트렌치 보충층 사이에 세척층을 제공한다.
- <35> 본 발명에 따른 다음 단계는 개별 트랜지스터를 전기적으로 격리할수 있는 보충물질로 트렌치(310)를 보충하는 것이다. 본 발명의 바람직한 방법에 따라서, 도 3g에 도시된 바와같이 트렌치(310)는 먼저 트렌치(310)와 질산화층(304)위에 블랭킷 증착된 약 1000Å의 산화층(322)으로 보충된다. 바람직한 방법에서 산화층(322)은 4에틸정규산염(TEOS)과 O₂ 반응물질가스를 이용한 AMAT 5000 단일 웨이퍼 머신의 플라즈마가 화학증착(PECVD)에 의해 형성될수 있다. 산화층(322)의 형성에 앞서, 트렌치 산화물을 AMAT 패시베이션틀의 질소 플라즈마에 노출시키는 것이 바람직할수 있다. 이 선결 조건 단계는 트렌치 산화막의 표면을 산화질소로 변형시킴으로써 실리콘의 변위형성을 막는데 도움이 된다고 생각된다.
- <36> 다음, 도 3h에 도시된 바와같이, 증착층(322)은 아르곤 스퍼터 에칭으로 에칭된 원위치 스퍼터이다. 스퍼터 에칭시, 상부 산화층(322)의 약 400Å이 제거된다. 추가로, 트렌치의 측벽과 코너에서 떨어져 스퍼터된 산화물이 트렌치의 하부 코너에 재증착된다(324). 이 스퍼터 에칭은 트렌치의 측벽 각도를 향상시키고(감소시키고), 산화층(322)의 코너(323)를 또한 라운딩한다. 코너(323)의 라운딩과 측벽 각도의 감소 모두 트렌치 보충을 개선시킨다. 다음, 제 2 PECVD 산화층(326)은 스퍼터 에칭 산화층(324) 위에 증착되고 트렌치(310)의 보충을 완료한다. 제 2 산화층(326)은 기판(300)에 형성된 가장 넓은 트렌치를 하부에서 상부까지 보충하기에 충분한 최소 두께이어야 한다. 제 2 산화층(326)은 TEOS와 O₂ 소스가스를 이용한 AMAT 5000 머신의 PECVD 공정에 의해 약 5000-7000Å의 두께로 바람직하게 형성된다. 이때에 기판(300)은 증착된 산화층(322, 326)을 조밀하게 하는 종래의 방법으로 가열 냉각될수 있다.
- <37> 다른 공지된 물질과 방법론이 트렌치(310)를 보충하는데 사용될수 있다는 것을 알게된다. 그러나, 이러한 방법이 갭 또는 공간을 만들지 않고 작은 면적의 트렌치를 웨이퍼의 표면에 걸쳐서 균일하고 일정하게 보충할수 있기 때문에 증착-에칭-증착공정이 바람직하다.
- <38> 다음, 도 3j에 도시된 바와같이, 증착된 산화층(326, 324)은 질화규소층(304)로부터 산화층(326, 324)을 제거하여 질화규소층(304)과 실제로 동일평면인 평면 포토그래피(327)로 트렌치 격리 구조를 형성하기 위해 화학적 기계적으로 연마된다. 질화규소층(304)은 바람직하게 산화층(324, 326)의 화학적 기계적 연마 동안에 연마방지막같이 사용된다. 그것은 질화규소보다 산화물에서 더 선택적인 연마 공정을 이용하는 본 발명의 바람직한 실시예이다. 산화물(324, 326)은 질화규소층(304)보다 더 빠른 비율로 연마하기 때문에 트렌치 격리구조의 상부 표면(327)은 과잉 연마으로 인하여 질화규소층(304)의 상부 표면 아래로 전형적으로 약간 오목 패인다. 그러나 공지된 적절한 화학적 기계적 연마 공정은 제한되어 있지 않지만 수산화 칼륨과 실리카로 구성된 슬러리와 웨스택 372M 연마기로 화학적 기계적 연마하는 본 발명에 사용될수 있다. 뛰어난 평면화 때문에 연마가 바람직하지만, 에칭백(back)과 같은 공지된 평면화 기술은 산화층(326, 324)을 제거하는데 이용될수 있다.
- <39> 본 발명에 따른 다음 단계는 질화규소층(304)을 제거하는 것이다. 바람직하게, 패드 산화층(302)은 질화규소 제거단계를 위해 에칭방지막으로서 사용된다. 질화규소층(304)은 인산으로 에칭하는 공지된 기술을 사용하여 제거될수 있다. 질화물 에칭은 실리콘기판(300)의 능동영역으로부터 질화물을 제거한다. 패드산화물(302)의 작은 부분과 CVD 산화물(326, 322)은 질화물 제거단계에서 제거된다.
- <40> 이때에, 웰을 형성하고, 또는 임계 전압을 조정하는 일등을 위해서 여러 주입(implant)와 도핑이 기판(300)에 행해질수 있다. 패드산화층(302)은 이 주입동안에 실리콘기판(300)을 보호하는데 사용될수 있다.
- <41> 다음, 본 발명의 바람직한 실시예에 따라서, 패드산화층(302)은 실리콘기판(300)의 능동영역의 클린(clean) 베어(bare) 실리콘 표면을 노출시키기 위해 실리콘기판(300)으로부터 스트립된다. 패드산화층(302)은 표준클린에 따르는 50:1의 HF 증착으로 바람직하게 에칭된다. HF증착은 트렌치 코너(312)위에 형성된 500Å의 트렌치 산화물의 최소량(약 150Å)만이 아니라, 실리콘기판(300)으로부터 열적 패드산화물(약 100Å)의 모두를 에칭한다. 트렌치 산화동안에 형성된 트렌치 산화물 새부리 형상부의 약 300Å 부분을 남기기 위해서 패드 산화물 제거시 너무 에칭하지 않도록 주의해야 한다는 것을 강조한다.
- <42> 패드산화층(302)의 제거후, 실리콘기판(300)은 클린되고, 약 50-75Å 두께인 클린 고품질 게이트

산화층의 형성을 위해 준비된다. 게이트 산화층(328)은 본 양수인에게 양수된 미국특허 5,244,843에 설명된 공지된 기술 또는 추등 다수인에 의해 복수산화와 가열냉각 단계를 사용하여 형성된 제조가능한 절연체로 명칭된 계류중인 출원에 설명된 다른 기술에 의해 형성될 수 있다. 게이트산화층(328)의 성장동안, 노출된 트렌치 산화층(318)의 두께는 또한 동일량을 증가시킨다. 그 결과는 더 두꺼운(약 3-4 배 두께) 트렌치 산화층이 게이트 산화층에 인접한 상대의 얇은 게이트 산화층이 형성된다.

<43> 이때에, 플리게이트 형성과 소스/드레인 도핑과 같은 여러 공지된 반도체 공정은 인접 트렌지스터의 제조를 완성하는데 사용된다. 다음, 공지된 상호접속 기술은 격리 트렌지스터를 마이크로프로세서 또는 메모리 소자와 같은 기능 집적회로에 결합시키는데 사용된다.

<44> 본 발명의 방법은 소스/드레인 누설전류가 실제로 감소되는 고밀도 트렌치 격리구조를 형성시킨다. 그 누설 전류는 트렌치 코너(312)를 라운딩하고 제어가능한 작은 새부리 형상부를 형성하는 연속적인 "에칭" 및 "산화" 단계를 이용하여 감소되었다. 트렌치 코너(312)를 라운딩하면 샤프한 코너와 보통 연관된 높은 전기장을 감소시킨다. 코너(312)에서의 전기장의 감소는 인접 소자의 누설 전류를 감소시킨다. 추가로, 코너(312)위에 작은 새부리 형상부를 제어가능하게 형성함으로써, 당연하게 코너(312)위에 더 두꺼운 게이트 산화층이 생긴다. 코너(312)위의 게이트 산화층의 두께를 증가시킴으로써, 이 영역(트렌치 코너)내의 게이트 산화층에 걸쳐있는 전기장은 감소되어 인접소자의 누설전류를 더 감소시킨다. 본 발명의 바람직한 실시예는 트렌치코너(312)를 라운딩하고 새부리 형상부를 제어가능하게 형성하기 위해 다단계 습식 에칭 산화-습식에칭-산화기술을 이용하지만, 트렌지스터 누설 전류를 감소시키기 위해 새부리 형상부 형성과 라운딩된 일부 코너를 얻는 바람직한 공정 흐름의 일부를 이용할 수 있다고 예상된다. 예를들어, 제 1트렌치 습식 에칭을 제거할 수 있고 단지 제 1트렌치 산화만을 이용할 수 있고, 제 1습식 에칭은 코너(312)를 라운딩하고 작은 새부리 형상부를 성장시키기 위해 제 1트렌치 산화가 뒤따른다. 이러한 기술은 출원인의 전체 공정으로 얻게되는 잇점중 일부를 얻고 그것에 의해 어느정도 누설전류를 감소시킬 수 있을 것으로 예상된다. 추가로, 라운딩된 코너 일부와 새부리 형상부의 성장을 얻고 어느정도 누설전류를 감소시키기 위해 단일 트렌치 산화단계가 뒤따르는 제 1트렌치 습식에칭만을 이용할 수 있다. 추가로, 추가 라운딩과 트렌치 코너(312)의 조절을 얻기 위해 상기된 단계보다 더 추가 에칭산화 단계를 추가할 수 있다는 것이 예상된다. 그러나, 이러한 공정은 추가 비용과 낮은 처리량을 야기할 수 있다. 출원인은 본 발명의 바람직한 실시예의 새로운 습식 에칭-산화-습식에칭-산화 공정은 트렌치 코너(312)의 가장 경제적으로 제조가능한 프로파일을 제공하고 제조단가를 위해 누설전류를 감소시킨다.

<45> 상기 설명에서, 본 발명은 특정 실시예를 기준으로 설명되었다. 그러나, 본 발명의 사상과 범위를 벗어나지 않는 범위에서 여러수정과 변경이 가능하다는 것은 분명하다. 예를들어, 본발명은 여기서 특정하게 설명된 치수를 제한한다고 기대되지 않는다. 오히려, 더 작은 트렌치 격리영역을 얻기 위해 여기서 설명된 특정 치수를 간략하게 줄일 수 있다고 기대된다. 따라서 본 명세서와 도면은 제한되기 보다 예시적이다.

(57) 청구의 범위

청구항 1

반도체 기판에 격리영역을 형성하는 방법에 있어서:
 상기 반도체 기판에 개구를 형성하는 단계;
 상기 개구를 습식 에칭제로 에칭하는 단계;
 상기 개구를 상기 습식 에칭제로 에칭한 후에 상기 개구를 첫 번째로 산화하는 단계;
 상기 산화된 개구를 에칭하는 단계; 및
 상기 개구를 두 번째로 산화하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 2

제 1 항에 있어서, 상기 개구를 두 번째로 산화하는 단계 후에 산화층을 상기 산화된 트렌치에 증착하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 3

제 2 항에 있어서, 상기 산화층을 증착하는 상기 단계는:

제 1 산화층을 상기 산화된 트렌치에 증착하는 단계;

상기 제 1의 증착된 산화층을 스퍼터 에칭하는 단계; 및

상기 스퍼터 에칭한 제 1 산화층위에 제 2 산화층을 증착하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 4

제 2 항에 있어서, 평면인 표면을 가진 격리영역을 형성하기 위해 상기 증착된 산화층을 연마하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 5

제 4 항에 있어서, 상기 습식에칭제는 HF로 구성되어 있는 것을 특징으로 하는 방법.

청구항 6

제 1 항에 있어서, 상기 제 1의 산화단계는 약 150 옴스트롬 두께의 산화물을 형성하는 것을 특징으로 하는 방법.

청구항 7

제 1 항에 있어서, 제 2의 산화단계는 약 250 내지 500 옴스트롬 두께의 최종 산화물을 만드는 것을 특징으로 하는 방법.

청구항 8

얇은 트렌치 격리구조를 실리콘기판에 형성하는 방법에 있어서:

패드 산화층을 실리콘기판위에 그리고 질화규소층을 상기 패드산화층위에 형성하는 단계;

상기 질화규소층, 상기 패드산화층, 및 상기 실리콘기판에 있고, 상기 실리콘 기판에서 측벽을 가진 트렌치를 에칭하는 단계;

상기 트렌치를 산화하기 전에, 상기 질화규소층 아래로부터 상기 패드산화물의 일부를 분리에칭하여 상기 실리콘기판의 상단부 표면의 일부를 노출시키기 위해 HF로 구성된 습식 에칭제로 상기 트렌치를 노출시키는 단계;

산화층을 상기 트렌치 측벽과 상기 실리콘기판의 상기 노출된 상단부위에 성장시키기 위해 첫 번째로 상기 트렌치를 산화하는 단계;

상기 트렌치를 첫 번째로 산화한 후에, 상기 성장된 산화층을 HF로 구성된 습식 에칭제로 에칭하는 단계; 및

상기 트렌치를 두 번째로 산화하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 9

제 8 항에 있어서, 상기 트렌치를 채우기 위해 상기 트렌치에 트렌치 보충 물질을 증착하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 10

제 9 항에 있어서, 상기 트렌치 보충 물질을 증착하는 상기 단계는:

제 1 산화층을 상기 질화규소층위와 상기 산화된 트렌치에 증착하는 단계;

상기 제 1의 증착된 산화층을 스퍼터 에칭하는 단계; 및

제 2 산화층을 상기 트렌치의 상기 스퍼터 에칭한 제 1 산화층위와 상기 질화규소층위에 증착하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 11

제 9 항에 있어서, 평면화된 표면을 가진 얇은 트렌치 격리구조를 형성하기 위해 상기 트렌치 보충물질을 연마하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 12

트렌치 격리영역을 실리콘 기판에 형성하는 방법에 있어서:

트렌치를 상기 실리콘 기판에 형성하는 단계;

제 1 산화층을 상기 트렌치에 증착하는 단계;

상기 제 1 산화층을 스퍼터 에칭하여, 상기 스퍼터 에칭된 제 1 산화층이 상기 트렌치에서 재증착되는 단계; 및

상기 스퍼터 에칭된 제 1 산화층위의 상기 트렌치에 제 2 산화층을 증착하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

청구항 13

제 12 항에 있어서,

상기 트렌치를 형성한 후와 상기 제 1 산화층을 증착하기 전에 상기 트렌치를 첫 번째로 산화하는 단계;

상기 산화된 트렌치를 HF로 구성된 습식 에칭제로 에칭하는 단계; 및

상기 트렌치를 두 번째로 산화하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 14

제 12 항에 있어서,

상기 트렌치를 형성하기 전에 패드 산화층을 상기 실리콘 기판위에 형성하는 단계;

질화규소층을 상기 패드 산화층위에 형성하는 단계; 및

상기 트렌치를 형성한 후와 상기 제 1 산화층을 증착하기 전에, 상기 패드 산화물의 일부를 상기 질화규소층 아래에 분리 에칭하여 상기 실리콘 기판의 상단표면의 일부를 노출시키기 위해 HF로 구성된 습식 에칭제로 상기 트렌치를 첫 번째로 습식 에칭하는 단계; 및

산화층을 상기 트렌치와 상기 실리콘 기판의 상기 노출된 상단부위에 성장시키기 위해 상기 트렌치를 첫 번째로 산화하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 15

제 14 항에 있어서,

상기 트렌치를 첫 번째로 산화한 후와 상기 제 1 산화층을 증착하기 전에, 상기 산화된 트렌치를 HF로 구성된 습식 에칭제로 에칭하는 단계; 및

상기 트렌치를 두 번째로 산화하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 16

제 15 항에 있어서, 상기 질화규소층과 실제로 평면인 트렌치 격리구조를 형성하기 위해, 상기 제 2 산화층과 상기 스퍼터 에칭한 제 1 산화층을 상기 질화규소층으로부터 연마하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 17

제 16 항에 있어서, 상기 제 1 및 제 2의 증착된 산화층을 연마한 후에, 상기 제 2 산화 단계동안에 형성된 새부리 형상부를 남기기위해, 상기 질화규소층과 상기 패드 산화층을 제거하는 단계를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 18

얇은 트렌치 격리구조를 실리콘 기판에 형성하는 방법에 있어서:

패드산화층을 상기 실리콘기판위에 그리고 질화규소층을 상기 패드산화층위에 형성하는 단계;

상기 질화규소층, 상기 패드산화층 및 상기 실리콘기판에 있고, 상기 실리콘기판에서 경사진 측벽을 가진 트렌치를 에칭하는 단계;

상기 패드 산화물의 일부를 상기 질화규소층 아래에서 분리 에칭하여 상기 실리콘 기판의 상단표면의 일부를 노출시키기 위해 HF로 구성된 제 1의 습식에칭제로 상기 트렌치를 노출시키는 단계;

제 1 산화층을 상기 트렌치 측벽과 상기 실리콘 기판의 상기 노출된 상단부위에 성장시키기 위해, 상기 트렌치를 첫 번째로 산화하는 단계;

상기 제 1의 성장된 산화층을 상기 트렌치의 상기 측벽과 상기 실리콘기판의 상기 상단부로부터 제거하기 위해, HF로 구성된 습식 에칭제로 상기 제 1의 성장된 산화층을 에칭하는 단계; 및

제 2 산화층을 상기 트렌치 측벽위와 상기 실리콘기판의 상기 상단부위에 성장시키기 위해 상기 트렌치를 두 번째로 산화하는 단계;

또다른 제 1 산화층을 상기 질화규소층위와 상기 산화된 트렌치에 증착하는 단계;

상기 제 1의 증착된 산화층을 스퍼터 에칭하는 단계;

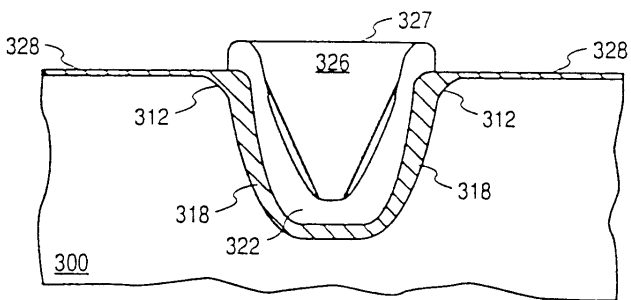
또다른 제 2 산화층을 상기 트렌치 내 및 상기 질화규소층상의 상기 스퍼터 에칭한 제 1 산화층위에 증착하는 단계; 및

상기 질화규소층에 대해 실질적으로 평면인 트렌치 격리구조를 형성하기 위해, 상기 또다른 제 2 산화층과 상기 스퍼터 에칭한 제 1 산화층을 상기 질화규소층으로부터 연마하는 단계를 포함하고 있는 것을 특징으로 하는 방법.

요약

트렌치 격리영역을 형성하는 방법. 본발명의 방법은 반도체 기판에 개구를 형성하는 단계, 그 개구를 첫 번째로 산화하는 단계, 그 다음 그 산화된 개구를 HF로 구성된 습식 에칭제로 에칭하는 단계로 구성되어 있다. 그 다음, 그 창은 두 번째로 산화된다.

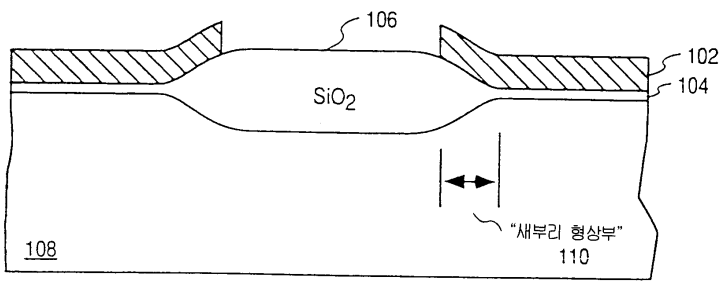
대표도



도면

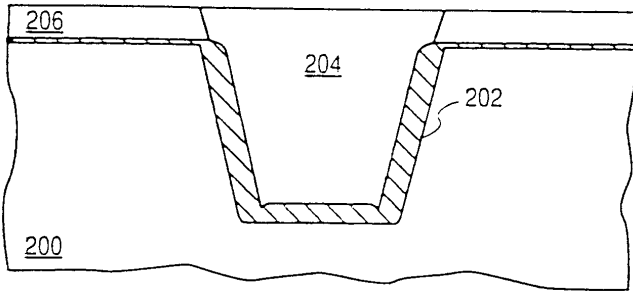
도면1

종래기술

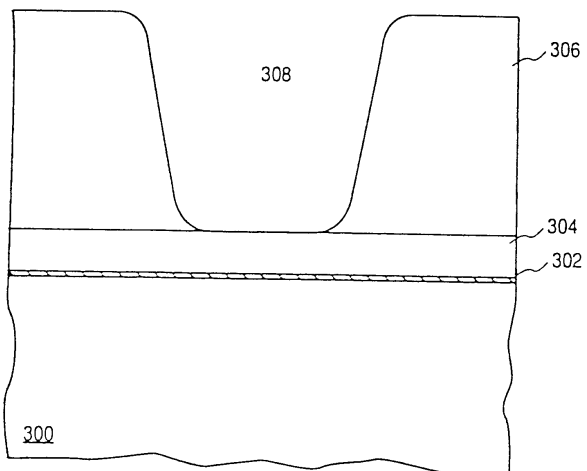


도면2

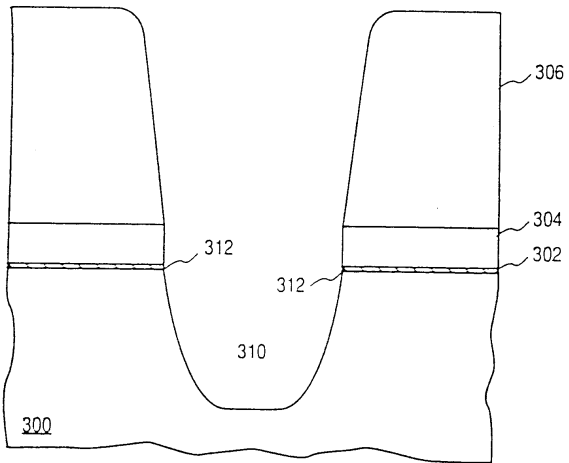
종래기술



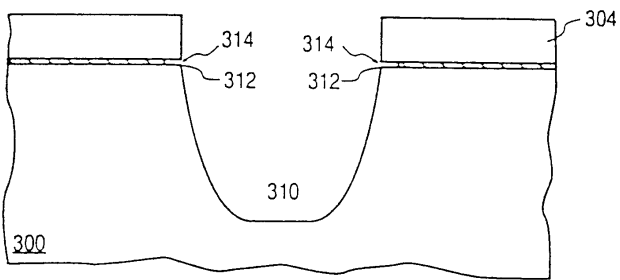
도면3a



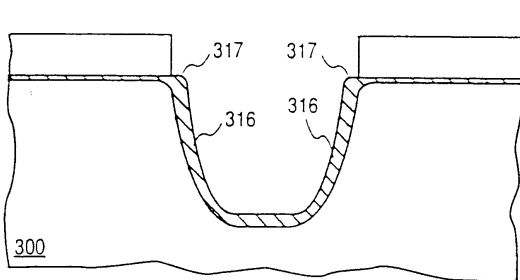
도면3b



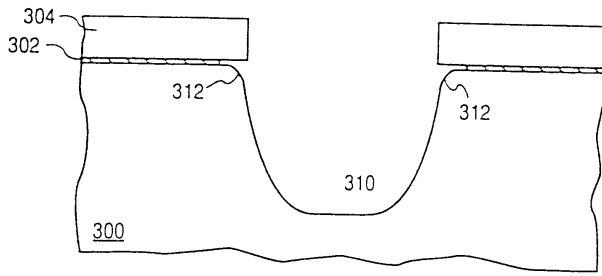
도면3c



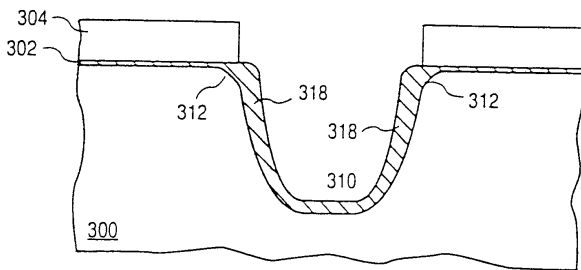
도면3d



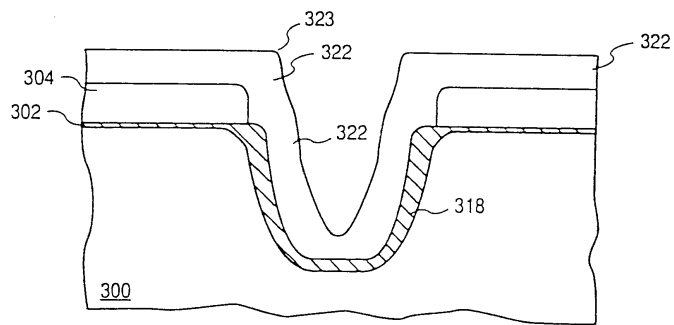
도면3e



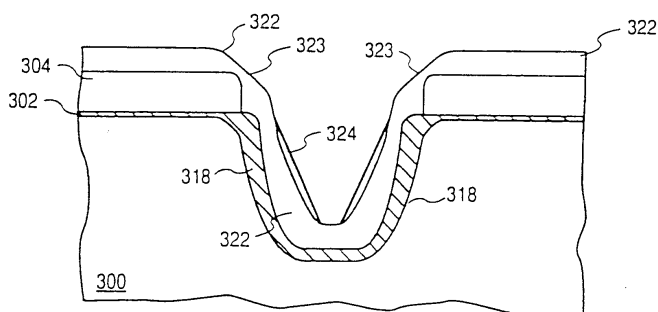
도면3f



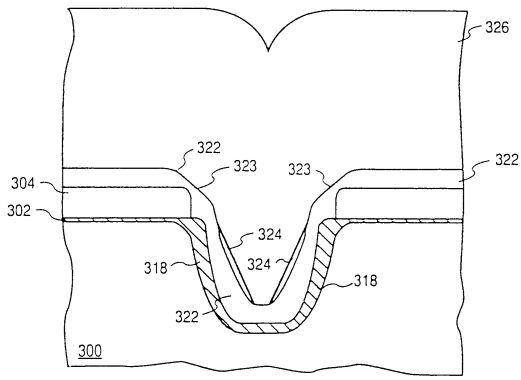
도면3g



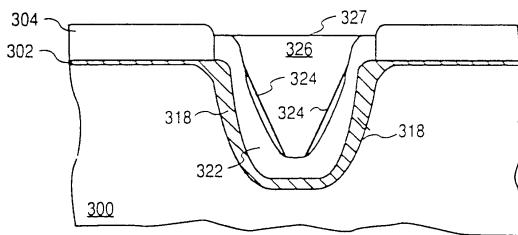
도면3h



도면3i



도면3j



도면3k

