



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I451692 B

(45) 公告日：中華民國 103 (2014) 年 09 月 01 日

(21) 申請案號：101100029

(22) 申請日：中華民國 101 (2012) 年 01 月 02 日

(51) Int. Cl. : H03F3/45 (2006.01)

H03F3/00 (2006.01)

(30) 優先權：2011/08/16 美國

13/211,292

(71) 申請人：奇景光電股份有限公司 (中華民國) HIMAX TECHNOLOGIES LIMITED (TW)
臺南市新市區紫棟路 26 號

(72) 發明人：林進富 LIN, JIN FU (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW 201019591A

US 5894284

US 5973537

審查人員：蘇齊賢

申請專利範圍項數：9 項 圖式數：5 共 0 頁

(54) 名稱

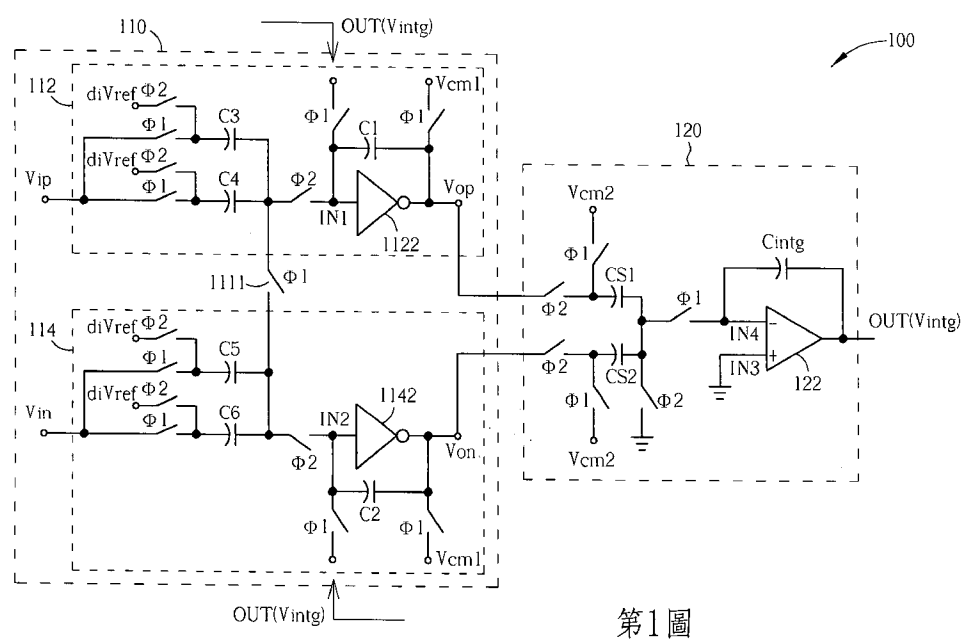
擬差動切換電容電路

PSEUDO DIFFERENTIAL SWITCHED CAPACITOR CIRCUIT

(57) 摘要

一種擬差動切換電容電路，可運用於各種訊號處理電路，利用一種浮接取樣技巧，以及一積分器回授迴路來隔離共模輸入電壓擾動以及抑制電荷注入效應。該擬差動切換電容電路包含有具備擬差動架構之一差動浮接取樣電路，以及一用來消除該差動浮接取樣電路中之電荷注入效應的積分器。

A pseudo-differential switched-capacitor circuit, which can be applied to various signal processing circuits, employs a floating sampling technique and an integrator feedback loop for isolating a common mode voltage disturbance and restraining a charge injection effect. The pseudo-differential switched-capacitor circuit includes a differential floating sampling circuit that has a pseudo differential architecture, and an integrator for reducing the charge injection effect within the differential floating sampling circuit.



第1圖

- 100 . . . 擬差動切換
電容電路
- 110 . . . 差動浮接取
樣電路
- 112、114 . . . 路徑
- 1122、1142、200a、
200b . . . 單端放大
器
- 120 . . . 積分器
- 122 . . . 積分放大器
- C1~C6、CS1~CS2、
Cintg . . . 電容
- 200 . . . 擬差動放大
器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101100029

※申請日：101.1.02

※IPC分類：

H03F 3/45 (2006.01)

H03F 3/00 (2006.01)

一、發明名稱：(中文/英文)

擬差動切換電容電路/PSEUDO DIFFERENTIAL SWITCHED
CAPACITOR CIRCUIT

二、中文發明摘要：

一種擬差動切換電容電路，可運用於各種訊號處理電路，利用一種浮接取樣技巧，以及一積分器回授迴路來隔離共模輸入電壓擾動以及抑制電荷注入效應。該擬差動切換電容電路包含有具備擬差動架構之一差動浮接取樣電路，以及一用來消除該差動浮接取樣電路中之電荷注入效應的積分器。

三、英文發明摘要：

A pseudo-differential switched-capacitor circuit, which can be applied to various signal processing circuits, employs a floating sampling technique and an integrator feedback loop for isolating a common mode voltage disturbance and restraining a charge injection effect. The pseudo-differential switched-capacitor circuit includes a differential floating sampling circuit that has a pseudo differential architecture, and an integrator for reducing the charge injection effect within the differential floating sampling circuit.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	擬差動切換電容電路
110	差動浮接取樣電路
112、114	路徑
1122、1142、200a、200b	單端放大器
120	積分器
122	積分放大器
C1~C6、CS1~CS2、Cintg	電容
200	擬差動放大器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於切換電容電路，特指一種以積分器為基礎，進而達到共模穩定性的擬差動切換電容電路。

【先前技術】

切換電容電路係常用於訊號處理之電子電路，其運作乃透過開關的導通與關閉，將電荷移入與移出電容。一般來說，切換電容電路透過相位不重疊的訊號來控制這些開關。相較於由電阻與電容組合而成的電路，切換電容電路具有更多優點。原因在於切換電容電路是透過電容值的比例來決定電路特性，而由電阻與電容所組成的電路則是透過各別的電阻值與電容值來決定電路特性。另外，在矽晶片上，切換電容電路的面積甚小於電阻與電容所組成的電路。由此可見，切換電容電路更適合應用在積體電路的領域。

典型的切換電容電路通常與放大器搭配運用，像是全差動放大器(fully-differential amplifier)或者是擬差動放大器(pseudo-differential amplifier)。利用全差動放大器的切換電容電路具有高雜訊免疫能力與高訊號擺幅等優點。由於全差動放大器通常具有尾端電流源(tail current source)，所以不可避免地造成了電壓輸出範圍的限制。因此，全差動放大器並不利於低電壓設計。為能放大電壓輸出範圍，在低電壓設計中，可能採用擬差動放大器與切換電

容電路的組合來取代全差動放大器。然而，由於擬差動放大器並不具備尾端電流源，所以對於共模雜訊的免疫力較弱，如，共模輸入電壓擾動。在這樣的考量下，採用擬差動放大器的切換電容電路往往需要透過共模回授或者其它去雜訊技巧來提升效能。

美國專利第 7,724,063 號，名稱：「Integrator-based common-mode stabilization technique for pseudo-differential switched capacitor circuit」揭露了一種可克服共模電壓擾動的擬差動切換電容電路，The disclosure is hereby incorporated by reference in its entirety。該篇專利採用了一種差動浮接取樣架構(differential floating sampling scheme)，以降低擬差動放大器的共模增益，從而抑制共模輸入電壓擾動對切換電容電路運作的影響，該篇專利中透過一積分器來組成一負回授迴路，減少由開關所引起的電荷注入效應(charge injection effect)。因此，該篇專利不但克服了共模輸入電壓擾動，也避免了電荷注入效應的影響。然而，由於該篇專利的回授迴路中包含有積分器，導致其電路對於共模輸入電壓的突然變化反應不及，因此該篇專利所提出的電路無法妥善地處理高頻的共模輸入電壓擾動。顯然，本發明所屬領域之習知技術仍無法克服以上所提及的問題。

【發明內容】

有鑑於此，本發明之一目的在於提供一種共模穩定技巧，其係為以積分方式為基礎的共模穩定技巧，可用於擬差動切換電容電路，如此一來，可改善高頻的共模輸入電壓擾動以及減輕電路之中開關

所帶來的電荷注入效應。

本發明之一實施例提供一種擬差動切換電容電路，該擬差動切換電容電路包含一差動浮接取樣電路以及一積分器。該差動浮接取樣電路，具有一擬差動架構，且該差動浮接取樣電路具有一差動正輸入與一差動負輸入。該差動浮接取樣電路又包含：一正極性路徑與負極性路徑。該正極性路徑，包含有一第一單端放大器與一第一電容，其中該第一電容係耦接於該第一單端放大器之一輸入端與一差動正輸出之間。該負極性路徑，包含有一第二單端放大器與一第二電容，其中該第二電容係耦接於該第二單端放大器之一輸入端與一差動負輸出之間。該積分器係於該差動浮接取樣電路之一放大階段中，取樣該差動正輸出與該差動負輸出之間的一共模電壓擾動；以及於該差動浮接取樣電路之一取樣階段中，可控制地回饋一積分結果至該差動浮接取樣電路中的該第一單端放大器與該第二單端放大器的該些輸入端，進而使該差動浮接取樣電路之該差動正輸出與該差動負輸出的一共模電壓準位穩定維持在一理想準位。

【實施方式】

在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，硬體製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中提

及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。此外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

請參考第 1 圖，其係依據本發明之一實施例所繪示，一種基於積分器來達到共模穩定性之擬差動切換電容電路 100。如第 1 圖所示，本發明之擬差動切換電容電路 100 包含：差動浮接取樣電路 110 以及積分器 120。差動浮接取樣電路 110 具有差動正輸入 V_{ip} 與差動負輸入 V_{in} ，並且包含正極性路徑 112 與負極性路徑 114。正極性路徑 112 包含有第一單端放大器 1122 與第一電容 $C1$ ，其中第一單端放大器 1122 可視作為第 2 圖所示之擬差動放大器 200 的一部分 (200a 或 200b)。如第 1 圖所示，第一電容 $C1$ 耦接於第一單端放大器 1122 之輸入端 $IN1$ 與差動正輸出 V_{op} 之間。另外，負極性路徑 114 包含有第二單端放大器 1142 與第二電容。其中，第二單端放大器 1142 可視作為第 2 圖所示之擬差動放大器 200 的一部分 (200a 或 200b)。如圖所示，第二電容 $C2$ 耦接於第二單端放大器 1142 之輸入端 $IN2$ 與差動負輸出 V_{on} 之間。

差動浮接取樣電路 110 基於複數個相位開關的切換，交替地操作於取樣階段與放大階段。該些相位開關包含有複數個取樣相位開關，受控於控制訊號 $\Phi 1$ ，以及複數個放大相位開關，受控於控制訊

號 $\Phi 2$ 。基於控制訊號 $\Phi 1$ ，取樣相位開關於差動浮接取樣電路 110 之取樣階段中導通。放大相位開關則基於控制訊號 $\Phi 2$ 於差動浮接取樣電路 110 之放大階段中導通。較佳地，控制訊號 $\Phi 1$ 與 $\Phi 2$ 係為相位不重疊的訊號。於差動浮接取樣電路 110 之取樣階段中，該些取樣相位開關導通，致使差動輸入 V_{ip} 與 V_{in} 被取樣與保存在電容 $C3\sim C6$ 之中。之後，差動浮接取樣電路 110 進入放大階段，其中放大相位開關被導通，使儲存於電容 $C3\sim C6$ 中的訊號（亦即，電荷）分別被饋入第一單端放大器 1122 與第二單端放大器，兩者共同形成如第 2 圖中所示的擬差動放大器 200，並且用來放大差動輸入 V_{ip} 與 V_{in} 。以上即為本發明擬差動切換電容電路 110 主要操作方式與目的。請注意，第 2 圖中所示的擬差動放大器 200 僅作為示範之用，實非本發明的限制。接著，由電容 $C3\sim C6$ 所轉移而來的訊號將被擬差動放大器 200 所放大，再於差動浮接取樣電路 110 之放大階段中輸出。

藉由浮接取樣技巧，存在於差動輸入 V_{ip} 與 V_{in} 之間的共模輸入電壓擾動並不會被電容 $C3\sim C6$ 所取樣，因而使得差動浮接取樣電路 110 之差動正輸出 V_{op} 與差動負輸出 V_{on} 可被穩定至一理想準位。然而，除了存在於差動輸入 V_{ip} 與 V_{in} 之間的共模輸入電壓擾動，擬差動切換電容電路 110 仍受由相位開關帶來的電荷注入效應所影響。為了抑制電荷注入效應，積分器 120 被用來取樣以及對電荷注入效應所產生的誤差訊號進行積分，並且將積分結果 V_{intg} 回授至入如第 2 圖所示的擬差動放大器 200 之輸入端，進行誤差補償。

更進一步來說，積分器 120 先對單端放大器 1122 與 1142 之輸出 V_{op} 與 V_{on} 進行取樣，據此進行積分運算。之後，於差動浮接取樣電路 110 之取樣階段，積分器 120 將積分結果 V_{intg} 分別饋入至第一單端放大器 1122 之輸入端 $IN1$ ，以及第二單端放大器 1142 之輸入端 $IN2$ 。於差動浮接取樣電路 110 之取樣階段中，一共模參考電壓 V_{cm1} 被分別施加於第一單端放大器 1122 之輸出 V_{op} ，以及第二單端放大器 1142 之輸出 V_{on} 。共模參考電壓 V_{cm1} 在電路分析上可被視為大訊號，其可適當地定義出第一單端放大器 1122 之輸出 V_{op} 以及第二單端放大器 1142 之輸出 V_{on} 的偏壓點。如此一來，透過電容 C3-C6 的浮接，可將共模輸入電壓擾動隔離於差動輸入 V_{ip} 與 V_{in} 之外。再者，由電荷注入效應所產生的誤差訊也可透過積分器 120 提供的負回授來抑制。

正極性路徑 112 中之第三電容 C3 與第四電容 C4，以及負極性路徑 114 中之第五電容 C5 與第六電容 C6，係被用來取樣差動輸入 V_{ip} 與 V_{in} ，進而於取樣階段與放大階段中，提供取樣後的訊號給第一單端放大器 1122 與第二單端放大器 1142。以下將透過第 1 圖、第 3 圖以及與第 4 圖來說明關於電容 C3-C6 之詳細連接關係。

請參考第 3 圖，於差動浮接取樣電路 110 之取樣階段中，第三電容之 C3 第一導板以及第四電容 C4 之第一導板透過取樣相位開關而連接至差動正輸入 V_{ip} ，第五電容 C5 第一導板以及第六電容 C6 之第一導板則透過取樣相位開關而連接至差動負輸入 V_{in} 。如此一

來，差動正輸入 V_{ip} 與差動負輸入 V_{in} 可被電容 C3-C6 所保存。再者，電容 C3-C6 之第二導板係透過取樣相位開關 1111 而相連，進行浮接取樣。透過取樣相位開關 1111，電容 C3-C6 被浮接(亦即，沒有接地路徑)。因此，存在於差動輸入 V_{ip} 與 V_{in} 之間的共模電壓擾動將不會被電容 C3-C6 所取樣，故共模電壓擾動不會被單端放大器 1122 與 1142 放大。由此可知，浮接取樣的效果是：不論共模電壓擾動是屬於高頻還是低頻，都將被排除於本發明電路 100 之外，確保差動輸出 V_{op} 與 V_{on} 不受共模電壓擾動干擾。最後，共模電壓擾動將可被克服，而本發明之擬差動切換電容電路 100 則可正確地放大差動輸入 V_{ip} 與 V_{op} 。

如第 4 圖所示，於差動浮接取樣電路 110 之放大階段中，第三電容 C3 之第二導板與第四電容 C4 之第二導板係透過複數個放大相位開關中之一者而連接至第一單端放大器 1122 之輸入端 IN1，另外，第五電容 C5 之第二導板與第六電容 C6 之第二導板係透過複數個放大相位開關中之一者而連接至第二單端放大器 1122 之輸入端 IN2。再者，電容 C3-C6 之第一導板則分別透過複數個相位開關而連接至複數個參考電壓(diV_{ref})。請注意，該些參考電壓並不一定相同。基於不同的應用，連接至電容 C3-C6 之第二導板的參考電壓可能不同、相同或者是部分相同，舉例來說，若是本發明擬差動切換電容電路 100 被運用於實現具有三階電壓準位的數位至類比轉換(如： $+V_{ref}$, V_{cm} , $-V_{ref}$)，則該些參考電壓將會三種不同的數值。

以下的說明將解釋積分器 120 的操作細節。請再次參考第 1 圖，積分器 120 中包含具有一正輸入端 IN3 與一負輸入端 IN4 之積分放大器 122、第一取樣電容 CS1、第二取樣電容 CS2 以及一積分電容 Cintg。如圖所示，積分電容 Cintg 係連接於積分放大器 122 之輸出端 OUT 與其負輸入端 IN4 之間，其中積分放大器 122 係透過複數個取樣相位開關而與第一與第二取樣電容 CS1、CS2 連接。另外，由於差動浮接取樣電路 110 使差動輸入 Vip 與 Vin 被反相放大，為了使得整體電路形成負回授來抑制電荷注入效應，於本發明較佳實施例中，積分器 120 係如圖示般被設置為非反相積分器。

於差動浮接取樣電路 110 之取樣階段中，積分器 120 中之第一取樣電路 CS1 與第二取樣電路 CS2 之第一導板將透過複數個取樣相位開關而連接至一共模參考電壓 Vcm2(可能與施加於差動輸出 Vop 與 Von 之共模參考電壓 Vcm1 相同)。再者，第一取樣電路 CS1 與第二取樣電路 CS2 之第二導板將透過複數個取樣相位開關而連接至積分放大器 122 之負輸入端 IN4。積分器放大器 122 依此對輸入端 IN3 與 IN4 上的訊號進行積分，產生積分結果 Vintg。由第 3 圖可知，於差動浮接取樣電路 110 之取樣階段中，積分器 120 對誤差訊號(因電荷注入效應所產生)積分，其中，誤差訊號係先前由第一取樣電容 CS1 與第二電容所取樣與保存。之後，於差動浮接取樣電路 110 之取樣階段，積分結果 Vintg 被回授至第一單端放大器 1122 之輸入端 IN1，以及第二單端放大器 1142 之輸入端 IN2。藉由差動浮接取樣電路 110 於取樣階段中所提供之負回授路徑，電荷注入效應可因而

被降低或消除。以下的說明將解釋第一、第二取樣電容 CS1 與 CS2 如何取樣由電荷注入效應所產生的誤差訊號。

於差動浮接取樣電路 110 之放大階段中，第一、第二取樣電容 CS1 與 CS2 之第一導板分別透過複數個放大相位開關而連接至差動正輸出 V_{op} 與差動負輸出。另外，第一、第二取樣電容 CS1 與 CS2 之第二導板則透過一放大相位開關而共同接地，以取樣電荷注入效應所產生的誤差訊號。

第 5 圖解釋了本發明電路 100 中每個電路元件的操作與時序的關係。首先，在時序 t_1 時的取樣階段中，差動輸入 V_{ip} 與 V_{in} 被取樣(此時共模輸入電壓擾動被隔離)。於此期間，在時序 t_1 時所產生積分結果將透過取樣相位開關被分別回授至第一、第二單端放大器 1122 與 1142 之輸入端，以消除由電荷注入效應所產生的誤差訊號(其係在時序 t_0 時所取樣，請注意，第 5 圖中未示出時序 t_0 ，其應在時序 t_1 之前)。在之後的時序 t_2 ，當差動浮接取樣電路 110 進入放大階段，由電容 C3-C6 所保存的取樣訊號，將被傳送至單端放大器 1122 與 1142，並且被放大，產生差動輸出 V_{on} 與 V_{op} 。在此期間，差動輸出 V_{on} 與 V_{op} 將被與其連接之第一、第二取樣電容 CS1 與 CS2 所取樣(由開關所帶來的電荷注入效應將在時序 t_2 時被取樣)。之後，第一、第二取樣電容 CS1 與 CS2 所取樣之差動輸出 V_{on} 與 V_{op} 將被積分器 120 所積分，進而在時序 t_3 時的次一取樣階段中產生積分結果 V_{intg} 。最後，在時序 t_3 時所產生的積分結果 V_{intg}

將透過取樣開關而被回授至第一、第二單端放大器 1122 與 1142 之輸出端(其中，在時序 t2 時由電荷注入效應所產生的誤差訊號將被負回授迴路所消除)。

以上文中所提及之「一實施例」代表針對該實施例所描述之特定特徵、結構或者是特性係包含於本發明之至少一實施方式中。再者，文中不同段落中所出現之「一實施例」並非代表相同的實施例。因此，儘管以上對於不同實施例描述時，分別提及了不同的結構特徵或是方法性的動作，但應當注意的是，這些不同特徵可透過適當的修改而同時實現於同一特定實施例中。

綜上所述，本發明克服了習知技術所無法處理的高頻共模輸入擾動。透過積分器，因電荷注入效應所產生的誤差訊號亦可被負回授迴路所消除。如此一來，本發明所提供的擬差動切換電容電路可將共模輸出電壓準位穩定在一理想準位，並且將可適用於任何的訊號處理裝置，例如類比至數位轉換器等。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係為本發明擬差動切換電容電路之實施例的架構圖。

第 2 圖係為第 1 圖所示之擬差動切換電容電路中之擬差動放大器之

實施例的電路圖。

第 3 圖與第 4 圖係繪示第 1 圖所示之擬差動切換電容電路中之電容於不同階段的連接關係。

第 5 圖係為第 1 圖所示之擬差動切換電容電路中之每一電路成分之運作與時序間的關係。

【主要元件符號說明】

100	擬差動切換電容電路
110	差動浮接取樣電路
112、114	路徑
1122、1142、200a、200b	單端放大器
120	積分器
122	積分放大器
C1~C6、CS1~CS2、Cintg	電容
200	擬差動放大器

七、申請專利範圍：

1. 一種擬差動(pseudo-differential)切換電容電路，包含：

一差動浮接取樣電路，具有一擬差動架構，該差動浮接取樣電路具有一差動正輸入與一差動負輸入，該差動浮接取樣電路又包含：

一正極性路徑，包含有一第一單端放大器與一第一電容，其中該第一電容係耦接於該第一單端放大器之一輸入端與一差動正輸出之間；以及

一負極性路徑，包含有一第二單端放大器與一第二電容，其中該第二電容係耦接於該第二單端放大器之一輸入端與一差動負輸出之間；以及

一積分器，用於該差動浮接取樣電路之一放大階段中，取樣該差動正輸出與該差動負輸出之間的一共模電壓擾動；以及用於該差動浮接取樣電路之一取樣階段中，可控制地將一積分結果饋入至該差動浮接取樣電路中之該第一單端放大器與該第二單端放大器的該些輸入端，進而使該差動浮接取樣電路之該差動正輸出與該差動負輸出的一共模電壓準位穩定維持在一理想準位；

其中，該正極性路徑又包含有一第三電容與一第四電容，於該差動浮接取樣電路之取樣階段中，該第三電容與該第四電容係浮接；以及該負極性路徑又包含有一第五電容與一第六電容，於該差動浮接取樣電路之取樣階段中，該第五電容

與該第六電容係浮接。

2. 如申請專利範圍第 1 項所述之擬差動切換電容電路，其中：

於該取樣階段中：

該第三電容之第一導板與該第四電容之第一導板係透過複數個
相位開關而連接至該差動正輸入；

該第五電容之第一導板與該第六電容之第一導板係透過該些相
位開關而連接至該差動負輸入；

該第三電容之第二導板、該第四電容之第二導板、該第五電容之
第二導板與該第六電容之第二導板係透過該些相位開關中
之一者而相互連接。

3. 如申請專利範圍第 1 項所述之擬差動切換電容電路，其中於該取
樣階段中，該積分結果係透過該些相位開關而連接至該第一單
端放大器與該第二單端放大器之該些輸入端。

4. 如申請專利範圍第 3 項所述之擬差動切換電容電路，其中於該差
動浮接取樣電路之取樣階段中，該差動正輸出與該差動負輸出
係透過該些相位開關而分別連至一共模電壓。

5. 如申請專利範圍第 1 項所述之擬差動切換電容電路，其中於該放
大階段：

該第三電容之第二導板與該第四電容之第二導板係透過複數個

相位開關而連接至該第一單端放大器之該輸入端；
該第五電容之第二導板與該第六電容之第二導板係透過該些相位開關而連接至該第二單端放大器之該輸入端；以及
該第三電容之第二導板、該第四電容之第二導板、該第五電容之第二導板與該第六電容之第二導板係透過該些相位開關而分別連接至複數個參考電壓。

6. 如申請專利範圍第 1 項所述之擬差動切換電容電路，其中該積分器包含：

一積分放大器，具有一正輸入端與一負輸入端；

一第一取樣電容；

一第二取樣電容；以及

一積分電容，耦接於該積分放大器之一輸出端與該積分放大器之一負輸入端之間；

其中該積分放大器係透過複數個相位開關而耦接於該第一與該第二取樣電容。

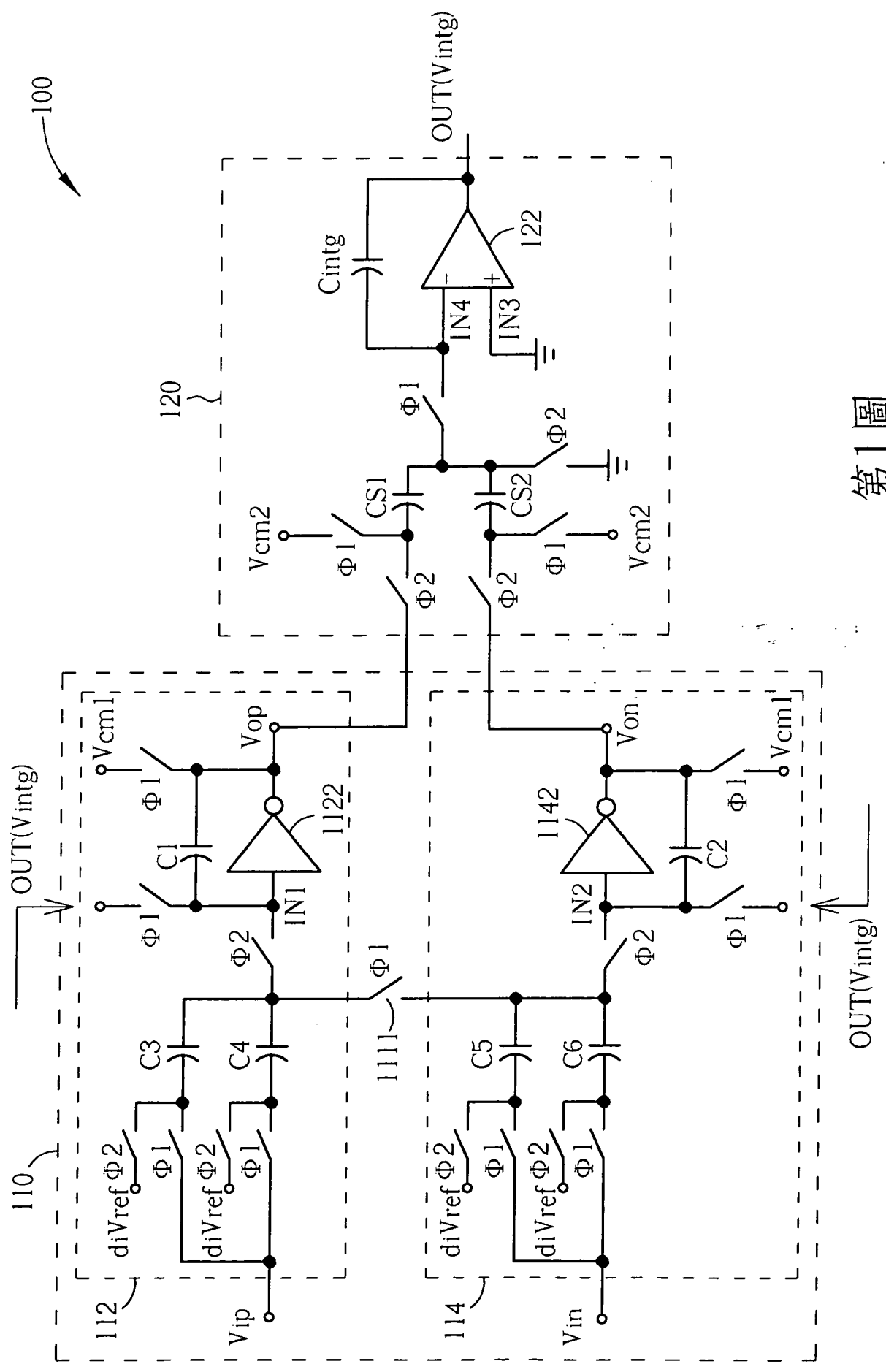
7. 如申請專利範圍第 1 項所述之擬差動切換電容電路，其中該積分器係設置為一非反相積分器。

8. 如申請專利範圍第 6 項所述之擬差動切換電容電路，其中於該差動浮接取樣電路之取樣階段中，該第一與該第二取樣電容之第一導板係透過該些相位開關而連接至一共模電壓，以及該第一

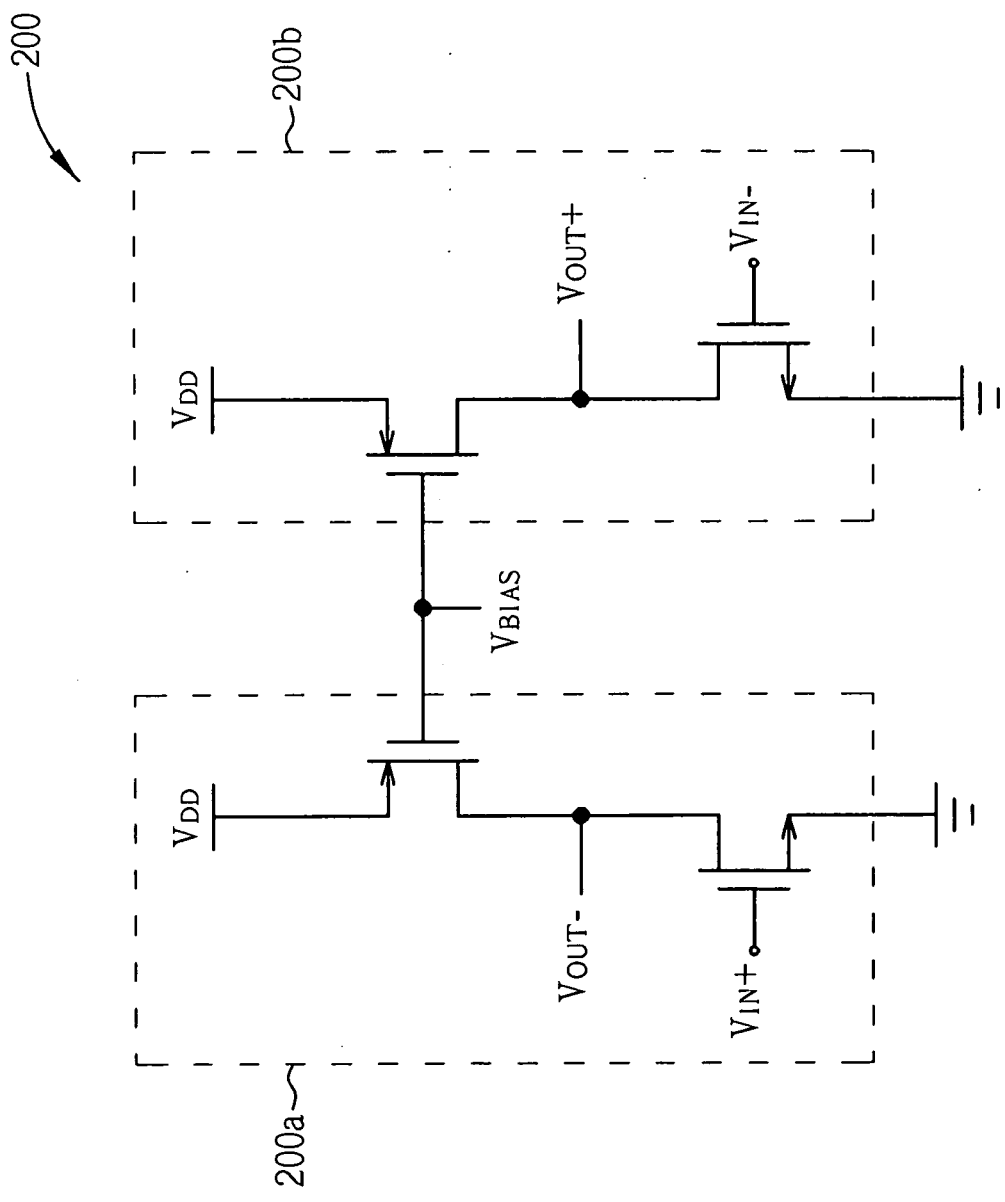
與該第二取樣電容之第二導板係透過該些相位開關而連接至該積分放大器之該負輸入端。

9. 如申請專利範圍第 6 項所述之擬差動切換電容電路，其中於該差動浮接取樣電路之放大階段中，該第一與該第二取樣電容之第一導板係透過該些相位開關而分別連至該差動正輸出與該差動負輸出，以取樣一共模電壓擾動。

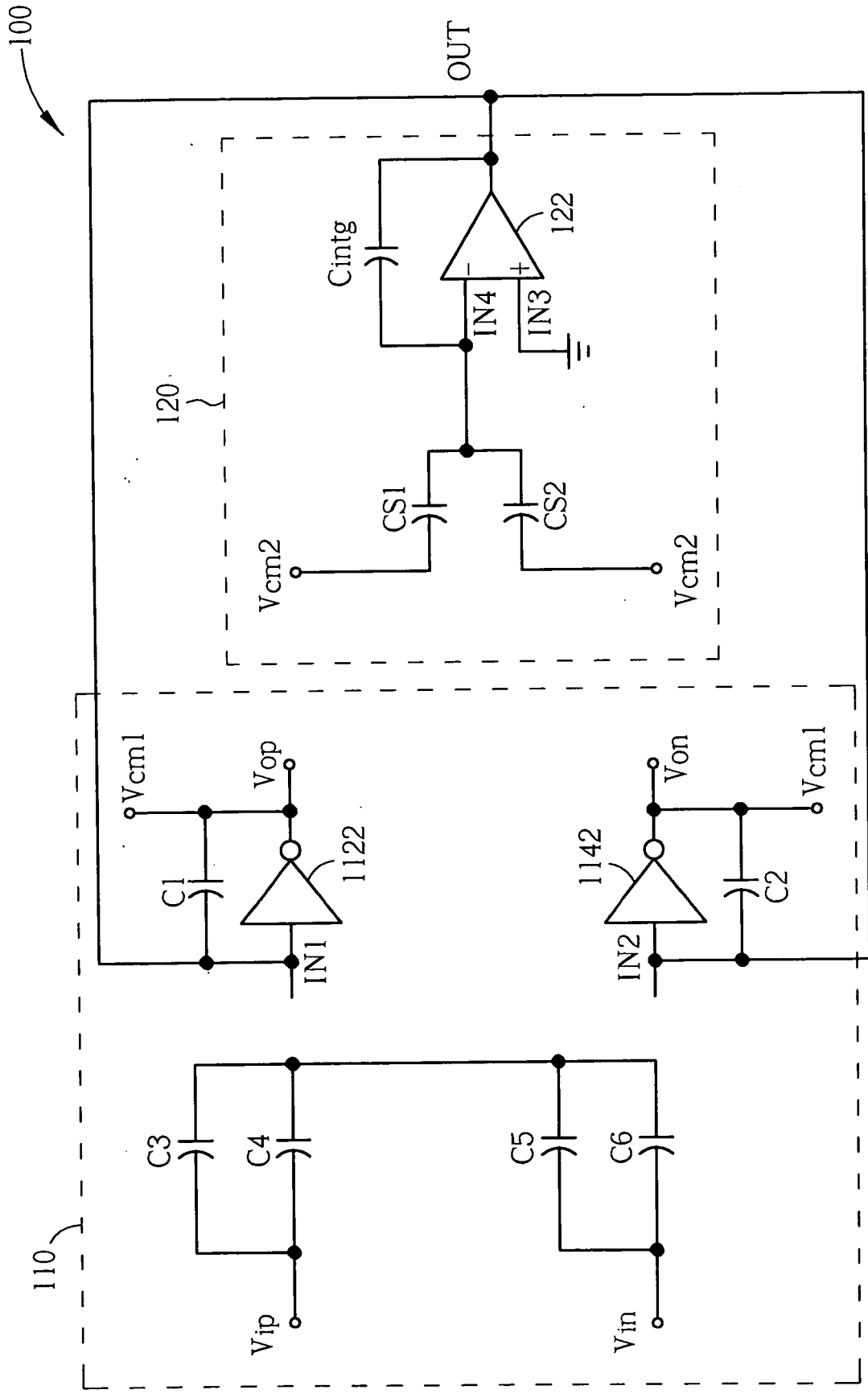
八、圖式：



第1圖

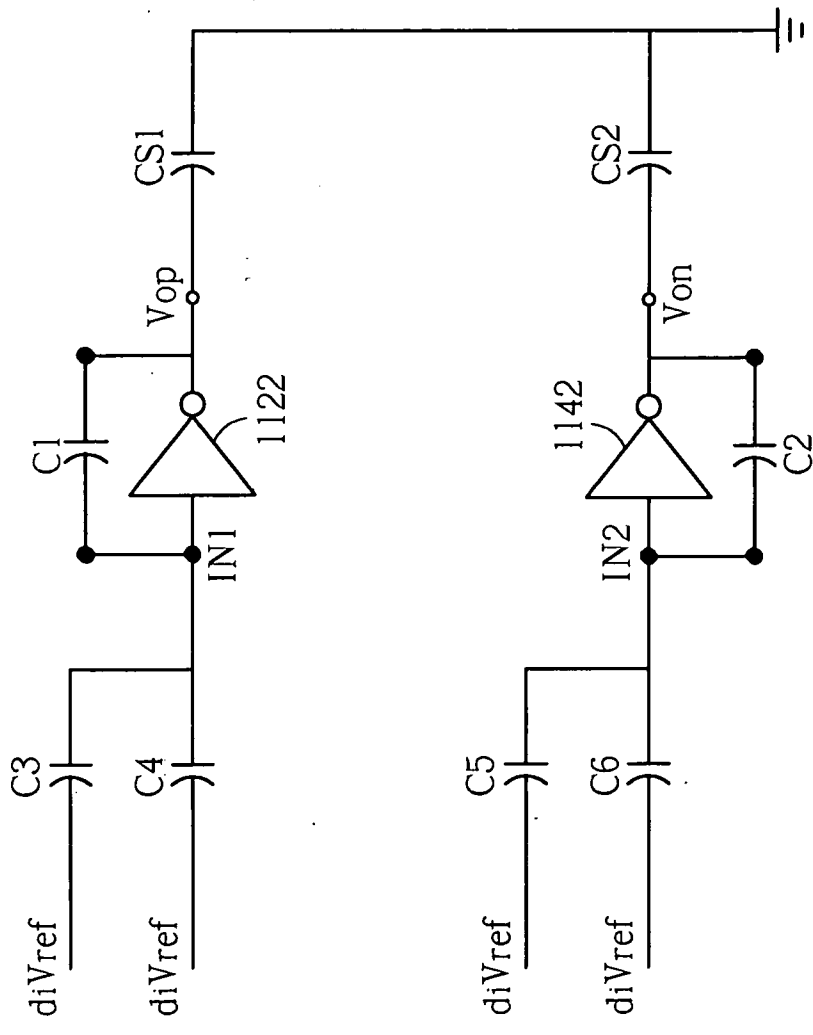


第2圖

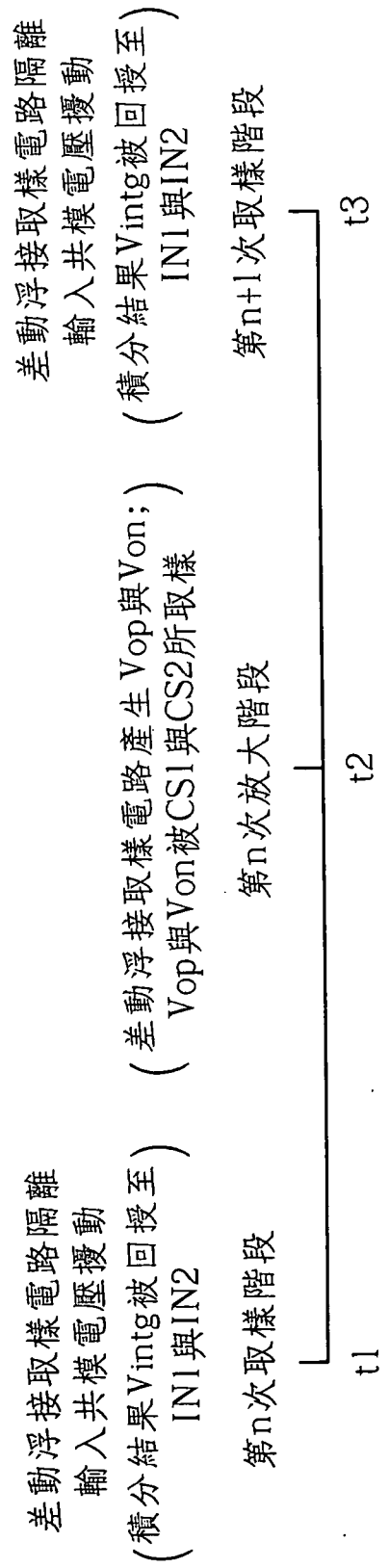


第3圖

100



第4圖



第5圖