

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4516483号
(P4516483)

(45) 発行日 平成22年8月4日(2010.8.4)

(24) 登録日 平成22年5月21日(2010.5.21)

(51) Int.Cl. F I
G 1 1 C 11/406 (2006.01) G 1 1 C 11/34 3 6 3 Z
G 1 1 C 11/403 (2006.01) G 1 1 C 11/34 3 6 3 M

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2005-166782 (P2005-166782)	(73) 特許権者	308014341
(22) 出願日	平成17年6月7日(2005.6.7)		富士通セミコンダクター株式会社
(65) 公開番号	特開2006-344257 (P2006-344257A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成18年12月21日(2006.12.21)		23
審査請求日	平成18年3月28日(2006.3.28)	(74) 代理人	100090273
			弁理士 園分 孝悦
		(72) 発明者	藤岡 伸也
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	江口 康之
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	助野 淳
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及び情報処理システム

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルが配置されたメモリセルアレイと、
 外部から入力される外部リフレッシュ要求又は内部で生成される内部リフレッシュ要求の何れに基づいてリフレッシュ動作の実行を指示するリフレッシュ制御部と、
 上記リフレッシュ制御部からの指示に基づいて、上記メモリセルアレイでのリフレッシュ動作を実行するアレイ制御部と、
 上記リフレッシュ動作が上記外部リフレッシュ要求又は上記内部リフレッシュ要求の何れに基づいて行われているかによって、外部から入力されるアクセス要求に基づくアクセス動作のレイテンシを制御するレイテンシ制御部とを備え、
上記レイテンシ制御部は、上記外部リフレッシュ要求に基づいてリフレッシュ動作が行われる場合の上記レイテンシを、上記内部リフレッシュ要求に基づいてリフレッシュ動作が行われる場合の上記レイテンシよりも小さくすることを特徴とする半導体記憶装置。

10

【請求項2】

上記レイテンシ制御部は、
 上記外部リフレッシュ要求に基づいてリフレッシュ動作が行われる場合の上記レイテンシをカウントするための第1カウンタと、
 上記内部リフレッシュ要求に基づくリフレッシュ動作のレイテンシをカウントするための第2カウンタとを含むことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

20

上記メモリセルアレイ内の予め設定した一部領域のメモリセルに対してのみリフレッシュ動作を実行する省電力モードを動作状態として設定可能であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

上記省電力モードから通常の動作モードに動作状態を移行した場合に、上記リフレッシュ制御部は、上記省電力モードに移行する前の動作状態にかかわらず、上記内部リフレッシュ要求に基づいてリフレッシュ動作の実行を指示することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】

上記省電力モードから通常の動作モードに動作状態を移行した場合に、上記リフレッシュ制御部は、上記省電力モードに移行する前の動作状態にて選択していたリフレッシュ要求と同じリフレッシュ要求に基づいてリフレッシュ動作の実行を指示することを特徴とする請求項 3 記載の半導体記憶装置。

10

【請求項 6】

新たな制御信号を設け、当該制御信号の論理とコマンド信号の組み合わせにて、上記リフレッシュ動作を上記外部リフレッシュ要求又は上記内部リフレッシュ要求の何れに基づいて行うか制御することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】

請求項 3 記載の半導体記憶装置と、

上記半導体記憶装置の動作状態を制御管理するとともに、上記外部リフレッシュ要求を上記半導体記憶装置に出力可能な制御装置とを備えたことを特徴とする情報処理システム。

20

【請求項 8】

情報処理システムの動作状態に合わせて、上記半導体記憶装置の動作状態を制御するようにしたことを特徴とする請求項 7 記載の情報処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置及び情報処理システムに関し、特に、擬似 S R A M (Static Random Access Memory) に用いて好適なものである。

30

【背景技術】

【0002】

半導体記憶装置の 1 つである擬似 S R A M は、データを記憶するためのメモリセルが D R A M (Dynamic Random Access Memory) と同様のセルで構成され、かつ外部インタフェースが S R A M と互換性をもつメモリである。擬似 S R A M は、S R A M に比べて大容量でビットコストが低いという D R A M の特徴、及び S R A M と同等の使いやすさを有しており、大容量化及びシステム設計の容易化を実現している。例えば、ローパワー（低消費電力）擬似 S R A M は、例えば携帯電話や P D A (Personal Digital Assistants) のメモリ (R A M) として利用されている。

【0003】

40

図 1 1 は、従来の擬似 S R A M 1 1 1 の構成を示すブロック図である。擬似 S R A M 1 1 1 は、メモリセルアレイ 1 1 2、アレイ制御回路 1 1 3、リフレッシュ制御回路 1 1 4、チップ制御回路 1 1 5、アドレスデコーダ 1 1 6、データ信号制御回路 1 1 7、及びインタフェース回路 1 1 8 を有する。

【0004】

メモリセルアレイ 1 1 2 は、ロー方向及びコラム方向に関してアレイ状に配置された複数のメモリセルで構成される。各メモリセルは、上述したように D R A M と同様の 1 T - 1 C 型 (1 トランジスタ 1 キャパシタ型) メモリセルである。アレイ制御回路 1 1 3 は、メモリセルアレイ 1 1 2 内のメモリセルに対してデータ読み出し (リード) 動作、データ書き込み (ライト) 動作、及びリフレッシュ動作を行う。

50

【 0 0 0 5 】

リフレッシュ制御回路 1 1 4 は、内部に備えるタイマーの値に応じて、メモリセルに記憶されているデータを保持するために必要なリフレッシュ動作の要求を出力する。

【 0 0 0 6 】

チップ制御回路 1 1 5 は、インタフェース回路 1 1 8 を介して供給される外部からのコマンド信号（外部コマンド）C M D をデコードし、そのデコード結果やリフレッシュ制御回路 1 1 4 からのリフレッシュ要求に基づく制御信号をアレイ制御回路 1 1 3 に出力する。コマンド信号 C M D は、後述するようにチップイネーブル信号 / C E、アドレスバリッド（有効）信号 / A D V、アウトプットイネーブル信号 / O E、及びライトイネーブル信号 / W E からなる（各信号の符号に付した “ / ” は、その信号が負論理であることを示す。）。 10

また、チップ制御回路 1 1 5 は、コマンド信号 C M D によるアクセス要求（データ読み出し・書き込み）とリフレッシュ要求とのアービトレーション（調停処理）を行う。このアービトレーションでは、先に発生した要求が優先して処理される。

【 0 0 0 7 】

アドレスデコーダ 1 1 6 は、インタフェース回路 1 1 8 を介して供給される外部からのアドレス信号 A D D をデコードし、そのデコード結果をアレイ制御回路 1 1 3 に出力する。

データ信号制御回路 1 1 7 は、コマンド信号 C M D に応じて行われるリード動作及びライト動作におけるメモリ内部と外部との間でのデータ信号の授受を制御する。 20

【 0 0 0 8 】

なお、インタフェース回路 1 1 8 には、コマンド信号 C M D 及びデータ信号 D Q の入出力タイミングを同期させるクロック信号 C L K が外部から入力され、擬似 S R A M 1 1 1 内の各機能部に供給されている。

【 0 0 0 9 】

従来の擬似 S R A M における動作について、図 1 2 (A)、(B) を参照し説明する。図 1 2 (A)、(B) において、コア動作とは、メモリセルアレイ 1 1 2 の選択動作、言い換えればアレイ制御回路 1 1 3 がメモリセルアレイ 1 1 2 に対して実行する動作である。また、P e r i 動作とは、チップ制御回路 1 1 5 やデータ信号制御回路 1 1 7 等のメモリセルアレイ 1 1 2 (アレイ制御回路 1 1 3) に係る周辺回路の動作である。 30

【 0 0 1 0 】

図 1 2 (A) は、従来の擬似 S R A M におけるデータ読み出し動作を説明するタイミングチャートである。まず、時刻 T 3 1 において、デバイス（擬似 S R A M）を動作状態にするチップイネーブル信号 / C E、アドレス信号 A D D が有効であることを示すアドレスバリッド信号 / A D V、及びアウトプットイネーブル信号 / O E が “ L ” に変化する。チップ制御回路 1 1 5 は、これらコマンド信号 C M D をデコードし、外部からのアクセス要求がデータ読み出し動作 R D (A) であると判断する。また、アドレスデコーダ 1 1 6 は、アドレス信号 A D D を取り込んでデコードする。

【 0 0 1 1 】

しかしながら、外部からのアクセス要求を受ける時刻 T 3 1 以前に、リフレッシュ制御回路 1 1 4 からのリフレッシュ要求が発生していると、メモリセルアレイ 1 1 2 ではリフレッシュ動作 R E F が実行される（時刻 T 3 2）。そして、リフレッシュ動作 R E F が終了する時刻 T 3 3 からメモリセルアレイ 1 1 2 にてデータ読み出し動作 R D (A) が実行され、アドレスデコーダ 1 1 6 でのデコード結果に対応するメモリセルのデータ 1 A、2 A、3 A を順次読み出してデータ信号 D Q として出力する。 40

【 0 0 1 2 】

時刻 T 3 4 において、チップイネーブル信号 / C E が “ H ” に変化すると、チップ制御回路 1 1 5 は、データ読み出し動作 R D (A) の終了をアレイ制御回路 1 1 3 に指示する。これにより、メモリセルアレイ 1 1 2 で実行しているデータ読み出し動作 R D (A) が終了する（時刻 T 3 5）。 50

【 0 0 1 3 】

また、時刻 T 3 5 において、チップイネーブル信号 / C E、アドレスバリッド信号 / A D V が “ L ” に変化すると、チップ制御回路 1 1 5 は、このときのコマンド信号 C M D をデコードし、外部からのアクセス要求がデータ読み出し動作 R D (B) であると判断する。また、アドレスデコーダ 1 1 6 は、アドレス信号 A D D を取り込んでデコードする。

【 0 0 1 4 】

そして、時刻 T 3 5 からリフレッシュエントリ期間 T R E N が経過した時刻 T 3 6 において、メモリセルアレイ 1 1 2 にてデータ読み出し動作 R D (B) が実行され、データ 1 B、2 B、3 B、4 B、5 B をデータ信号 D Q として出力する。なお、リフレッシュエントリ期間 T R E N は、リフレッシュ要求が発生した際にメモリセルアレイ 1 1 2 にてリフレッシュ動作を実行できるように、外部からのアクセス要求によるデータ読み出し / 書き込み動作間に常に設けられている。

10

【 0 0 1 5 】

その後、データ読み出し動作 R D (A) と同様に、時刻 T 3 7 において、チップイネーブル信号 / C E が “ H ” に変化することで、メモリセルアレイ 1 1 2 で実行しているデータ読み出し動作 R D (B) を終了する (時刻 T 5 8)。

【 0 0 1 6 】

図 1 2 (B) は、従来の擬似 S R A M におけるデータ書き込み動作を説明するタイミングチャートである。図 1 2 (B) に示すデータ書き込み動作は、ライトイネーブル信号 / W E を “ L ” にしてアウトプットイネーブル信号 / O E を “ H ” に維持する点と、データ信号 D Q として供給されたデータ 1 A ~ 3 A、1 B ~ 5 B をメモリセルに書き込む点とが異なるだけで、図 1 2 (A) に示したデータ読み出し動作と同様である (時刻 T 4 1 ~ T 4 8 が、時刻 T 3 1 ~ T 3 8 にそれぞれ対応する。) ので説明は省略する。

20

図 1 2 (A)、(B) に示したようにして、従来の擬似 S R A M ではデータ読み出し動作及びデータ書き込み動作等が行われていた。

【 0 0 1 7 】

また、近年、動画像データなどに係る大容量かつリアルタイムなデータ通信が行われるようになり、携帯電話などを含むデータ通信装置のメモリとして利用される擬似 S R A M に対しても、より高速な動作が要求されている。

【 0 0 1 8 】

【特許文献 1】特開平 1 1 - 1 6 3 4 6 号公報

【特許文献 2】国際公開第 9 8 / 5 6 0 0 4 号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

しかしながら、従来の擬似 S R A M においては、図 1 2 (A)、(B) に示したようにリフレッシュエントリ期間 T R E N を常に設けているため、レイテンシはワーストケースであるリフレッシュ要求が先に発生した場合を想定し、これを包含するように外部からのアクセス要求に係るアクセス時間が規定されている。

40

【 0 0 2 0 】

擬似 S R A M において動作 (アクセス) を高速化する方法としては、まずレイテンシを短くすることでアクセス時間を短縮する方法が考えられる。しかしながら、レイテンシを短くすると、外部からのアクセス要求によるデータ読み出し / 書き込み動作間の時間間隔が短くなり、リフレッシュエントリ期間 T R E N に相当する期間を確保することができないおそれがある。すなわち、レイテンシを短くした場合には、リフレッシュ要求が発生したとしても、外部からのアクセス要求に係る動作間にリフレッシュ動作を実行できず、メモリセルに記憶しているデータが消失してしまうおそれがある。

【 0 0 2 1 】

本発明は、このような事情に鑑みてなされたものであり、擬似 S R A M のアクセス動作を高速化できるようにすることを目的とする。

50

【課題を解決するための手段】

【0022】

本発明の半導体記憶装置は、複数のメモリセルが配置されたメモリセルアレイと、外部リフレッシュ要求又は内部リフレッシュ要求の何れに基づいてリフレッシュ動作の実行を指示するリフレッシュ制御部と、リフレッシュ制御部からの指示に基づいてメモリセルアレイでのリフレッシュ動作を実行するアレイ制御部と、リフレッシュ動作が外部リフレッシュ要求又は内部リフレッシュ要求の何れに基づいて行われているかによって、外部アクセス要求に基づくアクセス動作のレイテンシを制御するレイテンシ制御部とを備える。レイテンシ制御部は、外部リフレッシュ要求に基づいてリフレッシュ動作が行われる場合のアクセス動作のレイテンシを、内部リフレッシュ要求に基づいてリフレッシュ動作が行われる場合のアクセス動作のレイテンシよりも小さくする。

10

上記構成によれば、メモリセルアレイでのリフレッシュ動作を外部リフレッシュ要求に基づいて実行するようにした場合には、メモリセルアレイへの外部からのアクセス要求に応じた動作を行う際に、そのアクセス時間にリフレッシュ動作の実行に必要な時間を確保する必要がなくなる。

【発明の効果】

【0023】

本発明によれば、外部リフレッシュ要求に基づいてリフレッシュ動作を実行するようにした場合には、リフレッシュ動作の実行に必要な時間を含まずにアクセス要求に応じた動作の実行に必要な時間のみで、外部からのアクセス要求に応じたメモリセルアレイに対するアクセス動作を実行することができる。したがって、リフレッシュ動作を外部リフレッシュ要求に基づいて実行するようにした場合には、内部リフレッシュ要求に基づいて実行する場合と比較して、リフレッシュ動作の実行に必要な時間分だけ外部からのメモリセルアレイへのアクセス要求に係るレイテンシを短縮することができ、半導体記憶装置のアクセス動作の高速化を実現することができる。

20

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施形態を図面に基づいて説明する。

【0025】

図1は、本発明の一実施形態による半導体記憶装置1の構成例を示すブロック図である。半導体記憶装置1は、擬似SRAMであり、コンフィグレーションレジスタ2、リフレッシュタイマー3、チップ制御回路4、アドレスデコーダ5、データ信号制御回路6、アレイ制御回路7、メモリセルアレイ8、及びインタフェース回路9を有する。

30

【0026】

コンフィグレーションレジスタ2は、半導体記憶装置1の動作モード（動作状態）を設定するレジスタである。このコンフィグレーションレジスタ2の設定を基に、非同期モードと同期モードの切り替えや、パワーダウンモードでの動作が制御される。

【0027】

ここで、非同期モードは、半導体記憶装置1（チップ）内に入力されるクロック信号（システムクロック信号）に対して非同期で動作する動作モードであり、同期モードは、クロック信号に同期して動作する動作モードであり、例えば非同期モードと同期モードではコマンド信号CMDのトリガが異なる。非同期モードにおいて、アクセス時間（レイテンシ）等の動作期間はクロック数などではなく絶対的な時間により規定され、半導体記憶装置1は、信号（コマンド信号等）がネゲートやアサートされるタイミングに基づいて動作する。一方、同期モードにおいて、アクセス時間（レイテンシ）等の動作期間はクロックを用いて規定される。

40

【0028】

リフレッシュタイマー3は、カウンタ等の計測手段を用いて時間を計測し、所定期間が経過する毎にセルフリフレッシュ（内部リフレッシュ）信号SREFをチップ制御回路4に出力する。セルフリフレッシュ信号SREFは、メモリセルアレイ8内の各メモリセル

50

に記憶されているデータを保持するためのリフレッシュ動作を要求する信号である。リフレッシュタイマー 3 は、本発明におけるリフレッシュ要求部に相当し、セルフリフレッシュ信号 S R E F は、本発明における内部のリフレッシュ要求に相当する。

【 0 0 2 9 】

チップ制御回路 4 は、リフレッシュ制御部 1 1、アクセス制御部 1 2、及びコマンドレジスタ 1 3 を有し、半導体記憶装置 1 内の各回路の動作を統括的に制御する。具体的には、チップ制御回路 4 は、図示しないデコーダを有しており、インタフェース回路 9 を介して外部からのコマンド信号（外部コマンド）C M D が供給され、それをデコードする。そして、チップ制御回路 4 は、コマンド信号 C M D のデコード結果及びリフレッシュタイマー 3 からセルフリフレッシュ信号 S R E F に基づいて、アレイ制御回路 7 に制御信号を出力する。また、チップ制御回路 4 は、半導体記憶装置 1 の動作状態がセルフリフレッシュを実行するセルフリフレッシュモードである場合には、外部コマンド C M D によるデータ読み出し・書き込みに係るアクセス要求と、セルフリフレッシュ信号 S R E F によるリフレッシュ要求とのアービトラージ（調停処理）を行う。

10

【 0 0 3 0 】

リフレッシュ制御部 1 1 は、記憶したデータを保持するためにメモリセルアレイ 8 にて実行されるリフレッシュ動作に係る制御を行う。リフレッシュ制御部 1 1 は、インタフェース回路 9 を介して入力される外部からのコマンド信号 C M D（より詳細には、外部リフレッシュ信号（コマンド）E x R E F C M D）及びリフレッシュタイマー 3 からセルフリフレッシュ信号 S R E F に基づいて、リフレッシュ動作に係る制御信号をアレイ制御回路 7 に出力する。ここで、外部リフレッシュコマンド E x R E F C M D は、本発明における外部からのリフレッシュ要求に相当する。

20

【 0 0 3 1 】

アクセス制御部 1 2 は、インタフェース回路 9 を介して供給される外部からのコマンド信号 C M D に基づいて、メモリセルアレイ 8 に対するデータ読み出し（リード）動作及びデータ書き込み（ライト）動作に係る制御を行うためのものである。コマンドレジスタ 1 3 は、供給される外部からのコマンド信号 C M D をデコードして得られたデコード結果を保持するレジスタである。

【 0 0 3 2 】

アドレスデコーダ 5 は、インタフェース回路 9 を介して供給される外部からのアドレス信号 A D D をデコードし、そのデコード結果に基づく選択アドレス信号をアレイ制御回路 7 に出力する。また、アドレスデコーダ 5 は、アドレス信号 A D D をデコードして得られたデコード結果を保持するアドレスレジスタ 1 4 を有する。このアドレスレジスタ 1 4 に保持されるデコード結果とコマンドレジスタ 1 3 に保持されるデコード結果とは、同一の要求に関するものであり、コマンドレジスタ 1 3 及びアドレスレジスタ 1 4 に保持されたデコード結果は、トリガ信号 T r i g に基づいて同期して出力される。

30

【 0 0 3 3 】

データ信号制御回路 6 は、外部からのコマンド信号 C M D に応じて行われるメモリセルアレイ 8 に対するリード動作及びライト動作にて、インタフェース回路 9 を介した半導体記憶装置 1 内部と外部との間でデータ信号 D Q の授受を制御する。

40

【 0 0 3 4 】

アレイ制御回路 7 は、チップ制御回路 4 から供給される制御信号及びアドレスデコーダ 5 から供給される選択アドレス信号に基づいて、メモリセルアレイ 8 内のメモリセルに対するリード動作、ライト動作、及びリフレッシュ動作を実行する。

【 0 0 3 5 】

メモリセルアレイ 8 は、ロー（行）方向及びコラム（列）方向に関してアレイ状に配置された複数のメモリセルを有する。具体的には、メモリセルアレイ 8 は、複数のビット線と、それに交差するように設けられた複数のワード線とを有し、ビット線とワード線との交差部にメモリセルが配置されている。各メモリセルは、D R A M と同様の 1 T - 1 C 型（1 トランジスタ 1 キャパシタ型）メモリセルで構成され、それぞれ 1 ビットのデータを

50

記憶する。また、メモリセルアレイ 8 は、ビット線に対応して設けられたセンスアンプを有する。

【 0 0 3 6 】

インタフェース回路 9 は、半導体記憶装置 1 内部と外部との間で各信号を授受するためのものである。インタフェース回路 9 は、外部からコマンド信号 C M D 及びアドレス信号 A D D が入力されるとともに、外部との間でデータ信号 D Q が入出力される。また、コマンド信号 C M D やデータ信号 D Q の入出力タイミングを同期させるためのクロック信号 C L K が外部から入力され、半導体記憶装置 1 内の各回路に供給される。

【 0 0 3 7 】

本実施形態による半導体記憶装置 1 の動作モード（動作状態）について説明する。図 2 は、半導体記憶装置 1 の状態制御を説明するための図である。なお、以下の説明において、半導体記憶装置 1（メモリセルアレイ 8）に対するリード動作、ライト動作を要求する外部からのコマンド信号 C M D をそれぞれリードコマンド、ライトコマンドと称する。また、半導体記憶装置 1 を低消費電力動作させる（動作モードを通常よりも消費電力の少ない省電力モードにする）ための外部からのコマンド信号 C M D をパワーダウンコマンドと称し、通常の状態に戻すための外部からのコマンド信号 C M D をパワーダウン解除コマンドと称する。

10

【 0 0 3 8 】

電源の供給開始（Power ON）後、すなわち起動時、半導体記憶装置 1 は、非同期モードのスタンバイ状態（Async. Standby w/ Self-Refresh）2 1 A となる。この非同期モードでは、メモリセルアレイ 8 でのリフレッシュ動作を半導体記憶装置 1 内部のリフレッシュタイマー 3 からのセルフリフレッシュ信号 S R E F に基づいて実行する、いわゆるセルフリフレッシュ動作が行われる。

20

【 0 0 3 9 】

半導体記憶装置 1 は、この状態 2 1 A においてリードコマンド又はライトコマンドを受けると、それに応じたリード動作又はライト動作（Read/Write）2 1 B を行い、動作が終了した後、スタンバイ状態 2 1 A に戻る。半導体記憶装置 1 は、スタンバイ状態 2 1 A においてパワーダウンコマンド（PD Entry）を受けると、低消費電力動作を実行するパワーダウンモード（Power Down、省電力モード）2 1 C に移行する。このパワーダウンモード 2 1 C において、パワーダウン解除コマンド（PD Exit）を受けると、非同期モードのスタンバイ状態 2 1 A に移行する。

30

【 0 0 4 0 】

また、非同期モードのスタンバイ状態 2 1 A において、コンフィグレーションレジスタ設定（CR-set）コマンド 2 2 とともに所定の設定コードが入力され、コンフィグレーションレジスタ 2 の設定が所定の設定に変更されると、半導体記憶装置 1 は、セルフリフレッシュ付き同期モード（以下、「セルフリフレッシュモード」とも称する。）のスタンバイ状態（Sync. Standby w/ Self-Refresh）2 3 A に移行する。ここで、セルフリフレッシュモードは、同期モードで、かつメモリセルアレイ 8 でのリフレッシュ動作を半導体記憶装置 1 内部のリフレッシュタイマー 3 からのセルフリフレッシュ信号 S R E F に基づいて実行する動作モードである。なお、同様にして、セルフリフレッシュモードのスタンバイ状態 2 3 A において、コンフィグレーションレジスタ設定コマンド 2 2 を用いてコンフィグレーションレジスタ 2 の設定を所定の設定に変更することで、半導体記憶装置 1 の動作モードを非同期モードのスタンバイ状態 2 1 A に移行することも可能である。

40

【 0 0 4 1 】

半導体記憶装置 1 は、セルフリフレッシュモードのスタンバイ状態 2 3 A においてリードコマンド又はライトコマンドを受けると、それに応じたリード動作又はライト動作（Read/Write）2 3 B を行い、動作終了後にスタンバイ状態 2 3 A に戻る。また、スタンバイ状態 2 3 A においてパワーダウンコマンド（PD Entry）を受けるとパワーダウンモード（Power Down）2 3 C に移行し、このパワーダウンモード 2 3 C においてパワーダウン解除コマンド（PD Exit）を受けると、セルフリフレッシュモードのスタンバイ状態 2 3 A に

50

移行する。

【 0 0 4 2 】

また、セルフリフレッシュモードのスタンバイ状態 2 3 A において外部リフレッシュコマンド (ExREF CMD) を受けると、半導体記憶装置 1 は、メモリセルアレイ 8 でのリフレッシュ動作 (Refresh) 2 4 C を実行して、その後自動的にセルフリフレッシュなし同期モード (以下、「外部リフレッシュモード」とも称する。) のスタンバイ状態 (Sync. Standby w/o Self-Refresh) 2 4 A に移行する。ここで、外部リフレッシュコマンド (ExREF CMD) は、半導体記憶装置 1 (メモリセルアレイ 8) でのリフレッシュ動作を要求する外部からのコマンド信号 CMD である。また、外部リフレッシュモードは、同期モードで、かつメモリセルアレイ 8 でのリフレッシュ動作を半導体記憶装置 1 外部からの外部リフレッシュコマンド (ExREF CMD) に基づいて実行する動作モードである。この外部リフレッシュモードでは、外部リフレッシュコマンドのみによってメモリセルアレイ 8 でのリフレッシュ動作が行われ、外部リフレッシュコマンド以外の要求によるリフレッシュ動作、例えばセルフリフレッシュ動作が行われることはない。

10

【 0 0 4 3 】

半導体記憶装置 1 は、外部リフレッシュモードのスタンバイ状態 2 4 A においてリードコマンド又はライトコマンドを受けると、それに応じたリード動作又はライト動作 (Read/Write) 2 4 B を行い、動作終了後にスタンバイ状態 2 4 A に戻る。また、スタンバイ状態 2 4 A において外部リフレッシュコマンド (ExREF CMD) を受けると、メモリセルアレイ 8 でのリフレッシュ動作 2 4 C を実行してスタンバイ状態 2 4 A に戻る。

20

【 0 0 4 4 】

外部リフレッシュモードのスタンバイ状態 2 4 A においてパワーダウンコマンド (PD Entry) を受けると、半導体記憶装置 1 は、セルフリフレッシュモードにおいてパワーダウンコマンドを受けた場合と同じパワーダウンモード 2 3 C に移行する。つまり、半導体記憶装置 1 は、外部リフレッシュモードのスタンバイ状態 2 4 A においてパワーダウンコマンドを受けた場合には、セルフリフレッシュありのパワーダウンモード 2 3 C に移行する。したがって、その後パワーダウン解除コマンド (PD Exit) を受けると、セルフリフレッシュモードのスタンバイ状態 2 3 A に移行する。

【 0 0 4 5 】

また、外部リフレッシュモードのスタンバイ状態 2 4 A において、セルフリフレッシュ動作を実行させるためのセルフリフレッシュイネーブルコマンド (SREFEN CMD) を受けると、半導体記憶装置 1 は、セルフリフレッシュモードのスタンバイ状態 2 3 A に移行する。

30

【 0 0 4 6 】

また、セルフリフレッシュモード及び外部リフレッシュモードにおいて半導体記憶装置 1 が初期化される (コンフィグレーションレジスタが初期化される) ことにより、半導体記憶装置 1 は、非同期モードに移行する (図中の Reset to Async)。すなわち、半導体記憶装置 1 は、同期モードにおいてシステムが初期化される場合には、セルフリフレッシュ付きであるか否かにかかわらず、非同期モードに移行する。

【 0 0 4 7 】

ここで、本実施形態の半導体記憶装置 1 におけるパワーダウンモード 2 1 C、2 3 C は、コンフィグレーションレジスタ 2 に設定された容量のみに対してデータを保持するためのセルフリフレッシュを行う動作モードであり、“Partial Refresh Power Down” と “Deep Power Down” の 2 種類のパワーダウンモードがある。“Partial Refresh Power Down” とは、コンフィグレーションレジスタ 2 の設定に従って、例えばメモリセルアレイ 8 における全ビット容量の 1 / 4 又は 1 / 8 の容量分の所定領域のメモリセルに対してリフレッシュ動作を実行し、“Deep Power Down” とは一切リフレッシュ動作を実行しない。

40

【 0 0 4 8 】

図 3 (A) は、図 1 に示したリフレッシュ制御部 1 1 の構成を示すブロック図である。リフレッシュ制御部 1 1 は、RS フリップフロップ 3 1、リフレッシュコントローラ 3

50

2、及びスイッチSWA0、SWA1を有する。

【0049】

外部リフレッシュコマンドEXREF CMDがRSフリップフロップ31のセット入力(S)に入力され、セルフリフレッシュイネーブルコマンドSREFEN CMD及びパワーダウンコマンドPD EntryがRSフリップフロップ31のリセット入力(R)に入力される。RSフリップフロップ31の出力が、スイッチSWA0及びSWA1に供給される。

【0050】

また、外部リフレッシュコマンドEXREF CMDがスイッチSWA0を介してリフレッシュコントローラ32に入力可能になっているとともに、リフレッシュタイマー3からのセルフリフレッシュ信号SREFがスイッチSWA1を介してリフレッシュコントローラ32に入力可能になっている。リフレッシュコントローラ32の出力が、メモリセルアレイ8でのリフレッシュ動作を実行させるためのリフレッシュ実行信号REFEとしてアレイ制御回路7に出力される。

10

【0051】

スイッチSWA0、SWA1は、RSフリップフロップ31の出力により開閉制御(オン/オフ制御)される。スイッチSWA0、SWA1は、RSフリップフロップ31の出力に応じて何れか一方だけがオンとなるように、言い換えれば排他的にオンとなるように構成されている。ここで、RSフリップフロップ31とスイッチSWA0、SWA1は、

20

【0052】

図3(B)は、リフレッシュコントローラ32の構成を示す図である。リフレッシュコントローラ32は、NOR(否定論理和演算)回路33、34、及びパルス幅拡張回路35を有する。

【0053】

外部リフレッシュコマンドEXREF CMD及びセルフリフレッシュ信号SREFが、スイッチSWA0、SWA1を介してNOR回路33に入力可能となっている。また、NOR回路33にはNOR回路34の出力が入力される。メモリセルアレイ8に対する動作が終了したことを示すメモリコア動作終了信号CTER及びNOR回路33の出力が、NOR回路34に入力される。すなわち、NOR回路33、34は、RSフリップフロップを構成しており、そのセット入力として外部リフレッシュコマンドEXREF CMD及びセルフリフレッシュ信号SREFが入力され、リセット入力としてメモリコア動作終了信号CTERが入力されている。

30

【0054】

また、NOR回路33(NOR回路33、34により構成されるRSフリップフロップ)の出力は、パルス幅拡張回路35を介してリフレッシュ実行信号REFEとして出力される。ここで、パルス幅拡張回路35は、入力信号がひげ状となった場合にそれがそのまま通過し出力されるのを防止するためのものであり、入力信号のパルス幅を大きくし出力する。なお、パルス幅拡張回路35に限らず、ひげ状の入力信号がそのまま出力されるのを防止できれば良く、ひげ状パルスを除去するパルスフィルタを用いても良い。

40

【0055】

ここで、半導体記憶装置1(メモリセルアレイ8)でのリフレッシュ動作は、外部から投入される外部リフレッシュコマンドEXREF CMD、又は半導体記憶装置1内部のリフレッシュタイマー3からのセルフリフレッシュ信号SREFの何れかがトリガとなって実行される。図3に示したリフレッシュ制御部11では、外部リフレッシュコマンドEXREF CMDとセルフリフレッシュ信号SREFの選択、つまりリフレッシュ動作のトリガとなるコマンド(信号)の切り替えを行う。

【0056】

まず、スイッチSWA0がオフ、スイッチSWA1がオンとなって、セルフリフレッシュ信号SREFがリフレッシュ動作のトリガとなるように、RSフリップフロップ31は

50

初期化されている。外部リフレッシュコマンド $E \times R E F \quad C M D$ を受けるまでは、この状態が維持される。したがって、半導体記憶装置 1 において外部から外部リフレッシュコマンド $E \times R E F \quad C M D$ が入力されるまでは、セルフリフレッシュ信号 $S R E F$ が選択されリフレッシュコントローラ 3 2 に入力される。

【 0 0 5 7 】

外部リフレッシュコマンド $E \times R E F \quad C M D$ が入力されると、RS フリップフロップ 3 1 がセットされ、その出力によりスイッチ $S W A 0$ がオン、スイッチ $S W A 1$ がオフとなる。これにより、外部リフレッシュコマンド $E \times R E F \quad C M D$ がリフレッシュ動作のトリガとして有効となりリフレッシュコントローラ 3 2 に入力される。

【 0 0 5 8 】

その後、セルフリフレッシュイネーブルコマンド $S R E F E N \quad C M D$ が入力されると、RS フリップフロップ 3 1 がリセットされ、その出力によりスイッチ $S W A 0$ がオフ、スイッチ $S W A 1$ がオンとなる。これにより、セルフリフレッシュ信号 $S R E F$ がリフレッシュ動作のトリガとして有効となりリフレッシュコントローラ 3 2 に入力される。なお、セルフリフレッシュイネーブルコマンド $S R E F E N \quad C M D$ に代えて、パワーダウンコマンド $P D \quad E n t r y$ が入力された場合も同様である。

【 0 0 5 9 】

以上のようにして外部リフレッシュコマンド $E \times R E F \quad C M D$ 又はセルフリフレッシュ信号 $S R E F$ が選択されリフレッシュコントローラ 3 2 に入力されると、NOR 回路 3 3、3 4 からなる RS フリップフロップにラッチされる。それに応じて、NOR 回路 3 3、3 4 からなる RS フリップフロップより、パルス幅拡張回路 3 5 を介してリフレッシュ実行信号 $R E F E$ が出力される。その後、リフレッシュ実行信号 $R E F E$ に応じたメモリセルアレイ 8 でのリフレッシュ動作が終了すると、メモリコア動作終了信号 $C T E R$ が入力されて、NOR 回路 3 3、3 4 からなる RS フリップフロップがリセットされる。

【 0 0 6 0 】

ここで、セルフリフレッシュモードにおいて外部リフレッシュコマンド $E \times R E F \quad C M D$ が入力されることで、半導体記憶装置 1 の動作モードがセルフリフレッシュモードから外部リフレッシュモードに遷移するとき、外部リフレッシュコマンド $E \times R E F \quad C M D$ とセルフリフレッシュ信号 $S R E F$ が競合する場合が考えられる。仮に、それぞれに応じたリフレッシュ動作を行うようにした場合には、リフレッシュに要する時間が通常の 2 倍の時間となり、その期間は外部からのコマンド信号 $C M D$ によるアクセス要求を待機させる必要があるという弊害がある。そこで本実施形態では、リフレッシュ制御部 1 1 により、先行したコマンド (信号) を有効として、これに重複したコマンド (先行したコマンドに続くコマンド) は無視するようにしている。

【 0 0 6 1 】

具体的には、外部リフレッシュコマンド $E \times R E F \quad C M D$ とセルフリフレッシュ信号 $S R E F$ が競合した場合、それぞれのコマンド (信号) が、リフレッシュコントローラ 3 2 内の NOR 回路 3 3、3 4 からなる RS フリップフロップのセット入力に入力される。外部リフレッシュコマンド $E \times R E F \quad C M D$ により NOR 回路 3 3、3 4 からなる RS フリップフロップの状態を確定させるのに十分な期間が経過した後、スイッチ $S W A 0$ 、 $S W A 1$ を制御するための RS フリップフロップ 3 1 出力が活性化される。リフレッシュコントローラ 3 2 内の RS フリップフロップにラッチされたコマンドは、それに応じたコア動作が終了した後にリセットされるが、リセット後はスイッチ $S W A 0$ がオン、 $S W A 1$ がオフに切り替わっているため、リフレッシュコントローラ 3 2 にセルフリフレッシュ信号 $S R E F$ が入力されることはない。

【 0 0 6 2 】

なお、セルフリフレッシュイネーブルコマンド $S R E F E N \quad C M D$ 又はパワーダウンコマンド $P D \quad E n t r y$ が入力された場合、セルフリフレッシュ信号 $S R E F$ の活性中にスイッチ $S W A 0$ 、 $S W A 1$ のオン / オフが切り替わることがある。しかし、その場合、コントローラ 3 2 内の NOR 回路 3 3、3 4 からなる RS フリップフロップが反応でき

10

20

30

40

50

るパルス幅が確保される保証はなく、ひげ状の入力信号がこのRSフリップフロップを通過してしまうおそれがあるため、パルス幅拡張回路35を設けて後段に接続される回路等で不都合が生じることを防止している。

【0063】

上述したようにセルフリフレッシュモードにおいては、半導体記憶装置1内部のリフレッシュタイマー3からのセルフリフレッシュ信号SREFに基づいてリフレッシュ動作が実行される。すなわち、半導体記憶装置1内でリフレッシュタイミングを生成してリフレッシュ動作が実行する。したがって、半導体記憶装置1の外部からはリフレッシュタイミングが不明であるため、外部からコマンド信号CMDが入力されリード動作又はライト動作のアクセス要求があった場合、リフレッシュ要求が先に発生することを仮定してリフレッシュ実行に必要な時間を確保したレイテンシ(アクセス時間)が必要となる。そのため、アクセス時間は、リード動作又はライト動作に係る外部からのコマンド信号CMDが入力されてから、リフレッシュ相当のコア動作時間と、データの読み出し又は書き込みに必要な時間との和になる。

10

【0064】

それに対して、外部リフレッシュモードにおいては、半導体記憶装置1の外部から入力される外部リフレッシュコマンドEXREFCMDに基づいてリフレッシュ動作が実行されるため、外部からのコマンド信号CMDによるリード動作又はライト動作のアクセス時間に、リフレッシュ実行に要する時間を含める必要がない。したがって、外部リフレッシュモードにおけるアクセス時間は、外部からのコマンド信号CMDにより要求されたデータの読み出し又は書き込みに必要な時間のみとなり、セルフリフレッシュモードよりもリフレッシュ相当のコア動作時間分だけレイテンシを短縮することができ、半導体記憶装置1でのアクセス動作の高速化を実現することができる。

20

【0065】

この同期モード(セルフリフレッシュモード、外部リフレッシュモード)におけるレイテンシ制御は、図4に示すレイテンシカウンタを用いて行われる。

図4は、レイテンシカウンタの構成を示すブロック図であり、例えば図1に示したアクセス制御部12内に設けられる。レイテンシカウンタは、RSフリップフロップ41、レイテンシカウンタA42、レイテンシカウンタR43、及びスイッチSWB0、SWB1を有する。

30

【0066】

外部リフレッシュコマンドEXREFCMDがRSフリップフロップ41のセット入力(S)に入力され、セルフリフレッシュイネーブルコマンドSREFENCMD及びパワーダウンコマンドPDEntryがRSフリップフロップ41のリセット入力(R)に入力される。RSフリップフロップ41の出力が、スイッチSWB0及びSWB1に供給される。

【0067】

レイテンシカウンタA42は、外部からのコマンド信号CMDによるアクセス動作の実行に必要な時間をカウントするためのカウンタであり、半導体記憶装置1内部で用いられるシステムクロック信号INT-CLKが入力される。レイテンシカウンタA42の出力が、スイッチSWB0を介してレイテンシカウンタR43に入力可能になっているとともに、スイッチSWB1を介してデータクロックDQ-CLKとして出力可能になっている。

40

【0068】

また、レイテンシカウンタR43は、リフレッシュ動作の実行に必要な時間をカウントするためのカウンタであり、その出力がデータクロックDQ-CLKとして出力可能になっている。なお、データクロックDQ-CLKは、リード動作又はライト動作においてデータ信号DQが有効となる時間を示す信号である。

【0069】

スイッチSWB0、SWB1は、RSフリップフロップ41の出力により開閉制御(オ

50

ン/オフ制御)され、RSフリップフロップ41の出力に応じて何れか一方だけがオンとなるように、言い換えれば排他的にオンとなるように構成されている。

【0070】

初期状態において、スイッチSWB0がオン、スイッチSWB1がオフとなるように、RSフリップフロップ41は初期化されている。外部リフレッシュコマンドEXREFCMDを受けるまでは、この状態が維持され、図4に示すレイテンシカウンタでは、レイテンシカウンタA42とレイテンシカウンタR43によるカウントが行われる。したがって、半導体記憶装置1において外部リフレッシュコマンドEXREFCMDが外部から入力されるまでは、アクセス動作の実行に必要な分とリフレッシュ動作の実行に必要な分のレイテンシをカウントする。

10

【0071】

外部リフレッシュコマンドEXREFCMDが入力されると、RSフリップフロップ41がセットされ、その出力によりスイッチSWB0がオフ、スイッチSWB1がオンとなる。これにより、リフレッシュ動作の実行に必要な時間をカウントするレイテンシカウンタR43によるカウントが不要となり、図4に示すレイテンシカウンタではレイテンシカウンタA42のみによるカウントが行われる。つまり、アクセス動作の実行に必要な分のレイテンシをカウントする。

【0072】

また、セルフリフレッシュイネーブルコマンドSREFENCMD又はパワーダウンコマンドPDEntryが入力されると、RSフリップフロップ41がリセットされ、その出力によりスイッチSWB0がオン、スイッチSWB1がオフとなる。したがって、図4に示すレイテンシカウンタでは、レイテンシカウンタA42とレイテンシカウンタR43によるカウントを行い、アクセス動作の実行に必要な分とリフレッシュ動作の実行に必要な分のレイテンシをカウントする。

20

【0073】

以上のように、外部リフレッシュモードにおいては、外部からのコマンド信号CMDで要求されるアクセス動作の実行に必要な分のみのレイテンシをカウントし、外部リフレッシュモード以外の動作モードにおいては、要求されるアクセス動作の実行に必要な分に加えてリフレッシュ動作の実行に必要な分のレイテンシをカウントする。すなわち、外部リフレッシュモード以外の動作モード(具体的にはセルフリフレッシュモード)ではアクセスパスにリフレッシュシーケンスを含み、外部リフレッシュモードではアクセスパスにリフレッシュシーケンスが含まれないので、外部リフレッシュモードにおいてはそれ以外の動作モードよりも高速なアクセス動作を実現することができる。

30

【0074】

図5は、図1に示したアレイ制御回路7の構成例を示すブロック図であり、アレイ制御回路7は、図5に示したメモリセルアレイ8を除く各回路51~61を有する。

図5において、ブロック選択指示回路51、ワード線(WL)選択指示回路52、センスアンプ(SA)選択指示回路53、コラム線(CL)選択指示回路54、及びアンプ(AMP)活性指示回路55は、それぞれ対応するブロック選択回路56、ワード線選択回路57、センスアンプ活性化回路58、コラム線選択回路59、及びアンプ活性制御回路60の動作タイミングを制御する。

40

【0075】

ブロック選択回路56は、アドレスデコーダ5から供給されるブロック選択アドレス信号BLSAに応じて、ビット線トランスファー信号線BTを選択的に活性化するとともに、プリチャージ信号線BRSを不活性化する。ワード線選択回路57は、アドレスデコーダ5から供給されるワード線選択アドレス信号WLSAに応じたワード線WLを選択的に活性化する。センスアンプ活性化回路58は、センスアンプ駆動信号線LEを活性化する。

【0076】

コラム線選択回路59は、アドレスデコーダ5から供給されるコラム線選択アドレス信

50

号 C L S A に応じたコラム線 C L を選択的に活性化する。アンプ活性制御回路 6 0 は、アンプ 6 1 を駆動するためのアンプ駆動信号線 A E N を活性化する。アンプ 6 1 は、メモリセル 8 から読み出されたデータをデータ信号制御回路 6 に増幅して出力する。

【 0 0 7 7 】

ここで、上述した各回路 5 6 ~ 6 0 が信号線を活性化する動作（選択する動作も含む。）は、それぞれ対応する指示回路 5 1 ~ 5 5 からの指示に基づいて順次行われる。

【 0 0 7 8 】

具体的には、チップ制御回路 4 から供給される制御信号及びアドレスデコーダ 5 から供給されるアレイ選択アドレス信号 A R S A に基づいて、まずブロック選択指示回路 5 1 からブロック選択回路 5 6 に対して指示が出される。続いて、ブロック選択指示回路 5 1 からの指示が出されたことを条件として、ワード線選択指示回路 5 2 からワード線選択回路 5 7 に対して指示が出される。

10

【 0 0 7 9 】

その後、同様にして、センスアンプ選択指示回路 5 3 からセンスアンプ活性化回路 5 8 に対し、コラム線選択指示回路 5 4 からコラム線選択回路 5 9 に対し、アンプ活性指示回路 5 5 からアンプ活性制御回路 6 0 に対して順次指示が出される。ただし、アンプ活性指示回路 5 5 からアンプ活性制御回路 6 0 に対しての指示は、センスアンプ選択指示回路 5 3 及びコラム線選択指示回路 5 4 の双方から指示が出されたことを条件として出される。

【 0 0 8 0 】

図 6 (A) は、図 1 に示したメモリセルアレイ 8 の構成を示す回路図であり、複数のメモリセルで構成されるメモリセルアレイ 8 において、1つのメモリセルとその周辺回路とを図示している。図 6 (B) は、図 6 (A) に示した回路におけるデータ読み出し動作を説明するタイミングチャートである。

20

【 0 0 8 1 】

図 6 (A) において、C 1 は容量、N T 1 ~ N T 1 7 は N チャンネル型トランジスタ、P T 1 ~ P T 3 は P チャンネル型トランジスタである。容量 C 1 とトランジスタ N T 1 は、メモリセル (1 T 1 C 型メモリセル) を構成する。トランジスタ N T 3 ~ N T 5 の組、及びトランジスタ N T 1 3 ~ N T 1 5 の組は、それぞれプリチャージ回路 7 2、7 5 を構成する。トランジスタ N T 1 1、N T 1 2、P T 2、P T 3 は、センスアンプ 7 3 を構成する。7 4 はインバータである。

30

【 0 0 8 2 】

メモリセル 7 1 の容量 C 1 には、1ビットの情報が記憶される。このメモリセル 7 1 (容量 C 1) に記憶されたデータを読み出す際の動作を図 6 (B) を参照して説明する。

なお、データ読み出し (リード) 動作、データ書き込み (ライト) 動作、及びリフレッシュ動作の何れも実行されていない場合には、ビット線トランスファー信号線 B T 0、B T 1 及びプリチャージ信号線 B R S 0、B R S 1 は活性化されており、“ H ” である。したがって、プリチャージ回路 7 2、7 5 内のトランジスタ N T 3 ~ N T 5、N T 1 3 ~ N T 1 5、及びトランジスタ N T 6、N T 7、N T 1 6、N T 1 7 が導通し、ビット線 B L、/ B L の電位は等しい電位となっている。

【 0 0 8 3 】

40

データを読み出す際には、まず、メモリセル 7 1 に対応するビット線トランスファー信号線 B T 0 を除くビット線トランスファー信号線 (図 6 (A) に示す回路ではビット線トランスファー信号線 B T 1) と、プリチャージ信号線 B R S 0 を不活性化して “ L ” にする。したがって、プリチャージ回路 7 2 が非動作状態になるとともに、トランジスタ N T 1 6、N T 1 7 が非導通状態になる (センスアンプ 7 3 のリセット状態解除)。ビット線トランスファー信号線 B T 0 は、“ H ” を維持する。

【 0 0 8 4 】

次に、ワード線 W L が選択的に活性化されて “ H ” になると、トランジスタ N T 1 が導通し、容量 C 1 に記憶されているデータがビット線 B L に読み出される。これにより、容量 C 1 に記憶されているデータに応じて、ビット線 B L の電位が変化する (S Q 1)。こ

50

ここで、トランジスタNT6、NT7は導通状態であり、トランジスタNT16、NT17は非導通状態であるので、トランジスタNT6、NT7を介してビット線BL、/BLのデータ(電位)がセンスアンプ73に供給される。

【0085】

次に、センスアンプ駆動信号線LEが活性化されて“H”になると、トランジスタNT8、PT1が導通し電源供給が行われることによりセンスアンプ73が動作し、ビット線BL、/BLのデータが増幅される(SQ2)。続いて、コラム線CLが選択的に活性化されて“H”になると、コラムゲートとしてのトランジスタNT9、NT10が導通し、増幅されたビット線BL、/BLのデータがデータバスDB、/DBに出力される(SQ3)。

10

【0086】

その後、コラム線CLを不活性化して“L”にし、読み出したデータのメモリセル71(容量C1)への再書き込みを行った(SQ4)後、ワード線WLを不活性化して“L”にする。さらに、センスアンプ駆動信号線LEを不活性化して“L”にすることで、センスアンプ73を非動作状態にした後、すべてのビット線トランスファー信号線BT0、BT1及びプリチャージ信号線BRS0、BRS1を活性化してデータ読み出し動作を終了する。

なお、メモリセル71へのデータ書き込み動作は、従来と同様であり、その説明は省略する。

【0087】

20

図7(A)、(B)は、本実施形態による半導体記憶装置1の動作例を示すタイミングチャートである。図7(A)、(B)においては、外部からのコマンド信号CMDに応じてリード動作を実行する場合を一例として示している。

【0088】

図7(A)は、セルフリフレッシュモードにおけるリード動作を示すタイミングチャートである。

半導体記憶装置1は、時刻T10において外部からのコマンド信号CMDによりリード動作のアクセス要求を受けると、要求されたリード動作を実行する。ここで、半導体記憶装置1は、コマンド信号CMDによるアクセス要求を受けた時点において、リフレッシュタイマー3からのセルフリフレッシュ信号SREFに基づいてメモリセルアレイ8でのリフレッシュ動作が要求又は実行されている場合には、そのリフレッシュ動作が完了した後に要求されたリード動作を実行する。

30

【0089】

したがって、セルフリフレッシュモードにおけるリード動作のレイテンシ時間LTSは、図7(A)に示すようにリフレッシュ動作を実行するためのリフレッシュ動作期間(図示した例では、4周期)と外部からのコマンド信号CMDに応じたリード動作を実行する期間(図示した例では、3周期)からなる。そのため、コマンド信号CMDによるアクセス要求を受けた時刻T10からレイテンシ時間LTSが経過した時刻T17より、リード動作で読み出したデータ1A、2A、3Aが半導体記憶装置1からデータ信号DQとして出力される。

40

【0090】

図7(B)は、外部リフレッシュモードにおけるリード動作を示すタイミングチャートである。

半導体記憶装置1は、時刻T20において外部からのコマンド信号CMDによりリード動作のアクセス要求を受けると、直ちに要求されたリード動作を実行する。外部リフレッシュモードでは、メモリセルアレイ8でのリフレッシュ動作は外部からの外部リフレッシュコマンドに基づいて実行される。そのため、コマンド信号CMDによるリード動作に関して、リフレッシュ動作を考慮する必要がなく、リフレッシュ動作を実行可能にするための期間も不要である。

【0091】

50

したがって、外部リフレッシュモードにおけるリード動作のレイテンシ時間 $L T E$ は、図 7 (B) に示すように外部からのコマンド信号 $C M D$ に応じたリード動作を実行する期間 (図示した例では、3 周期) のみからなる。そのため、コマンド信号 $C M D$ によるアクセス要求を受けた時刻 $T 2 0$ からレイテンシ時間 $L T E$ が経過した時刻 $T 2 3$ より、リード動作で読み出したデータ $1 A$ 、 $2 A$ 、 $3 A$ が半導体記憶装置 1 からデータ信号 $D Q$ として出力される。

【 0 0 9 2 】

図 8 は、本実施形態による半導体記憶装置 1 のコマンド例を示す図である。

図 8 において、 $C L K$ はシステムクロック信号、 $C E 2$ は第 2 のチップイネーブル信号、 $/ C E 1$ は第 1 のチップイネーブル信号、 $/ R F$ はリフレッシュ信号、 $/ A D V$ はアドレスバリッド信号、 $/ O E$ はアウトプットイネーブル信号、 $/ W E$ はライトイネーブル信号、 $/ U B$ は上位バイトイネーブル信号、 $/ L B$ は下位バイトイネーブル信号である。これらの各信号を入力するための入力端子は、半導体記憶装置 1 に設けられている。なお、信号の符号に付した “ / ” は、その信号が負論理であることを示す。

【 0 0 9 3 】

ここで、第 1 のチップイネーブル信号 $/ C E 1$ は、従来公知の $S R A M$ 又は擬似 $S R A M$ におけるチップイネーブル信号 $/ C E$ に相当するものであり、第 2 のチップイネーブル信号 $C E 2$ は、パワーダウンモードを有効にするか否かを制御するためのものであり、信号 $Z Z$ と呼ばれることもある。

【 0 0 9 4 】

本実施形態においては、外部リフレッシュコマンド $E x R E F C M D$ 及びセルフリフレッシュイネーブルコマンド $S R E F E N C M D$ が新たに設けられる。これらコマンドは、リフレッシュ信号 $/ R F$ の入力端子を新たに追加し、そのリフレッシュ信号 $/ R F$ の極性と、既存のリード、ライト等のコマンド (リーガルコマンド) との組み合わせにより実現する。これにより、外部リフレッシュが無い場合の既存のコマンドと同等のコマンド体系を維持し、既存のデコード回路 (デコード論理) 等を利用することが可能となる。したがって、既存のものに対して少ない変更量で、すなわちわずかな設計量で外部リフレッシュコマンド $E x R E F C M D$ 及びセルフリフレッシュイネーブルコマンド $S R E F E N C M D$ を追加することができる。

【 0 0 9 5 】

図 9 (A) は、本実施形態による半導体記憶装置 1 を組み込んだ情報処理システム 9 1 の構成例を示すブロック図である。情報処理システム 9 1 は、図 1 に示した半導体記憶装置 (メモリ) 1、メモリコントローラ 9 2、及びプロセッサ ($C P U$) 9 3 を有し構成される。

【 0 0 9 6 】

メモリコントローラ 9 2 は、プロセッサ ($C P U$) 9 3 等からの要求に基づいて半導体記憶装置 1 を制御する。例えば、メモリコントローラ 9 2 は、プロセッサ 9 3 からの半導体記憶装置 1 へのアクセス要求 (データの読み出し又は書き込み) を受信すると、そのアクセス要求に応じたコマンド信号 $C M D$ 及びアドレス信号 $A D D$ を半導体記憶装置 1 に出力する。

【 0 0 9 7 】

プロセッサ 9 3 は、情報処理システム 9 1 を統括的に制御するものであり、半導体記憶装置 1 へのアクセス要求をメモリコントローラ 9 2 に対して行ったりする。また、情報処理システム 9 1 には、適用される携帯電話システムなどの用途等に応じてその他の周辺回路 9 4 が設けられており、プロセッサ 9 3 は、その周辺回路 9 4 の制御なども行う。周辺回路 9 4 には、例えばベースバンド処理回路、グラフィック処理回路などがある。

【 0 0 9 8 】

図 9 (B) に示すように、図 9 (A) に示した情報処理システム 9 1 において、そのシステムレベルでの動作状態がアクティブ状態から待機状態 (スタンバイ状態) になる場合には、プロセッサ 9 3 は半導体記憶装置 1 に対してセルフリフレッシュイネーブルコマン

10

20

30

40

50

ドSREFEN CMDをエントリし(98)、半導体記憶装置1の動作モードをセルフリフレッシュモード(96)とするよう制御する。また、システムレベルでの動作状態が待機状態からアクティブ状態になる場合には、プロセッサ93は半導体記憶装置1に対して外部リフレッシュコマンドExREF CMDをエントリし(99)、半導体記憶装置1の動作モードを外部リフレッシュモード(97)とするよう制御する。

【0099】

このように情報処理システム91のシステムレベルでの動作状態に合わせて、半導体記憶装置1の動作モードを制御することにより、システムレベルでの動作状態が待機状態であるときはセルフリフレッシュ動作させ、システムレベルでの動作状態がアクティブ状態であるときは外部リフレッシュ動作させてレイテンシを短縮しアクセス動作の高速化を図ることができる。

10

【0100】

なお、上述した説明では、本実施形態による半導体記憶装置1は、外部リフレッシュモード24Aにおいてパワーダウンコマンド(PD Entry)を受けると、セルフリフレッシュモードにおいてパワーダウンコマンドを受けた場合と同じセルフリフレッシュありのパワーダウンモード23Cに移行し、その後にパワーダウン解除コマンド(PD Exit)を受けると、セルフリフレッシュモード23Aに移行する。つまり、本実施形態による半導体記憶装置1は、パワーダウンモードにおいてパワーダウン解除コマンド(PD Exit)を受けると、パワーダウンモードに移行する前の状態にはかわらず、セルフリフレッシュモード23Aに移行するように制御している。

20

【0101】

したがって、外部リフレッシュモードからパワーダウンモードに移行した後、外部リフレッシュモードに再度移行させるよう制御するには、パワーダウン解除コマンド(PD Exit)と外部リフレッシュコマンド(ExREF CMD)との2つのコマンドを投入する必要がある。

【0102】

そこで、図10に示すように外部リフレッシュモードに対応するパワーダウンモード24Dをさらに設け、パワーダウンモード24Dにおいてパワーダウン解除コマンド(PD Exit)を受けた場合には、外部リフレッシュモード24Aに移行できるように構成しても良い。つまり、パワーダウンモードにおいてパワーダウン解除コマンド(PD Exit)を受けた場合には、パワーダウンモードに移行する前の動作モードに移行するように構成しても良い。

30

【0103】

図10は、本実施形態による半導体記憶装置1の状態制御の他の例を説明するための図である。この図10において、図2に示したものに対応する部分には同一の符号を付し、重複する説明は省略する。

【0104】

図10に示したものは、外部リフレッシュモードのスタンバイ状態24Aにおいてパワーダウンコマンド(PD Entry)を受けるとパワーダウンモード(Power Down)24Dに移行し、このパワーダウンモード24Dにおいてパワーダウン解除コマンド(PD Exit)を受けると、外部リフレッシュモードのスタンバイ状態24Aに移行する点が、図2に示したものと異なる。なお、このパワーダウンモード24Dにおいては、半導体記憶装置1内部にてセルフリフレッシュ動作が実行される。

40

【0105】

このように外部リフレッシュモードに対応するパワーダウンモード24Dを設けることで、外部リフレッシュモードからパワーダウンモードに移行した後、パワーダウン解除コマンド(PD Exit)のみの1つのコマンドを投入するだけで外部リフレッシュモードに再度移行させるよう制御することができる。

【0106】

なお、半導体記憶装置1の状態制御を図10に示したようにする場合には、図3(A)

50

に示したリフレッシュ制御部 11 及び図 4 に示したレイテンシカウンタにおけるそれぞれの RS フリップフロップ 31、41 のリセット入力 (R) には、パワーダウンコマンド PD Entry は入力せずに、セルフリフレッシュイネーブルコマンド SREFEN CMD のみを入力する。これにより、RS フリップフロップ 31、41 の出力は、パワーダウンコマンド PD Entry によってはリセットされず、パワーダウンコマンド PD Entry が投入されてもパワーダウンモード移行前の状態を保持することが可能となる。

【0107】

また、一般に高速アクセスが要求されるのは同期モードであるため、上述した説明では、同期モードにおいてのみセルフリフレッシュモードと外部リフレッシュモードとの切り替え、言い換えればリフレッシュ動作をセルフリフレッシュ信号 SREF に基づいて行うか外部リフレッシュコマンド ExREF CMD に基づいて行うかの切り替えを可能としているが、非同期モードにおいても切り替え可能なようにしても良い。

10

【0108】

具体的には、非同期モードにおいても、セルフリフレッシュ信号 SREF に基づいてリフレッシュ動作を実行するセルフリフレッシュモードに加えて、外部リフレッシュコマンド ExREF CMD に基づいてリフレッシュ動作を実行する外部リフレッシュモードを新たに設け、同期モードと同様に状態制御を行うようにすれば良い。この場合には、非同期モードにおいても、アクセス時間を短縮し、アクセス動作の高速化を実現することができる。

20

【0109】

また、図 3 (A) に示したリフレッシュ制御部 11 及び図 4 に示したレイテンシカウンタにおける各スイッチ SWA0、SWA1、SWB0、SWB1 は、例えばトランスファゲートにより構成することができる。また、各スイッチ SWA0、SWA1、SWB0、SWB1 は選択操作を実現するものであり、これに限らず、セクタやロジック回路により選択操作を実現するようにしても良い。

【0110】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

30

本発明の諸態様を付記として以下に示す。

【0111】

(付記 1) データを記憶する複数のメモリセルが配置されたメモリセルアレイと、

上記メモリセルに記憶されているデータを保持するためのリフレッシュ動作を、外部から入力される外部からのリフレッシュ要求又は内部で自ら生成する内部のリフレッシュ要求の何れに基づいて行うか切り替え可能であるとともに、上記リフレッシュ要求に応じてリフレッシュ動作の実行を指示するリフレッシュ制御部と、

上記リフレッシュ制御部からの指示に基づいて、上記メモリセルアレイでのリフレッシュ動作を実行するアレイ制御部とを備え、

40

上記リフレッシュ制御部は、上記半導体記憶装置の動作状態に応じて、上記外部からのリフレッシュ要求又は上記内部のリフレッシュ要求を選択するリフレッシュ要求セクタを有し、

上記リフレッシュ要求セクタは、上記外部からのリフレッシュ要求が入力されてから、セルフリフレッシュ動作を許可するセルフリフレッシュ許可要求が入力されるまでの期間は、上記外部からのリフレッシュ要求を選択し、この期間以外は上記内部のリフレッシュ要求を選択することを特徴とする半導体記憶装置。

(付記 2) 上記リフレッシュ制御部は、上記外部からのリフレッシュ要求と上記内部のリフレッシュ要求とが競合した場合には、先のリフレッシュ要求に基づいて上記リフレッシュ動作の実行を指示し、後のリフレッシュ要求は無視することを特徴とする付記 1 記載の

50

半導体記憶装置。

(付記3) タイマー機能を有し、一定期間が経過する度に上記内部のリフレッシュ要求を生成し出力する内部リフレッシュ要求部をさらに備えることを特徴とする付記1記載の半導体記憶装置。

(付記4) 上記リフレッシュ動作が上記外部からのリフレッシュ要求又は上記内部のリフレッシュ要求の何れに基づいて行われているかによって、上記メモリセルアレイに対する外部からのアクセス要求に係るレイテンシを制御するレイテンシ制御部をさらに備えることを特徴とする付記1記載の半導体記憶装置。

(付記5) 上記レイテンシ制御部は、上記外部からのアクセス要求に係る処理のみに要する時間を計測する第1のカウントと、上記リフレッシュ動作の処理のみに要する時間を計測する第2のカウントとを有し、上記リフレッシュ動作を行わせるリフレッシュ要求に応じて、上記第1のカウントに加えて、上記第2のカウントを用いるか否かを切り替えることを特徴とする付記4記載の半導体記憶装置。

10

(付記6) 上記メモリセルアレイ内の予め設定した一部領域のメモリセルに対してのみリフレッシュ動作を実行する省電力モードを動作状態として設定可能であることを特徴とする付記1記載の半導体記憶装置。

(付記7) 上記省電力モードから通常の動作モードに動作状態を移行した場合に、上記リフレッシュ制御部は、上記省電力モードに移行する前の動作状態にかかわらず、上記内部のリフレッシュ要求に基づいてリフレッシュ動作の実行を指示することを特徴とする付記6記載の半導体記憶装置。

20

(付記8) 上記省電力モードから通常の動作モードに動作状態を移行した場合に、上記リフレッシュ制御部は、上記省電力モードに移行する前の動作状態にて選択していたリフレッシュ要求と同じリフレッシュ要求に基づいてリフレッシュ動作の実行を指示することを特徴とする付記6記載の半導体記憶装置。

(付記9) 新たに設けた1つの信号と既存のコマンド信号とを組み合わせることで上記外部からのリフレッシュ要求がなされることを特徴とする付記1記載の半導体記憶装置。

(付記10) 上記メモリセルアレイに対する外部からのアクセス動作が、入力されるクロック信号に対して非同期で実行される非同期動作モードと、上記クロック信号に同期して実行される同期動作モードとを動作状態として設定可能かつ切り替え可能であり、

上記リフレッシュ制御部は、上記同期動作モードにおいてのみ、上記リフレッシュ動作を上記外部からのリフレッシュ要求又は上記内部のリフレッシュ要求の何れに基づいて行うか切り替え可能であることを特徴とする付記1記載の半導体記憶装置。

30

(付記11) 任意に上記同期動作モードから上記非同期動作モードに動作状態を切り替え可能であるとともに、上記非同期動作モードでは、上記内部のリフレッシュ要求に基づいて上記リフレッシュ動作が行われることを特徴とする付記10記載の半導体記憶装置。

(付記12) 上記リフレッシュ制御部は、さらに上記非同期動作モードにおいても、上記リフレッシュ動作を上記外部からのリフレッシュ要求又は上記内部のリフレッシュ要求の何れに基づいて行うか切り替え可能であることを特徴とする付記10記載の半導体記憶装置。

(付記13) 付記6記載の半導体記憶装置と、

40

上記半導体記憶装置の動作状態を制御管理するとともに、上記外部からのリフレッシュ要求を上記半導体記憶装置に出力可能な制御装置とを備えたことを特徴とする情報処理システム。

(付記14) 情報処理システムの動作状態に合わせて、上記半導体記憶装置の動作状態を制御するようにしたことを特徴とする付記13記載の情報処理システム。

【図面の簡単な説明】

【0112】

【図1】 本発明の一実施形態による半導体記憶装置の構成例を示すブロック図である。

【図2】 本実施形態による半導体記憶装置の状態制御を説明するための図である。

【図3】 リフレッシュ制御部の構成例を示す図である。

50

【図 4】レイテンシカウンタの構成例を示す図である。

【図 5】アレイ制御回路の構成例を示す図である。

【図 6】メモリセルアレイにおけるメモリセルとその周辺回路の構成例、及びメモリセルに係るデータ読み出しシーケンスを示す図である。

【図 7】本実施形態による半導体記憶装置の動作例を示すタイミングチャートである。

【図 8】本実施形態による半導体記憶装置のコマンド例を示す図である。

【図 9】本実施形態による半導体記憶装置を適用した情報処理システムを説明するための図である。

【図 10】本実施形態による半導体記憶装置の状態制御の他の例を説明するための図である。

10

【図 11】従来の擬似 S R A M の構成を示すブロック図である。

【図 12】従来の擬似 S R A M の動作を示すタイミングチャートである。

【符号の説明】

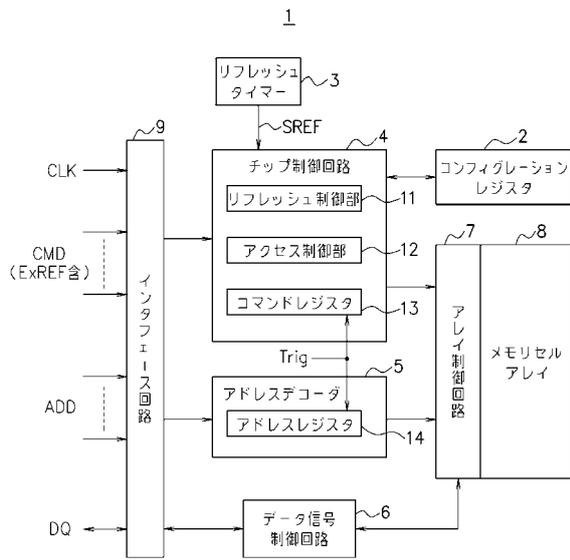
【 0 1 1 3 】

- 1 半導体記憶装置
- 2 コンフィグレーションレジスタ
- 3 リフレッシュタイマー
- 4 チップ制御回路
- 5 アドレスデコーダ
- 6 データ信号制御回路
- 7 アレイ制御回路
- 8 メモリセルアレイ
- 9 インタフェース回路
- 1 1 リフレッシュ制御部
- 1 2 アクセス制御部
- 1 3 コマンドレジスタ
- 1 4 アドレスレジスタ
- C L K クロック信号
- C M D コマンド信号
- A D D アドレス信号
- D Q データ信号

20

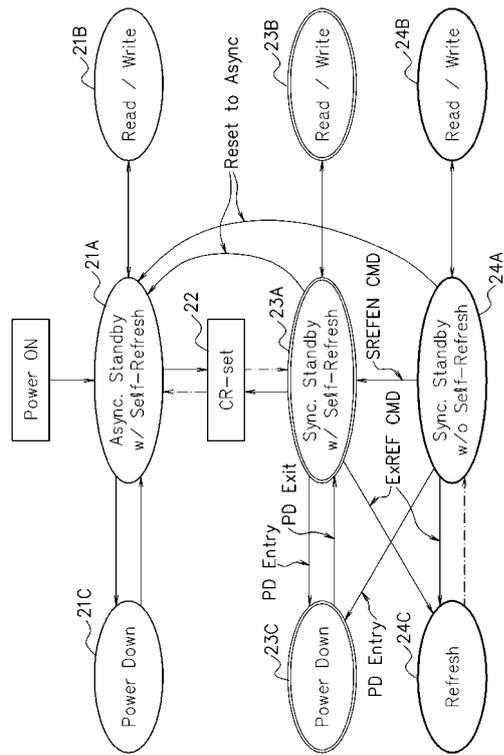
30

【図1】



本実施形態による半導体記憶装置の構成例

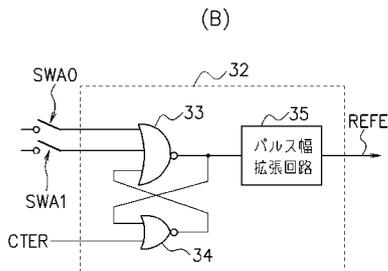
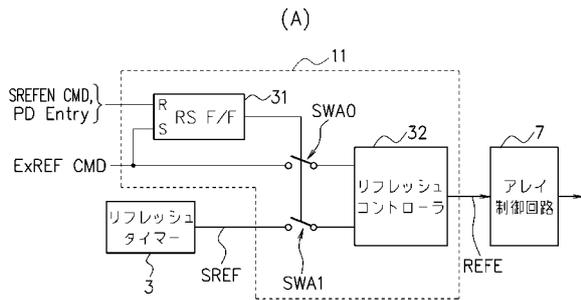
【図2】



Exit automatically

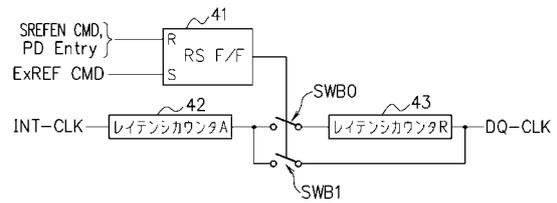
本実施形態による半導体記憶装置の動作モード

【図3】



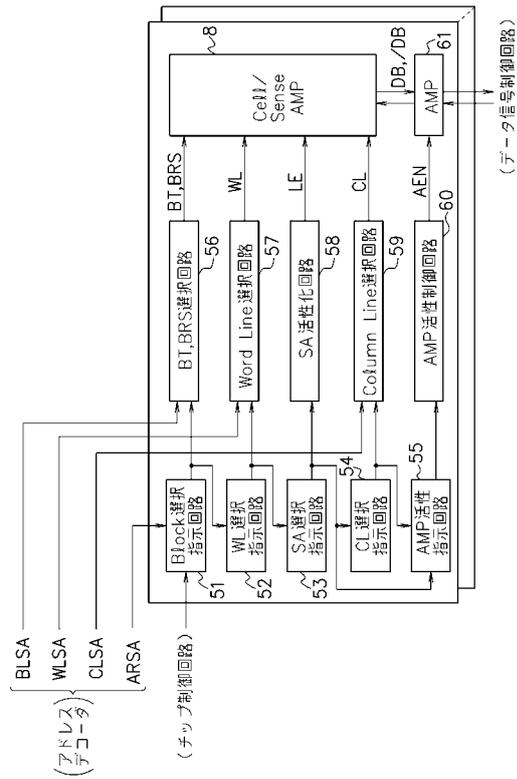
リフレッシュ制御部の構成

【図4】



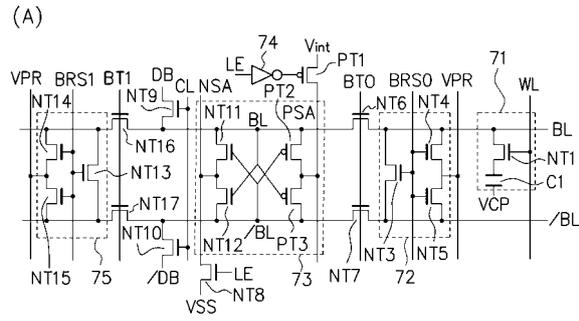
レイテンシカウンタの構成

【図5】

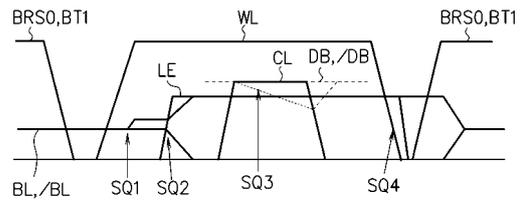


アレイ制御回路の構成

【図6】

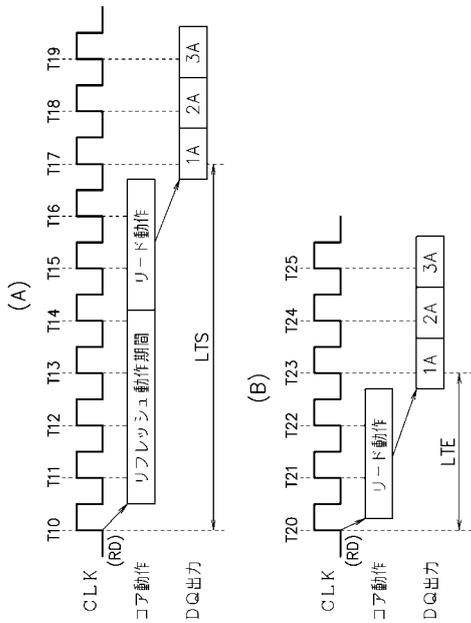


(B)



メモリアレイの説明図

【図7】



【図8】

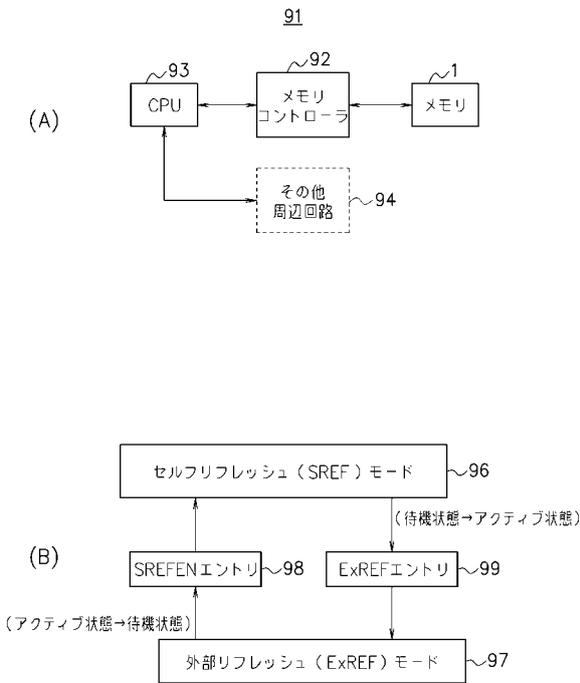
	CLK	CE2	/CE1	/RF	/ADV	/OE	/WE	/UB	/LB
Read	↑	H	L	H	L	L	H	-	-
Write	↑	H	L	H	L	H	L	-	-
ExREF	↑	H	L	L	H	H	L	H	H
SREFEN	↑	H	L	L	H	L	H	H	H
PD Entry	X	L	X	X	X	X	X	X	X
PD Exit	X	H	H	X	X	X	X	X	X

X: Don't Care

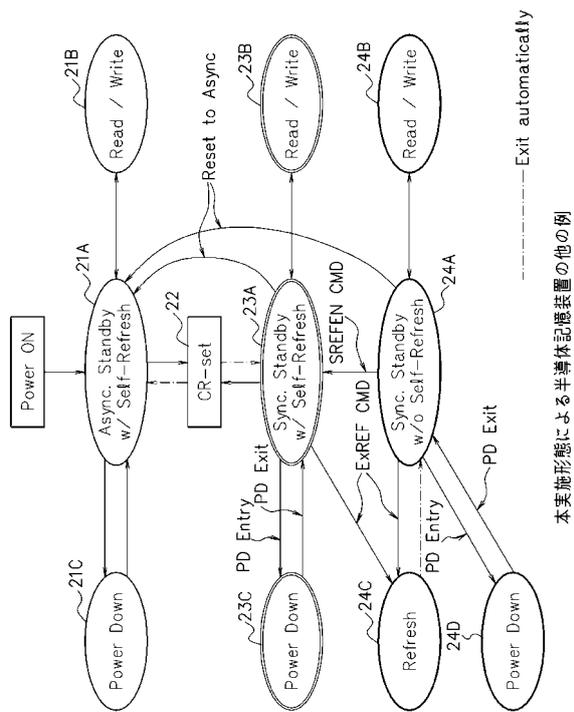
本実施形態におけるコマンド例

本実施形態による半導体記憶装置の動作

【図9】

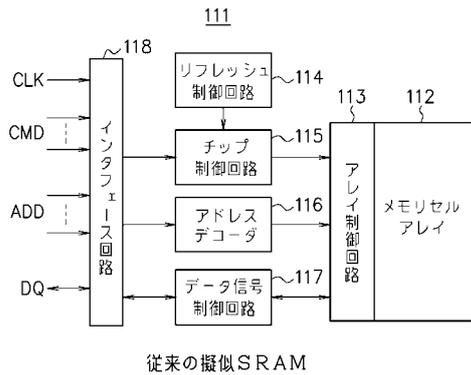


【図10】



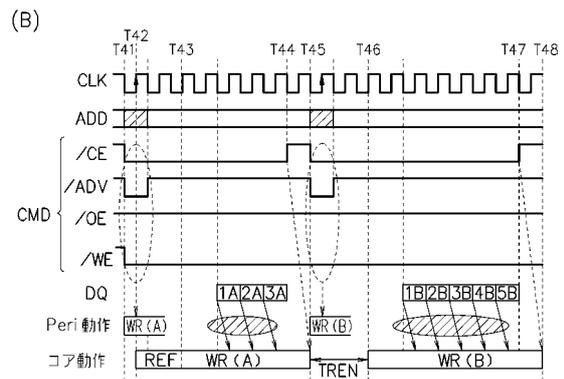
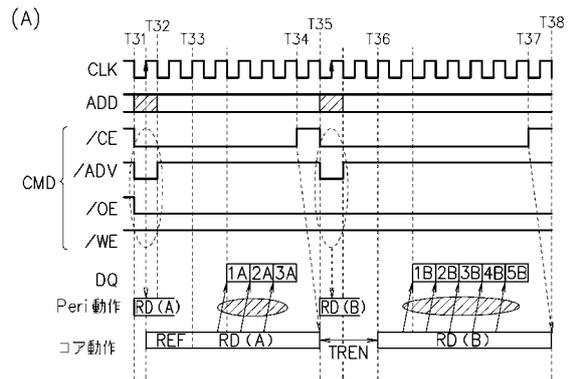
本実施形態による半導体記憶装置の他の例

【図11】



従来の擬似SRAM

【図12】



従来の擬似SRAMの動作

フロントページの続き

(72)発明者 佐藤 光徳
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 堀江 義隆

(56)参考文献 特開平09-306164(JP,A)
特開2002-304885(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/40-11/4099