

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H02M 3/07 (2006.01)

G02F 1/133 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200610058828.8

[43] 公开日 2006年9月20日

[11] 公开号 CN 1835365A

[22] 申请日 2006.3.1

[21] 申请号 200610058828.8

[30] 优先权

[32] 2005.3.16 [33] JP [31] 2005-074777

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 飞田洋一 森成一郎 村井博之

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨凯 刘宗杰

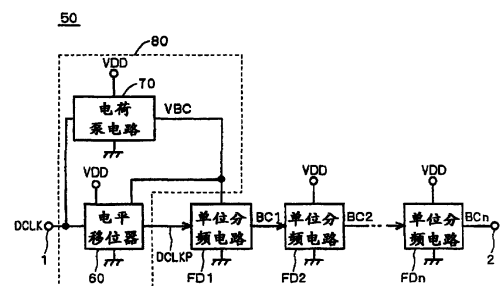
权利要求书 3 页 说明书 24 页 附图 12 页

## [54] 发明名称

分频电路、电源电路及显示装置

## [57] 摘要

本发明对采用低温多晶硅工艺的驱动电路一体型显示装置,提供工作容限大的分频电路。构成分频电路(50)的级联的单位分频电路 FD1 ~ FDn 之中,对初级单位分频电路(FD1)附加电平移位器(60)和电荷泵电路(70)。电荷泵电路(70)基于点时钟信号(信号 DCLK)将输入电压升压并生成升压电压,并向初级单位分频电路(FD1)供给,初级单位分频电路(FD1)用升压电压来驱动,因此提高了电流驱动能力。通过提高被输入频率较大的点时钟信号的初级单位分频电路(FD1)的驱动能力,能够增大分频电路(50)的工作容限。



1. 一种将输入信号分频后输出的分频电路，其特征在于设有：  
级联的多个单位分频电路，以及  
5 至少向初级的所述单位分频电路供给升压电压的升压电路。
2. 如权利要求1所述的分频电路，其特征在于所述升压电路中  
设有：  
设有被输入输入电压的一方端子的第一晶体管；  
其一端与所述第一晶体管的另一方端子连接的第一电容元件；  
10 其一方端子与所述第一电容元件的一端连接的第二晶体管；以及  
其一端与所述第二晶体管的另一方端子连接的第二电容元件。
3. 如权利要求2所述的分频电路，其特征在于所述升压电路中  
还设有：  
其一方端子与所述第一晶体管的所述一方端子连接，另一方端子  
15 与所述第一晶体管的控制端子连接，且控制端子与所述第一电容元件  
的所述一端连接的第三晶体管；  
其一方端子与所述第二晶体管的所述另一方端子连接，另一方端  
子与所述第二晶体管的控制端子连接，且控制端子与所述第一电容元  
件的所述一端连接的第四晶体管；  
20 其一端与所述第一晶体管的所述控制端子连接的第三电容元  
件；  
其一端与所述第二晶体管的所述控制端子连接的第四电容元  
件。
4. 如权利要求1所述的分频电路，其特征在于所述升压电路中  
25 设有：  
设有被输入输入电压的一方端子的第一晶体管；  
其一端与所述第一晶体管的另一方端子连接的电容元件；  
其一方端子与所述第一晶体管的控制端子连接的第二晶体管；以

及

其一方端子与所述第一晶体管的所述控制端子连接、另一方端子与所述第一晶体管的所述另一方端子连接的第三晶体管。

5. 如权利要求 1 所述的分频电路，其特征在于所述升压电路中  
5 设有：

设有被输入输入电压的一方端子的第一晶体管；

其一端与所述第一晶体管的另一方端子连接的电容元件；

其一方端子与所述第一晶体管的控制端子连接的第二晶体管；以

及

10 其一方端子与所述第一晶体管的所述控制端子连接、另一方端子与所述第一晶体管的所述另一方端子连接的电阻元件。

6. 如权利要求 4 或 5 所述的分频电路，其特征在于：所述升压电路还设有与所述电容元件的另一端连接的延迟电路。

7. 如权利要求 1 所述的分频电路，其特征在于：所述分频电路  
15 还设有将所述输入信号的一方电平变换成所述升压电压的电压电平后输出的电平移位器。

8. 一种电源电路，其特征在于设有：

权利要求 1 所述的分频电路；以及

基于所述分频电路的输出而输出第二升压电压的第二升压电

20 路，

在至少所述初级的所述单位分频电路中，所述第二升压电压大于预定值时，取代所述升压电压而提供所述第二升压电压。

9. 如权利要求 8 所述的电源电路，其特征在于：

所述至少初级的单位分频电路中设有：

25 被供给所述升压电压的至少初级的第一单位分频电路；以及

被供给所述第二升压电压的至少初级的第二单位分频电路，

根据所述第二升压电压是否大于所述预定值来切换所述至少初级的第一单位分频电路和所述至少初级的第二单位分频电路。

10. 如权利要求9所述的电源电路,其特征在于:所述分频电路还设有将所述输入信号的一方电平变换到所述第二升压电压的电平后输出到所述第二单位分频电路的第二电平移位器。

11. 一种显示装置,其特征在于设有:

5 显示元件;

驱动所述显示元件的驱动电路;

向所述驱动电路供给所述第二升压电压的权利要求8所述的电源电路。

12. 如权利要求11所述的显示装置,其特征在于:所述显示元件为液晶元件。

13. 如权利要求11所述的显示装置,其特征在于:所述显示元件为电致发光元件。

## 分频电路、电源电路及显示装置

### 5 技术领域

本发明涉及分频电路、电源电路及显示装置的工作容限的提高。

### 背景技术

10 平板显示装置将液晶或者有机EL等作为显示元件(像素),并具备电源电路及驱动电路。还有,电源电路及驱动电路采用与显示元件同时形成在衬底上的薄膜晶体管(Thin Film Transistor: TFT)来形成。

15 电源电路由分频电路和电荷泵电路形成。电源电路被供给来自外部系统的电压VDD和电压VSS(GND)。分频电路降低以高频输入的时钟信号的频率。然后,分频电路将低频时钟信号输出给电荷泵电路。降低时钟信号之频率的理由是为减小流过电荷泵电路的无效电

流,以提高电源电路的功率利用率。  
电荷泵电路利用低频时钟信号、VDD(输入电压)及VSS,生成比VDD高电压的VDDH(第二升压电压)、比VSS低电压的VSSL。驱动电路根据VDDH、VSSL动作,生成用以驱动像素的各种信号。

20 分频电路由多个单位分频电路(二进制计数器)级联构成。单位分频电路具有使输入的信号频率降低到1/2的作用。因而,n级的单位分频电路级联的分频电路将输入信号频率降低到 $(1/2^n)$ 。

25 一般,将像素、驱动电路及电源电路一体化的显示装置中,被输入用以生成显示装置内部控制信号的点时钟信号(输入信号)、水平同步信号及垂直同步信号等三个信号作为时钟信号。其中水平同步信号、垂直同步信号的频率低于满足电源电路的负载电流供给能力的频率。因此,点时钟信号输入到分频电路。

点时钟信号的频率由显示装置的像素数来确定,例如,便携电

话中使用的QVGA尺寸的显示装置中为5MHz左右。因而，单位分频电路的初级电路必须在5MHz左右工作。还有，基准电压VDD由外部的LSI电路确定，一般为3V左右。

5 还有，与本发明关联的传统技术公开于日本专利文献特开2000-278937号公报。

### 发明内容

10 但是，用低温多晶硅工艺形成的现有的TFT因电流驱动能力低而难以跟随高频的输入信号。还有，当TFT的特性值(特别是阈值电压)含有偏差时，尤其初级的单位分频电路被输入最高频的信号，因此几乎没有工作容限。结果，分频电路整体的工作容限变小。

于是，本发明的目的在于向驱动电路一体型的显示装置提供工作容限大的分频电路、电源装置以及显示装置。

15 本发明第一方面是将输入信号分频后输出的分频电路，其特征在于设有：级联的多个单位分频电路，以及至少向初级的所述单位分频电路供给升压电压的升压电路。

20 依据本发明第一方面，使分频电路的至少初级的单位分频电路利用升压电压来工作。结果，提高了构成单位分频电路的晶体管的电流驱动能力，即便使用薄膜晶体管作为晶体管的场合，也能增大分频电路的工作容限。

### 附图说明

图1是表示实施例1的显示装置的结构框图。

图2是表示实施例1的分频电路的结构框图。

25 图3是表示实施例1的电平移位器的结构的电路图。

图4是表示实施例1的电荷泵电路的结构的电路图。

图5是说明实施例1的电荷泵电路的动作的波形图。

图6是表示实施例1的单位分频电路的结构的电路图。

- 图7是说明实施例1的单位分频电路的动作用的波形图。  
 图8是表示实施例1的分频电路变形例的结构的框图。  
 图9是表示实施例2的电荷泵电路的结构的电路图。  
 图10是说明实施例2的电荷泵电路的动作用的波形图。  
 5 图11是表示实施例3的分频电路的结构的框图。  
 图12是说明实施例3的分频电路的动作用的波形图。  
 图13是表示实施例4的分频电路的结构的框图。  
 图14是表示实施例5的分频电路的结构的框图。  
 图15是表示实施例5的升压发生电路的结构的电路图。  
 10 图16是说明实施例5的升压发生电路的动作用的波形图。  
 图17是表示实施例5的升压发生电路变形例的结构的电路图。  
 图18是表示实施例6的升压发生电路的结构的电路图。  
 图19是实施例6的升压发生电路上被输入的输出信号的波形图。  
 图20是表示实施例6的升压发生电路变形例1的结构的电路图。  
 15 图21是表示实施例6的升压发生电路变形例2的结构的电路图。  
 图22是表示实施例7的分频电路的结构的框图。

#### (符号说明)

- 10 像素, 20 驱动电路, 30 电源电路, 40、70 电荷泵电  
 路, 50 分频电路, 60 电平移位器, 90 升压发生电路, DC 延  
 20 迟电路, DCLK 点时钟信号, FD1 ~ FDn 单位分频电路。

### 具体实施方式

#### < 实施例1 >

##### < A. 电路结构 >

- 25 < A-1. 整体结构 >

图1是表示本实施例的显示装置100的结构的框图。

像素10与驱动电路20的输出端连接。驱动电路20上被供给来自电源电路30的电压VDDH、VSSL。电源电路30被输入来自端子1的点

时钟信号(输入信号: 以下还称为信号DCLK)。信号DCLK是H电平为电压VDD、L电平为接地电压(例如, 0V)的信号。

电源电路30基于信号DCLK, 生成高于电压VDD的电压VDDH和低于接地电压VSS的电压VSSL, 输出给驱动电路20。驱动电路20接受来自电源电路30的VDDH、VSSL, 生成用以驱动像素10的各种信号并加以输出。

#### < A - 2. 电源电路30的电路结构 >

电源电路30由电荷泵电路40(第二升压电路)及分频电路50构成。分频电路50将信号DCLK变换为低频的信号后输出给电荷泵电路40。

电荷泵电路40基于来自分频电路50的信号, 将电压VDD升压并输出电压VDDH。另外, 电荷泵电路40生成低电压VSSL并加以输出。

#### < A - 3. 分频电路50的电路结构 >

接着, 参照图2, 就分频电路50的结构进行详细说明。图2是表示分频电路50的结构的框图。

分频电路50由级联的n个单位分频电路FD1 ~ FDn和电路80构成。最终级的单位分频电路FDn的输出端BCn与电荷泵电路40连接(参照图1)。

电路80向单位分频电路FD1提供电压VBC(升压电压)。然后, 信号DCLK经由电路80输入到单位分频电路FD1。电路80由电荷泵电路70及电平移位器60构成。电荷泵电路70基于信号DCLK将电压VDD升压并生成电压VBC。作为升压电路的电荷泵电路70向单位分频电路FD1及电平移位器60提供电压VBC。

电平移位器60上一旦被输入信号DCLK, 将其H电平(一方电平)变换为电压VBC并加以输出。电平移位器60为防止因单位分频电路FD1上被供给电压VBC而发生的贯通电流而设置。

还有, 单位分频电路FD1用电压VBC来工作, 因此其输出信号BC1的H电平成为电压VBC。该电压电平被输入以电压VDD工作的单位分频电路FD2, 但这时无贯通电流流过而不产生问题。



#### < A - 4. 电平移位器60的结构 >

图3是表示电平移位器60的结构的电路图。电平移位器60由倒相器61、62及电平移位电路63构成。

图3中晶体管Q2、Q4、Q6、Q8为N型TFT，晶体管Q1、Q3、Q5、  
5 Q7为P型TFT。

倒相器61由晶体管Q1、Q2构成。晶体管Q1的源极上被供给电压VDD，漏极与晶体管Q2的漏极在节点N1上连接。晶体管Q2的源极接地。晶体管Q1、Q2的栅极与端子1及构成电平移位电路63的晶体管Q6的栅极连接。还有端子1上被输入信号DCLK。

10 倒相器61一旦被输入L电平的信号，晶体管Q1就迁移到导通状态，且晶体管Q2迁移到截止状态。结果，从节点N1输出H电平(电压VDD)的信号。

接着，若被输入H电平的信号，则晶体管Q1迁移到截止状态，且晶体管Q2迁移到导通状态。结果，从节点N1输出L电平(例如0V)的信号。  
15

如上所述，倒相器61输出与信号DCLK反相的信号/DCLK。

电平移位电路63由晶体管Q3~Q6构成。晶体管Q3的源极与晶体管Q5的源极及电荷泵电路70(参照图2)的输出端连接，被供给电压VBC。  
20

晶体管Q3的漏极与晶体管Q4的漏极在节点N2上连接。晶体管Q4的源极接地。晶体管Q5的漏极在节点N3上与晶体管Q6的漏极连接。晶体管Q6的源极接地。晶体管Q3的栅极与节点N3连接，晶体管Q5的栅极与节点N2连接。晶体管Q4的栅极与节点N1连接，晶体管Q6的栅极与端子1连接。

25 电平移位电路63在第一输入端(晶体管Q4的栅极)上被输入H电平的信号、且第二输入端(晶体管Q6的栅极)上被输入L电平的信号时，晶体管Q4迁移到导通状态，晶体管Q6迁移到截止状态。

若晶体管Q4迁移到导通状态，则节点N2经由晶体管Q4接地并迁

移到L电平。若节点N2迁移到L电平，则晶体管Q5迁移到导通状态。结果，节点N3经由晶体管Q5连接到电压VBC，迁移到H电平。这时，节点N3的H电平成为比信号DCLK的H电平的电压VDD高的电压VBC。

5 接着，第一输入端上被输入L电平、第二输入端上被输入H电平的信号时，晶体管Q4迁移到截止状态，晶体管Q6迁移到导通状态。当晶体管Q6迁移到导通状态时，节点N3经由晶体管Q6接地，并迁移到L电平。节点N3一旦迁移到L电平，晶体管Q3就迁移到导通状态。

结果，节点N2经由晶体管Q3连接到电压VBC，迁移到H电平。  
10 因而，节点N2的H电平由高于信号DCLK的H电平的电压即电压VBC提供。

综上所述，电平移位电路63在彼此反相的信号输入到第一输入端、第二输入端时，H电平为电压VBC并输出彼此反相的信号。

15 倒相器62由晶体管Q7、Q8构成。晶体管Q7的源极与晶体管Q5的源极连接，被供给电压VBC。晶体管Q7的漏极与晶体管Q8的漏极在节点N4上连接。晶体管Q8的源极接地。

晶体管Q7、Q8的栅极在电平移位电路63中的节点N3上连接。节点N4与端子3连接，从端子3输出信号DCLKP。

倒相器62的动作与倒相器61同样，因此省略详细说明。

20 < A - 4 - 1. 电平移位器60的动作 >

信号DCLK从端子1输入到倒相器61时，倒相器61将反相信号/DCLK输出到电平移位器电路63的第一输入端。电平移位电路63的第二输入端上被输入信号DCLK。

25 电平移位电路63在第一输入端上被输入反相信号/DCLK、第二输入端上被输入信号DCLK时，H电平为电压VBC且从节点N2、N3输出彼此反相的信号。

节点N3向倒相器62输出与/DCLK同相的信号/DCLKP。倒相器62将反相信号/DCLKP反相后，输出信号DCLKP。

这里，电平移位电路63通常不能增大驱动能力，因此倒相器62作为电平移位电路63的缓冲器起作用。能够将电平移位电路63的驱动能力相对负载增大时，就不需要倒相器62。相反，负载较大时，需要增大缓冲器的级数。

#### 5 < A - 5. 电荷泵电路70的结构 >

图4是表示电荷泵电路70的结构的电路图。电荷泵电路有各种电路，图4对应于升压生成型的电荷泵电路。

电荷泵电路70在端子41上被供给电压VDD时，将电压VDD升压并从端子42输出电压VBC。

10 电荷泵电路70由N型TFT的晶体管Q9、P型TFT的晶体管Q10及电容Cp、输出电容COUT构成。

晶体管Q9(第一晶体管)的漏极(一方端子)与端子41连接，被输入VDD(输入电压)。晶体管Q9的源极(另一方端子)在节点N5上与晶体管Q10(第二晶体管)的源极(一方端子)连接。还有，在节点N5上接有电容Cp(第一电容元件)的一端。晶体管Q10的漏极(另一方端子)与输出电容COUT(第二电容元件)的一端连接。输出电容COUT的另一端接地。

15 晶体管Q9的栅极上被输入信号P1。然后电容Cp的另一端上被输入信号P2。晶体管Q10的栅极上被输入信号P3。

20 还有，信号P1 ~ P3利用信号DCLK来生成。

#### < A - 5 - 1. 电荷泵电路70的动作 >

接着参照图5，就电荷泵电路70的动作进行说明。图5是说明电荷泵电路70的运动的波形图。

25 在初始状态下，被输入信号P1为L电平(VDD)、信号P2为L电平(VSS: 例如0V)、信号P3为H电平( $2 \cdot VDD$ )等信号。

接着，当信号P2为L电平时，若信号P1迁移到H电平( $2 \cdot VDD$ )，则晶体管Q9迁移到导通状态，电容Cp充电至VDD。结果，节点N5的电压电平成为VDD。

这里，晶体管Q9的源极电压成为VDD，因此使晶体管Q9在无阈值电压损耗的非饱和区域上成为导通状态，信号P1上需要 $2 \cdot VDD$ 的电压。

5 另外，信号P3为H电平( $2 \cdot VDD$ )，因此栅极/源极间电压成为VDD，晶体管Q10成为截止状态。

若信号P1再次成为L电平，则晶体管Q9成为截止状态。还有，晶体管Q9在成为截止状态之后经过时间 $dt1$ 后，信号P2成为H电平(VDD)。电容 $Cp$ 充电至VDD，因此节点N5的电平成为 $2 \cdot VDD$ 。

10 这里，在经过时间 $dt1$ 前，信号P2成为H电平时，因晶体管Q9处于导通状态而从节点N5向端子41有电流流过，节点N5的电压电平不会成为 $2 \cdot VDD$ 。因此在经过时间 $dt1$ 后，有必要将信号P2设为H电平。

然后，在信号P2成为H电平之后经过时间 $dt2$ 后，信号P3成为L电平(VDD)。信号P3一旦成为L电平，晶体管Q10的栅极/源极间电压成为 $-VDD$ ，晶体管Q10迁移到导通状态。

15 然后，电流从节点N5流入输出电容 $COUT$ ，将输出电容 $COUT$ 充电。结果，端子42的电压电平上升一定值(节点N5的电压电平降低)。

这里，在经过时间 $dt2$ 前，信号P3成为L电平时，在晶体管Q10的栅极/源极间电压成为 $-VDD$ 之前，晶体管Q10成为导通状态。因此，将输出电容 $COUT$ 充电的速度变慢、充电效率降低。

20 接着信号P3成为H电平时，晶体管Q10成为截止状态。还有，在晶体管Q10成为截止状态后，经过时间 $dt3$ 后，信号P2成为L电平(0V)。若信号P2成为L电平，则节点N5的电压电平也同时降低。

25 这里，在经过时刻 $dt3$ 前，信号P2成为L电平时，节点N5的电压电平降低，低于输出侧的电压电平。由于晶体管Q10处于导通状态，电流从输出侧逆流到节点N5侧，输出电平降低。即，充电效率降低。

在信号P2成为L电平到经过时刻 $dt4$ 后，信号P1由L电平迁移到H电平。这样，晶体管Q9就迁移到导通状态，再将电容 $Cp$ 充电至电压VDD，节点N5的电压电平成为VDD。

这里，在经过时间 $dt_4$ 前，信号P1成为H电平时，在晶体管Q9的栅极/源极间电压成为VDD前，电容 $C_p$ 的充电开始。因此，充电速度变慢、充电效率降低。

5 若重复以上的动作，则在负载电流为0的无负载状态下输出电压VBC上升至 $2 \cdot VDD$ 。当有负载电流流过时，产生与负载电流相当的电压降。

#### < A - 6. 单位分频电路的结构 >

接着参照图6，就单位分频电路的结构进行说明。图6是表示单位分频电路的结构的电路图。

10 单位分频电路上被输入信号 $BC_{k-1}$ ，且输出信号 $BC_k$ 。还有，信号 $BC_k$ 为信号 $BC_{k-1}$ 的1/2的频率。

这里，图6示出一般的电路。例如与图2所示的单位分频电路FD1对应时，信号 $BC_{k-1}$ 与信号DCLKP对应，信号 $BC_k$ 与信号BC1对应，电压VDD与电压VBC对应。

15 另外，图6中晶体管TP1 ~ TP12为P型TFT，晶体管TN1 ~ TN12为N型TFT(N型晶体管)。

图6的电路由4个普通的倒相器IV1 ~ IV4和4个时钟倒相器CIV1 ~ CIV4构成。

20 倒相器IV1由其源极连接到被供给电压VDD的电压线V的晶体管TP1和其漏极在节点N20与晶体管TP1的漏极连接的晶体管TN1构成。晶体管TN1的源极接地。还有，晶体管TP1、TN1的栅极上被输入输入信号 $BC_{k-1}$ 。

25 倒相器IV2由其源极连接到电压线V的晶体管TP2和其漏极在节点N21上与晶体管TP2的漏极连接的晶体管TN2构成。晶体管TN2的源极接地。

倒相器IV3由其源极连接到电压线V的晶体管TP7和其漏极在节点N27上与晶体管TP7的漏极连接的晶体管TN7构成。晶体管TN7的源极接地。

倒相器IV4由其源极连接到电压线V的晶体管TP12和其漏极在节点N28上与晶体管TP12的漏极连接的晶体管TN12构成。晶体管TN12的源极接地。

5 时钟倒相器CIV1由晶体管TP3、TP4及晶体管TN3、TN4构成。晶体管TP4的源极与电压线V连接，漏极与晶体管TP3的源极连接。晶体管TP3的漏极在节点N23上与晶体管TN4的漏极连接。晶体管TN4的源极与晶体管TN3的漏极连接。晶体管TN3的源极接地。

10 时钟倒相器CIV2由晶体管TP5、TP6及晶体管TN5、TN6构成。晶体管TP6的源极与电压线V连接，漏极与晶体管TP5的源极连接。晶体管TP5的漏极在节点N26上与晶体管TN6的漏极连接。晶体管TN6的源极与晶体管TN5的漏极连接。晶体管TN5的源极接地。

15 时钟倒相器CIV3由晶体管TP8、TP9及晶体管TN8、TN9构成。晶体管TP9的源极与电压线V连接，漏极与晶体管TP8的源极连接。晶体管TP8的漏极在节点N25上与晶体管TN9的漏极连接。晶体管TN9的源极与晶体管TN8的漏极连接。晶体管TN8的源极接地。

20 时钟倒相器CIV4由晶体管TP10、TP11及晶体管TN10、TN11构成。晶体管TP11的源极与电压线V连接，漏极与晶体管TP10的源极连接。晶体管TP10的漏极在节点N29与晶体管TN11的漏极连接。晶体管TN11的源极与晶体管TN10的漏极连接。晶体管TN10的源极接地。

晶体管TP2、TN2的栅极形成倒相器IV2的输入端。然后，倒相器IV2的输入端与构成时钟倒相器CIV1的晶体管TP4的栅极、构成时钟倒相器CIV2的晶体管TN6的栅极、构成时钟倒相器CIV3的晶体管TN8的栅极以及形成时钟倒相器CIV4的晶体管TP10的栅极连接。

25 倒相器IV1的输出端(节点N20)与倒相器IV2的输入端连接。

倒相器IV2的输出端(节点N21)与构成时钟倒相器CIV1的晶体管TN3的栅极、构成时钟倒相器CIV2的晶体管TP5的栅极、构成时钟倒相器CIV3的晶体管TP9的栅极以及构成时钟倒相器CIV4的晶体管

TN11的栅极连接。

倒相器IV3的输出端(节点N27)与时钟倒相器CIV2的输入端(晶体管TP6的栅极及晶体管TN5的栅极)以及时钟倒相器CIV3的输入端(晶体管TP8的栅极以及晶体管TN9的栅极)连接。

5 倒相器IV4的输出端(节点N28)与时钟倒相器CIV4的输入端(晶体管TP11、TN10的栅极)连接, 将输出信号 $BC_k$ 输出。

构成时钟倒相器CIV1的晶体管TP3及晶体管TN4的栅极与倒相器IV4的输入端(晶体管TP12的栅极及晶体管TN12的栅极)连接。

10 时钟倒相器CIV2的输出端(节点N26)与时钟倒相器CIV1的输出端(节点N23)连接。时钟倒相器CIV2的输出端还与倒相器IV3的输入端(晶体管TP7的栅极和晶体管TN7的栅极)连接。

时钟倒相器CIV3的输出端(节点N25)与时钟倒相器CIV4的输出端(节点N29)连接, 并与倒相器IV4的输入端(晶体管TP12、TN12的栅极)连接。

15 < A - 6 - 1. 单位分频电路的动作 >

接着, 参照图7, 就单位分频电路的动作进行说明。图7是说明单位分频电路的波形的波形图。

这里, 信号bc与倒相器IV2的输出信号(节点N21的电压电平)对应, 信号/bc与倒相器IV1的输出信号(节点N20的电压电平)对应。

20 首先, 节点N23和节点N25的电压电平由复位电路(未图示)设定为电压VDD。就是说, 信号 $BC_{k-1}$ 、 $BC_k$ 在初始状态下设定为L电平。结果, bc、/bc分别成为L电平、H电平, 因此时钟倒相器CIV1成为去激活状态。

25 接着在时刻t1, 当信号 $BC_{k-1}$ 成为H电平时, 信号bc、信号/bc分别成为H电平、L电平。然后, 时钟倒相器CIV1被激活。节点N25设定为H电平, 因此节点N23成为L电平。因而, 与倒相器IV3的输出端(节点N27)连接的节点N24成为H电平。

接着在时刻t2, 信号 $BC_{k-1}$ 成为L电平时, 信号bc、信号/bc分别

成为L电平、H电平，时钟倒相器CIV1被去激活，同时时钟倒相器CIV2被激活。结果，节点N23、N24的电平不变，由时钟倒相器CIV2和倒相器IV3构成的触发电路保持。同时时钟倒相器CIV3被激活、节点N25成为L电平。然后，信号 $BC_k$ 成为H电平。

5 接着在时刻 $t_3$ ，信号 $BC_{k-1}$ 再次成为H电平时，信号bc、信号/bc分别成为H电平、L电平，时钟倒相器CIV1被激活。节点N25成为L电平，因此节点N23成为H电平、节点N24成为L电平。同时，时钟倒相器CIV3被去激活，时钟倒相器CIV4被激活。结果，节点N25中信号 $BC_k$ 的电平不变，由时钟倒相器CIV4和倒相器IV4构成的触发电路保持。

10 接着在时刻 $t_4$ ，信号 $BC_{k-1}$ 再次成为L电平时，信号bc、信号/bc分别成为L电平、H电平，时钟倒相器CIV1被去激活，同时时钟倒相器CIV2被激活。结果，节点N23、N24的电压电平不变，由时钟倒相器CIV2和倒相器IV3构成的触发电路保持。同时，时钟倒相器CIV3被激活，节点N25成为H电平、信号 $BC_k$ 成为L电平。

15 通过以上的动作，如图7所示，可知信号 $BC_k$ 被分频为信号 $BC_{k-1}$ 的1/2频率。

参照图2、图3、图6，电压(升压电压)VBC只与倒相器4级、时钟倒相器4级、电平移位器1级连接，作为电压VBC的负载来说较小。

因而，在工作时VBC和VSS间流过的电源电流较少，即便电荷泵电路70的效率较差，也能将预定电压供给电平移位器60及单位分频电路。

#### < B. 显示装置100的动作 >

接着参照图1、图2，就本实施例的显示装置100的动作进行说明。

若信号DCLK输入到电源电路30的分频电路50，则电荷泵电路70(参照图2)利用信号DCLK生成电压VBC，向单位分频电路FD1及电平移位器60供给电压VBC。信号DCLK还输入到电平移位器60，电平移位器60将信号DCLK的H电平变换成电压VBC的信号DCLKP输出到单位分频电路FD1。



单位分频电路FD1将信号DCLKP分频为1/2频率的信号BC1输出到单位分频电路FD2。单位分频电路FD2接受信号BC1，并输出将信号BC1分频为1/2频率的信号BC2。最终，从最终级的单位分频电路FDn中由端子2向电荷泵电路40(参照图1)输出将信号BC1分频为 $1/2^n$ 的信号BCn。

电荷泵电路40接受信号BCn并生成电压VDDH、VSSL，输出给驱动电路20。

驱动电路20生成用以驱动像素10的各种信号并加以输出。然后像素10根据来自驱动电路20的信号来驱动。

#### <C. 效果>

本实施例的显示装置中，构成分频电路50的单位分频电路FD1到FDn之中，对初级的单位分频电路FD1上供给高于电压VDD的电压VBC。

结果，提高了构成初级的单位分频电路FD1的TFT的电流驱动能力。初级的单位分频电路FD1上被输入频率最高的信号DCLKP，但由于单位分频电路FD1的电流驱动能力提高，能够增大工作容限。

提高初级的单位分频电路的电流驱动能力的结果，能够提高分频电路50及包含该分频电路50的电源电路30、显示装置100的工作容限。

这里，本实施例构成为仅对单位分频电路FD1供给电压VBC，但也可向单位分频电路FD1以外的其它单位分频电路供给。当信号DCLKP的频率较高时，可能使单位分频电路FD2的工作容限变窄，但如果也向单位分频电路FD2供给电压VBC，就能扩大工作容限。

还有，像素10可为液晶元件，也可为有机EL等的电致发光元件。

#### <D. 变形例>

在分频电路50的电路80中，电平移位器60并非必需的。只要升压电压VBC、升压电压VDD、P型TFT的阈值电压VTP的关系为 $VBC - VDD < |VTP|$ ，单位分频电路FD1中就无贯通电流流过。

因此，如图8所示，能够省略电平移位器60。结果，能够简化分频电路50的电路结构。

### < 实施例2 >

#### < A. 电荷泵电路70的结构 >

5 图9是表示本实施例的电荷泵电路70的结构的电路图。与实施例1相同的结构上采用同一符号并省略重复的说明。

节点N7的电压电平与图4所示的信号P1的电压电平对应，节点N8的电压电平与信号P3的电压电平对应。另外，信号P2根据点时钟信号DCLK来提供。

10 图9所示的电荷泵电路70中，用倒相器73将信号DCLK反相而生成反相信号/DCLK，由反相信号/DCLK生成信号P1、P3。

另外，图9所示的结构中，晶体管Q9、Q12、Q13为N型TFT，晶体管Q10、Q11、Q14为P型TFT。

15 晶体管Q10(第二晶体管)的漏极(另一方端子)与输出端子42以及输出电容COUT(第二电容元件)的一端连接。输出电容COUT的另一端接地。从输出端子42输出升压电压VBC。

20 晶体管Q10的源极(一方端子)在节点N5上与晶体管Q9(第一晶体管)的源极(另一方端子)连接。晶体管Q9的漏极(一方端子)与输入端子41连接。节点N5上连接电容Cp(第一电容元件)的一端。电容Cp的另一端上被输入信号P2。

晶体管Q10的栅极(控制端子)/漏极间，插入了晶体管Q14(第四晶体管)。就是说，晶体管Q14的漏极(一方端子)在节点A2上与晶体管Q10的漏极连接。然后，晶体管Q14的源极(另一方端子)与晶体管Q10的栅极在节点N8上连接。

25 晶体管Q9的栅极(控制端子)/漏极间，插入了晶体管Q13(第三晶体管)。晶体管Q13的漏极(一方端子)在节点A1上与晶体管Q9的漏极连接。然后，晶体管Q13的源极(另一方端子)与晶体管Q9的栅极在节点N7上连接。

晶体管Q13、Q14的栅极在节点A3上与电容Cp的一端连接。电容Cp的另一端与端子72连接，被输入信号DCLK。

晶体管Q10的栅极与电容C3(第四电容元件)的一端连接。另外晶体管Q9的栅极与电容C1(第三电容元件)的一端连接。电容C1的另一端在节点A4上与电容C3的另一端连接。

晶体管Q11的源极上被供给电压VDD。晶体管Q11的漏极在节点N6上与晶体管Q12的漏极连接。晶体管Q12的源极接地。节点N6与节点A4连接。

晶体管Q11、Q12的栅极在节点A5连接，节点A5与输入端子71连接。晶体管Q11、Q12构成倒相器73。还有，端子71、72上被输入信号DCLK。就是说，端子71、72与端子1(参照图2)连接。

#### < B. 电荷泵电路70的动作 >

图10是说明本实施例的电荷泵电路70的动作用的波形图。

接通电压VDD后，通过数周期输入点时钟信号DCLK，信号P1(节点N7)的电压电平充电至VDD。在这种状态下，若/DCLK成为H电平(VDD)，则因电容元件C1的耦合而供P1的电压电平成为 $2 \cdot VDD$ 。

若晶体管Q9迁移到导通状态，则电流从端子41流入电容Cp，将电容Cp充电。这时，信号P2(DCLK)为L电平，电容Cp充电至VDD，节点N5的电压电平成为VDD。

接着信号P2成为H电平时，节点N5的电压电平因电容耦合而成为 $2 \cdot VDD$ 。

但是，这时因反相信号/DCLK成为L电平，信号P1的电平处于降低到VDD的过程。因此，晶体管Q9并非完全截止。结果，电流从节点N5经由晶体管Q9而逆流，使充电效率降低。

同时，由于反相信号/DCLK成为L电平，因此通过电容C3的耦合，信号P3(节点N8)的电压电平从输出电压VBC仅降低反相信号/DCLK的振幅量的VDD。结果，晶体管Q10迁移到导通状态。然后，电流从节点N5经由晶体管Q10流过，输出电容COUT被充电至预定值。

信号P2成为L电平而节点N5的电压电平降低的同时，晶体管Q14成为导通状态，信号P3的电压电平成为VBC。然后晶体管Q10成为截止，但其过程中电流从端子42逆流到节点N5，从而使充电效率降低。

5 通过重复以上的动作，输出电压VBC上升至比VDD更高的电压电平。

### < C. 电荷泵电路70的效果 >

实施例1的电荷泵电路70(参照图4)必须控制使从H电平为VDD的信号DCLK生成H电平为 $2 \cdot VDD$ 的信号P1、P3，而且设有时间 $dt1 \sim dt4$ 的间隔(参照图5)。

10 另一方面，本实施例的电荷泵电路70仅将信号DCLK作为输入，且无需设置时间间隔。因此，能够容易制造本实施例的分频电路。

### < 实施例3 >

#### < A. 分频电路50的结构 >

15 图11是表示本实施例的分频电路50的结构的框图。在与实施例1相同的结构上采用同一符号，省略重复的说明。

本实施例的分频电路50中对实施例1的分频电路50(参照图2)还设置了单位分频电路FD1P(第二单位分频电路)、电平移位器60P(第二电平移位器)。这里，单位分频电路FD1P、电平移位器60P的结构与单位分频电路FD1(第一单位分频电路)、电平移位器60相同。

20 单位分频电路FD2的输入端与OR电路51的输出端连接。OR电路51的一方输入端与AND电路52的输出端连接。OR电路51的另一方输入端与AND电路53的输出端连接。AND电路52的一方输入端上被输入信号/SEL，另一方输入端与单位分频电路FD1的输出端连接。

25 单位分频电路FD1的输入端与电平移位器60的输出端连接。电平移位器60的输入端与输入端子1连接。

另外电平移位器60、单位分频电路FD1与电荷泵电路70的输出端连接，被供给升压电压VBC(升压电压)。电平移位器60上还被供给电压VDD。

电荷泵电路70经由开关SW1连接到电压VDD。开关SW1用信号/SEL进行导通/截止控制。另外，电荷泵电路70的输入端与端子1连接。

AND电路53的一方输入端上被输入信号SEL。AND电路53的另一方输入端与单位分频电路FD1P的输出端连接。单位分频电路FD1P的输入端与电平移位器60P的输出端连接。电平移位器60P的输入端与端子1连接。

还有，单位分频电路FD1P、电平移位器60P经由开关SW2被供给电压VDDH(电荷泵电路40的输出电压(参照图1): 第二升压电压)。开关SW2的导通/截止是用信号SEL来进行控制。

10 < B. 分频电路50的动作 >

图12是说明本实施例的分频电路50的动作用的波形图。本实施例的分频电路50中用开关SW1、SW2进行单位分频电路FD1、单位分频电路FD1P的动作切换，通过AND电路52、53及OR电路51进行输出的切换。

15 首先将信号SEL设为L电平、信号/SEL设为H电平。开关SW1导通而向电荷泵电路70供给电压VDD，电平移位器60、单位分频电路FD1动作。

另一方面，开关SW2截止，VDDH不会供给电平移位器60P、单位分频电路FD1P而不动作。

20 然后，随着信号SEL成为L电平、信号/SEL成为H电平，单位分频电路FD1的输出经由AND电路52、53、OR电路51输入到单位分频电路FD2。

这样，用电压VBC驱动单位分频电路FD1。将来自分频电路50的信号BCn输出给电荷泵电路40(参照图1)。然后电荷泵电路40生成电压VDDH。

25 若电压VDDH成为预定电平(图12的虚线表示的时刻)，则信号SEL成为H电平、信号/SEL成为L电平。这样，开关SW1截止，电荷泵电路70从电压VDD断开，电平移位器60、单位分频电路FD1停止其动作。

另一方面，开关SW2导通，电平移位器60P、单位分频电路FD1P上被供给VDDH，开始动作。

然后，随着信号SEL成为H电平、信号/SEL成为L电平，单位分频电路FD1P的输出经由AND电路52、53、OR电路51输入到单位分频电路FD2。这里，可以不要开关SW2，也可以使开关SW2的部分常时连接。

#### < C. 分频电路50的效果 >

本实施例的分频电路50中，效率较差的电荷泵电路70仅在电源电路30上升时使用，若电源电路30的输出即电荷泵电路40的输出电压VDDH成为预定电平以上，则用电压VDDH来驱动单位分频电路FD1P。

即，根据电压VDDH是否大于预定电平(预定值)，切换被供给升压电压VBC的单位分频电路FD1与被供给电压VDDH的单位分频电路FD1P。

结果，通过采用本实施例的分频电路50，能够提高电源电路30整体效率。

本实施例中，分频电路50中，仅在初级上准备单位分频电路FD1和单位分频电路FD1P，但可不必仅为初级。例如可准备从初级到3级为止级联的2个单位分频电路，它们根据电压VDDH是否大于预定电平来进行切换。

还有，如实施例1中的说明，只要 $VDDH - VDD < |VTP|$ ，单位分频电路FD1P上就无贯通电流流过，因此能够省略电平移位器60。

#### < 实施例4 >

##### < A. 分频电路50的结构 >

图13是表示本实施例的分频电路50的结构的框图。图13中与图11相同的结构上采用同一符号，省略重复的说明。

本实施例的分频电路50与图11的分频电路50相比，省略了电平移位器60P、单位分频电路FD1P。

还有，单位分频电路FD1及电平移位器60经由开关SW3与电荷泵电路70的输出端或与电压VDDH连接。

#### < B. 分频电路50的动作 >

开关SW3用信号SEL、/SEL来控制，当信号SEL为H电平、信号/SEL为L电平时，将电压VDDH供给电平移位器60及单位分频电路FD1。

另一方面，当信号/SEL为H电平、信号SEL为L电平时，将来自电荷泵电路70的电压VBC供给电平移位器60及单位分频电路FD1。

#### < C. 分频电路50的效果 >

本实施例中，效率较差的电荷泵电路70仅在电源电路30上升时使用。结果，能够提高电源电路30整体效率。

另外，能够省略电平移位器电路60P、单位分频电路FD1P，因此能够简化电路结构。

#### < 实施例5 >

图14是表示本实施例的分频电路50的结构的框图。本实施的分频电路50中，取代实施例3的分频电路50(参照图1)的电荷泵电路70，采用升压发生电路90。

其它结构与实施例3相同，对相同结构采用同一符号，并省略重复的说明。

#### < A. 升压发生电路90的结构 >

图15是表示升压发生电路90的结构的电路图。图15中晶体管Q15为N型晶体管，晶体管Q16、Q17为P型晶体管。

晶体管Q17(第一晶体管)的源极(一方端子)上被供给电压VDD。晶体管Q17的漏极(另一方端子)与端子42及电容C(电容元件)的一端连接。电容C的另一端与倒相器91的输入端连接。

晶体管Q17的栅极(控制端子)在节点D2上与晶体管Q15(第二晶体管)的漏极(一方端子)连接。晶体管Q15的源极(另一方端子)接地。倒相器91的输入端与端子41连接。晶体管Q15的栅极与倒相器91的输出端连接。倒相器91上被供给电压VDD。

晶体管Q17的栅极/漏极间插入了晶体管Q16(第三晶体管)。晶体管Q16的漏极(一方端子)在节点D2上与晶体管Q17的栅极连接。晶体管Q16的源极(另一方端子)与晶体管Q17的漏极连接。另外,倒相器91的输入端上被输入信号BS,从端子42输出电压VBC。

5 < B. 升压发生电路90的动作 >

图16是说明升压电路90的动作的波形图。

当信号BS为L电平(0V)时,倒相器91的输出(节点D1的电压电平)成为H电平。结果,晶体管Q15迁移到导通状态、晶体管Q16迁移到截止状态。

10 晶体管Q15一旦迁移到导通状态,节点D2的电压电平就成为L电平。结果,晶体管Q17成为导通状态,升压电压VBC的大小成为VDD。同时,电流从电压VDD经由晶体管Q17流过,将电容C充电至VDD。

接着,使升压电容C的值充分大于连接到端子42的负载电容,使信号BS从L电平(0V)上升为H电平(VDD)。结果,因电容耦合,升压电压VBC的电压电平大致成为 $2 \cdot VDD$ 。

15 若信号BS成为H电平,则节点D1的电压电平成为L电平。因此晶体管Q15成为截止状态、晶体管Q16成为导通状态。

结果,与电压VBC的电压电平上升大致相同的时刻,经由晶体管Q16,节点D2的电压电平也跟着上升,节点D2的电压电平成为 $2 \cdot VDD$ 。

20 因此,晶体管Q17的栅极/源极间电压接近0,晶体管Q17成为截止状态。因此,随着电压VBC成为 $2 \cdot VDD$ ,电流经由晶体管Q17,从输出端子42逆流,能够防止输出电压VBC的电压电平降低。

将升压电压VBC上升至 $2 \cdot VDD$ 后,电容C起输出电压保持电容的作用。然后,存储到电容C的电荷因来自输出端子42的负载电流而慢慢降低。这时,将对负载电流的升压电容值设定成能够确保所要电压VDDH生成为止的时间。

例如,设电容C的电容值 $CV = 1 \mu F$ 、负载电流 $IL = 100 \mu A$ 、升



压电压VBC的容许电压降 = 2V，则升压电压VBC降低至容许值  $\Delta V$  的时间t如下：

$$\begin{aligned} t &= CV \cdot \Delta VBC/IL \\ &= 1 \times 10^{-6} \times 2/100 \times 10^{-6} \\ &= 20(\text{ms}). \end{aligned}$$

5

因此，在20ms的期间通过电荷泵动作将电压VDDH提升至预定电平即可。通常，在20ms的情况下，容易将VDDH提升至预定电平。

#### < C. 升压发生电路90的效果 >

本实施例的分频电路50中，取代电荷泵电路70而使用升压发生电路90。升压发生电路90只要上述那样在一定期间生成电压，就能以高功率利用率地应用。结果，能够实现功率利用率高的分频电路。

10

#### < 升压发生电路90的变形例 >

图17是表示升压发生电路90的变形例的电路图。本变形例中，取代晶体管Q16而将电阻R(电阻元件)插入晶体管Q17的栅极/漏极间。即，电阻R的一方端子与晶体管Q17的栅极连接，电阻R的另一方端子与晶体管Q17的漏极连接。然后电阻R的电阻值选择充分大于晶体管Q15的导通电阻值的值。

15

本变形例中，取代晶体管Q16，而使用电阻R，更加容易实现升压发生电路90。

20

#### < 实施例6 >

##### < A. 升压发生电路90的结构 >

图18是表示本实施例的升压发生电路90的结构的电路图。本实施例的升压发生电路90构成为倒相器91的输入端上被输入信号BS1、电容C的另一端上被输入信号BS2。

25

其它结构与图15所示的升压发生电路90相同，同一结构采用同一符号，并省略重复的说明。

##### < B. 升压电压发生电路90的动作 >

图19是本实施例的升压发生电路90上被输入的信号BS1、BS2的

波形图。信号BS1由L电平变成H电平之后，在经过时间 $t_d$ 后使信号BS2由L电平变成H电平地进行控制。

5 首先，被输入L电平的信号BS1时，H电平的信号经由倒相器91输入到晶体管Q15的栅极。然后，晶体管Q15从截止状态迁移到导通状态。当晶体管Q15成为导通状态时，晶体管Q17的栅极经由晶体管Q15接地，晶体管Q17从截止状态迁移到导通状态。晶体管Q17成为导通状态时，电流经由晶体管Q17从VDD流入电容C，将电容C充电至VDD。

10 接着，若信号BS1从L电平迁移到H电平，L电平的信号经由倒相器91输入到晶体管Q15的栅极。还有，晶体管Q15从导通状态成为截止状态。然后晶体管Q16从截止状态迁移到导通状态。晶体管Q16一旦迁移到导通状态，晶体管Q17的栅极/源极间电压就相等，使晶体管Q17迁移到截止状态。

15 接着，信号BS1从L电平迁移到H电平后经过时间 $t_d$ 后，信号BS2从L电平迁移到H电平。结果，电容C充电至VDD，因此输出其电压电平为 $2 \cdot VDD$ 的VBC。

#### <C. 升压发生电路90的效果>

实施例5的升压发生电路90中，在晶体管Q16迁移到导通状态之前能够进行基于电容C的升压。

20 在晶体管Q16迁移到导通状态之前，晶体管Q17处于导通状态。因此，从电容C经由晶体管Q17流过升压电流，电压VBC的升压上产生损耗。

本实施例的升压发生电路90在晶体管Q17完全的截止状态之后，才将信号BS2从L电平迁移到H电平，基于电容C进行升压。因此，能够避免从电容C经由晶体管Q17流过升压电流而产生的电压VBC的升压损耗。

#### <D. 升压发生电路90的变形例1>

##### <D-1. 结构>

图20是表示本实施例的升压发生电路90的变形例1的电路图。本变形例的升压发生电路90中电容C的另一端与延迟电路DC连接。延迟电路DC的输入端与倒相器91的输出端在节点D1上连接。另外，晶体管Q16的栅极与延迟电路DC的输入端连接。

5        延迟电路DC由奇数个(图20的例中为3个)倒相器92~94的级联来构成。

#### <D-2. 动作>

一旦输入了L电平的信号BS，晶体管Q15就成为导通状态，晶体管Q17成为导通状态，将电容C充电至VDD。

10       然后，当信号BS从L电平迁移到H电平时，晶体管Q15迁移到截止状态。另外晶体管Q16迁移到导通状态。

另一方面，经由延迟电路DC，在经过预定时间后，H电平的信号输入到电容C且电压VBC上升。

#### <D-3. 效果>

15       本变形例中设有延迟电路DC，因此在晶体管Q16迁移到导通状态后，能够使电容C上升。

结果，能够避免升压电流经由晶体管Q17从电容C流入电压VDD造成的升压损耗。

20       本变形例中，无需准备2个信号BS1、BS2，且设置时间 $t_d$ 地进行控制，仅用一个信号BS，能够实现无升压损耗的升压发生电路。

### <E. 升压发生电路90的变形例2>

#### <E-1. 结构>

25       图21是表示升压发生电路90的变形例2的电路图。本变形例的升压发生电路90中电容C的另一端与延迟电路DC连接。延迟电路DC的输入端与晶体管Q16的漏极连接。另外，晶体管Q16的栅极在节点D1上与倒相器91的输出端连接。

延迟电路DC由偶数个(图21的例中为2个)倒相器92、93的级联来构成。

### < E - 2. 动作 >

若被输入L电平的信号BS，则晶体管Q15迁移到导通状态，晶体管Q17迁移到导通状态。结果，电容C充电至VDD。

5 若信号BS迁移到H电平，则晶体管Q15迁移到截止状态。然后晶体管Q16迁移到导通状态。

若晶体管Q16迁移到导通状态，则晶体管Q17的栅极/源极间电压成为相等地，晶体管Q17迁移到截止状态。

10 然后，晶体管Q17一旦迁移到导通状态，节点D2的电压电平就成为H电平(VDD)。若节点D2成为H电平，则H电平的信号经由延迟电路DC输入到电容C。结果，电压VBC的电压电平上升，输出 $2 \cdot VDD$ 的电压VBC。

### < E - 3. 效果 >

15 本实施例的升压发生电路90在晶体管Q16成为导通状态之后，通过延迟电路DC经过预定时间后进行基于电容C的升压。因此，能够避免升压电流经由晶体管Q17从电容C流入VDD造成的升压损耗。

### < 实施例7 >

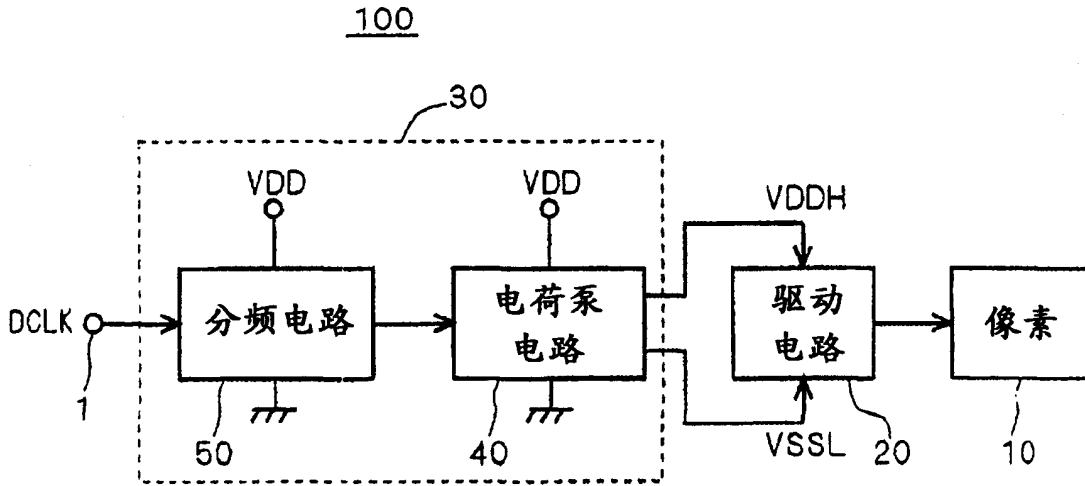
图22是表示本实施例的分频电路50的结构框图。

本实施例的分频电路50中，取代实施例4的分频电路50(参照图13)的电荷泵电路70而使用升压发生电路90。

20 其它结构与实施例4相同，省略重复的说明。

本实施例的分频电路50中取代电荷泵电路70而使用功率利用率高的升压发生电路90，因此与实施例4的分频电路50相比，能够实现功率利用率高的分频电路50。结果，能够进一步提高电源电路30的整体效率。

图 1



50

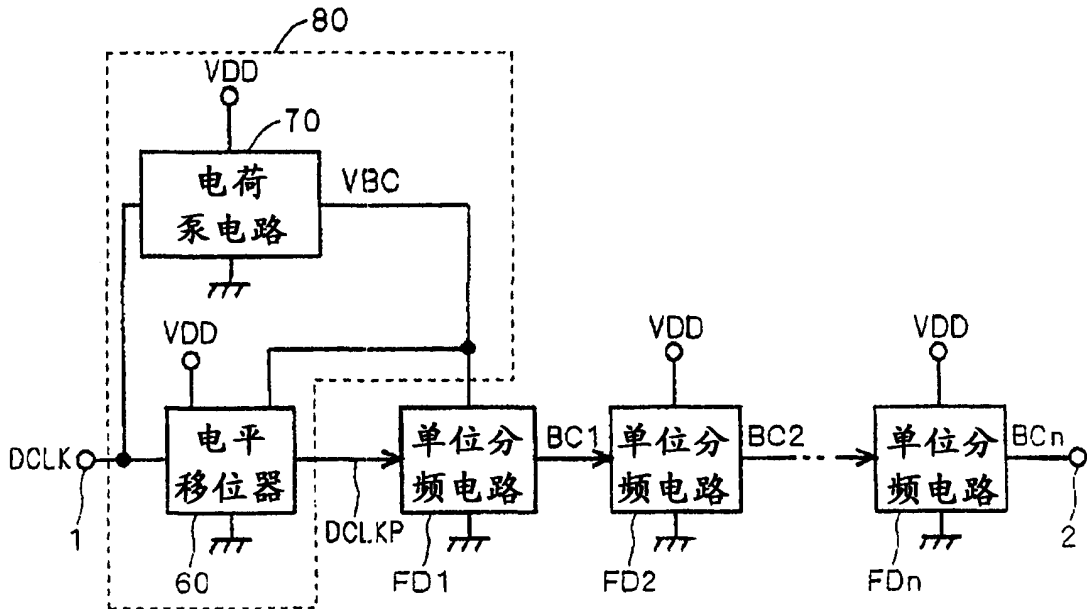


图 2

图 3

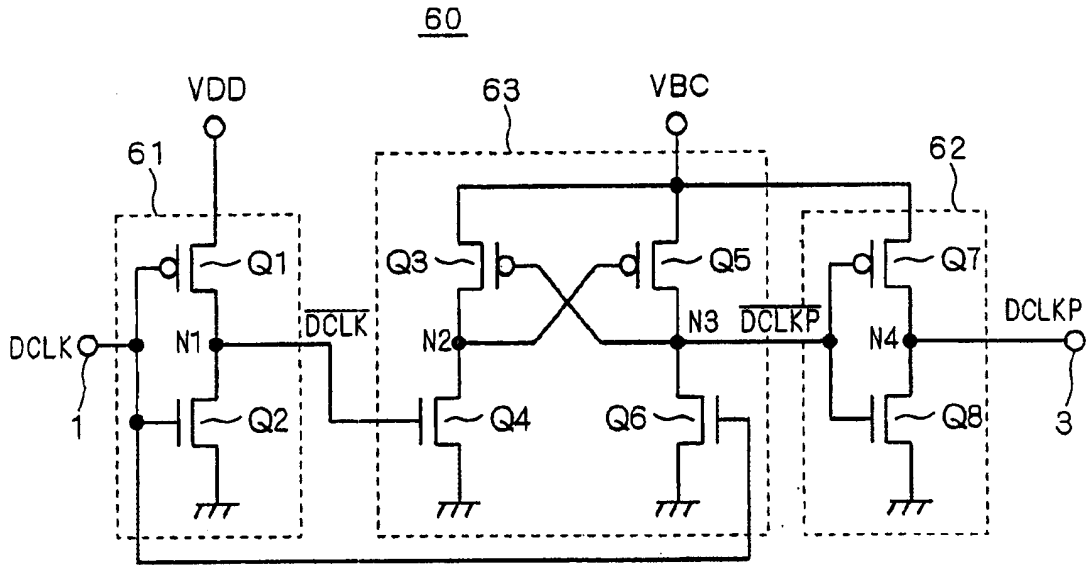


图 4

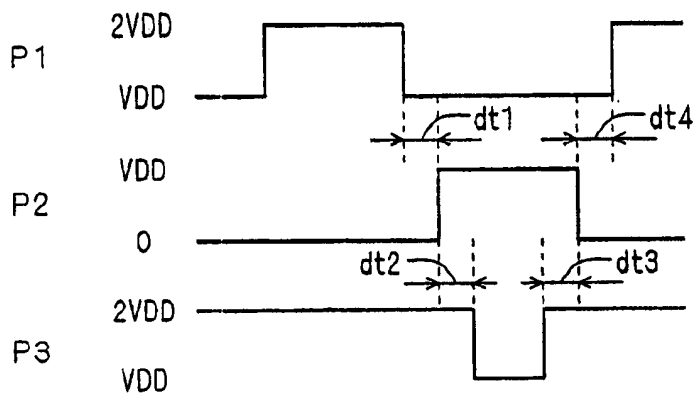
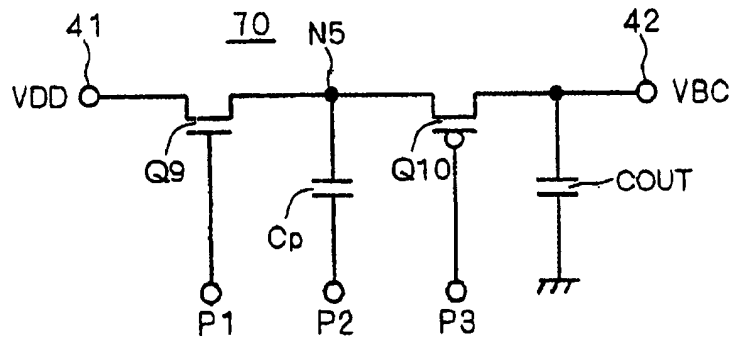


图 5

图 6

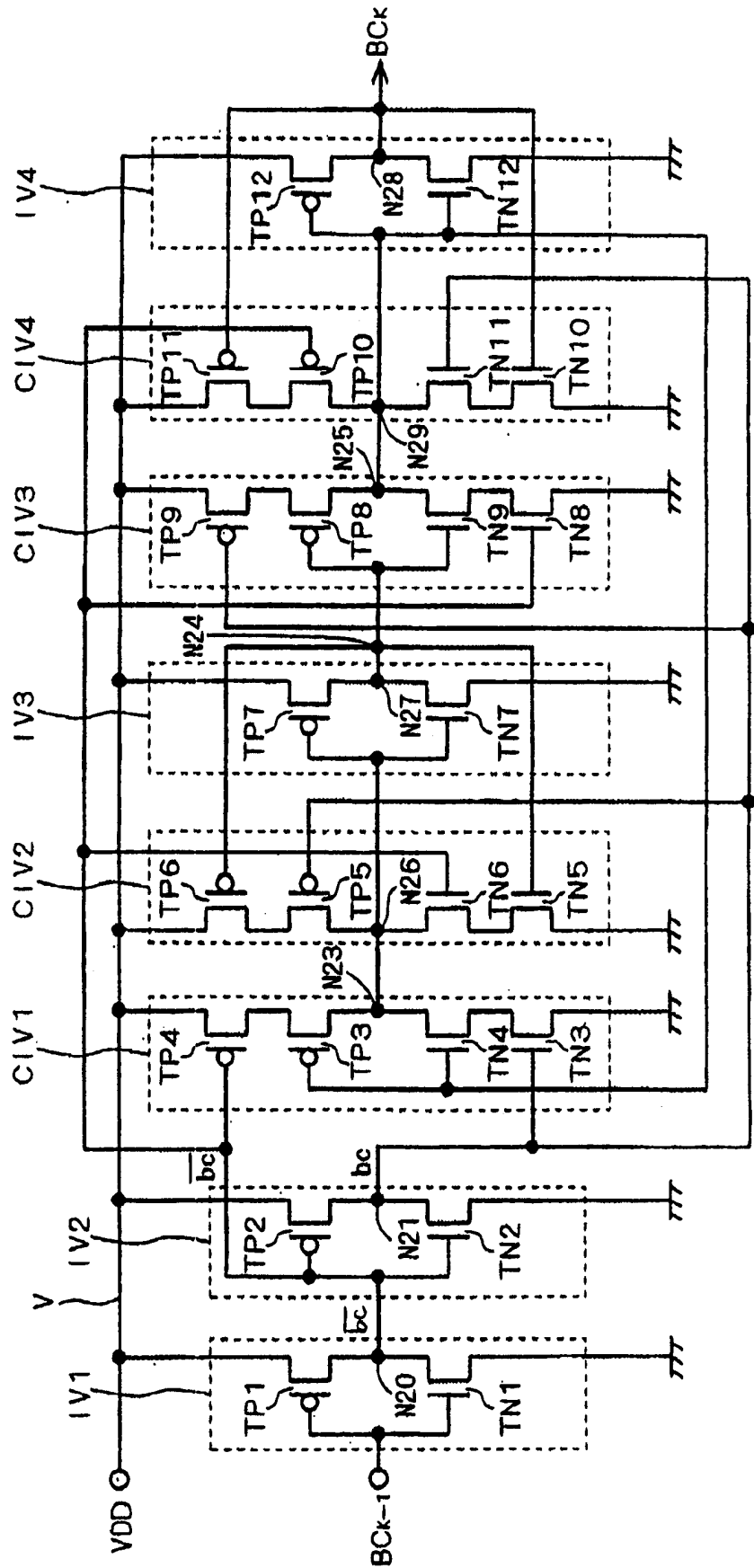


图 7

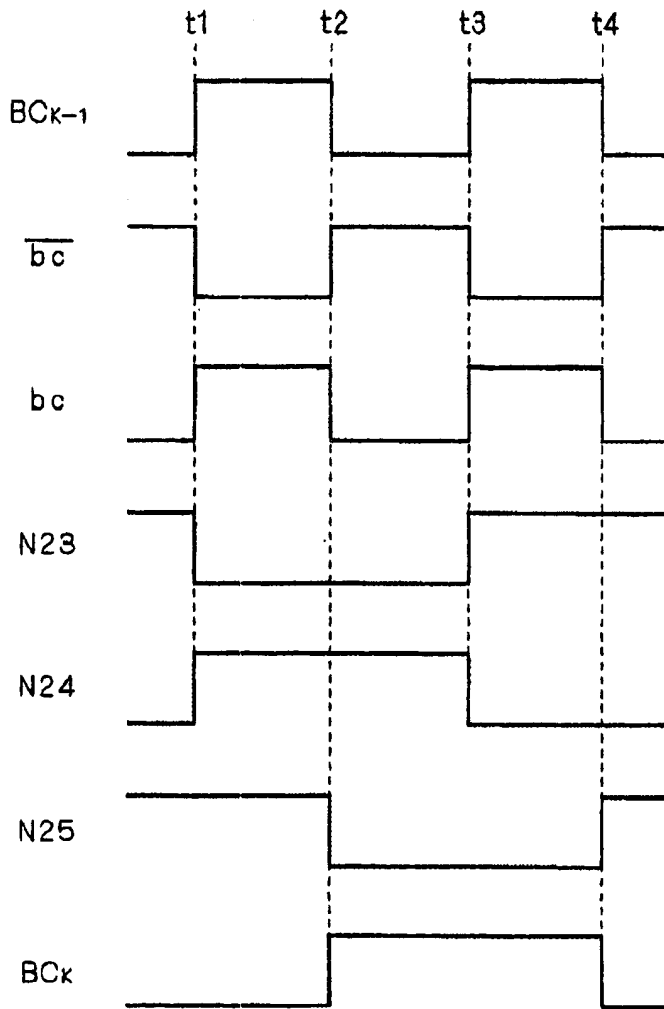


图 8

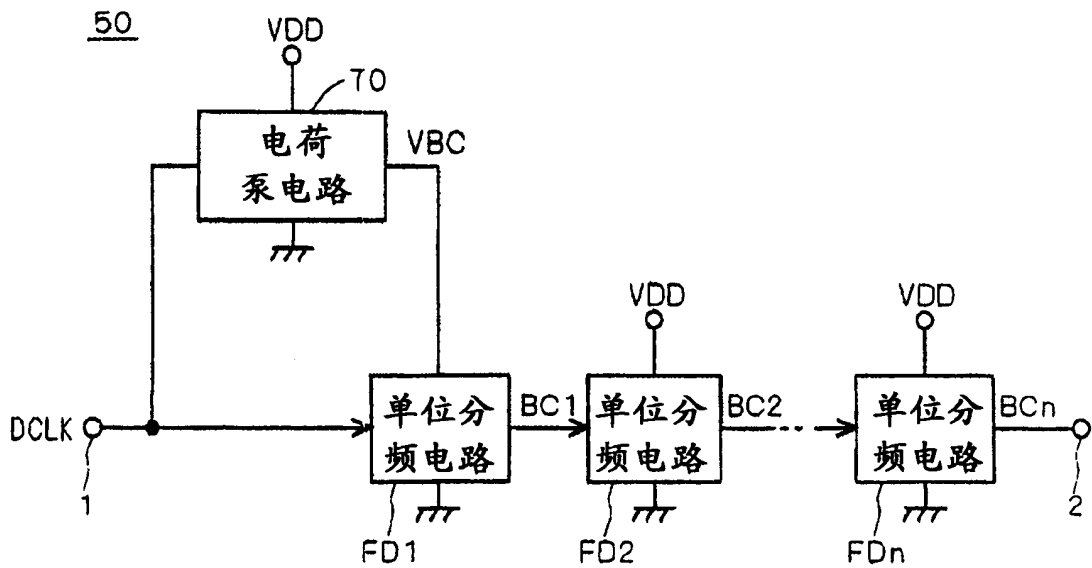




图 9

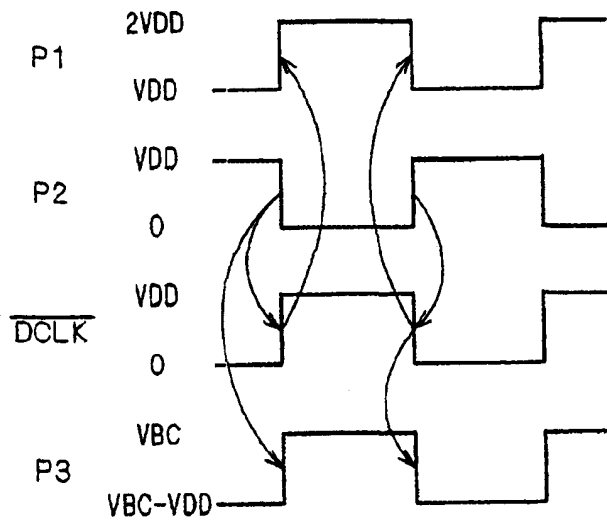
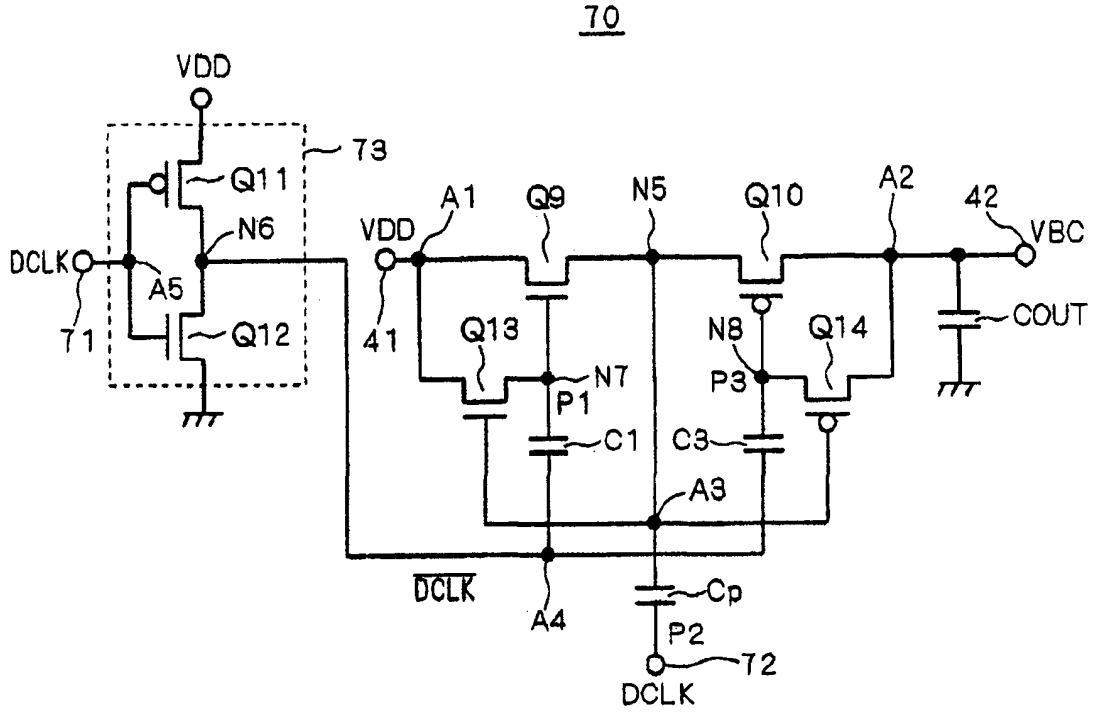


图 10

图 11

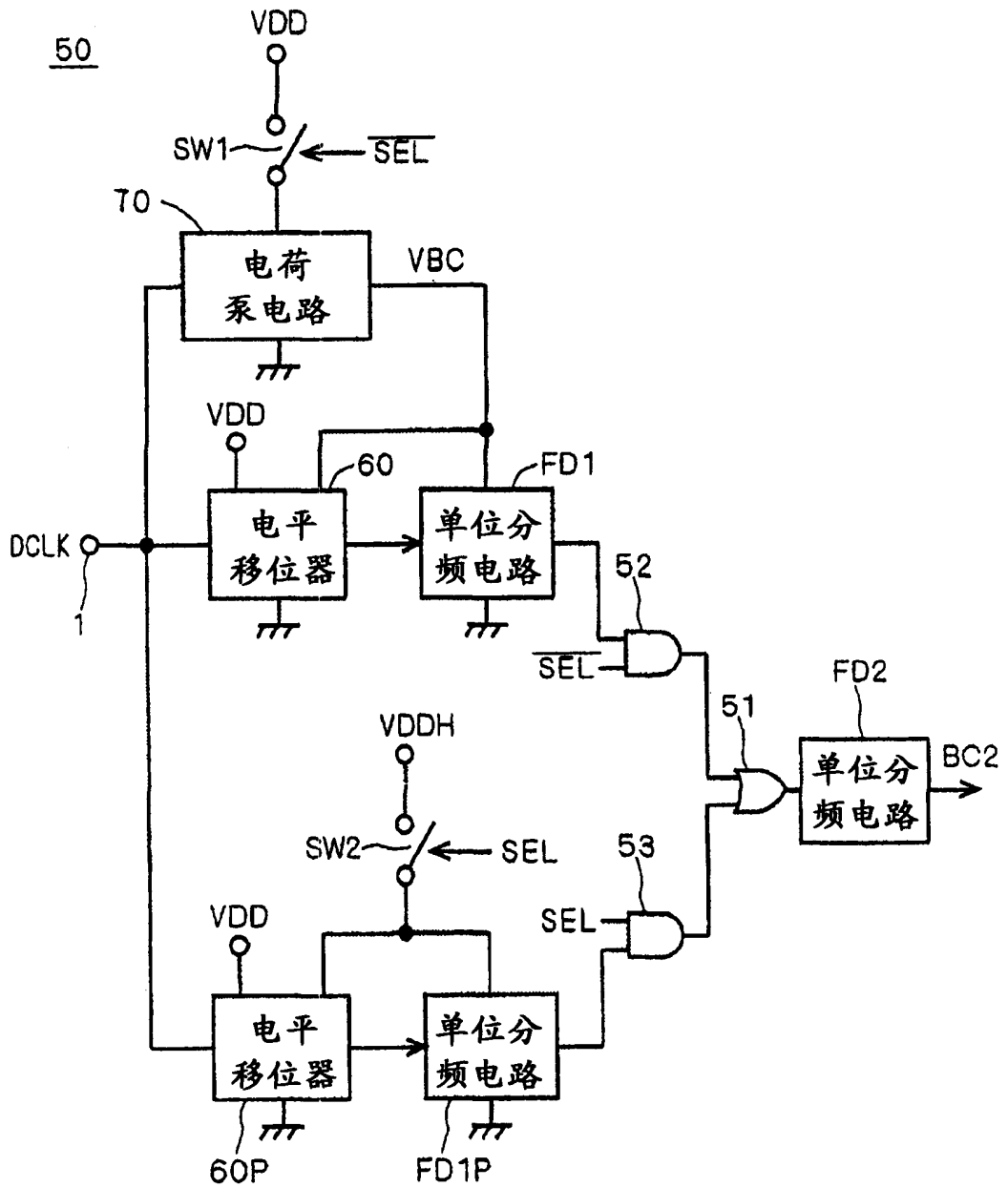


图 12

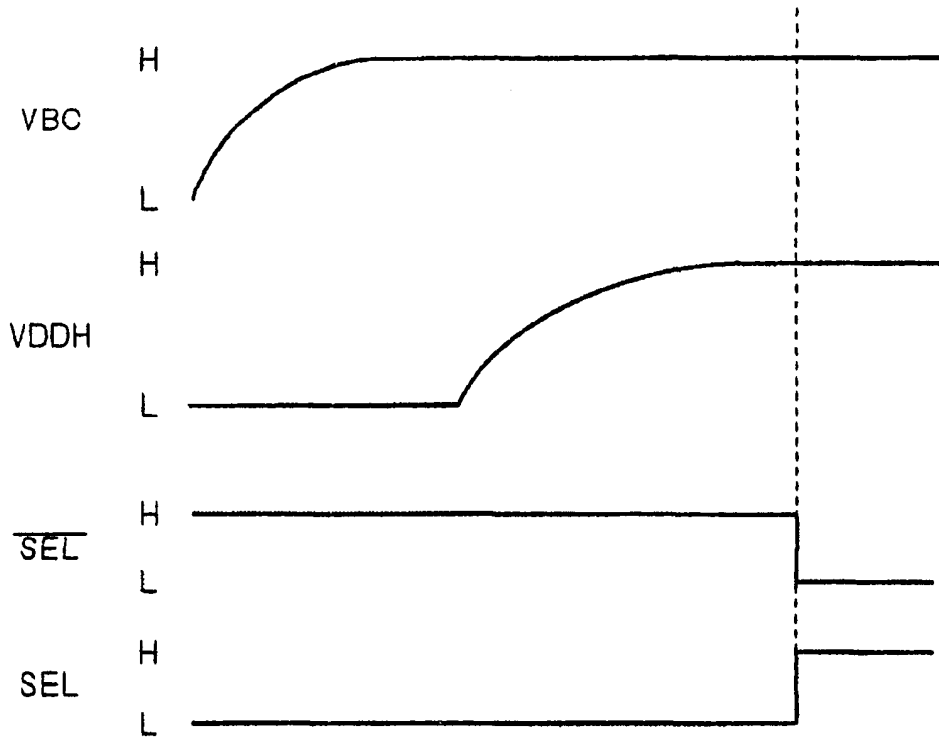


图 13

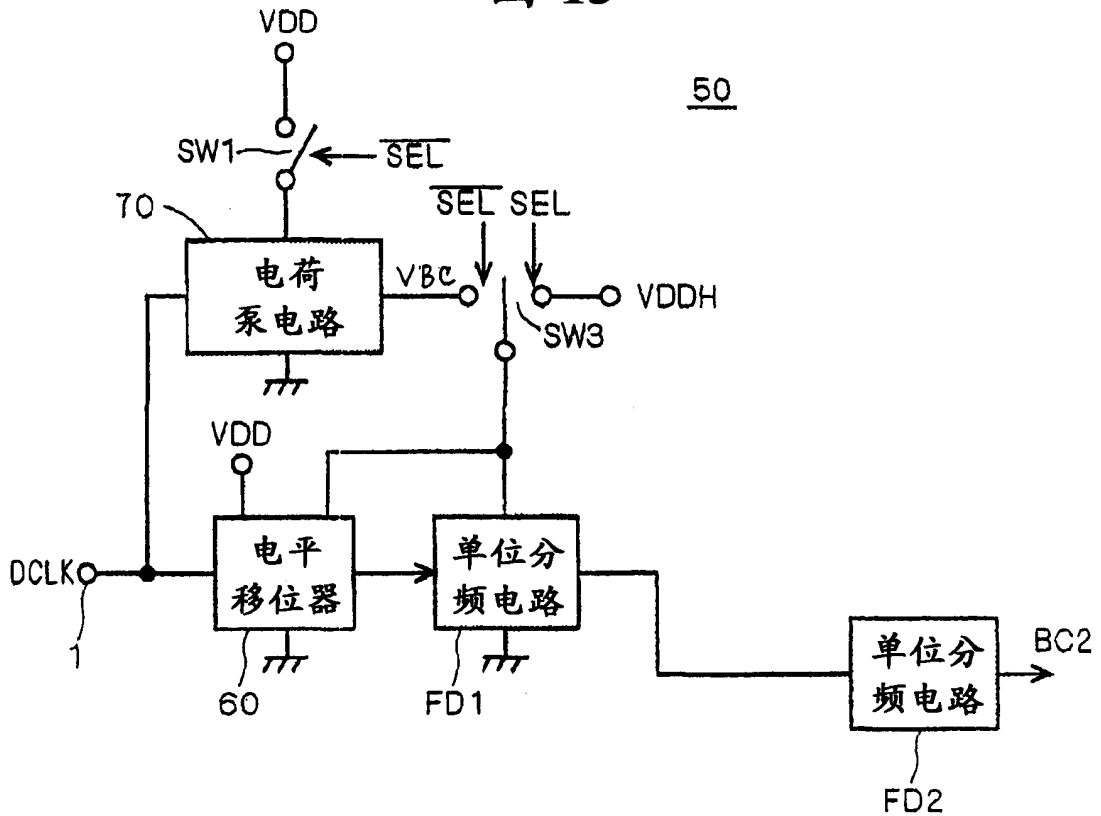


图 14

50

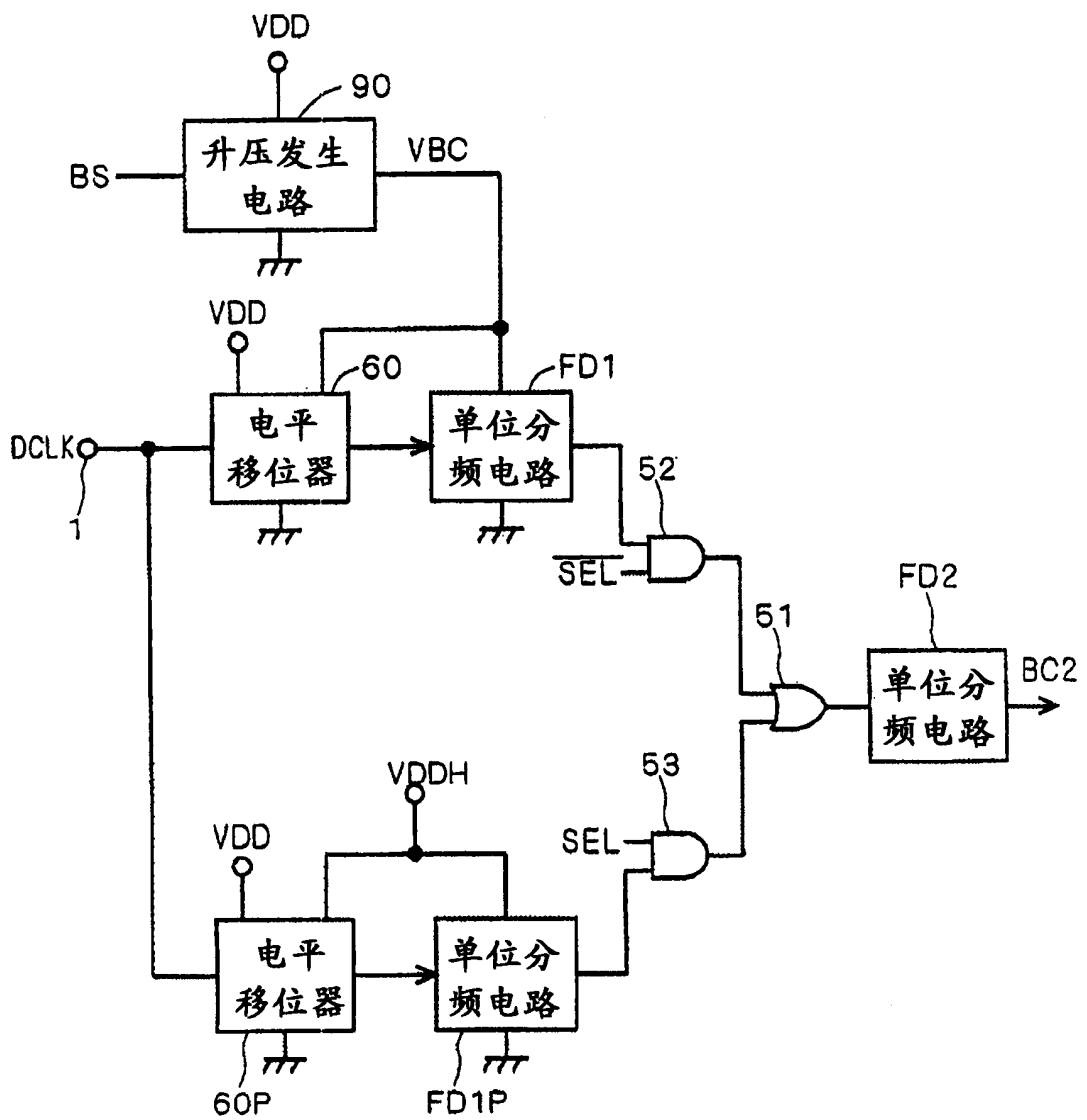


图 15

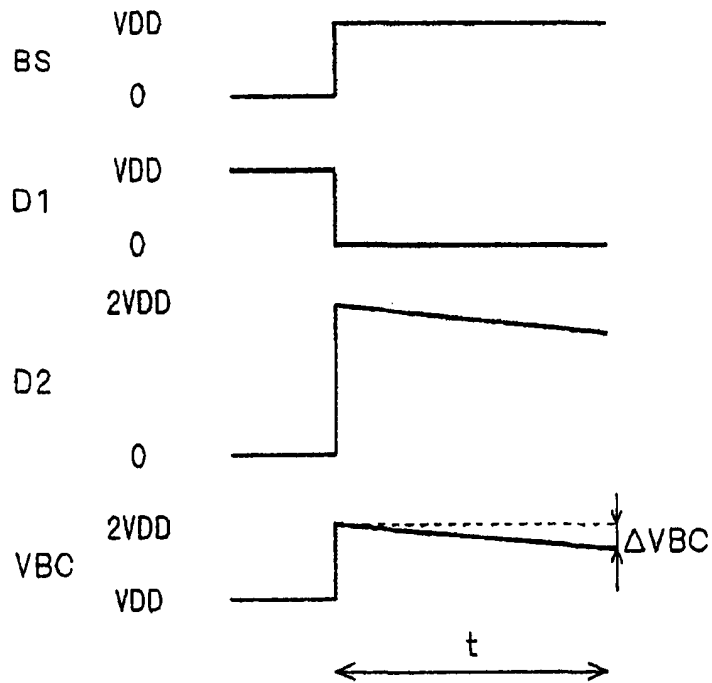
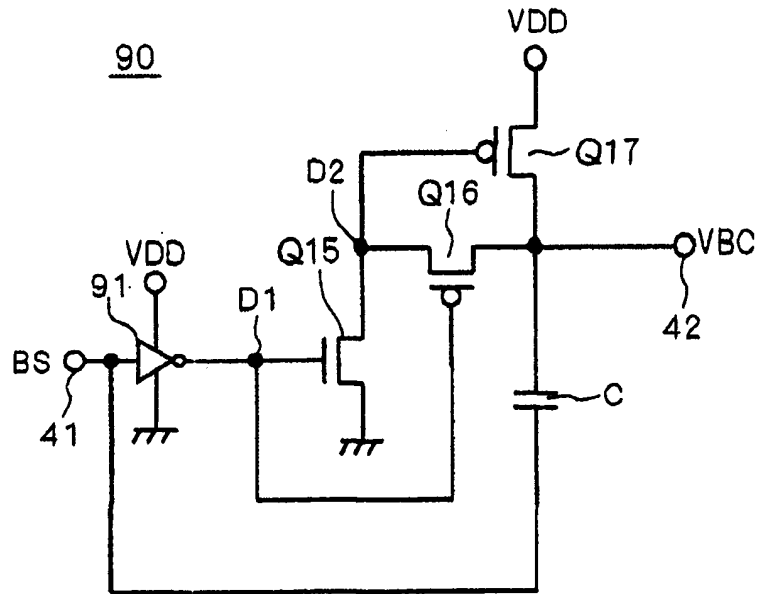


图 16

图 17

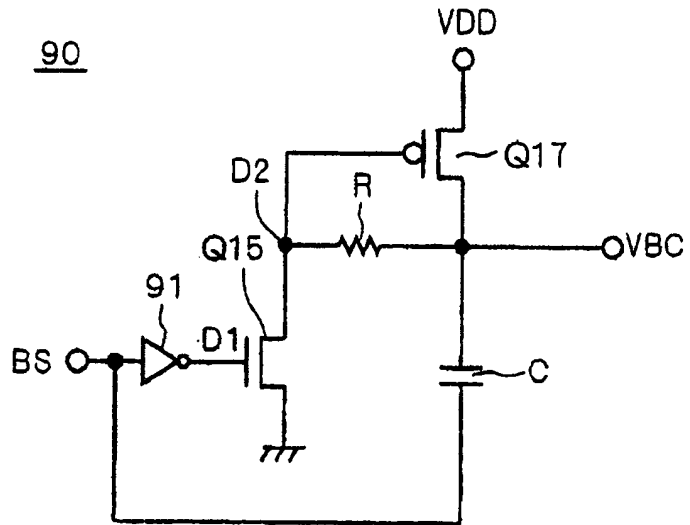


图 18

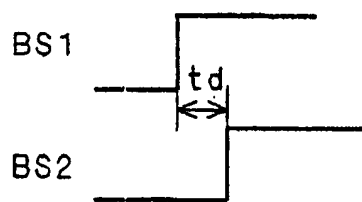
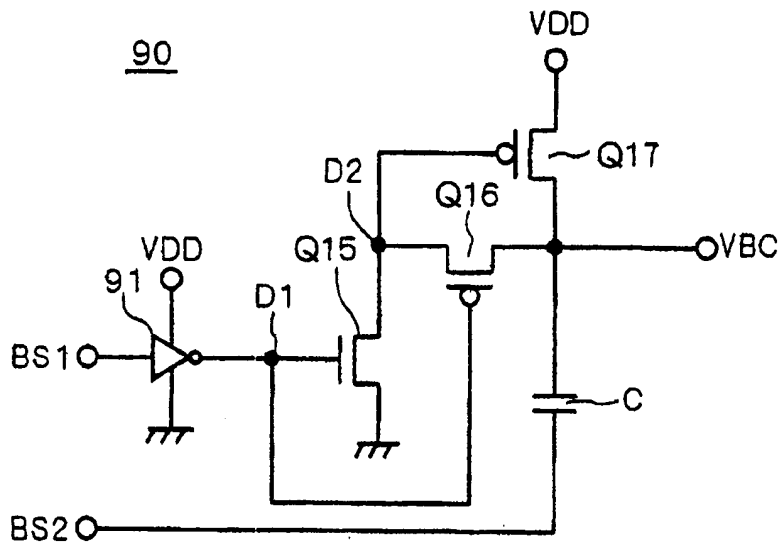


图 19

图 20

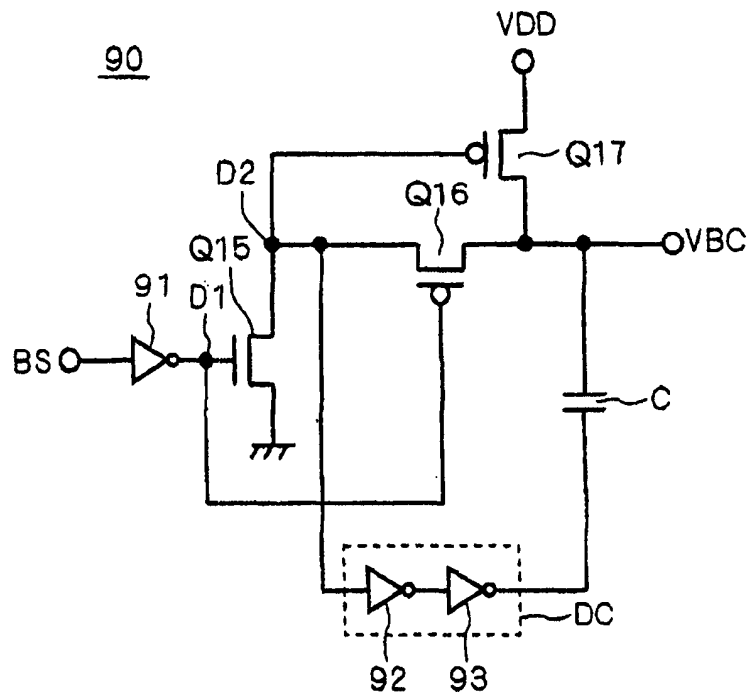
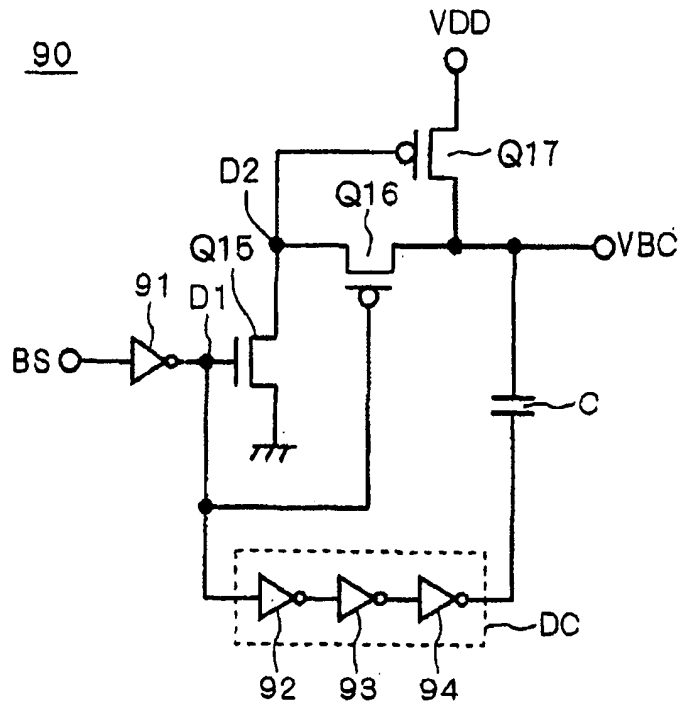


图 21

图 22

