



(12) 发明专利

(10) 授权公告号 CN 113658945 B

(45) 授权公告日 2023. 10. 13

(21) 申请号 202010395921.8

(22) 申请日 2020.05.12

(65) 同一申请的已公布的文献号

申请公布号 CN 113658945 A

(43) 申请公布日 2021.11.16

(73) 专利权人 长鑫存储技术有限公司

地址 230000 安徽省合肥市经济技术开发区翠微路6号海恒大厦630室

(72) 发明人 许杞安

(74) 专利代理机构 华进联合专利商标代理有限公司

公司 44224

专利代理师 熊文杰

(51) Int. Cl.

H01L 27/02 (2006.01)

H01L 29/06 (2006.01)

(56) 对比文件

US 2006132996 A1, 2006.06.22

CN 103681651 A, 2014.03.26

CN 105655325 A, 2016.06.08

US 2008128817 A1, 2008.06.05

US 2016141287 A1, 2016.05.19

US 2020035670 A1, 2020.01.30

审查员 刘立平

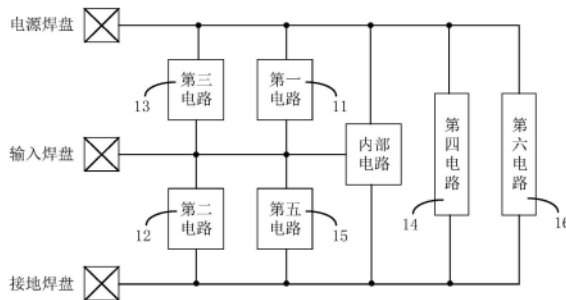
权利要求书3页 说明书11页 附图4页

(54) 发明名称

静电保护电路

(57) 摘要

本发明涉及一种静电保护电路,用于保护内部电路,包括:第一电路,连接于电源焊盘和输入焊盘之间,用于泄放第一静电电流;第二电路,连接于输入焊盘和接地焊盘之间,用于泄放第二静电电流;第三电路,连接于电源焊盘和输入焊盘之间,用于泄放第三静电电流;第四电路,连接于电源焊盘和接地焊盘之间,用于泄放第四静电电流;第五电路,连接于输入焊盘和接地焊盘之间,用于泄放第五静电电流;第六电路,连接于接地焊盘和电源焊盘之间,用于泄放第六静电电流。本发明的静电保护电路在不触发内部电路的前提下,实现了对静电电流进行快速地泄放,从而既不影响内部电路的正常功能,同时又提供了较强的静电保护能力。



1. 一种静电保护电路,用于保护内部电路,其特征在于,包括:

第一电路,连接于电源焊盘和输入焊盘之间,用于泄放第一静电电流,所述第一静电电流从所述输入焊盘流向所述电源焊盘;

第二电路,连接于所述输入焊盘和接地焊盘之间,用于泄放第二静电电流,所述第二静电电流从所述输入焊盘流向所述接地焊盘;

第三电路,连接于所述电源焊盘和所述输入焊盘之间,用于泄放第三静电电流,所述第三静电电流从所述电源焊盘流向所述输入焊盘;

第四电路,连接于所述电源焊盘和所述接地焊盘之间,用于泄放第四静电电流,所述第四静电电流从所述电源焊盘流向所述接地焊盘;

第五电路,连接于所述输入焊盘和所述接地焊盘之间,用于泄放第五静电电流,所述第五静电电流从所述接地焊盘流向所述输入焊盘;

第六电路,连接于所述接地焊盘和所述电源焊盘之间,用于泄放第六静电电流,所述第六静电电流从所述接地焊盘流向所述电源焊盘;

所述第一电路包括第一NPN晶体管和第一PNP晶体管,所述第一NPN晶体管的发射极与电源焊盘连接,所述第一NPN晶体管的基极与所述第一PNP晶体管的集电极、所述第一NPN晶体管的集电极以及所述第一PNP晶体管的基极均连接,所述第一PNP晶体管的发射极与输入焊盘连接,所述第一NPN晶体管的基极与发射极之间连接有第一二极管,所述第一PNP晶体管的发射极与基极之间连接有第二二极管;

所述第二电路包括第二NPN晶体管和第二PNP晶体管,所述第二NPN晶体管的发射极与接地焊盘连接,所述第二NPN晶体管的基极与所述第二PNP晶体管的集电极、所述第二NPN晶体管的集电极以及所述第二PNP晶体管的基极均连接,所述第二PNP晶体管的发射极与所述输入焊盘连接,所述第二NPN晶体管的基极与发射极之间连接有第三二极管,所述第二PNP晶体管的发射极与基极之间连接有第四二极管。

2. 根据权利要求1所述的静电保护电路,其特征在于,所述第一电路、所述第二电路、所述第三电路、所述第四电路、所述第五电路、所述第六电路的触发电压均低于所述内部电路的触发电压。

3. 根据权利要求1所述的静电保护电路,其特征在于,所述第一NPN晶体管的基极与集电极之间连接有第一电阻单元,所述第二NPN晶体管的基极与集电极之间连接有第二电阻单元。

4. 根据权利要求3所述的静电保护电路,其特征在于,所述接地焊盘和所述电源焊盘均位于衬底上,所述衬底为P型衬底,所述衬底中设有第一N型深阱,所述第一N型深阱中设有第一P型阱、第一N型阱和第二P型阱,其中:

所述第一P型阱中设有第一P型重掺杂区和第一N型重掺杂区,所述第一N型重掺杂区与所述接地焊盘电连接;

所述第一N型阱中设有第二P型重掺杂区、第二N型重掺杂区和第三P型重掺杂区,所述第二N型重掺杂区与所述第一P型重掺杂区电连接,所述第二P型重掺杂区和所述第三P型重掺杂区均与所述输入焊盘电连接;

所述第二P型阱中设有第三N型重掺杂区和第四P型重掺杂区,所述第三N型重掺杂区与所述电源焊盘电连接,所述第四P型重掺杂区与所述第二N型重掺杂区电连接。

5. 根据权利要求1所述的静电保护电路,其特征在于,所述第三电路包括第三NPN晶体管和第三PNP晶体管,所述第三NPN晶体管的发射极与输入焊盘连接,所述第三NPN晶体管的基极与所述第三PNP晶体管的集电极、所述第三NPN晶体管的集电极以及所述第三PNP晶体管的基极均连接,所述第三PNP晶体管的发射极与电源焊盘连接,所述第三NPN晶体管的基极与发射极之间连接有第五二极管,所述第三PNP晶体管的发射极与基极之间连接有第六二极管;

所述第四电路包括第四NPN晶体管和第四PNP晶体管,所述第四NPN晶体管的发射极与接地焊盘连接,所述第四NPN晶体管的基极与所述第四PNP晶体管的集电极、所述第四NPN晶体管的集电极以及所述第四PNP晶体管的基极均连接,所述第四PNP晶体管的发射极与所述电源焊盘连接,所述第四NPN晶体管的基极与发射极之间连接有第七二极管,所述第四PNP晶体管的发射极与基极之间连接有第八二极管。

6. 根据权利要求5所述的静电保护电路,其特征在于,所述第三NPN晶体管的基极与集电极之间连接有第三电阻单元,所述第四NPN晶体管的基极与集电极之间连接有第四电阻单元。

7. 根据权利要求6所述的静电保护电路,其特征在于,所述接地焊盘和所述输入焊盘均位于衬底上,所述衬底为P型衬底,所述衬底中设有第二N型深阱,所述第二N型深阱中设有第三P型阱、第二N型阱和第四P型阱,其中:

所述第三P型阱中设有第五P型重掺杂区和第四N型重掺杂区,所述第四N型重掺杂区与所述接地焊盘电连接;

所述第二N型阱中设有第六P型重掺杂区、第五N型重掺杂区和第七P型重掺杂区,所述第五N型重掺杂区与所述第五P型重掺杂区电连接,所述第六P型重掺杂区和所述第七P型重掺杂区均与所述电源焊盘电连接;

所述第四P型阱中设有第六N型重掺杂区和第八P型重掺杂区,所述第六N型重掺杂区与所述输入焊盘电连接,所述第八P型重掺杂区与所述第五N型重掺杂区电连接。

8. 根据权利要求1所述的静电保护电路,其特征在于,所述第五电路包括第五NPN晶体管和第五PNP晶体管,所述第五NPN晶体管的发射极与输入焊盘连接,所述第五NPN晶体管的基极与所述第五PNP晶体管的集电极、所述第五NPN晶体管的集电极以及所述第五PNP晶体管的基极均连接,所述第五PNP晶体管的发射极与接地焊盘连接,所述第五NPN晶体管的基极与发射极之间连接有第九二极管,所述第五PNP晶体管的发射极与基极之间连接有第十二二极管;

所述第六电路包括第六NPN晶体管和第六PNP晶体管,所述第六NPN晶体管的发射极与电源焊盘连接,所述第六NPN晶体管的基极与所述第六PNP晶体管的集电极、所述第六NPN晶体管的集电极以及所述第六PNP晶体管的基极均连接,所述第六PNP晶体管的发射极与所述接地焊盘连接,所述第六NPN晶体管的基极与发射极之间连接有第十一二极管,所述第六PNP晶体管的发射极与基极之间连接有第十二二极管。

9. 根据权利要求8所述的静电保护电路,其特征在于,所述第五NPN晶体管的基极与集电极之间连接有第五电阻单元,所述第六NPN晶体管的基极与集电极之间连接有第六电阻单元。

10. 根据权利要求9所述的静电保护电路,其特征在于,所述电源焊盘和所述输入焊盘

均位于衬底上,所述衬底为P型衬底,所述衬底中设有第三N型深阱,所述第三N型深阱中设有第五P型阱、第三N型阱和第六P型阱,其中:

所述第五P型阱中设有第九P型重掺杂区和第七N型重掺杂区,所述第七N型重掺杂区与所述电源焊盘电连接;

所述第三N型阱中设有第十P型重掺杂区、第八N型重掺杂区和第十一P型重掺杂区,所述第八N型重掺杂区与所述第九P型重掺杂区电连接,所述第十P型重掺杂区和所述第十一P型重掺杂区均与所述接地焊盘电连接;

所述第六P型阱中设有第九N型重掺杂区和第十二P型重掺杂区,所述第九N型重掺杂区与所述输入焊盘电连接,所述第十二P型重掺杂区与所述第八N型重掺杂区电连接。

## 静电保护电路

### 技术领域

[0001] 本发明涉及半导体领域,特别是涉及一种静电保护电路。

### 背景技术

[0002] 随着半导体制备工艺的不断发展,人们对半导体器件的要求也在不断提高,器件的体积不断微缩,相应地半导体器件的沟道越来越短、结深越来越深、氧化层越来越薄,因此对静电防护能力的要求也在不断提高。

[0003] DRAM(Dynamic Random Access Memory,动态随机存储器)是一种具有数据快速存取功能的半导体器件,以更快的存取速度和更大的数据存储量作为主要的发展方向,但是,现有的静电保护电路无法满足DRAM等先进制程的低工作电压的高速接口的静电保护需求。

### 发明内容

[0004] 基于此,有必要针对现有的半导体器件的静电防护能力不足的问题,提供一种静电保护电路。

[0005] 一种静电保护电路,用于保护内部电路,包括:

[0006] 第一电路,连接于电源焊盘和输入焊盘之间,用于泄放第一静电电流,所述第一静电电流从所述输入焊盘流向所述电源焊盘;

[0007] 第二电路,连接于所述输入焊盘和接地焊盘之间,用于泄放第二静电电流,所述第二静电电流从所述输入焊盘流向所述接地焊盘;

[0008] 第三电路,连接于所述电源焊盘和所述输入焊盘之间,用于泄放第三静电电流,所述第三静电电流从所述电源焊盘流向所述输入焊盘;

[0009] 第四电路,连接于所述电源焊盘和所述接地焊盘之间,用于泄放第四静电电流,所述第四静电电流从所述电源焊盘流向所述接地焊盘;

[0010] 第五电路,连接于所述输入焊盘和所述接地焊盘之间,用于泄放第五静电电流,所述第五静电电流从所述接地焊盘流向所述输入焊盘;

[0011] 第六电路,连接于所述接地焊盘和所述电源焊盘之间,用于泄放第六静电电流,所述第六静电电流从所述接地焊盘流向所述电源焊盘。

[0012] 在其中一个实施例中,所述第一电路包括第一NPN晶体管和第一PNP晶体管,所述第一NPN晶体管的发射极与电源焊盘连接,所述第一NPN晶体管的基极与所述第一PNP晶体管的集电极、所述第一NPN晶体管的集电极以及所述第一PNP晶体管的基极均连接,所述第一PNP晶体管的发射极与输入焊盘连接,所述第一NPN晶体管的基极与发射极之间连接有第一二极管,所述第一PNP晶体管的发射极与基极之间连接有第二二极管;

[0013] 所述第二电路包括第二NPN晶体管和第二PNP晶体管,所述第二NPN晶体管的发射极与接地焊盘连接,所述第二NPN晶体管的基极与所述第二PNP晶体管的集电极、所述第二NPN晶体管的集电极以及所述第二PNP晶体管的基极均连接,所述第二PNP晶体管的发射极与所述输入焊盘连接,所述第二NPN晶体管的基极与发射极之间连接有第三二极管,所述第

二PNP晶体管的发射极与基极之间连接有第四二极管。

[0014] 在其中一个实施例中,所述第一NPN晶体管的基极与集电极之间连接有第一电阻单元,所述第二NPN晶体管的基极与集电极之间连接有第二电阻单元。

[0015] 在其中一个实施例中,所述接地焊盘和所述电源焊盘均位于衬底上,所述衬底为P型衬底,所述衬底中设有第一N型深阱,所述第一N型深阱中设有第一P型阱、第一N型阱和第二P型阱,其中:

[0016] 所述第一P型阱中设有第一P型重掺杂区和第一N型重掺杂区,所述第一N型重掺杂区与所述接地焊盘电连接;

[0017] 所述第一N型阱中设有第二P型重掺杂区、第二N型重掺杂区和第三P型重掺杂区,所述第二N型重掺杂区与所述第一P型重掺杂区电连接,所述第二P型重掺杂区和所述第三P型重掺杂区均与所述输入焊盘电连接;

[0018] 所述第二P型阱中设有第三N型重掺杂区和第四P型重掺杂区,所述第三N型重掺杂区与所述电源焊盘电连接,所述第四P型重掺杂区与所述第二N型重掺杂区电连接。

[0019] 在其中一个实施例中,所述第三电路包括第三NPN晶体管和第三PNP晶体管,所述第三NPN晶体管的发射极与输入焊盘连接,所述第三NPN晶体管的基极与所述第三PNP晶体管的集电极、所述第三NPN晶体管的集电极以及所述第三PNP晶体管的基极均连接,所述第三PNP晶体管的发射极与电源焊盘连接,所述第三NPN晶体管的基极与发射极之间连接有第五二极管,所述第三PNP晶体管的发射极与基极之间连接有第六二极管;

[0020] 所述第四电路包括第四NPN晶体管和第四PNP晶体管,所述第四NPN晶体管的发射极与接地焊盘连接,所述第四NPN晶体管的基极与所述第四PNP晶体管的集电极、所述第四NPN晶体管的集电极以及所述第四PNP晶体管的基极均连接,所述第四PNP晶体管的发射极与所述电源焊盘连接,所述第四NPN晶体管的基极与发射极之间连接有第七二极管,所述第四PNP晶体管的发射极与基极之间连接有第八二极管。

[0021] 在其中一个实施例中,所述第三NPN晶体管的基极与集电极之间连接有第三电阻单元,所述第四NPN晶体管的基极与集电极之间连接有第四电阻单元。

[0022] 在其中一个实施例中,所述接地焊盘和所述输入焊盘均位于衬底上,所述衬底为P型衬底,所述衬底中设有第二N型深阱,所述第二N型深阱中设有第三P型阱、第二N型阱和第四P型阱,其中:

[0023] 所述第三P型阱中设有第五P型重掺杂区和第四N型重掺杂区,所述第四N型重掺杂区与所述接地焊盘电连接;

[0024] 所述第二N型阱中设有第六P型重掺杂区、第五N型重掺杂区和第七P型重掺杂区,所述第五N型重掺杂区与所述第五P型重掺杂区电连接,所述第六P型重掺杂区和所述第七P型重掺杂区均与所述电源焊盘电连接;

[0025] 所述第四P型阱中设有第六N型重掺杂区和第八P型重掺杂区,所述第六N型重掺杂区与所述输入焊盘电连接,所述第八P型重掺杂区与所述第五N型重掺杂区电连接。

[0026] 在其中一个实施例中,所述第五电路包括第五NPN晶体管和第五PNP晶体管,所述第五NPN晶体管的发射极与输入焊盘连接,所述第五NPN晶体管的基极与所述第五PNP晶体管的集电极、所述第五NPN晶体管的集电极以及所述第五PNP晶体管的基极均连接,所述第五PNP晶体管的发射极与接地焊盘连接,所述第五NPN晶体管的基极与发射极之间连接有第

九二极管,所述第五PNP晶体管的发射极与基极之间连接有第十二极管;

[0027] 所述第六电路包括第六NPN晶体管和第六PNP晶体管,所述第六NPN晶体管的发射极与电源焊盘连接,所述第六NPN晶体管的基极与所述第六PNP晶体管的集电极、所述第六NPN晶体管的集电极以及所述第六PNP晶体管的基极均连接,所述第六PNP晶体管的发射极与所述接地焊盘连接,所述第六NPN晶体管的基极与发射极之间连接有第十一二极管,所述第六PNP晶体管的发射极与基极之间连接有第十二二极管。

[0028] 在其中一个实施例中,所述第五NPN晶体管的基极与集电极之间连接有第五电阻单元,所述第六NPN晶体管的基极与集电极之间连接有第六电阻单元。

[0029] 在其中一个实施例中,所述电源焊盘和所述输入焊盘均位于衬底上,所述衬底为P型衬底,所述衬底中设有第三N型深阱,所述第三N型深阱中设有第五P型阱、第三N型阱和第六P型阱,其中:

[0030] 所述第五P型阱中设有第九P型重掺杂区和第七N型重掺杂区,所述第七N型重掺杂区与所述电源焊盘电连接;

[0031] 所述第三N型阱中设有第十P型重掺杂区、第八N型重掺杂区和第十一P型重掺杂区,所述第八N型重掺杂区与所述第九P型重掺杂区电连接,所述第十P型重掺杂区和所述第十一P型重掺杂区均与所述接地焊盘电连接;

[0032] 所述第六P型阱中设有第九N型重掺杂区和第十二P型重掺杂区,所述第九N型重掺杂区与所述输入焊盘电连接,所述第十二P型重掺杂区与所述第八N型重掺杂区电连接。

[0033] 上述静电保护电路,用于保护内部电路,包括:第一电路,连接于电源焊盘和输入焊盘之间,用于泄放第一静电电流,所述第一静电电流从所述输入焊盘流向所述电源焊盘;第二电路,连接于所述输入焊盘和接地焊盘之间,用于泄放第二静电电流,所述第二静电电流从所述输入焊盘流向所述接地焊盘;第三电路,连接于所述电源焊盘和所述输入焊盘之间,用于泄放第三静电电流,所述第三静电电流从所述电源焊盘流向所述输入焊盘;第四电路,连接于所述电源焊盘和所述接地焊盘之间,用于泄放第四静电电流,所述第四静电电流从所述电源焊盘流向所述接地焊盘;第五电路,连接于所述输入焊盘和所述接地焊盘之间,用于泄放第五静电电流,所述第五静电电流从所述接地焊盘流向所述输入焊盘;第六电路,连接于所述接地焊盘和所述电源焊盘之间,用于泄放第六静电电流,所述第六静电电流从所述接地焊盘流向所述电源焊盘。在本发明中,第一电路至第六电路分别用于沿设定的电流流向泄放两个焊盘之间的静电电流,并当静电现象属于不同的静电模式时,导通相应不同的静电电流的泄放电路,且在不触发内部电路的前提下,实现了对静电电流进行快速地泄放,从而既不影响内部电路的正常功能,同时又提供了较强的静电保护能力。

## 附图说明

[0034] 图1为一实施例的静电保护电路的结构示意图;

[0035] 图2为一实施例的针对PS模式和PD模式静电的保护电路的电路图;

[0036] 图3为图2实施例的电路图对应的器件结构示意图;

[0037] 图4为一实施例的针对ND模式静电的保护电路的电路图;

[0038] 图5为图4实施例的电路图对应的器件结构示意图;

[0039] 图6为一实施例的针对NS模式静电的保护电路的电路图;

- [0040] 图7为图6实施例的电路图对应的器件结构示意图；
- [0041] 图8为一实施例的全模式的静电保护电路的电路图。
- [0042] 元件标号说明：
- [0043] 第一电路:11;第二电路:12;第三电路:13;第四电路:14;第五电路:15;第六电路:16;第一N型深阱:21;第二N型深阱:22;第三N型深阱:23;第一P型阱:31;第二P型阱:32;第三P型阱:33;第四P型阱:34;第五P型阱:35;第六P型阱:36;第一N型阱:41;第二N型阱:42;第三N型阱:43;第一P型重掺杂区:301;第二P型重掺杂区:302;第三P型重掺杂区:303;第四P型重掺杂区:304;第五P型重掺杂区:305;第六P型重掺杂区:306;第七P型重掺杂区:307;第八P型重掺杂区:308;第九P型重掺杂区:309;第十P型重掺杂区:310;第十一P型重掺杂区:311;第十二P型重掺杂区:312;第一N型重掺杂区:401;第二N型重掺杂区:402;第三N型重掺杂区:403;第四N型重掺杂区:404;第五N型重掺杂区:405;第六N型重掺杂区:406;第七N型重掺杂区:407;第八N型重掺杂区:408;第九N型重掺杂区:409

### 具体实施方式

[0044] 为了便于理解本申请,下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的实施例。但是,本申请可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是使本申请的公开内容更加透彻全面。

[0045] 除非另有定义,本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的,不是旨在于限制本申请。

[0046] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和两个取向。此外,器件也可以包括另外地取向(譬如,旋转90度或其它取向),并且在此使用的空间描述语相应地被解释。

[0047] 在此使用时,单数形式的“一”、“一个”和“/该”也可以包括复数形式,除非上下文清楚指出另外的方式。还应当理解的是,术语“包括/包含”或“具有”等指定所陈述的特征、整体、步骤、操作、组件、部分或它们的组合的存在,但是不排除存在或添加一个或多个其他特征、整体、步骤、操作、组件、部分或它们的组合的可能性。同时,在本说明书中,术语“和/或”包括相关所列项目的任何及所有组合。

[0048] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例,这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造技术导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不表示器件的区的实际形状,且并不限定本发明的范围。



[0049] 图1为一实施例的静电保护电路的结构示意图,静电保护电路用于保护内部电路,如图1所示,在本实施例中,静电保护电路包括第一电路11、第二电路12、第三电路13、第四电路14、第五电路15和第六电路16。

[0050] 第一电路11,连接于电源焊盘和输入焊盘之间,用于泄放第一静电电流,第一静电电流从输入焊盘流向电源焊盘;

[0051] 第二电路12,连接于输入焊盘和接地焊盘之间,用于泄放第二静电电流,第二静电电流从输入焊盘流向接地焊盘;

[0052] 第三电路13,连接于电源焊盘和输入焊盘之间,用于泄放第三静电电流,第三静电电流从电源焊盘流向输入焊盘;

[0053] 第四电路14,连接于电源焊盘和接地焊盘之间,用于泄放第四静电电流,第四静电电流从电源焊盘流向接地焊盘;

[0054] 第五电路15,连接于输入焊盘和接地焊盘之间,用于泄放第五静电电流,第五静电电流从接地焊盘流向输入焊盘;

[0055] 第六电路16,连接于接地焊盘和电源焊盘之间,用于泄放第六静电电流,第六静电电流从接地焊盘流向电源焊盘。

[0056] 在本实施例中,第一电路11至第六电路16分别用于沿设定的电流流向在两个焊盘之间泄放静电电流,并当静电现象属于不同的静电模式时,导通相应不同的静电电流的泄放电路。进一步地,本实施例中设置的第一电路11、第二电路12、第三电路13、第四电路14、第五电路15和第六电路16的触发电压均低于内部电路的触发电压,因此,本实施例的静电保护电路可以在不触发内部电路的前提下,对静电电流进行快速地泄放,从而既不影响内部电路的正常功能,同时又提供了较强的静电保护能力。

[0057] 图2为一实施例的针对PS模式和PD模式静电的保护电路的电路图,如图2所示,在本实施例中,第一电路11和第二电路12用于针对PS模式的静电和PD模式的静电,以对内部电路进行保护,其中,PS模式是指静电电压正向于接地电压的静电放电模式,PD模式是指静电电压正向于电源电压的静电放电模式。

[0058] 第一电路11包括第一NPN晶体管Q1和第一PNP晶体管Q2,第一NPN晶体管Q1的发射极与电源焊盘连接,第一NPN晶体管Q1的基极与第一PNP晶体管Q2的集电极、第一NPN晶体管Q1的集电极以及第一PNP晶体管Q2的基极均连接,第一PNP晶体管Q2的发射极与输入焊盘连接,第一NPN晶体管Q1的基极与发射极之间连接有第一二极管D1,第一PNP晶体管Q2的发射极与基极之间连接有第二二极管D2。其中,第一二极管D1和第二二极管D2共同构成二极管电流路径,第一NPN晶体管Q1和第一PNP晶体管Q2共同构成SCR (Silicon Controlled Rectifier,可控硅整流器) 电流路径。

[0059] 第二电路12包括第二NPN晶体管Q3和第二PNP晶体管Q4,第二NPN晶体管Q3的发射极与接地焊盘连接,第二NPN晶体管Q3的基极与第二PNP晶体管Q4的集电极、第二NPN晶体管Q3的集电极以及第二PNP晶体管Q4的基极均连接,第二PNP晶体管Q4的发射极与输入焊盘连接,第二NPN晶体管Q3的基极与发射极之间连接有第三二极管D3,第二PNP晶体管Q4的发射极与基极之间连接有第四二极管D4。其中,其中,第三二极管D3和第四二极管D4共同构成二极管电流路径,第二NPN晶体管Q3和第二PNP晶体管Q4共同构成SCR电流路径。

[0060] 具体地,当未发生ESD (Electro-Static discharge, 静电放电) 时,电源焊盘输入

电源电压,接地焊盘连接至地,内部电路正常工作。可以理解的是,由于二极管结构和SCR结构的电路特性,二极管电流路径的导通电压小于SCR电流路径的导通电压,因此,当发生PS模式和PD模式的ESD时,静电电压正向于电源电压或正向于接地电压,本实施例的电路结构会使第一电路11和第二电路12中的二极管电流路径先导通,并通过引流作用再触发相应的SCR电流路径导通,而且由于SCR电流路径内部的正反馈效应,可以使第一NPN晶体管Q1、第一PNP晶体管Q2、第二NPN晶体管Q3和第二PNP晶体管Q4快速饱和导通,从而实现了比单独的SCR结构更低的触发电压和更快的启动速度。

[0061] 进一步地,本实施例的第一电路11和第二电路12的寄生电容较小,因此不会影响内部电路的运行状态,而且本实施例的第一电路11和第二电路12的维持电压可以大于操作电压,从而避免了闩锁效应,即防止了电路功能的混乱或者电路直接无法工作的问题,提高了静电保护电路的可靠性和稳定性。

[0062] 在本实施例中,第一电路11和第二电路12共同用于针对PS模式的静电和PD模式的静电,以对内部电路进行保护,通过第一电路11内部设置的双二极管电流路径和SCR电流路径,利用双二极管电流路径的低触发电压的特性,通过双二极管电流路径的引流作用进一步导通SCR电流路径,从而提供了一种低触发电压、快启动速度的PS模式和PD模式静电的保护电路。

[0063] 继续参考图2,第一NPN晶体管Q1的基极与集电极之间连接有第一电阻单元,第二NPN晶体管Q3的基极与集电极之间连接有第二电阻单元。具体地,第一电阻单元可以包括电阻R1和电阻R2,第二电阻单元可以包括电阻R3和电阻R4,本实施例通过设置第一电阻单元和第二电阻单元可以加快第一NPN晶体管Q1和第二NPN晶体管Q3进入饱和状态的速度,从而提高第一电路11的电流泄放速度,同样地,第二电阻单元可以提高第二电路12的电流泄放速度。因此,本实施例的第一电路11和第二电路12进一步提高了对内部电路的ESD保护速度。

[0064] 图3为图2实施例的电路图对应的器件结构示意图,在本实施中,电源焊盘、接地焊盘和输入焊盘均位于衬底上(为了更清楚地说明各焊盘与各掺杂区之间的电流流向,图3中未将电源焊盘、接地焊盘和输入焊盘绘制在衬底上),衬底为P型衬底。

[0065] 如图3所示,衬底中设有第一N型深阱21,第一N型深阱21中设有第一P型阱31、第一N型阱41和第二P型阱32,其中:第一P型阱31中设有第一P型重掺杂区301和第一N型重掺杂区401,第一N型重掺杂区401与接地焊盘电连接;第一N型阱41中设有第二P型重掺杂区302、第二N型重掺杂区402和第三P型重掺杂区303,第二N型重掺杂区402与第一P型重掺杂区301电连接,第二P型重掺杂区302和第三P型重掺杂区303均与输入焊盘电连接;第二P型阱32中设有第三N型重掺杂区403和第四P型重掺杂区304,第三N型重掺杂区403与电源焊盘电连接,第四P型重掺杂区304与第二N型重掺杂区402电连接。

[0066] 具体地,第一N型阱41、第二P型阱32和第三N型重掺杂区403共同构成第一NPN晶体管Q1,第三P型重掺杂区303、第一N型阱41和第二P型阱32共同构成第一PNP晶体管Q2,第四P型重掺杂区304和第三N型重掺杂区403共同构成第一二极管D1,第三P型重掺杂区303和第二N型重掺杂区402共同构成第二二极管D2,第一N型阱41和第二P型阱32之间形成第一电阻单元中的电阻R1和电阻R2。第一N型阱41、第一P型阱31和第二N型重掺杂区402共同构成第二NPN晶体管Q3,第二P型重掺杂区302、第一N型阱41和第一P型阱31共同构成第二PNP晶体

管Q4,第一P型重掺杂区301和第一N型重掺杂区401共同构成第三二极管D3,第二P型重掺杂区302和第二N型重掺杂区402共同构成第四二极管D4,第一N型阱41和第一P型阱31之间形成第二电阻单元中的电阻R3和电阻R4。

[0067] 进一步地,图3中的黑色小箭头所示即为二极管电流路径的电流流向,白色大箭头所示即为SCR电流路径的电流流向。当施加PS模式或PD模式的静电时,在输入焊盘与电源焊盘之间,二极管电流路径先导通,即电流从输入焊盘沿着第三P型重掺杂区303、第二N型重掺杂区402、第四P型重掺杂区304和第三N型重掺杂区403流向电源焊盘,从而再进一步触发SCR电流路径的导通,即经过第一PNP晶体管Q2和第一NPN晶体管Q1对静电电流进行泄放。同样地,在输入焊盘与接地焊盘之间,二极管电流路径先导通,即电流从输入焊盘沿着第二P型重掺杂区302、第二N型重掺杂区402、第一P型重掺杂区301和第一N型重掺杂区401流向电源焊盘,从而再进一步触发SCR电流路径的导通,即经过第二PNP晶体管Q4和第二NPN晶体管Q3对静电电流进行泄放。因此,本实施例的静电保护电路可以避免静电电流流经内部电路,从而实现了对外部电路的静电保护。

[0068] 图4为一实施例的针对ND模式静电的保护电路的电路图,如图4所示,在本实施例中,第三电路13和第四电路14用于针对ND模式的静电,以对内部电路进行保护,其中,ND模式是指静电电压负向于电源电压的静电放电模式。

[0069] 第三电路13包括第三NPN晶体管Q5和第三PNP晶体管Q6,第三NPN晶体管Q5的发射极与输入焊盘连接,第三NPN晶体管Q5的基极与第三PNP晶体管Q6的集电极、第三NPN晶体管Q5的集电极以及第三PNP晶体管Q6的基极均连接,第三PNP晶体管Q6的发射极与电源焊盘连接,第三NPN晶体管Q5的基极与发射极之间连接有第五二极管D5,第三PNP晶体管Q6的发射极与基极之间连接有第六二极管D6。其中,第五二极管D5和第六二极管D6共同构成二极管电流路径,第三NPN晶体管Q5和第三PNP晶体管Q6共同构成SCR电流路径。

[0070] 第四电路14包括第四NPN晶体管Q7和第四PNP晶体管Q8,第四NPN晶体管Q7的发射极与接地焊盘连接,第四NPN晶体管Q7的基极与第四PNP晶体管Q8的集电极、第四NPN晶体管Q7的集电极以及第四PNP晶体管Q8的基极均连接,第四PNP晶体管Q8的发射极与电源焊盘连接,第四NPN晶体管Q7的基极与发射极之间连接有第七二极管D7,第四PNP晶体管Q8的发射极与基极之间连接有第八二极管D8。其中,第七二极管D7和第八二极管D8共同构成二极管电流路径,第四NPN晶体管Q7和第四PNP晶体管Q8共同构成SCR电流路径。

[0071] 具体地,当未发生ESD时,输入焊盘输入电源电压,接地焊盘连接至地,内部电路正常工作。可以理解的是,由于二极管结构和SCR结构的电路特性,二极管电流路径的导通电压小于SCR电流路径的导通电压,因此,当发生ND模式的ESD时,静电电压负向于电源电压,本实施例的电路结构会使第三电路13和第四电路14中的二极管电流路径先导通,并通过引流作用再触发相应的SCR电流路径导通,而且由于SCR电流路径内部的正反馈效应,可以使第三NPN晶体管Q5、第三PNP晶体管Q6、第四NPN晶体管Q7和第四PNP晶体管Q8快速饱和导通,从而实现了比单独的SCR结构更低的触发电压和更快的启动速度。

[0072] 进一步地,本实施例的第三电路13和第四电路14的寄生电容较小,因此不会影响内部电路的运行状态,而且本实施例的第三电路13和第四电路14的维持电压可以大于操作电压,从而避免了闩锁效应,即防止了电路功能的混乱或者电路直接无法工作的问题,提高了静电保护电路的可靠性和稳定性。

[0073] 在本实施例中,第三电路13和第四电路14共同用于针对ND模式的静电,以对内部电路进行保护,通过第三电路13内部设置的二极管电流路径和SCR电流路径,利用二极管电流路径的低触发电压的特性,通过二极管电流路径的引流作用进一步导通SCR电流路径,从而提供了一种低触发电压、快启动速度的ND模式静电的保护电路。

[0074] 继续参考图4,第三NPN晶体管Q5的基极与集电极之间连接有第三电阻单元,第四NPN晶体管Q7的基极与集电极之间连接有第四电阻单元。具体地,第三电阻单元可以包括电阻R5和电阻R6,第四电阻单元可以包括电阻R7和电阻R8,本实施例通过设置第三电阻单元和第四电阻单元可以加快第三NPN晶体管Q5和第四NPN晶体管Q7进入饱和状态的速度,从而提高第三电路13的电流泄放速度,同样地,第四电阻单元可以提高第四电路14的电流泄放速度。因此,本实施例的第三电路13和第四电路14进一步提高了对内部电路的ESD保护速度。

[0075] 图5为图4实施例的电路图对应的器件结构示意图,在本实施中,电源焊盘、接地焊盘和输入焊盘均位于衬底上(为了更清楚地说明各焊盘与各掺杂区之间的电流流向,图5中未将电源焊盘、接地焊盘和输入焊盘绘制在衬底上),衬底为P型衬底。如图5所示,衬底中设有第二N型深阱22,第二N型深阱22中设有第三P型阱33、第二N型阱42和第四P型阱34,其中:第三P型阱33中设有第五P型重掺杂区305和第四N型重掺杂区404,第四N型重掺杂区404与接地焊盘电连接;第二N型阱42中设有第六P型重掺杂区306、第五N型重掺杂区405和第七P型重掺杂区307,第五N型重掺杂区405与第五P型重掺杂区305电连接,第六P型重掺杂区306和第七P型重掺杂区307均与电源焊盘电连接;第四P型阱34中设有第六N型重掺杂区406和第八P型重掺杂区308,第六N型重掺杂区406与输入焊盘电连接,第八P型重掺杂区308与第五N型重掺杂区405电连接。

[0076] 具体地,第二N型阱42、第四P型阱34和第六N型重掺杂区406共同构成第三NPN晶体管Q5,第七P型重掺杂区307、第二N型阱42和第四P型阱34共同构成第三PNP晶体管Q6,第八P型重掺杂区308和第六N型重掺杂区406共同构成第五二极管D5,第七P型重掺杂区307和第五N型重掺杂区405共同构成第六二极管D6,第二N型阱42和第四P型阱34之间形成第三电阻单元中的电阻R5和电阻R6。第二N型阱42、第三P型阱33和第四N型重掺杂区404共同构成第四NPN晶体管Q7,第六P型重掺杂区306、第二N型阱42和第三P型阱33共同构成第四PNP晶体管Q8,第五P型重掺杂区305和第四N型重掺杂区404共同构成第七二极管D7,第六P型重掺杂区306和第五N型重掺杂区405共同构成第八二极管D8,第二N型阱42和第三P型阱33之间形成第四电阻单元中的电阻R7和电阻R8。

[0077] 进一步地,图5中的黑色小箭头所示即为二极管电流路径的电流流向,白色大箭头所示即为SCR电流路径的电流流向。当施加ND模式的静电时,在电源焊盘与输入焊盘之间,二极管电流路径先导通,即电流从电源焊盘沿着第七P型重掺杂区307、第五N型重掺杂区405、第八P型重掺杂区308和第六N型重掺杂区406流向输入焊盘,从而再进一步触发SCR电流路径的导通,即经过第三PNP晶体管Q6和第三NPN晶体管Q5对静电电流进行泄放。同样地,在电源焊盘与接地焊盘之间,二极管电流路径先导通,即电流从电源焊盘沿着第六P型重掺杂区306、第五N型重掺杂区405、第五P型重掺杂区305和第四N型重掺杂区404流向输入焊盘,从而再进一步触发SCR电流路径的导通,即经过第八PNP晶体管和第七NPN晶体管对静电电流进行泄放。因此,本实施例的静电保护电路可以避免静电电流流经内部电路,从而实现

了对内部电路的静电保护。

[0078] 图6为一实施例的针对NS模式静电的保护电路的电路图,如图6所示,在本实施例中,第五电路15和第六电路16用于针对NS模式的静电,以对内部电路进行保护,其中,NS模式是指静电电压负向于电源电压的静电放电模式。

[0079] 第五电路15包括第五NPN晶体管Q9和第五PNP晶体管Q10,第五NPN晶体管Q9的发射极与输入焊盘连接,第五NPN晶体管Q9的基极与第五PNP晶体管Q10的集电极、第五NPN晶体管Q9的集电极以及第五PNP晶体管Q10的基极均连接,第五PNP晶体管Q10的发射极与接地焊盘连接,第五NPN晶体管Q9的基极与发射极之间连接有第九二极管D9,第五PNP晶体管Q10的发射极与基极之间连接有第十二二极管D10。其中,第九二极管D9和第十二二极管D10共同构成二极管电流路径,第五NPN晶体管Q9和第五PNP晶体管Q10共同构成SCR电流路径。

[0080] 第六电路16包括第六NPN晶体管Q11和第六PNP晶体管Q12,第六NPN晶体管Q11的发射极与电源焊盘连接,第六NPN晶体管Q11的基极与第六PNP晶体管Q12的集电极、第六NPN晶体管Q11的集电极以及第六PNP晶体管Q12的基极均连接,第六PNP晶体管Q12的发射极与接地焊盘连接,第六NPN晶体管Q11的基极与发射极之间连接有第十一二极管D11,第六PNP晶体管Q12的发射极与基极之间连接有第十二二极管D12。其中,其中,第十一二极管D11和第十二二极管D12共同构成二极管电流路径,第六NPN晶体管Q11和第六PNP晶体管Q12共同构成SCR电流路径。

[0081] 具体地,当未发生ESD时,输入焊盘输入电源电压,电源焊盘连接至地,内部电路正常工作。可以理解的是,由于二极管结构和SCR结构的电路特性,二极管电流路径的导通电压小于SCR电流路径的导通电压,因此,当发生NS模式的ESD时,静电电压负向于接地电压,本实施例的电路结构会使第五电路15和第六电路16中的二极管电流路径先导通,并通过引流作用再触发相应的SCR电流路径导通,而且由于SCR电流路径内部的正反馈效应,可以使第五NPN晶体管Q9、第五PNP晶体管Q10、第六NPN晶体管Q11和第六PNP晶体管Q12快速饱和和导通,从而实现了比单独的SCR结构更低的触发电压和更快的启动速度。

[0082] 进一步地,本实施例的第五电路15和第六电路16的寄生电容较小,因此不会影响内部电路的运行状态,而且本实施例的第五电路15和第六电路16的维持电压可以大于操作电压,从而避免了闩锁效应,即防止了电路功能的混乱或者电路直接无法工作的问题,提高了静电保护电路的可靠性和稳定性。

[0083] 在本实施例中,第五电路15和第六电路16共同用于针对NS模式的静电,以对内部电路进行保护,通过第五电路15内部设置的二极管电流路径和SCR电流路径,利用二极管电流路径的低触发电压的特性,通过二极管电流路径的引流作用进一步导通SCR电流路径,从而提供了一种低触发电压、快启动速度的NS模式静电的保护电路。

[0084] 继续参考图6,第五NPN晶体管Q9的基极与集电极之间连接有第五电阻单元,第六NPN晶体管Q11的基极与集电极之间连接有第六电阻单元。具体地,第五电阻单元可以包括电阻R9和电阻R10,第六电阻单元可以包括电阻R11和电阻R12,本实施例通过设置第五电阻单元和第六电阻单元可以加快第五NPN晶体管Q9和第六NPN晶体管Q11进入饱和状态的速度,从而提高第五电路15的电流泄放速度,同样地,第六电阻单元可以提高第六电路16的电流泄放速度。因此,本实施例的第五电路15和第六电路16进一步提高了对内部电路的ESD保护速度。

[0085] 图7为图6实施例的电路图对应的器件结构示意图,在本实施中,电源焊盘、接地焊盘和输入焊盘均位于衬底上(为了更清楚地说明各焊盘与各掺杂区之间的电流流向,图7中未将电源焊盘、接地焊盘和输入焊盘绘制在衬底上),衬底为P型衬底。如图7所示,衬底中设有第三N型深阱23,第三N型深阱23中设有第五P型阱35、第三N型阱43和第六P型阱36,其中:第五P型阱35中设有第九P型重掺杂区309和第七N型重掺杂区407,第七N型重掺杂区407与电源焊盘电连接;第三N型阱43中设有第十P型重掺杂区310、第八N型重掺杂区408和第十一P型重掺杂区311,第八N型重掺杂区408与第九P型重掺杂区309电连接,第十P型重掺杂区310和第十一P型重掺杂区311均与接地焊盘电连接;第六P型阱36中设有第九N型重掺杂区409和第十二P型重掺杂区312,第九N型重掺杂区409与输入焊盘电连接,第十二P型重掺杂区312与第八N型重掺杂区408电连接。

[0086] 具体地,第三N型阱43、第六P型阱36和第九N型重掺杂区409共同构成第五NPN晶体管Q9,第十一P型重掺杂区311、第三N型阱43和第六P型阱36共同构成第五PNP晶体管Q10,第十二P型重掺杂区312和第九N型重掺杂区409共同构成第九二极管D9,第十一P型重掺杂区311和第八N型重掺杂区408共同构成第十二二极管D10,第三N型阱43和第六P型阱36之间形成第五电阻单元中的电阻R9和电阻R10。第三N型阱43、第五P型阱35和第七N型重掺杂区407共同构成第六NPN晶体管Q11,第十P型重掺杂区310、第三N型阱43和第五P型阱35共同构成第六PNP晶体管Q12,第九P型重掺杂区309和第七N型重掺杂区407共同构成第十一二极管D11,第十P型重掺杂区310和第八N型重掺杂区408共同构成第十二二极管D12,第三N型阱43和第五P型阱35之间形成第六电阻单元中的电阻R11和电阻R12。

[0087] 进一步地,图7中的黑色小箭头所示即为二极管电流路径的电流流向,白色大箭头所示即为SCR电流路径的电流流向。当施加NS模式的静电时,在接地焊盘与输入焊盘之间,二极管电流路径先导通,即电流从接地焊盘沿着第十一P型重掺杂区311、第八N型重掺杂区408、第十二P型重掺杂区312和第九N型重掺杂区409流向输入焊盘,从而再进一步触发SCR电流路径的导通,即经过第五PNP晶体管Q10和第五NPN晶体管Q9对静电电流进行泄放。同样地,在接地焊盘与电源焊盘之间,二极管电流路径先导通,即电流从接地焊盘沿着第十P型重掺杂区310、第八N型重掺杂区408、第九P型重掺杂区309和第七N型重掺杂区407流向输入焊盘,从而再进一步触发SCR电流路径的导通,即经过第六PNP晶体管Q12和第六NPN晶体管Q11对静电电流进行泄放。因此,本实施例的静电保护电路可以避免静电电流流经内部电路,从而实现了内部电路的静电保护。

[0088] 图8为一实施例的全模式的静电保护电路的电路图,如图8所示,在本实施例中,静电保护电路包括第一电路11、第二电路12、第三电路13、第四电路14、第五电路15和第六电路16,且每个电路都包括前述的二极管电流路径和SCR电流路径,第一电路11和第二电路12共同提供针对PS模式和PD模式静电的保护,第三电路13和第四电路14共同提供针对ND模式静电的保护,第五电路15和第六电路16共同提供针对NS模式静电的保护,从而实现了一种低触发电压、快启动速度的全模式、全芯片的静电保护电路。

[0089] 进一步地,前述的PS模式、PD模式、NS模式和ND模式均属于HBM模式(Human-Body Model,人体放电模式)的子模式,即带电人体对器件放电的静电放电模式。除HBM模式以外,本实施的静电保护电路还可用于防护CDM模式(Charged Device Model,带电设备模式)的静电,CDM模式即带电器件直接对地放电的静电放电模式,本实施例的静电保护电路通过对

CDM模式静电的进行防护,进一步提升了半导体器件的静电防护能力和可靠性。

[0090] 在本说明书的描述中,参考术语“有些实施例”、“其他实施例”、“理想实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性描述不一定指的是相同的实施例或示例。

[0091] 上实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0092] 以上实施例仅表达了本申请的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对申请专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本申请构思的前提下,还可以做出若干变形和改进,这些都属于本申请的保护范围。因此,本申请专利的保护范围应以所附权利要求为准。

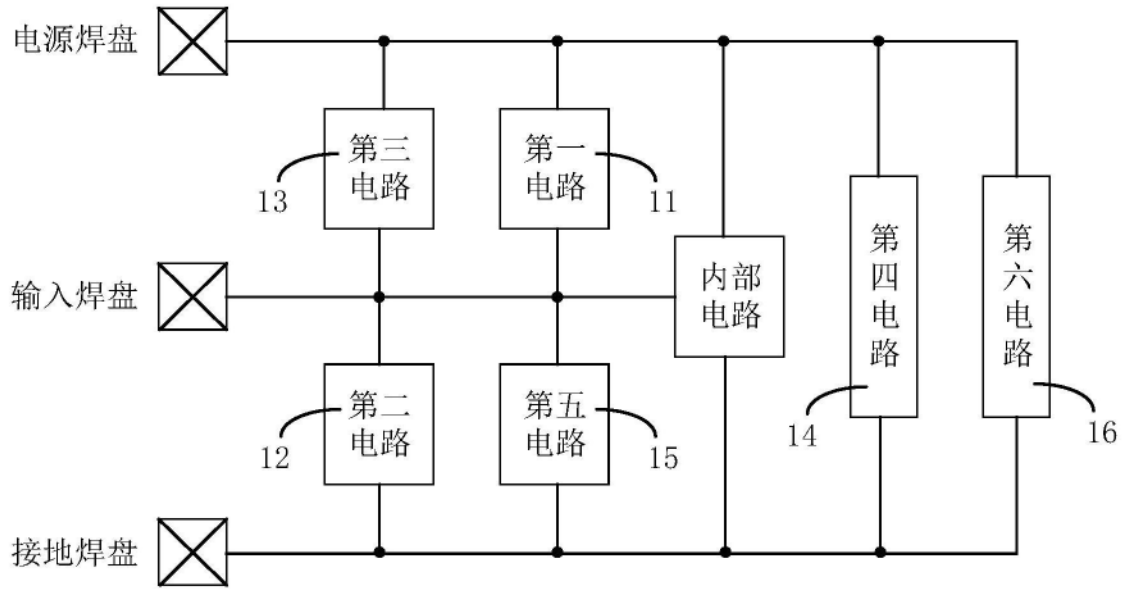


图1

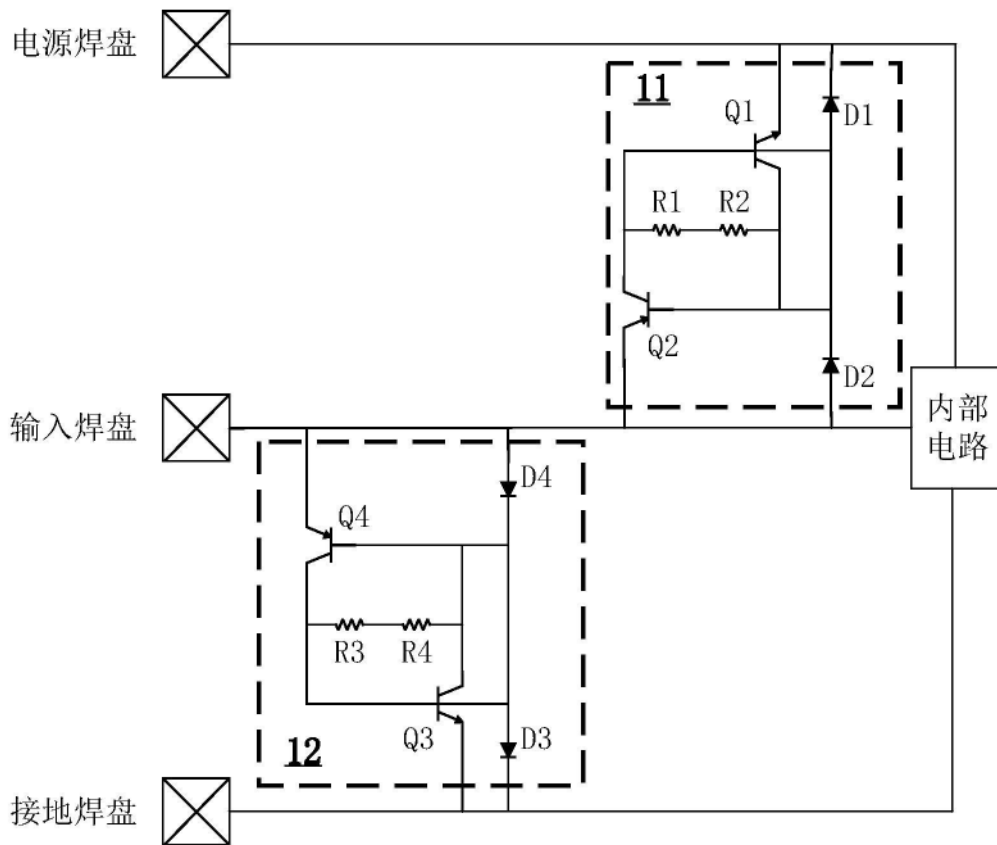


图2



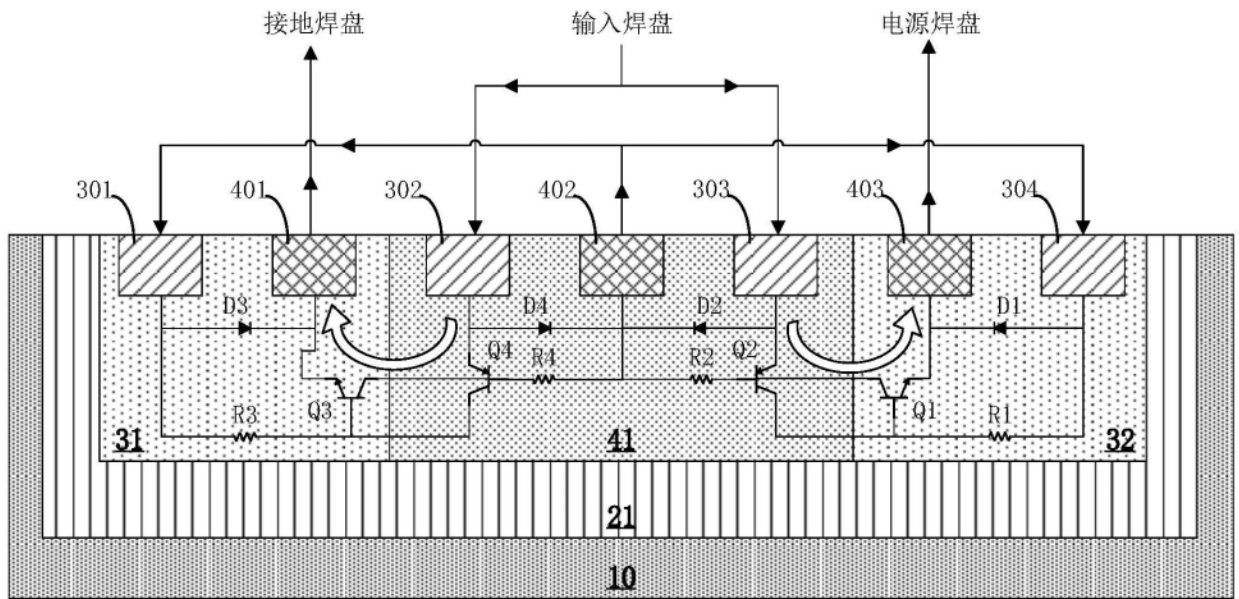


图3

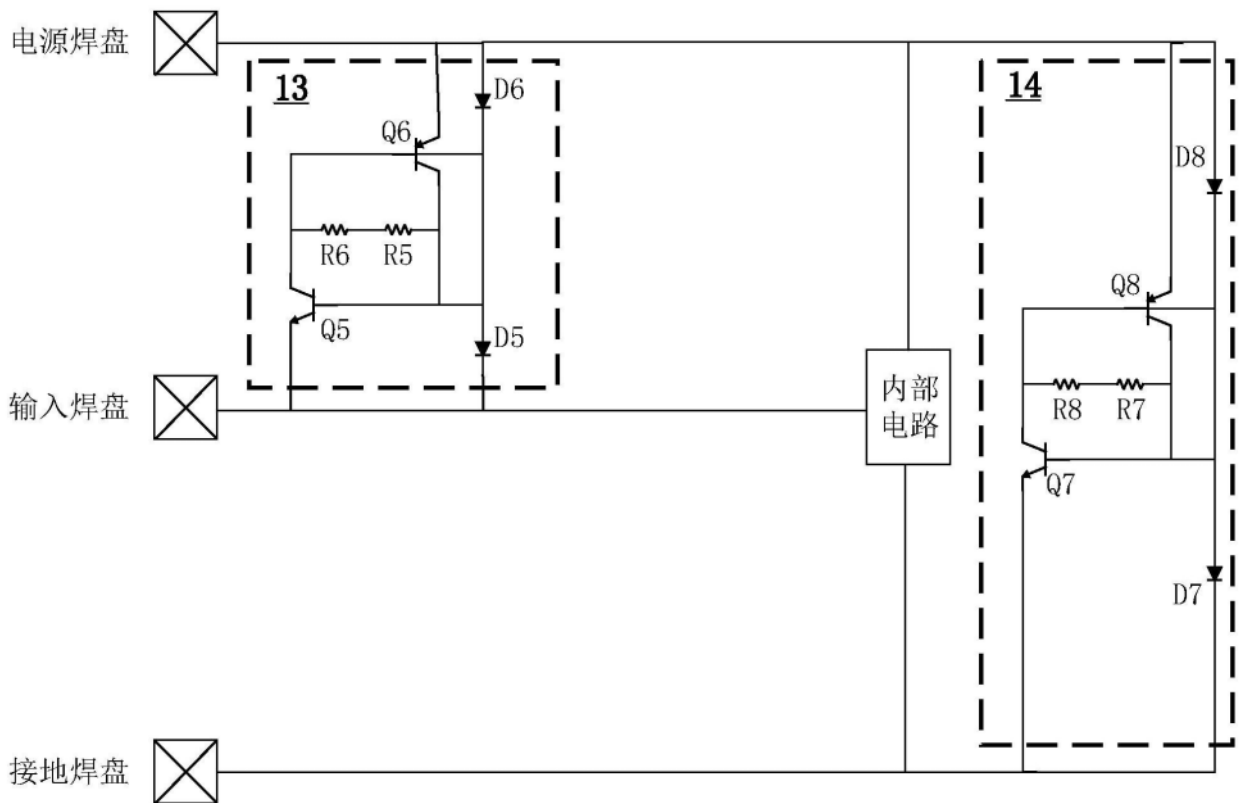


图4

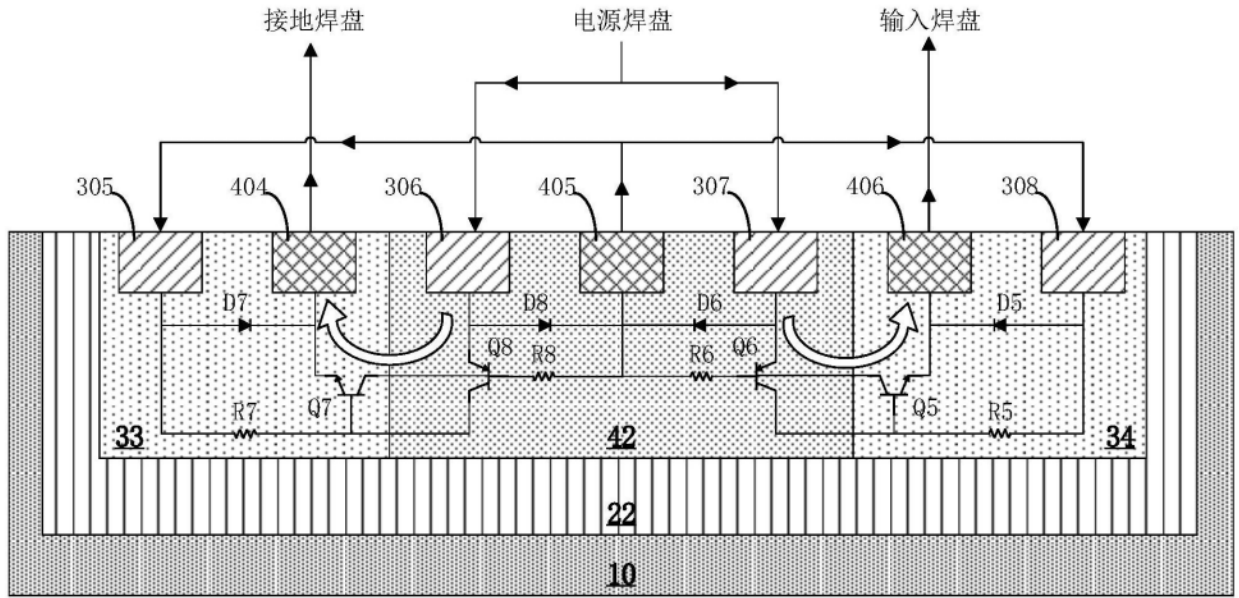


图5

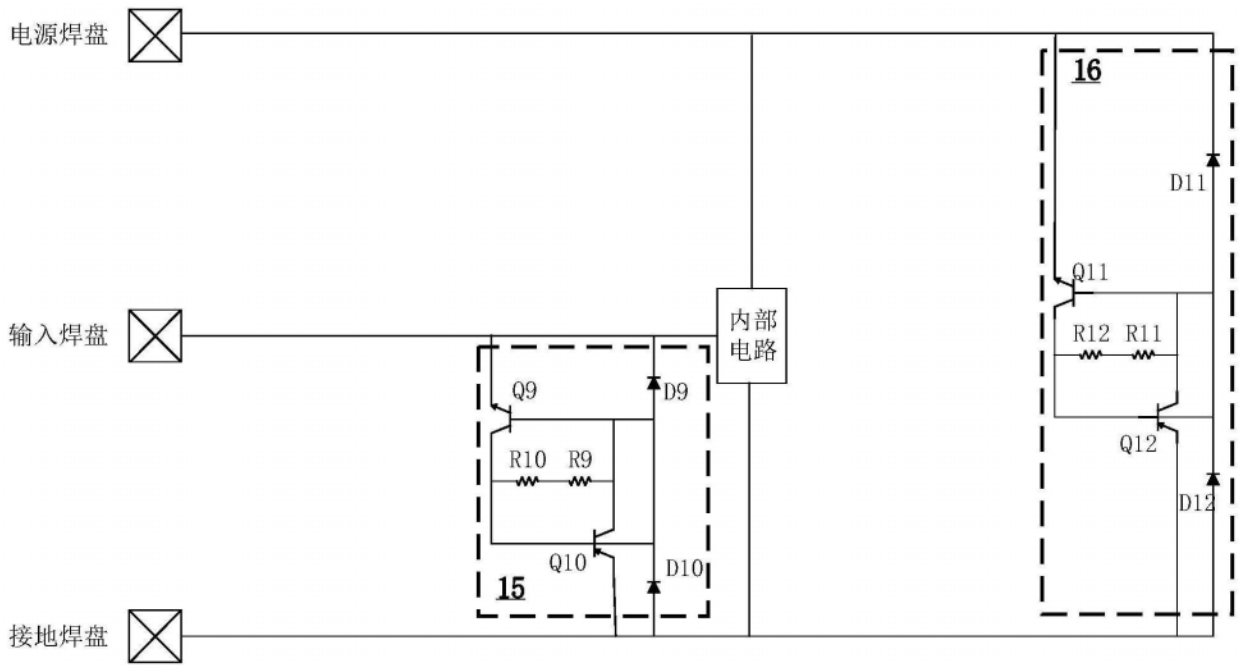


图6

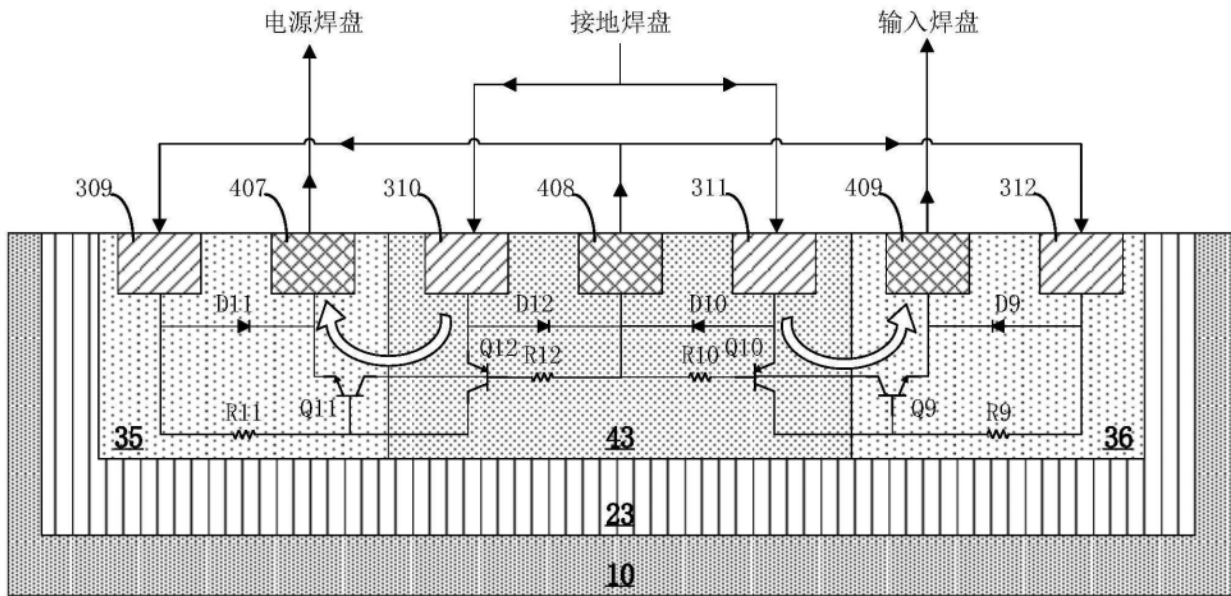


图7

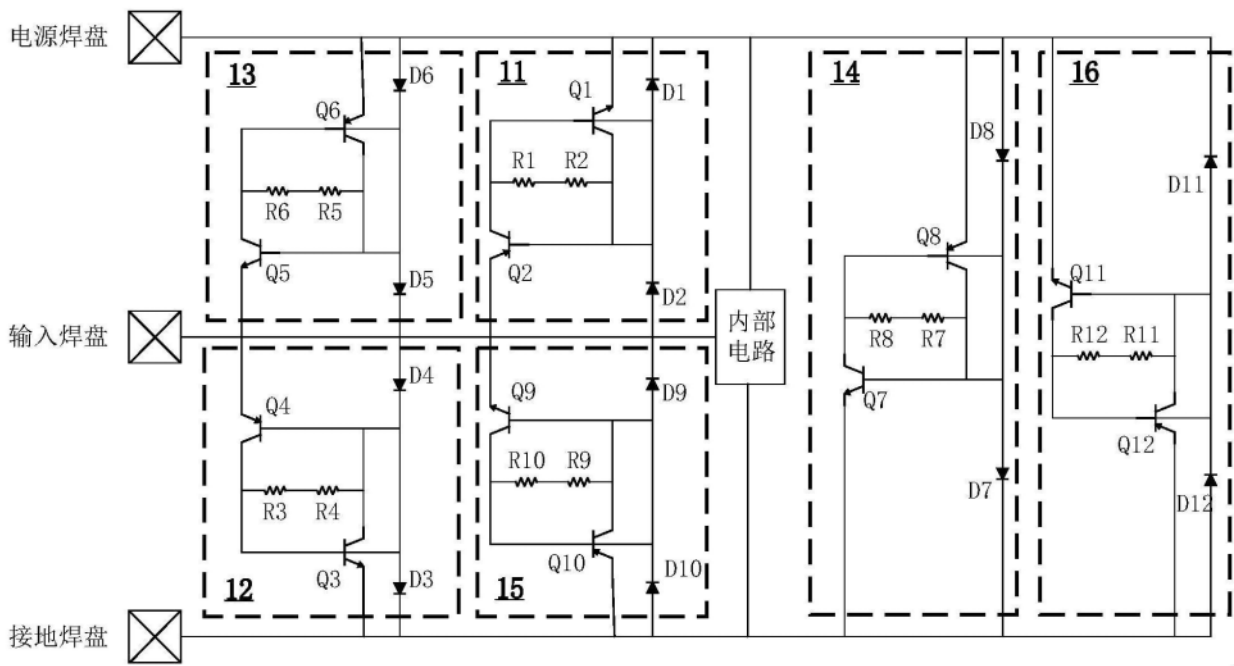


图8