

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4978094号
(P4978094)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int.Cl.

F I

H03K 19/0175 (2006.01)

H03K 19/00 I O I J

請求項の数 9 (全 22 頁)

<p>(21) 出願番号 特願2006-208602 (P2006-208602)</p> <p>(22) 出願日 平成18年7月31日 (2006.7.31)</p> <p>(65) 公開番号 特開2008-35385 (P2008-35385A)</p> <p>(43) 公開日 平成20年2月14日 (2008.2.14)</p> <p>審査請求日 平成21年4月27日 (2009.4.27)</p>	<p>(73) 特許権者 308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23</p> <p>(74) 代理人 100068755 弁理士 恩田 博宣</p> <p>(74) 代理人 100105957 弁理士 恩田 誠</p> <p>(72) 発明者 宮崎 裕至 愛知県春日井市高蔵寺町二丁目1844番 2 富士通ヴィエルエスアイ株式会社内</p> <p>審査官 宮島 郁美</p>
--	--

最終頁に続く

(54) 【発明の名称】 出力バッファ回路

(57) 【特許請求の範囲】

【請求項1】

半導体チップコア側の電源電位とグランド基準電位とを振幅範囲とするデータ入力信号に基づいて、前記半導体チップコア側の電源電位とは異なる電圧に設定された外部出力インターフェース電源電位と前記グランド基準電位とを振幅範囲とする第1信号を出力する第1レベルコンバータと、

前記半導体チップコア側の電源電位と前記グランド基準電位とを振幅範囲とする制御入力信号に基づいて、前記外部出力インターフェース電源電位と前記グランド基準電位とを振幅範囲とする第2信号を出力する第2レベルコンバータと、

前記第1信号と前記第2信号とに基づいて、前記グランド基準電位（ローレベル）、前記外部出力インターフェース電源電位（ハイレベル）及びハイインピーダンスの3値を出力信号として出力する出力回路とを備えた出力バッファ回路において、

電源立ち上げ時において、前記第2信号に対する前記第1信号の立ち下がり遅延を補償するタイミング調整回路を備えたことを特徴とする出力バッファ回路。

【請求項2】

前記タイミング調整回路は、電源立ち上げ時における前記第1信号の立ち下がりを進相させるようにタイミングを調整する第1調整回路を含むことを特徴とする請求項1に記載の出力バッファ回路。

【請求項3】

前記外部出力インターフェース電源電位は、前記半導体チップコア側の電源電位よりも

10

20

高い電圧に設定され、

前記第 1 調整回路は、電源立ち上げ時に、データ入力信号に基づいたハイレベルの信号が入力される第 1 レベルコンバータの入力側トランジスタのゲートと、前記第 1 信号が出力される第 1 レベルコンバータの出力端子との間に接続される容量素子を含むことを特徴とする請求項 2 に記載の出力バッファ回路。

【請求項 4】

前記第 1 調整回路は、前記第 1 信号が出力される前記第 1 レベルコンバータの出力端子にゲートとドレインとが接続され、ソースが前記グラウンド基準電位側に接続される第 1 の N チャネル MOS トランジスタを含むことを特徴とする請求項 2 又は 3 に記載の出力バッファ回路。

10

【請求項 5】

前記第 1 調整回路は、前記第 1 の N チャネル MOS トランジスタのソースと前記グラウンド基準電位との間に接続される高抵抗素子を含むことを特徴とする請求項 4 に記載の出力バッファ回路。

【請求項 6】

前記第 1 調整回路は、ゲートが前記第 1 レベルコンバータの出力端子に接続され、ドレインが前記第 1 の N チャネル MOS トランジスタのソースに接続され、ソースが前記グラウンド基準電位に接続されて、高オン抵抗値を有する第 2 の N チャネル MOS トランジスタを含むことを特徴とする請求項 4 に記載の出力バッファ回路。

【請求項 7】

20

前記タイミング調整回路は、電源立ち上げ時における前記第 2 信号の立ち下がり遅相させるようにタイミングを調整する第 2 調整回路を含むことを特徴とする請求項 1 ~ 6 のいずれか 1 つに記載の出力バッファ回路。

【請求項 8】

前記第 2 信号を出力する前記第 2 レベルコンバータの出力端子は、出力回路のインバータ回路に接続され、

前記第 2 調整回路は、前記インバータ回路と並列に接続される容量素子を含むことを特徴とする請求項 7 に記載の出力バッファ回路。

【請求項 9】

前記第 2 調整回路は、前記第 2 レベルコンバータの出力端子と前記外部出力インターフェース電源電位との間に接続される容量素子を含むことを特徴とする請求項 7 又は 8 に記載の出力バッファ回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の出力バッファ回路に係り、詳しくはスリーステート型の出力バッファ回路に関するものである。近年の半導体装置では、低消費電力化を図るため、内部回路は半導体装置外部の信号レベルに比べて低いレベルの信号を扱うように構成されている。すなわち、内部回路の動作電源電圧は、半導体装置外部の信号レベルに比べて低く設定されている。このため、半導体装置では、内部回路の信号レベルを外部の信号レベルに変換するレベルコンバータを有する出力バッファ回路が備えられている。

40

【背景技術】

【0002】

2 種類の電源電圧で動作する従来の半導体装置の出力バッファ回路 100 を図 12 に従って説明する。

出力バッファ回路 100 は、半導体装置の内部回路（図示略）からデータ入力信号 A と、制御入力信号 C とが入力され、それら入力信号 A, C に基づいて、H レベル、L レベル及びハイインピーダンスの 3 値を出力するスリーステート型で構成されている。

【0003】

この出力バッファ回路 100 は、大きく分けて、入力信号 A, C の信号レベルを変換し

50

て出力するレベルコンバータ部 110 と、レベルコンバータ部 110 から入力される信号に基づいて出力信号 O U T を外部出力端子 E X に出力する出力回路 130 とから構成されている。

【0004】

レベルコンバータ部 110 は、第 1 レベルコンバータ 110 a と第 2 レベルコンバータ 110 b とから構成されている。第 1 レベルコンバータ 110 a には、半導体チップコア側の電源電位 V D L で動作するコア回路からデータ入力信号 A が入力されるとともに、データ入力信号 A の反転信号 A バーが入力される。これら信号 A , A バーは、一方がグラウンドレベル (L レベル) 、他方が半導体チップコア側の電源電位 V D L (H レベル) となる信号である。第 1 レベルコンバータ 110 a は、グラウンドレベルから半導体チップコア側の電源電位 V D L までの振幅を有する信号 A , A バーを、グラウンドレベルから外部出力インターフェース電源電位 V D H までの振幅にレベル変換して信号 B として出力回路 130 に出力する。

10

【0005】

詳しくは、データ入力信号 A が H レベル、反転信号 A バーが L レベルとなれば、トランジスタ T N 1 1 がオフされるとともに、トランジスタ T N 1 2 がオンされる。トランジスタ T N 1 2 がオンされると、トランジスタ T P 1 1 は、そのゲートがグラウンドと接続されるためオンされる。トランジスタ T P 1 1 がオンされると、トランジスタ T P 1 2 は、そのゲートが外部出力インターフェース電源電位と接続されるためオフされる。このとき、トランジスタ T N 1 1 , T P 1 1 間のノード N 1 1 の電位は外部出力インターフェース電源電位 V D H レベルとなり、ノード N 1 1 から出力回路 130 に外部出力インターフェース電源電位 V D H レベル (H レベル) の信号 B が出力される。

20

【0006】

反対に、データ入力信号 A が L レベル、反転信号 A バーが H レベルとなれば、トランジスタ T N 1 1 がオンされるとともに、トランジスタ T N 1 2 がオフされる。トランジスタ T N 1 1 がオンされると、トランジスタ T P 1 2 は、そのゲートがグラウンドに接続されるためオンされる。トランジスタ T P 1 2 がオンされると、トランジスタ T P 1 1 は、そのゲートが外部出力インターフェース電源電位 V D H と接続されるためオフされる。このとき、ノード N 1 1 の電位はグラウンドレベルとなり、ノード N 1 1 から出力回路 130 にグラウンドレベル (L レベル) の信号 B が出力される。

30

【0007】

同様に、第 2 レベルコンバータ 110 b には、内部回路から制御入力信号 C とその反転信号 C バーが入力される。第 2 レベルコンバータ 110 b は、グラウンドレベルから半導体チップコア側の電源電位 V D L までの振幅を有する信号 C , C バーを、グラウンドレベルから外部出力インターフェース電源電位 V D H までの振幅にレベル変換して信号 D として出力回路 130 に出力する。

【0008】

出力回路 130 は、論理制御回路 140 と最終段バッファ 150 とから構成されている。論理制御回路 140 は、レベルコンバータ部 110 から入力される信号 B , D に基づいて、最終段バッファ 150 のトランジスタ T P 5 0 , T N 5 0 に外部出力インターフェース電源電位 V D H レベルあるいはグラウンドレベルの信号 E , F をそれぞれ出力する。

40

【0009】

詳しくは、信号 D が外部出力インターフェース電源電位 V D H レベル (制御入力信号 C が半導体チップコア側の電源電位 V D L レベル) の場合には、信号 B が H レベルであろうと L レベルであろうと、トランジスタ T P 5 0 に H レベル (外部出力インターフェース電源電位 V D H レベル) の信号 E が入力され、トランジスタ T N 5 0 に L レベル (グラウンドレベル) の信号 F が入力される。このとき、両トランジスタ T P 5 0 , T N 5 0 が共にオフされるため、トランジスタ T P 5 0 , T N 5 0 間のノード N 5 0 はハイインピーダンスに設定される。

【0010】

50

一方、信号Dがグラウンドレベル（制御入力信号Cがグラウンドレベル）であって、信号Bが外部出力インターフェース電源電位VDHレベル（データ入力信号Aが半導体チップコア側の電源電位VDLレベル）の場合には、トランジスタTP50にLレベルの信号Eが入力され、トランジスタTN50にLレベルの信号Fが入力される。このとき、トランジスタTP50がオンされ、トランジスタTN50がオフされるため、ノードN50から外部出力インターフェース電源電位VDH（Hレベル）の出力信号OUTが外部出力端子EXに出力される。

【0011】

また、信号Dがグラウンドレベルであって、信号Bがグラウンドレベル（データ入力信号Aがグラウンドレベル）の場合には、トランジスタTP50にHレベルの信号Eが入力され、トランジスタTN50にHレベルの信号Fが入力される。このとき、トランジスタTP50がオフされ、トランジスタTN50がオンされるため、ノードN50からはグラウンドレベル（Lレベル）の出力信号OUTが外部出力端子EXに出力される。

10

【0012】

なお、このようなスリーステート型の出力バッファ回路としては、例えば特許文献1が知られている。

【特許文献1】特開平10-285013号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

20

ところが、このような出力バッファ回路100では、各レベルコンバータ110a, 110b内の寄生容量が異なると、電源立ち上げ時に、第1レベルコンバータ110aから出力される信号Bと、第2レベルコンバータ110bから出力される信号Dとの間に、信号遅延Skew（図13（b）参照）が発生する。とくに、第1レベルコンバータ110aの寄生容量が第2レベルコンバータ110bのそれに比べて大きくなると、図13（b）に示すように、信号Dに対して信号Bが遅延する。ここで、このような寄生容量の大きさは、各レベルコンバータ110a, 110bを構成するトランジスタ等の素子の配置位置によって変わる配線長や上層レイヤの電源配線の種類に依存して変動する。そして、上記信号遅延Skewによって、出力信号OUTとして図13（d）に示すような誤作動信号SHが発生することが本発明者らによって明らかにされた。

30

【0014】

以下に、電源立ち上げ時に、Lレベルのデータ入力信号A及びLレベルの制御入力信号Cが入力された場合に発生する誤作動信号SHについて説明する。

図13（a）に示すように、電源立ち上げ時には、半導体チップコア側の電源電位VDL及び外部出力インターフェース電源電位VDHがそれぞれ所定の傾きで立ち上がる。また、Hレベルとなる反転信号Aバー, Cバーは、半導体チップコア側の電源電位VDLの立ち上がりレベルに追従して上昇する。このとき、反転信号Aバー, Cバーの信号レベルがそれぞれトランジスタTN11, TN21のしきい値を超えるまでは、図13（b）に示すように、各レベルコンバータ110a, 110bから出力される信号B, Dの信号レベルが外部出力インターフェース電源電位VDHの立ち上がりに追従して上昇する。そして、反転信号Aバー, CバーがそれぞれトランジスタTN11, TN21のしきい値を超えると、同トランジスタTN11, TN21がオンされて、信号B, Dはグラウンドレベル（Lレベル）まで立ち下がる。しかし、前述のように、第1レベルコンバータ110aの寄生容量が第2レベルコンバータ110bのそれに比べて大きくなると、信号Dに対して信号Bが遅延して立ち下がる。この信号B, Dで発生した信号遅延Skewは、バッファ内レーシングによってその遅延を保持したまま、最終段バッファ150のトランジスタTP50, TN50に入力される。すると、図13（c）に示すように、トランジスタTP50, TN50に入力される信号E, Fが共にLレベルになるタイミングが生じる。これにより、PチャネルMOSトランジスタTP50がオンされて、NチャネルMOSトランジスタTN50がオフされるため、図13（d）に示すように、出力信号OUTとして外

40

50

部出力インターフェース電源電位V D Hの立ち上がりレベルに追従するHレベルの誤作動信号S Hが一瞬発生し、電源立ち上げ初期動作状態における誤作動の原因となるおそれがある。

【0015】

本発明は上記問題点を解決するためになされたものであって、その目的は、電源立ち上げ時における誤作動信号の発生を抑制することのできる出力バッファ回路を提供することにある。

【課題を解決するための手段】

【0016】

上記目的を達成するため、請求項1に記載の発明は、グランド基準電位と半導体チップコア側の電源電位とを振幅範囲とするデータ入力半導体チップコア側の電源電位とグランド基準電位とを振幅範囲とするデータ入力信号に基づいて、前記半導体チップコア側の電源電位とは異なる電圧に設定された外部出力インターフェース電源電位と前記グランド基準電位とを振幅範囲とする第1信号を出力する第1レベルコンバータと、前記半導体チップコア側の電源電位と前記グランド基準電位とを振幅範囲とする制御入力信号に基づいて、前記外部出力インターフェース電源電位と前記グランド基準電位とを振幅範囲とする第2信号を出力する第2レベルコンバータと、前記第1信号と前記第2信号とに基づいて、前記グランド基準電位（ローレベル）、前記外部出力インターフェース電源電位（ハイレベル）及びハイインピーダンスの3値を出力信号として出力する出力回路とを備えた出力バッファ回路において、電源立ち上げ時において、前記第2信号に対する前記第1信号の立ち下がり遅延を補償するタイミング調整回路を備えたものである。

【0017】

前述したように、第1信号及び第2信号は、データ入力信号及び制御入力信号に基づいて、共にグランド基準電位の信号レベルが出力される場合であっても、電源立ち上げ時においては外部出力インターフェース電源電位の立ち上がりレベルに追従してその信号レベルが上昇する。そして、第1信号及び第2信号は、所定時間経過後にグランド基準電位まで立ち下がる。ここで、所定時間は、第1及び第2レベルコンバータが安定して動作するまでの時間である。上記構成によれば、タイミング調整回路によって、このときの第2信号に対する第1信号の遅延の発生を抑制することができる。従って、グランド基準電位の第1及び第2信号が出力されるはずにも関わらず、外部出力インターフェース電源電位の第1信号とグランド基準電位の第2信号とが出力されることを抑制することができるため、第2信号に対する第1信号の遅延によって発生する可能性のある誤作動信号の発生を好適に抑制することができる。

【0018】

請求項2に記載の発明は、前記タイミング調整回路は、電源立ち上げ時における前記第1信号の立ち下がりを進相させるようにタイミングを調整する第1調整回路を含むものである。

【0019】

この構成によれば、第1調整回路によって第1信号を速く立ち下げることができるため、第2信号に対する第1信号の遅延の発生を好適に抑制することができる。従って、第2信号に対する第1信号の遅延によって発生する可能性のある誤作動信号の発生を好適に抑制することができる。

【0020】

請求項3に記載の発明は、前記外部出力インターフェース電源電位は、前記半導体チップコア側の電源電位よりも高い電圧に設定され、前記第1調整回路は、電源立ち上げ時に、データ入力信号に基づいたハイレベルの信号が入力される第1レベルコンバータの入力側トランジスタのゲート端子と、前記第1信号が出力される第1レベルコンバータの出力端子との間に接続される容量素子を含むものである。

【0021】

この構成によれば、電源立ち上げ時において、第2信号は、半導体チップコア側の電源

10

20

30

40

50

電位よりも高い電圧に設定された外部出力インターフェース電源電位の立ち上がりレベルに追従してその信号レベルが上昇する。また、入力側トランジスタに入力されるHレベルの信号は、半導体チップコア側の電源電位の立ち上がりレベルに追従してその信号レベルが上昇する。従って、第2信号は、入力側トランジスタに入力されるHレベルの信号よりも速く信号レベルが上昇する。そして、容量素子によって、第2信号の信号レベルの変化を速やかにHレベルの信号の信号レベルに反映させることができる。これによって、Hレベルの信号は、その信号レベルが従来に比べて速やかに上昇するため、早期に入力側トランジスタをオンさせて、第1レベルコンバータを安定に動作させることができる。従って、各レベルコンバータの寄生容量の違いによって第1信号の伝達時間が長くなったとしても、第2信号に対する第1信号の遅延の発生を抑制することができる。その結果、第2信号に対する第1信号の遅延によって発生する可能性のある誤作動信号の発生を好適に抑制することができる。

10

【0022】

請求項4に記載の発明は、前記第1調整回路は、前記第1信号が出力される前記第1レベルコンバータの出力端子にゲートとドレインとが接続され、ソースが前記グランド基準電位側に接続される第1のNチャネルMOSトランジスタを含むものである。

【0023】

この構成によれば、電源立ち上げ時において、外部出力インターフェース電源電位の立ち上がりレベルに追従する第1信号がしきい値に達することによって、第1のNチャネルMOSトランジスタがオンされる。これによって、第1レベルコンバータの出力端子がグランド基準電位と接続されるため、出力端子の電位、すなわち第1信号の信号レベルがグランド基準電位に引き下げられる。この第1信号の信号レベルの引き下げは、第1及び第2レベルコンバータの動作が安定する前に起こるため、第2信号よりも速く第1信号をグランド基準電位に立ち下げることができる。これによって、第2信号に対する第1信号の遅延の発生を抑制することができるため、第2信号に対する第1信号の遅延によって発生する可能性のある誤作動信号の発生を好適に抑制することができる。

20

【0024】

請求項5に記載の発明は、前記第1調整回路は、前記第1のNチャネルMOSトランジスタのソースと前記グランド基準電位との間に接続される高抵抗素子を含むものである。

この構成によれば、電源レベルが安定した状態での動作時に、Hレベルの第1信号が出力されても、高抵抗素子によって出力端子からグランド基準電位に向かう電流パスが発生することを好適に抑制することができる。

30

【0025】

請求項6に記載の発明は、前記第1調整回路は、ゲートが前記第1レベルコンバータの出力端子に接続され、ドレインが前記第1のNチャネルMOSトランジスタのソースに接続され、ソースが前記低電位側電源に接続されて、高オン抵抗値を有する第2のNチャネルMOSトランジスタを含むものである。

【0026】

この構成によれば、電源レベルが安定した状態での動作時に、Hレベルの第1信号が出力されても、第2のNチャネルMOSトランジスタによって出力端子からグランド基準電位に向かう電流パスが発生することを好適に抑制することができる。

40

【0027】

請求項7に記載の発明は、前記タイミング調整回路は、電源立ち上げ時における前記第2信号の立ち下がり遅延を遅相させるようにタイミングを調整する第2調整回路を含むものである。

【0028】

この構成によれば、第2調整回路によって第2信号の立ち下がり遅延させることができるため、第2信号に対する第1信号の遅延の発生を好適に抑制することができる。従って、第2信号に対する第1信号の遅延によって発生する可能性のある誤作動信号の発生を好適に抑制することができる。

50

【 0 0 2 9 】

請求項 8 に記載の発明は、前記第 2 信号を出力する前記第 2 レベルコンバータの出力端子は、出力回路のインバータ回路に接続され、前記第 2 調整回路は、前記インバータ回路と並列に接続される容量素子を含むものである。

【 0 0 3 0 】

この構成によれば、容量素子によって第 2 信号の立ち下がりが遅延させることができるため、第 2 信号に対する第 1 信号の遅延の発生を好適に抑制することができる。従って、第 2 信号に対する第 1 信号の遅延によって発生する可能性のある誤作動信号の発生を好適に抑制することができる。

【 0 0 3 1 】

請求項 9 に記載の発明は、前記第 2 調整回路は、前記第 2 レベルコンバータの出力端子と前記外部出力インターフェース電源電位との間に接続される容量素子を含むものである。

【 0 0 3 2 】

この構成によれば、容量素子によって第 2 信号の立ち下がりが遅延させることができるため、第 2 信号に対する第 1 信号の遅延の発生を好適に抑制することができる。従って、第 2 信号に対する第 1 信号の遅延によって発生する可能性のある誤作動信号の発生を好適に抑制することができる。

【 発明の効果 】

【 0 0 3 3 】

以上説明したように、本発明によれば、電源立ち上げ時における誤作動信号の発生を抑制することが可能な出力バッファ回路を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 3 4 】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図 1 ~ 図 3 に従って説明する。

図 1 に示すように、出力バッファ回路 1 は、大きく分けて、半導体装置の内部回路 (図示略) から入力される入力信号の信号レベルを変換して出力するレベルコンバータ部 1 0 と、レベルコンバータ部 1 0 から入力される信号に基づいて出力信号 O U T を外部出力端子 E X に出力する出力回路 3 0 と、タイミング調整回路 T 1 とから構成されている。

【 0 0 3 5 】

レベルコンバータ部 1 0 は、内部回路から入力されるデータ入力信号 A に基づいて、そのデータ入力信号 A をレベル変換して出力回路 3 0 に出力する第 1 レベルコンバータ 1 0 a と、内部回路から入力される制御入力信号 C に基づいて、その制御入力信号 C をレベル変換して出力回路 3 0 に出力する第 2 レベルコンバータ 1 0 b とから構成されている。

【 0 0 3 6 】

第 1 レベルコンバータ 1 0 a は、第 1 入力回路 1 1 と第 1 レベルコンバータ回路 2 1 とを備えている。第 1 入力回路 1 1 は、第 1 及び第 2 インバータ回路 1 1 a , 1 1 b から構成されている。各インバータ回路 1 1 a , 1 1 b の電源端子は、それぞれ半導体チップコア側の電源電位 V D L とグランド基準電位に接続される。第 1 インバータ回路 1 1 a は、データ入力信号 A が入力され、そのデータ入力信号 A を論理反転し半導体チップコア側の電源電位 V D L (H レベル) 又はグランドレベル (L レベル) の信号 A I を出力する。第 2 インバータ回路 1 1 b は、第 1 インバータ回路 1 1 a から信号 A I が入力されて、その信号 A I を論理反転し半導体チップコア側の電源電位 V D L (H レベル) 又はグランドレベル (L レベル) の信号 A T を出力する。従って、第 1 入力回路 1 1 は、振幅がグランドレベルから半導体チップコア側の電源電位 V D L までの相補な信号 A T , A I を出力する。

【 0 0 3 7 】

第 1 レベルコンバータ回路 2 1 には、信号 A I 及び信号 A T が入力される。第 1 インバータ回路 1 1 a から出力される信号 A I は、N チャネル M O S トランジスタ T N 1 1 のゲ

10

20

30

40

50

ートに供給され、第2インバータ回路11bから出力される信号ATは、NチャンネルMOSトランジスタTN12のゲートに供給される。両トランジスタTN11, TN12のソースはグラウンドに接続される。

【0038】

トランジスタTN11のドレインは、PチャンネルMOSトランジスタTP11のドレインに接続され、トランジスタTN12のドレインは、PチャンネルMOSトランジスタTP12のドレインに接続される。PチャンネルMOSトランジスタTP11, TP12のソースは外部出力インターフェース電源電位VDHに接続される。

【0039】

トランジスタTN11, TP11間のノードN11は、トランジスタTP12のゲートに接続され、トランジスタTN12, TP12間のノードN12は、トランジスタTP11のゲートに接続される。また、ノードN11は、出力回路30に接続され、このノードN11から外部出力インターフェース電源電位VDH(Hレベル)又はグラウンドレベル(Lレベル)の信号Bが出力回路30に出力される。すなわち、第1レベルコンバータ回路21は、グラウンドレベルから半導体チップコア側の電源電位VDLまでの振幅を有する相補な信号AT, AIを、グラウンドレベルから外部出力インターフェース電源電位VDHまでの振幅にレベル変換して、信号Bとして出力回路30に出力する。

【0040】

第2レベルコンバータ10bは、第2入力回路12と第2レベルコンバータ回路22とを備えている。第2入力回路12は、第1及び第2インバータ回路12a, 12bから構成されている。各インバータ回路12a, 12bの電源端子は、それぞれ半導体チップコア側の電源電位VDLとグラウンド基準電位に接続されている。第1インバータ回路12aは、制御入力信号Cが入力され、その制御入力信号Cを論理反転し半導体チップコア側の電源電位VDL(Hレベル)又はグラウンドレベル(Lレベル)の信号CIを出力する。第2インバータ回路12bは、第1インバータ回路12aから信号CIが入力されて、その信号CIを論理反転し半導体チップコア側の電源電位VDL(Hレベル)又はグラウンドレベル(Lレベル)の信号CTを出力する。従って、第2入力回路12は、振幅がグラウンドレベルから半導体チップコア側の電源電位VDLまでの相補な信号CT, CIを出力する。

【0041】

第2レベルコンバータ回路22には、信号CI及び信号CTが入力される。第1インバータ回路12aから出力される信号CIは、NチャンネルMOSトランジスタTN21のゲートに供給され、第2インバータ回路12bから出力される信号CTは、NチャンネルMOSトランジスタTN22のゲートに供給される。両トランジスタTN21, TN22のソースはグラウンドに接続される。

【0042】

トランジスタTN21のドレインは、PチャンネルMOSトランジスタTP21のドレインに接続され、トランジスタTN22のドレインは、PチャンネルMOSトランジスタTP22のドレインに接続される。トランジスタTP21, TP22のソースは外部出力インターフェース電源電位VDHに接続される。

【0043】

トランジスタTN21, TP21間のノードN21は、トランジスタTP22のゲートに接続され、トランジスタTN22, TP22間のノードN22は、トランジスタTP21のゲートに接続される。また、ノードN21は、出力回路30に接続され、このノードN21から外部出力インターフェース電源電位VDH(Hレベル)又はグラウンドレベル(Lレベル)の信号Dが出力回路30に出力される。すなわち、第2レベルコンバータ回路22は、グラウンドレベルから半導体チップコア側の電源電位VDLまでの振幅を有する相補な信号CT, CIを、グラウンドレベルから外部出力インターフェース電源電位VDHまでの振幅にレベル変換して、信号Dとして出力回路30に出力する。

【0044】

10

20

30

40

50

タイミング調整回路 T 1 は、第 1 レベルコンバータ回路 2 1 のトランジスタ T N 1 1 のゲート端子と、出力回路 3 0 に接続される第 1 レベルコンバータ回路 2 1 における出力端子との間に接続されるコンデンサ C 1 によって構成されている。なお、タイミング調整回路 T 1 とトランジスタ T N 1 1 のゲート端子との接続点をノード N 1 3 とし、タイミング調整回路 T 1 と第 1 レベルコンバータ回路 2 1 の出力端子との接続点をノード N 1 4 とする。このタイミング調整回路 T 1 は、電源立ち上げ時において、第 2 レベルコンバータ 1 0 b から出力される信号 D に対する第 1 レベルコンバータ 1 0 a から出力される信号 B の信号遅延 S k e w の発生を抑制するように機能する。

【 0 0 4 5 】

出力回路 3 0 は、論理制御回路 4 0 及び最終段バッファ 5 0 から構成されている。論理制御回路 4 0 は、5 つのインバータ回路 4 1 , 4 2 , 4 3 , 4 4 , 4 5 と、それらインバータ回路 4 1 ~ 4 5 とそれぞれ接続される N O R 回路 4 6 及び N A N D 回路 4 7 とを備えている。なお、図示は省略するが、インバータ回路 4 1 ~ 4 5 の電源端子は、それぞれ外部出力インターフェース電源電位 V D H とグランド基準電位とに接続される。

10

【 0 0 4 6 】

インバータ回路 4 1 は、第 1 レベルコンバータ 1 0 a から信号 B が入力され、その信号 B を論理反転して、論理反転された信号 B I を N O R 回路 4 6 の入力端子に出力するとともに、信号 B I を N A N D 回路 4 7 の入力端子に出力する。インバータ回路 4 2 は、第 2 レベルコンバータ 1 0 b から信号 D が入力され、その信号 D を論理反転して、論理反転された信号 D I をインバータ回路 4 3 に出力するとともに、信号 D I を N A N D 回路 4 7 の入力端子に出力する。インバータ回路 4 3 は、インバータ回路 4 2 から信号 D I が入力され、その信号 D I を論理反転して信号 D と同等の信号レベルを有する信号 D T を N O R 回路 4 6 の入力端子に出力する。

20

【 0 0 4 7 】

N O R 回路 4 6 は、入力端子に入力される信号 B I 及び信号 D T に基づいて、信号 E をインバータ回路 4 4 に出力する。インバータ回路 4 4 は、N O R 回路 4 6 から信号 E が入力され、その信号 E を論理反転して反転信号 E バーを最終段バッファ 5 0 に出力する。

【 0 0 4 8 】

N A N D 回路 4 7 は、入力端子に入力される信号 B I 及び信号 D I に基づいて、信号 F をインバータ回路 4 5 に出力する。インバータ回路 4 5 は、N A N D 回路 4 7 から信号 F が入力され、その信号 F を論理反転して反転信号 F バーを最終段バッファ 5 0 に出力する。

30

【 0 0 4 9 】

最終段バッファ 5 0 は、PチャネルMOSトランジスタ T P 5 0 とNチャネルMOSトランジスタ T N 5 0 とを備えている。インバータ回路 4 4 から入力される反転信号 E バーは、PチャネルMOSトランジスタ T P 5 0 のゲートに供給され、インバータ回路 4 5 から出力される反転信号 F バーは、NチャネルMOSトランジスタ T N 5 0 のゲートに供給される。トランジスタ T P 5 0 は、そのソースが外部出力インターフェース電源電位 V D H に接続され、ドレインがトランジスタ T N 5 0 のドレインに接続される。トランジスタ T N 5 0 のソースはグランドに接続される。

40

【 0 0 5 0 】

トランジスタ T P 5 0 . T N 5 0 間のノード N 5 0 は、外部出力端子 E X と接続され、このノード N 5 0 から出力信号 O U T が出力される。

次に、このように構成された出力バッファ回路 1 の各電源の電圧レベルが安定した状態における動作について図 2 に従って説明する。

【 0 0 5 1 】

まず、Lレベルのデータ入力信号 A 及びLレベルの制御入力信号 C が入力される場合について説明する。

Lレベルのデータ入力信号が入力されると、信号 A I がHレベル、信号 A T がLレベルとなり、トランジスタ T N 1 1 がオンされるとともに、トランジスタ T N 1 2 がオフされ

50

る。トランジスタTN11がオンされると、トランジスタTP12は、そのゲートがグラウンドと接続されるためオンされる。トランジスタTP12がオンされると、トランジスタTP11は、そのゲートが外部出力インターフェース電源電位VDHと接続されるためオフされる。このとき、トランジスタTN11, TP11間のノードN11の電位がグラウンドレベルとなり、ノードN11からグラウンドレベル(Lレベル)の信号Bがインバータ回路41に出力される。

【0052】

一方、Lレベルの制御入力信号Cが入力されると、信号CIがHレベル、信号CTがLレベルとなり、トランジスタTN21がオンされるとともに、トランジスタTN22がオフされる。トランジスタTN21がオンされると、トランジスタTP22は、そのゲートがグラウンドと接続されるためオンされる。トランジスタTP22がオンされると、トランジスタTP21は、そのゲートが外部出力インターフェース電源電位VDHと接続されるためオフされる。このとき、トランジスタTN11, TP11間のノードN21の電位がグラウンドレベルとなり、ノードN21からグラウンドレベル(Lレベル)の信号Dがインバータ回路42に出力される。

【0053】

インバータ回路41にLレベルの信号B、インバータ回路42にLレベルの信号Dが入力されると、NOR回路46には、Hレベルの信号BIとLレベルの信号DTとが入力されるとともに、NAND回路47には、Hレベルの信号BIとHレベルの信号DIとが入力される。すると、NOR回路46からインバータ回路44にLレベルの信号Eが出力され、インバータ回路44からPチャンネルMOSトランジスタTP50にHレベルの信号Eバーが出力される。また、NAND回路47からインバータ回路45にLレベルの信号Fが出力され、インバータ回路45からNチャンネルMOSトランジスタTN50にHレベルの信号Fバーが出力される。

【0054】

そして、Hレベルの信号EバーにตอบสนองしてPチャンネルMOSトランジスタTP50がオフされ、Hレベルの信号FバーにตอบสนองしてNチャンネルMOSトランジスタTN50がオンされる。これによって、トランジスタTP50, TN50間のノードN50の電位がグラウンドレベル(Lレベル)となり、ノードN50からLレベルの出力信号OUTが外部出力端子EXに出力される。

【0055】

次に、時刻t1からデータ入力信号AがLレベルからHレベルに立ち上がると、信号AIがLレベル、信号ATがHレベルとなり、トランジスタTN11がオフされるとともに、トランジスタTN12がオンされる。すると、トランジスタTP11がオンされ、トランジスタTP12がオフされる。このとき、ノードN11の電位が外部出力インターフェース電源電位VDHレベル(Hレベル)となり、ノードN11からHレベルの信号Bがインバータ回路41に出力される。なお、信号AIがHレベルからLレベルに立ち下がる瞬間(時刻t1)には、信号BもLレベルであり、ノードN13, N14間で電位差が生じないため、コンデンサC1は充放電されない。また、信号BがLレベルからHレベルに立ち上がる瞬間(時刻t2)には、第1レベルコンバータ回路21の各トランジスタの動作が既に確定して、第1レベルコンバータ回路21が安定に動作しているため、第1レベルコンバータ回路21に入出力される信号B, Dの信号レベルはコンデンサC1の影響をほとんど受けない。

【0056】

そして、Hレベルの信号BとLレベルの信号Dが出力回路30に入力されると、NOR回路46からインバータ回路44を介してLレベルの信号Eバーが出力され、NAND回路47からインバータ回路45を介してLレベルの信号Fバーが出力される。これらLレベルの信号Eバー, Fバーにそれぞれตอบสนองして、PチャンネルMOSトランジスタTP50がオンされ、NチャンネルMOSトランジスタTN50がオフされる。これによって、ノードN50の電位が外部出力インターフェース電源電位VDHレベル(Hレベル)となり、

ノードN50からHレベルの出力信号OUTが外部出力端子EXに出力される。

【0057】

次に、時刻t3から制御入力信号CがLレベルからHレベルに立ち上がると、信号CIがLレベル、信号CTがHレベルとなり、トランジスタTN21がオフされるとともに、トランジスタTN22がオンされる。すると、トランジスタTP21がオンされ、トランジスタTP22がオフされる。このとき、ノードN21の電位が外部出力インターフェース電源電位VDHレベル(Hレベル)となり、ノードN21からHレベルの信号Dがインバータ回路41に出力される。

【0058】

そして、Hレベルの信号BとHレベルの信号Dが出力回路30に入力されると、NOR回路46からインバータ回路44を介してHレベルの信号Eバーが出力され、NAND回路47からインバータ回路45を介してLレベルの信号Fバーが出力される。これらHレベルの信号EバーとLレベルの信号Fバーにそれぞれ応答して、PチャネルMOSトランジスタTP50及びNチャネルMOSトランジスタTN50が共にオフされる。これによって、ノードN50はハイインピーダンスに設定される。

10

【0059】

次に、時刻t4からデータ入力信号AがHレベルからLレベルに立ち下がると、信号AIがHレベル、信号ATがLレベルとなり、トランジスタTN11がオンされるとともに、トランジスタTN12がオフされる。すると、トランジスタTP12がオンされ、トランジスタTP11がオフされる。このとき、ノードN11の電位がグラウンドレベル(Lレベル)となり、ノードN11からLレベルの信号Bがインバータ回路41に出力される。なお、前述のように、信号BがHレベルからLレベルに立ち下がる瞬間(時刻t5)には、第1レベルコンバータ回路21の各トランジスタの動作が既に確定して、第1レベルコンバータ回路21が安定に動作しているため、第1レベルコンバータ回路21から出力される信号Bの信号レベルはコンデンサC1の影響をほとんど受けない。

20

【0060】

そして、Lレベルの信号BとHレベルの信号Dが出力回路30に入力されると、NOR回路46からインバータ回路44を介してHレベルの信号Eバーが出力され、NAND回路47からインバータ回路45を介してLレベルの信号Fバーが出力される。これらHレベルの信号EバーとLレベルのFバーにそれぞれ応答して、PチャネルMOSトランジスタTP50及びNチャネルMOSトランジスタTN50がともにオフされる。これによって、ノードN50はハイインピーダンスに設定される。

30

【0061】

次に、上記出力バッファ回路1の電源立ち上げ時の動作について図3に従って説明する。なお、Lレベルのデータ入力信号A及びLレベルの制御入力信号Cが第1及び第2レベルコンバータ10a, 10bにそれぞれ入力される場合について説明する。

【0062】

図3(a)に示すような電源立ち上げ時においては、半導体チップコア側の電源電位VDL及び外部出力インターフェース電源電位VDHがそれぞれ所定の傾きで立ち上がる。なお、半導体チップコア側の電源電位VDLは、外部出力インターフェース電源電位VDHよりも緩やかな傾きで立ち上がる。

40

【0063】

このとき、第1入力回路11にLレベルのデータ入力信号Aが入力されると、第1レベルコンバータ回路21のトランジスタTN11には、半導体チップコア側の電源電位VDLレベルの信号AIが入力され、トランジスタTN12にはグラウンドレベルの信号ATが入力される。また、第2入力回路12にLレベルの制御入力信号Cが入力されると、第2レベルコンバータ回路22のトランジスタTN21には、半導体チップコア側の電源電位VDLレベルの信号CIが入力され、トランジスタTN22にはLレベルの信号CTが入力される。

【0064】

50

ここで、トランジスタ T_{N12} 、 T_{N22} については、Lレベルの信号 A_T 、 C_T によってオフされる。一方、トランジスタ T_{N11} 、 T_{N21} については、前述したように半導体チップコア側の電源電位 V_{DL} が安定した状態で入力されるとオンされるが、電源立ち上げ時においては信号 A_I 、 C_I の電位がそれぞれのトランジスタ T_{N11} 、 T_{N21} のしきい値電圧 V_{th} を超えるまではオンされない。従って、信号 A_I 、 C_I の信号レベルが上昇してトランジスタ T_{N11} 、 T_{N21} がオンされるまでは、第1及び第2レベルコンバータ回路 2_1 、 2_2 は不活性領域で不安定な動作をする。すなわち、不活性領域において、第1及び第2レベルコンバータ回路 2_1 、 2_2 は、Lレベルの信号 A 、 C が入力されているにも関わらず、図3(c)に示すように、外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従して上昇する信号 B 、 D を出力する。そして、信号 A_I 、 C_I が各トランジスタ T_{N11} 、 T_{N21} のしきい値電圧 V_{th} を超えると、各レベルコンバータ回路 2_1 、 2_2 が動作され、外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従していた信号 B 、 D がグラウンドレベルまで立ち下げられる。

10

【0065】

しかし、第1レベルコンバータ $10a$ の寄生容量が第2レベルコンバータ $10b$ のそれに比べて大きくなると、信号 B の伝達時間が長くなり、信号 B が信号 D よりも遅く立ち下がることとなる。この信号遅延によって、信号 E バー、 F バーが共にLレベルとなるタイミングが生じることになるため、外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従するHレベルの誤作動信号 SH が発生する。

20

【0066】

そこで、本実施形態の出力バッファ回路1では、信号 D に対する信号 B の信号遅延 $Skew$ の発生を抑制するために、第1レベルコンバータ回路 2_1 のノード N_{13} (入力側)とノード N_{14} (出力側)との間にタイミング調整回路 T_1 を設けるようにした。このタイミング調整回路 T_1 によれば、不活性領域において、ノード N_{14} (信号 B)の電位をノード N_{13} (信号 A_I)の電位に反映させることができる。

【0067】

詳述すると、不活性領域において、信号 A_I の信号レベルは、半導体チップコア側の電源電位 V_{DL} の立ち上がりレベルに追従する。また、この半導体チップコア側の電源電位 V_{DL} は、外部出力インターフェース電源電位 V_{DH} (不活性領域における信号 B)の立ち上がりよりも緩やかな傾きで立ち上がるため、ノード N_{13} とノード N_{14} との間の電位差は常に変動する。従って、タイミング調整回路 T_1 のコンデンサ C_1 を通じてノード N_{14} の電位の変化をノード N_{13} に速やかに反映させることができる。すなわち、図3(b)に示すように、ノード N_{13} の電位、つまり信号 A_I の信号レベルを、外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従させて上昇させることができる。

30

【0068】

これによって、信号 A_I は、半導体チップコア側の電源電位 V_{DL} の立ち上がりレベルに追従する信号 C_I よりも速やかにその信号レベルが上昇する。そのため、信号 A_I が信号 C_I よりも速く、具体的には時刻 t_{11} においてトランジスタ T_{N11} のしきい値電圧 V_{th} に達し、トランジスタ T_{N11} をオンさせることができる。これによって、トランジスタ T_{P11} 、 T_{N11} 間のノード N_{11} からグラウンドレベル(Lレベル)の信号 B が出力される。すなわち、図3(c)に示すように、時刻 t_{11} において、信号 B は、外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルからグラウンドレベルに立ち下げられる。

40

【0069】

その後、図3(b)に示すように、時刻 t_{12} において信号 C_I がトランジスタ T_{N21} のしきい値電圧 V_{th} に達することになる。従って、信号 D の立ち下がりよりも、時刻($t_{12} - t_{11}$)分だけ信号 B を速く立ち下げることができる。そのため、第1レベルコンバータ $10a$ の寄生容量が第2レベルコンバータ $10b$ のそれに比べて大きく、信号 B の伝達時間が長くなったとしても、信号 D に対する信号 B の信号遅延 $Skew$ の発生を

50

抑制することができる。

【0070】

これにより、電源立ち上げ時に、信号BがHレベルであって信号DがLレベルとなるタイミングがなくなるため、図3(d)に示すように、インバータ回路44から出力されるEバーがLレベルに立ち下がることがない。すなわち、従来の出力バッファ回路100のように信号Eバー、Fバーが共にLレベルとなるタイミングが発生しなくなる。従って、図3(e)に示すように、タイミング調整回路T1を備えた本実施形態の出力バッファ回路1では、出力信号OUTとして誤作動信号SHが発生されない。

【0071】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) コンデンサC1からなるタイミング調整回路T1を、第1レベルコンバータ回路21の入力側(ノードN13)と出力側(ノードN14)との間に設けた。このタイミング調整回路T1によって、電源立ち上げ時における信号Bの電位の変化を信号AIの電位に反映させることができるため、第1レベルコンバータ回路21のトランジスタTN11を外部出力インターフェース電源電位VDHの立ち上がりレベルに応じてオンさせることができる。従って、半導体チップコア側の電源電位VDLの立ち上がりレベルに応じてオンされるトランジスタTN21よりも速くトランジスタTN11をオンさせることができる。これにより、信号Dに対する信号Bの信号遅延Skewの発生を抑制することができる。従って、電源立ち上げ時に、信号Eバー、Fバーが共にLレベルとなるタイミングがなくなるため、誤作動信号SHの発生を好適に抑制することができる。

【0072】

また、このように信号Bの信号遅延Skewの発生を抑制することができるため、半導体チップコア側の電源電位VDLと外部出力インターフェース電源電位VDHとの立ち上げ順序の自由度を向上させることができる。

【0073】

(2) タイミング調整回路T1をコンデンサC1のみで構成した。タイミング調整回路T1をこのような単純な構成としたため、このタイミング調整回路T1の追加による出力バッファ回路1のサイズの増大を極力抑制することができる。

【0074】

(第二実施形態)

以下、本発明の第二実施形態について、図4及び図5を参照して説明する。この実施形態では、タイミング調整回路T2が上記第1の実施形態と異なっている。すなわち、本実施形態の出力バッファ回路2は、先の第一実施形態のタイミング調整回路T1に代えてタイミング調整回路T2を備えた。以下、このタイミング調整回路T2を中心に説明する。なお、先の図1～図3に示した部材と同一の部材にはそれぞれ同一の符号を付して示し、それら各要素についての詳細な説明は省略する。

【0075】

図4に示すように、タイミング調整回路T2は、第2レベルコンバータ回路22のノードN21と接続されるインバータ回路42と並列に接続されるコンデンサC2から構成されている。すなわち、コンデンサC2は、インバータ回路42の入力端子と出力端子との間に接続される。なお、コンデンサC2とインバータ回路42の入力端子との接続点をノードN40とし、コンデンサC2とインバータ回路42の出力端子との接続点をノードN41とする。このタイミング調整回路T2は、電源立ち上げ時において、第2レベルコンバータ10bから出力される信号Dを遅延させることによって、その信号Dに対する信号Bの信号遅延Skewの発生を抑制するように機能する。

【0076】

次に、このように構成された出力バッファ回路2の電源立ち上げ時の動作について図5に従って説明する。

図5(a)に破線で示すように、電源立ち上げ時においては、半導体チップコア側の電源電位VDL及び外部出力インターフェース電源電位VDHがそれぞれ所定の傾きで立ち

10

20

30

40

50

上がる。半導体チップコア側の電源電位 V_{DL} は外部出力インターフェース電源電位 V_{DH} よりも緩やかな傾きで立ち上がる。

【0077】

Lレベルのデータ入力信号 A 及び Lレベルの制御入力信号 C が第1入力回路 11 及び第2入力回路 12 にそれぞれ入力されると、半導体チップコア側の電源電位 V_{DL} レベルに追従して信号レベルが上昇する信号 AI, CI がトランジスタ T_{N11} , T_{N21} のゲートにそれぞれ供給される。この信号 AI, CI が各トランジスタ T_{N11} , T_{N21} のしきい値電圧 V_{th} を超えるまでは、図5(a)に示すように、信号 B, D の信号レベルが外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従して上昇する。そして、信号 AI, CI が各トランジスタ T_{N11} , T_{N21} のしきい値電圧 V_{th} を超えると、レベルコンバータ回路 21, 22 が動作して、信号 B, D がグラウンドレベルに立ち下がる。

10

【0078】

信号 D の信号レベルが外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従して上昇すると、ノード N40 とノード N41 との間に電位差が生じるため、インバータ回路 42 に並列に接続されたコンデンサ C2 に電荷が蓄積され、図5(b)に示すように、コンデンサの両端電圧 V_1 が上昇する。そして、時刻 t_{13} において、信号 CI がトランジスタ T_{N21} のしきい値電圧 V_{th} に達して、信号 D がグラウンドレベルに立ち下げられると、充電されていたコンデンサ C2 の両端電圧 V_1 が放電され、図5(c)に示すように、ノード N40 における電位の立ち下がりに遅延が生じる。すなわち、ノード N40 の電位は、コンデンサ C2 の両端電圧 V_1 の放電が完了する時刻 t_{14} においてグラウンドレベルまで立ち下がる。

20

【0079】

タイミング調整回路 T2 によれば、第1レベルコンバータ 10a の寄生容量が第2レベルコンバータ 10b のそれに比べて大きく、図5(a)のように信号 B の伝達時間が長くなったとしても、コンデンサ C2 の両端電圧 V_1 の放電時間(時刻 t_{13} から時刻 t_{14})分遅延させて信号 D を立ち下げることができる。そのため、信号 B を信号 D よりも速くグラウンドレベルに立ち下げることができる。

【0080】

これにより、図5(c)に示すように、電源立ち上げ時に、信号 B が Hレベルであって信号 D (ノード N40 の電位) が Lレベルとなるタイミングがなくなるため、インバータ回路 44 から出力される Eバーが Lレベルに立ち下がることのない。すなわち、従来の出力バッファ回路 100 のように信号 Eバー, Fバーが共に Lレベルとなるタイミングが発生しなくなる。従って、タイミング調整回路 T2 を備えた本実施形態の出力バッファ回路 2 では、出力信号 OUT として誤作動信号 SH が発生されない。

30

【0081】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) コンデンサ C2 から構成されるタイミング調整回路 T2 を、第2レベルコンバータ回路 22 のノード N21 と接続されるインバータ回路 42 と並列に接続した。このタイミング調整回路 T2 によって、コンデンサ C2 の両端電圧 V_1 の放電時間分だけ、電源立ち上げ時における信号 D の立ち下がり遅らせることができる。従って、各レベルコンバータ 10a, 10b 内の寄生容量により信号 D に比べて信号 B の伝達時間が長いとしても、信号 B を信号 D よりも速くグラウンドレベルに立ち下げることができる。これにより、電源立ち上げ時に、信号 Eバー, Fバーが共に Lレベルとなるタイミングがなくなるため、誤作動信号 SH の発生を好適に抑制することができる。なお、信号 D の遅延時間は、コンデンサ C2 の容量を変更することによって容易に変更することができる。

40

【0082】

(2) タイミング調整回路 T2 をコンデンサ C2 のみで構成した。タイミング調整回路 T2 をこのような単純な構成としたため、このタイミング調整回路 T2 の追加による出力バッファ回路 2 のサイズの増大を極力抑制することができる。

50

【 0 0 8 3 】

(第三実施形態)

以下、本発明の第三実施形態について、図 6 を参照して説明する。この実施形態では、タイミング調整回路 T 3 が第一及び第二実施形態と異なっている。すなわち、本実施形態の出力バッファ回路 3 は、先の第一及び第二実施形態のタイミング調整回路 T 1 , T 2 に代えてタイミング調整回路 T 3 を備えている。以下、このタイミング調整回路 T 3 を中心に説明する。なお、先の図 1 ~ 図 5 に示した部材と同一の部材にはそれぞれ同一の符号を付して示し、それら各要素についての詳細な説明は省略する。

【 0 0 8 4 】

図 6 に示すように、タイミング調整回路 T 3 は、インバータ回路 4 2 の入力端子 (ノード N 4 0) と外部出力インターフェース電源電位 V D H との間に接続されるコンデンサ C 3 から構成されている。

10

【 0 0 8 5 】

このように構成された出力バッファ回路 3 では、電源立ち上げ時において、信号 C I がトランジスタ T N 2 1 のしきい値電圧 V t h に達して信号 D が L レベルに立ち下げられるタイミングが、コンデンサ C 3 によって遅延される。これによって、信号 D に対する信号 B の信号遅延 S k e w の発生を好適に抑制することができる。その結果、出力信号 O U T として誤作動信号 S H が発生されることが抑制される。

【 0 0 8 6 】

(1) インバータ回路 4 2 の入力端子 (ノード N 4 0) と外部出力インターフェース電源電位 V D H との間にコンデンサ C 3 を設けた。このコンデンサ C 3 によれば、電源立ち上げ時における信号 D の立ち下がり遅延させることができる。従って、信号 D に対する信号 B の信号遅延 S k e w の発生を好適に抑制することができる。その結果、出力信号 O U T として誤作動信号 S H が発生されることが抑制される。

20

【 0 0 8 7 】

(2) タイミング調整回路 T 3 をコンデンサ C 3 のみで構成した。タイミング調整回路 T 3 をこのような単純な構成としたため、このタイミング調整回路 T 3 の追加による出力バッファ回路 3 のサイズの増大を極力抑制することができる。

【 0 0 8 8 】

(第四実施形態)

以下、本発明の第四実施形態について、図 7 を参照して説明する。この実施形態では、タイミング調整回路 T 4 が第一 ~ 第三実施形態と異なっている。すなわち、本実施形態の出力バッファ回路 4 は、先の第一 ~ 第三実施形態のタイミング調整回路 T 1 ~ T 3 に代えてタイミング調整回路 T 4 を備えている。以下、このタイミング調整回路 T 4 を中心に説明する。なお、先の図 1 ~ 図 6 に示した部材と同一の部材にはそれぞれ同一の符号を付して示し、それら各要素についての詳細な説明は省略する。

30

【 0 0 8 9 】

図 7 に示すように、タイミング調整回路 T 4 は、第 1 レベルコンバータ回路 2 1 のノード N 1 1 と接続されるインバータ回路 4 1 の入力端子に、ゲートとドレインが接続される N チャネル M O S トランジスタ T N 4 0 と、そのトランジスタ T N 4 0 のソースとグラウンドとの間に接続された高抵抗素子 R とから構成されている。ここで、高抵抗素子 R は、トランジスタ T P 1 1 がオンされたときのオン抵抗よりも十分大きな抵抗値に設定されている。なお、トランジスタ T N 4 0 のゲートとインバータ回路 4 1 の入力端子との接続点をノード N 4 2 とし、トランジスタ T N 4 0 のドレインとインバータ回路 4 1 の入力端子との接続点をノード N 4 3 とする。また、ノード N 1 1 とノード N 4 2 とノード N 4 3 とは、同一ノードである。このタイミング調整回路 T 3 は、電源立ち上げ時において、第 1 レベルコンバータ 1 0 a から出力される信号 B (外部出力インターフェース電源電位 V D H の立ち上がりレベルに追従する不定動作信号) を強制的にグラウンドレベルに立ち下げることによって、信号 D に対する信号 B の信号遅延 S k e w の発生を抑制するように機能する。

40

50

【 0 0 9 0 】

次に、このように構成された出力バッファ回路 4 の電源立ち上げ時の動作について説明する。

先の第二及び第三実施形態と同様に、電源立ち上げ時においては、半導体チップコア側の電源電位 V_{DL} 及び外部出力インターフェース電源電位 V_{DH} がそれぞれ所定の傾きで立ち上がり、信号 A_I 、 C_I が各トランジスタ T_{N11} 、 T_{N21} のしきい値電圧 V_{th} を超えるまでは、信号 B 、 D の信号レベルが外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従して上昇する。

【 0 0 9 1 】

信号 B が外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従して上昇し、その電位がタイミング調整回路 T_4 のトランジスタ T_{N40} のしきい値電圧を超えると、トランジスタ T_{N40} がオンされて、高抵抗素子 R を通じてノード N_{43} の電位が強制的にグラウンドレベルまで引き下げられる。ノード N_{43} の電位がグラウンドレベルに引き下げられると、トランジスタ T_{P12} は、そのゲートがグラウンドに接続されることとなるためオンされる。トランジスタ T_{P12} がオンされると、トランジスタ T_{P11} は、そのゲートが外部出力インターフェース電源電位 V_{DH} に接続されるためオフされる。これによって、第 1 レベルコンバータ回路 2_1 が安定して動作するようになる。従って、信号 B は L レベル（グラウンドレベル）が維持される。

【 0 0 9 2 】

このように信号 B の電位がトランジスタ T_{N40} のしきい値電圧に達したときに、タイミング調整回路 T_4 によって、信号 B が強制的にグラウンドレベルまで引き下げられるため、先の第一～第三実施形態と同様に、信号 D よりも信号 B を速く立ち下げることができる。従って、信号 D に対する信号 B の信号遅延 S_{kew} の発生を抑制することができる。その結果、出力信号 O_{UT} として誤作動信号 S_H が発生されることが抑制される。

【 0 0 9 3 】

また、タイミング調整回路 T_4 は、各電源の電圧レベルが安定した後に H レベルの信号 B がノード N_{42} 、 N_{43} に出力されると、 H レベルの信号 B によってトランジスタ T_{N40} がオンされる。しかし、このとき、高抵抗素子 R の抵抗値がトランジスタ T_{P11} のオン抵抗に比べて十分高い値であるため、ノード N_{42} 、 N_{43} は、高抵抗素子 R によって H レベルの電位を維持することができる。また、この高抵抗素子 R の抵抗値が小さいと、高抵抗素子 R を通じてグラウンドに向かって直流電流が一瞬流れることになるが、高抵抗とすることによって、その直流電流が流れることが抑制される。これによって、タイミング調整回路 T_4 の追加による消費電流の増大を好適に抑制することができる。

【 0 0 9 4 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) N チャネル MOS トランジスタ T_{N40} と高抵抗素子 R とから構成されるタイミング調整回路 T_2 を、インバータ回路 4_1 の入力端子とグラウンドとの間に設けた。このタイミング調整回路 T_4 によれば、外部出力インターフェース電源電位 V_{DH} の立ち上がりレベルに追従して上昇する信号 B がトランジスタ T_{N40} のしきい値電圧を超えたときに、信号 B を強制的にグラウンドレベルに立ち下げることができる。従って、信号 B をより速く立ち下げることができるため、信号 D に対する信号 B の信号遅延 S_{kew} の発生を抑制することができる。その結果、出力信号 O_{UT} として誤作動信号 S_H が発生されることが好適に抑制することができる。

【 0 0 9 5 】

(2) N チャネル MOS トランジスタ T_{N40} のソースとグラウンドとの間に高抵抗素子 R を設けた。これによれば、電源レベルが安定した後に H レベルの信号 B がノード N_{42} 、 N_{43} に入力されたときに、高抵抗素子 R を通じてグラウンドに向かって流れる可能性のある直流電流が流れることを好適に抑制することができる。これによって、タイミング調整回路 T_4 の追加による消費電流の増大を好適に抑制することができる。

【 0 0 9 6 】

10

20

30

40

50

(他の実施形態)

なお、上記実施形態は、これを適宜変更した以下の態様にて実施することもできる。

・上記第一実施形態のタイミング調整回路T1をコンデンサC1で構成するように具体化した。容量素子であればとくにコンデンサに制限されない。例えば、図8に示すように、タイミング調整回路T1をトランジスタ素子で構成したゲート容量G1で構成するようにしてもよい。これによっても、第一実施形態と同様の効果を得ることができる。

【0097】

・上記第二実施形態のタイミング調整回路T2をコンデンサC2で構成するように具体化した。容量素子であればとくにコンデンサに制限されない。例えば、図9に示すように、タイミング調整回路T2をトランジスタ素子で構成したゲート容量G2で構成するよ

10

【0098】

・上記第三実施形態のタイミング調整回路T3をコンデンサC3で構成するように具体化した。容量素子であればとくにコンデンサに制限されない。例えば、図10に示すように、タイミング調整回路T3をトランジスタ素子で構成したゲート容量G3で構成するよ

【0099】

・図11に示すように、第四実施形態のタイミング調整回路T4の高抵抗素子RをNチャネルMOSトランジスタTN41に変更してもよい。ここで、このNチャネルMOSトランジスタTN41は、トランジスタTP11のオン抵抗値よりも十分高いオン抵抗値(高オン抵抗値)を有するように設定されている。これによれば、第四実施形態と同様の効果を得ることができる。

20

【0100】

・上記第四実施形態のタイミング調整回路T4における高抵抗素子Rを省略するよ

・上述した各実施形態のタイミング調整回路T1~T4を様々に組み合わせて、出力バッファ回路に追加するよ

30

【0101】

・上記各実施形態では、電源立ち上げ時において、信号Bを信号Dよりも速く立ち下げるよ

・上記第二~四実施形態における外部出力インターフェース電源電位VDHを、半導体チップコア側の電源電位VDLよりも低い電圧に設定するよ

【図面の簡単な説明】

【0102】

40

【図1】第一実施形態の出力バッファ回路を示す回路図。

【図2】第一実施形態の電源レベル安定時の動作を示す波形図。

【図3】(a)~(e)は、それぞれ第一実施形態の電源立ち上げ時の動作を示す波形図

。

【図4】第二実施形態の出力バッファ回路を示す回路図。

【図5】(a)~(c)は、それぞれ第二実施形態の電源立ち上げ時の動作を示す波形図

。

【図6】第三実施形態の出力バッファ回路を示す回路図。

【図7】第四実施形態の出力バッファ回路を示す回路図。

【図8】別例のタイミング調整回路を示す回路図。

50

【図9】別例のタイミング調整回路を示す回路図。

【図10】別例のタイミング調整回路を示す回路図。

【図11】別例のタイミング調整回路を示す回路図。

【図12】従来の出力バッファ回路を示す回路図。

【図13】(a)~(d)は、それぞれ従来の電源立ち上げ時の動作を示す波形図。

【符号の説明】

【0103】

A データ入力信号

B 第1信号

C 制御入力信号

D 第2信号

T1, T4 タイミング調整回路(第1調整回路)

T2, T3 タイミング調整回路(第2調整回路)

C1~C3 コンデンサ(容量素子)

G1~G3 ゲート容量(容量素子)

TN11 NチャンネルMOSトランジスタ(入力側トランジスタ)

TN40 第1のNチャンネルMOSトランジスタ

TN41 第2のNチャンネルMOSトランジスタ

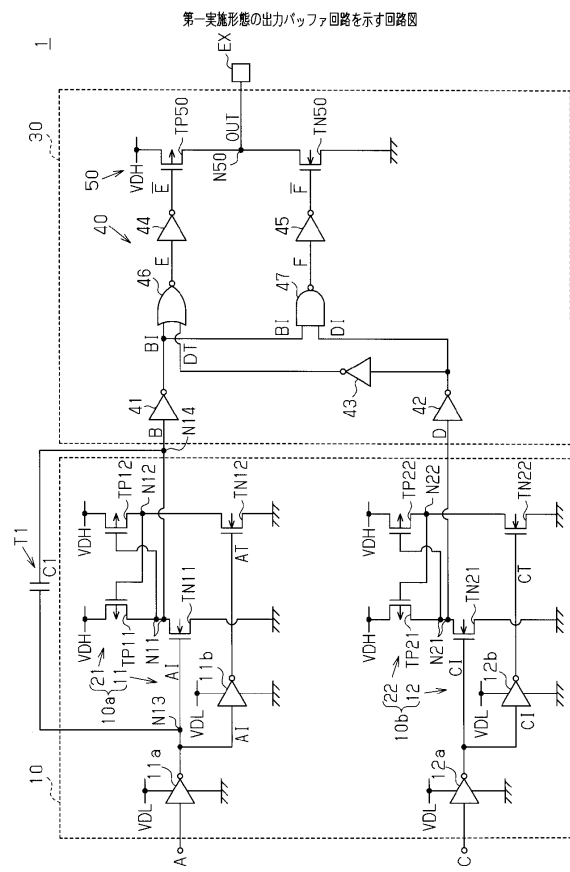
R 高抵抗素子

42 インバータ回路

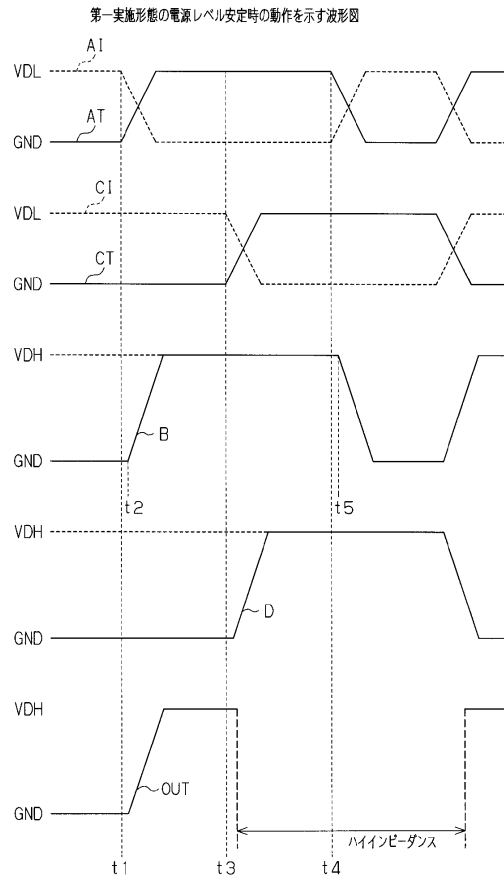
10

20

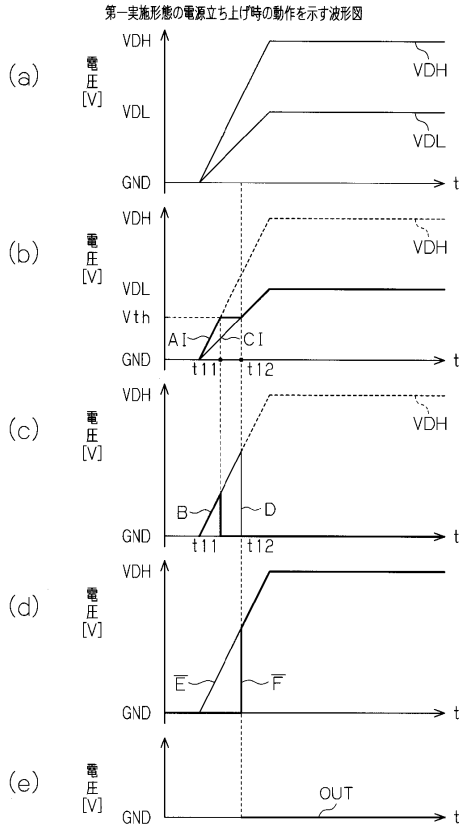
【図1】



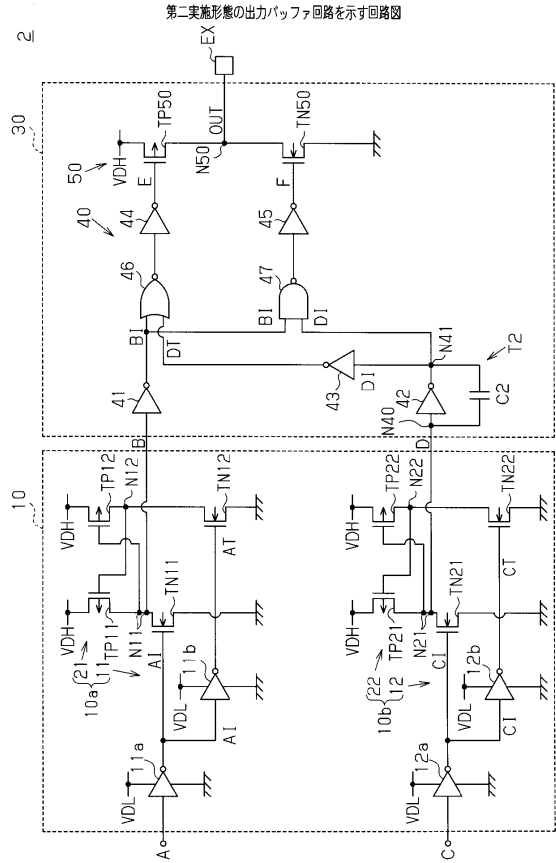
【図2】



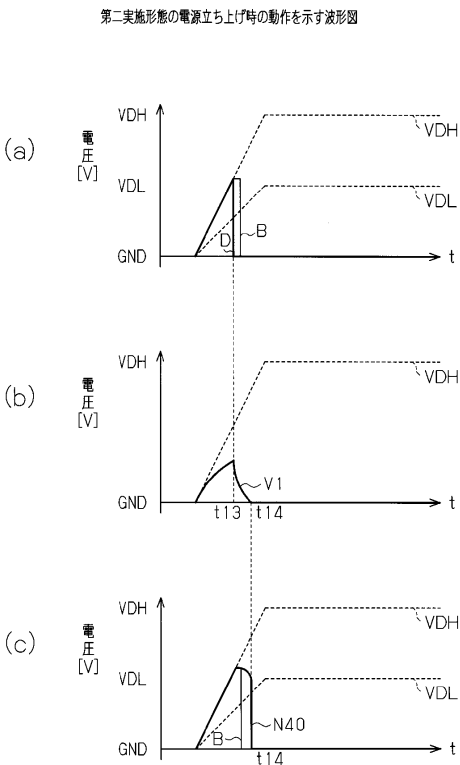
【図3】



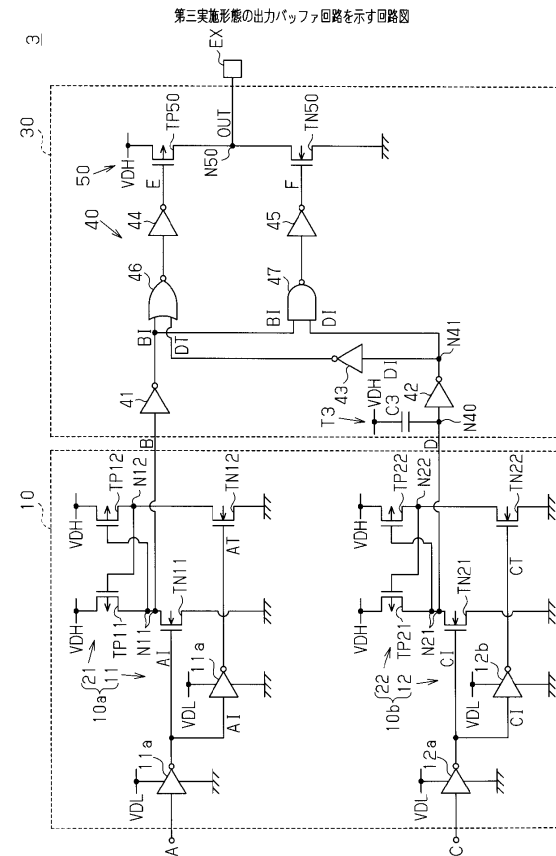
【図4】



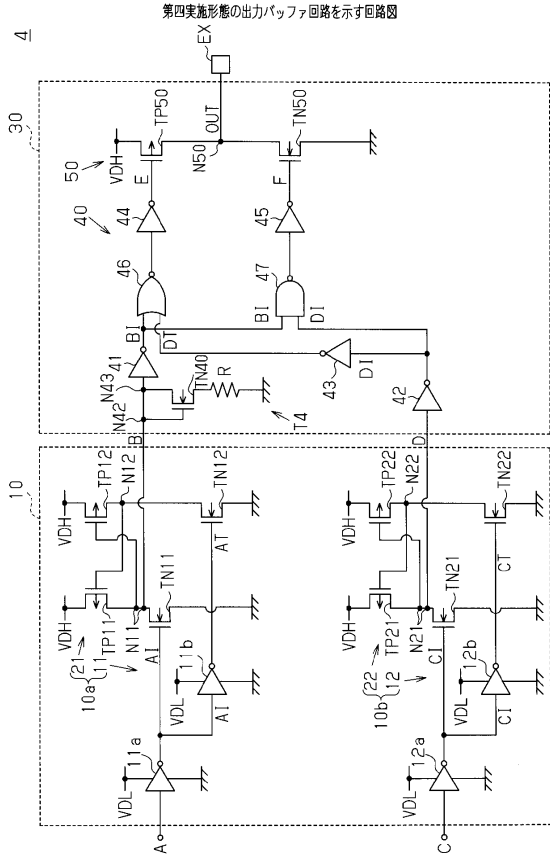
【図5】



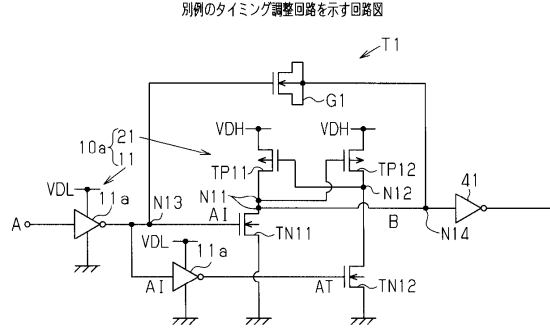
【図6】



【 図 7 】

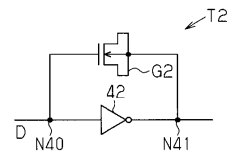


【 図 8 】



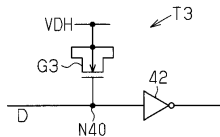
【 図 9 】

別例のタイミング調整回路を示す回路図



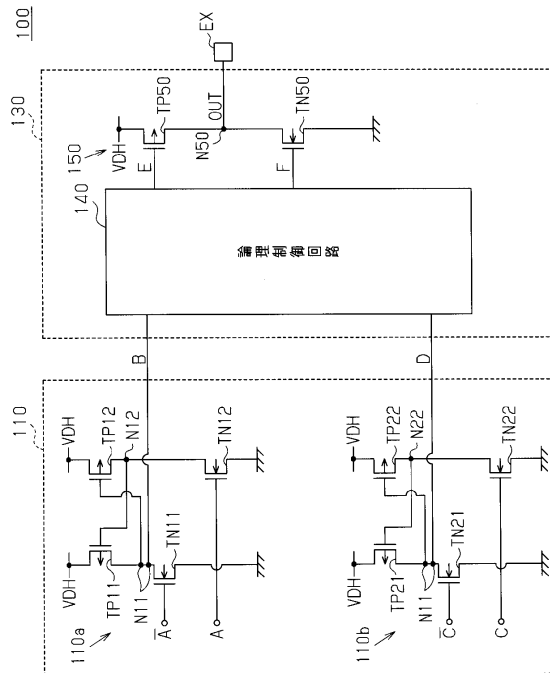
【 図 10 】

別例のタイミング調整回路を示す回路図



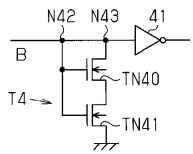
【 図 12 】

従来の出力バッファ回路を示す回路図



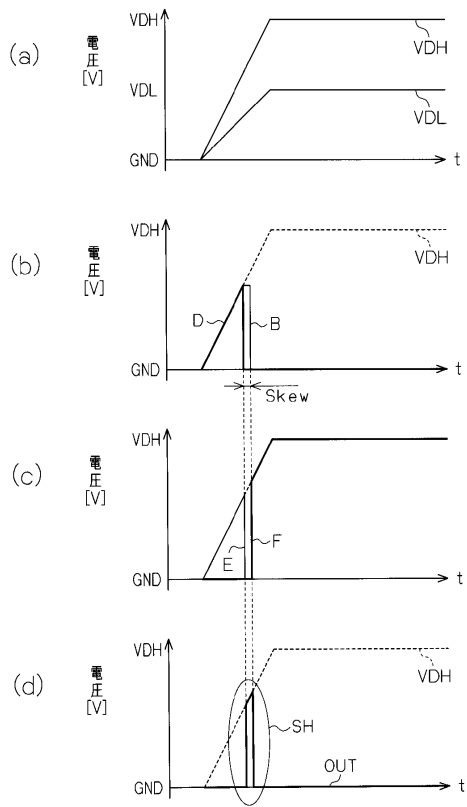
【 図 11 】

別例のタイミング調整回路を示す回路図



【図 13】

従来の電源立ち上げ時の動作を示す波形図



フロントページの続き

- (56)参考文献 特開2005-079763(JP,A)
特開2001-144600(JP,A)
特開2002-280893(JP,A)
特開2005-286675(JP,A)
特開2003-273724(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K17/00-17/70, 19/00, 19/01-19/082, 19/092-19/096
H01L27/04