



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0113737
(43) 공개일자 2007년11월29일

(51) Int. Cl.

H01L 51/00 (2006.01)

(21) 출원번호 10-2006-0047388

(22) 출원일자 2006년05월26일

심사청구일자 2006년05월26일

(71) 출원인

한국전자통신연구원

대전 유성구 가정동 161번지

(72) 발명자

구재본

대전 유성구 지족동 열매마을아파트 708-301호

김성현

대전 유성구 전민동 엑스포아파트 504동 102호

(뒷면에 계속)

(74) 대리인

신영무

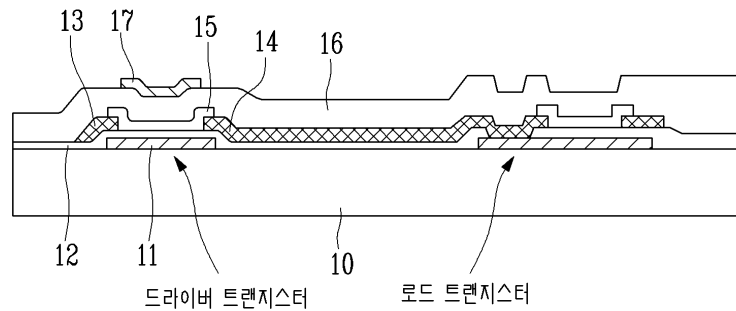
전체 청구항 수 : 총 14 항

(54) 듀얼 게이트 유기트랜지스터를 이용한 인버터

(57) 요약

본 발명은 플라스틱 기판에 유기 반도체를 이용하여 인버터 회로를 제작할 때 문턱 전압을 위치별로 용이하게 제어할 수 있는 새로운 구조의 인버터에 관한 것이다. 본 발명에 따른 인버터는 드라이버로 사용되는 트랜지스터를 듀얼 게이트 구조를 가지도록 구성하고 그 상부 게이트에 포지티브 바이어스를 인가하여 유기반도체에 몸체 효과를 형성함으로써 드라이버 트랜지스터가 상부 게이트의 정전위를 이용하여 문턱 전압을 네거티브 영역으로 이동시켜 증가형 트랜지스터로 동작하도록 하는 것을 특징으로 한다. 특히 전술한 구성을 확장시켜 드라이버 트랜지스터 대신에 로드 트랜지스터에 듀얼 게이트 구조를 적용하거나 더 나아가 드라이버 트랜지스터와 로드 트랜지스터 모두에 듀얼 게이트 구조를 적용할 수 있다. 본 발명에 의하면, 수명과 소자 신뢰성을 향상시킬 수 있으며 유기전자 소자를 제작한 후에도 소자 특성을 설계된 회로에 맞게 쉽게 조절할 수 있는 유기 인버터를 제공할 수 있다.

대표도 - 도2a



(72) 발명자

서경수

대전 유성구 전민동 엑스포아파트 206-402

임상철

대전 유성구 전민동 삼성푸른아파트 112-905

이정현

대전 서구 삼천동 국화신동아 아파트 303동 401호

구찬희

경기 남양주시 와부읍 월문2리 180-9

특허청구의 범위

청구항 1

로드 트랜지스터; 및

상기 로드 트랜지스터에 연결되며 듀얼 게이트 구조 및 유기 채널을 가지는 드라이버 트랜지스터를 포함하는 인버터.

청구항 2

제 1 항에 있어서, 상기 드라이버 트랜지스터는 제1 유전체 층을 사이에 두고 상기 유기 채널과 마주하는 하부 게이트 전극과, 제2 유전체 층을 사이에 두고 상기 유기 채널과 마주하는 상부 게이트 전극, 및 상기 유기 채널에 연결되는 소오스 전극 및 드레인 전극을 구비하는 것을 특징으로 하는 인버터.

청구항 3

제 2 항에 있어서, 상기 상부 게이트 전극에 포지티브 바이어스가 인가되는 것을 특징으로 하는 인버터.

청구항 4

제 2 항에 있어서, 상기 로드 트랜지스터는 상기 제1 유전체 층 또는 상기 제2 유전체 층을 게이트 절연층으로 이용하는 것을 특징으로 하는 인버터.

청구항 5

듀얼 게이트 구조 및 유기 채널을 가지는 로드 트랜지스터; 및

상기 로드 트랜지스터에 연결되는 드라이버 트랜지스터를 포함하는 인버터.

청구항 6

제 5 항에 있어서, 상기 로드 트랜지스터는 제1 유전체 층을 사이에 두고 상기 유기 채널과 마주하는 하부 게이트 전극과, 제2 유전체 층을 사이에 두고 상기 유기 채널과 마주하는 상부 게이트 전극, 및 상기 유기 채널에 연결되는 소오스 전극 및 드레인 전극을 구비하는 것을 특징으로 하는 인버터.

청구항 7

제 6 항에 있어서, 상기 상부 게이트 전극에 네거티브 바이어스가 인가되는 것을 특징으로 하는 인버터.

청구항 8

제 6 항에 있어서, 상기 드라이버 트랜지스터는 상기 제1 유전체 층 또는 상기 제2 유전체 층을 게이트 절연층으로 이용하는 것을 특징으로 하는 인버터.

청구항 9

듀얼 게이트 구조 및 유기 채널을 가지는 로드 트랜지스터; 및

듀얼 게이트 구조 및 유기 채널을 가지며 상기 로드 트랜지스터에 연결되는 드라이버 트랜지스터를 포함하는 인버터.

청구항 10

제 9 항에 있어서, 상기 로드 트랜지스터 및 상기 드라이버 트랜지스터는 제1 유전체 층을 사이에 두고 상기 유기 채널과 마주하는 하부 게이트 전극과, 제2 유전체 층을 사이에 두고 상기 유기 채널과 마주하는 상부 게이트 전극, 및 상기 유기 채널에 연결되는 소오스 전극 및 드레인 전극을 각각 구비하며, 상기 드라이버 트랜지스터의 상기 상부 게이트 전극에는 포지티브 바이어스가 인가되고, 상기 로드 트랜지스터의 상기 상부 게이트 전극에는 네거티브 바이어스가 인가되는 것을 특징으로 하는 인버터.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서, 상기 드라이버 트랜지스터의 W/L과 상기 로드 트랜지스터의 W/L은 동일한 것을 특징으로 하는 인버터.

청구항 12

제 1 항 내지 제 10 항 중 어느 한 항에 있어서, 상기 로드 트랜지스터는 게이트와 소오스가 접속되며, 상기 인버터는 D-인버터인 것을 특징으로 하는 인버터.

청구항 13

제 1 항, 제 2 항, 제 4 항 내지 제 6 항, 제 8 항 내지 제 10 항 중 어느 한 항에 있어서, 상기 로드 트랜지스터는 게이트와 드레인이 접속되며, 상기 인버터는 E-인버터인 것을 특징으로 하는 인버터.

청구항 14

제 13 항에 있어서, 상기 로드 트랜지스터 및 상기 드라이브 트랜지스터의 상부 게이트 전극에는 포지티브 바이어스가 인가되는 것을 특징으로 하는 인버터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 유기반도체를 이용한 인버터에 관한 것으로, 특히 플라스틱 기판 위에 듀얼 게이트 유기트랜지스터를 이용하여 구현되는 인버터에 관한 것이다.
- <17> 유기박막 트랜지스터(organic thin-film transistor)는 기존의 실리콘 트랜지스터에 비해 공정이 간단하고, 공정 온도가 낮아 구부림이 가능한 플라스틱 기판 위에 제작할 수 있는 장점을 가지고 있어 차세대 유망 소자로 각광받고 있다. 주요 응용분야로는 플렉시블 디스플레이(flexible display)의 스위칭 소자로 사용되거나 RFID(radio frequency identification)와 같은 회로에 이용된다. 디스플레이의 픽셀(pixel) 구동 스위치로 사용될 경우 단일 극성의 트랜지스터, 예컨대, p-type 트랜지스터만으로도 충분하게 구현되지만, 회로로 사용될 경우 p-type 트랜지스터와 n-type 트랜지스터의 조합인 CMOS 트랜지스터가 소비전력이나 속도 측면에서 가장 바람직하다.
- <18> 하지만, 유기반도체의 경우 현재까지 n-type 소자에 대해서는 안정적인 특성 확보 및 신뢰성이 없으므로 p-type 트랜지스터의 단일 특성으로 인버터를 구성하는 것이 보편적이다.
- <19> 도 1a 및 도 1b는 p-type 트랜지스터만으로 제작할 수 있는 기존의 2가지 인버터 회로를 나타낸다. 도 1a는 공핍형(depletion type) 트랜지스터를 이용하여 로드(load) 부분을 만들고 증가형(enhancement type) 트랜지스터를 이용하여 드라이버(driver) 부분을 만든 인버터를 보여주며, 도 1b는 증가형 트랜지스터를 이용하여 로드 부분과 드라이버 부분을 만든 인버터를 보여준다. 전자는 통상 D-인버터 또는 제로 드라이버 로드 로직 인버터로 알려져 있고, 후자는 E-인버터 또는 다이오드 연결된 로드 로직 인버터로 알려져 있다.
- <20> 도 1a 및 도 1b를 참조하면, D-인버터는 E-인버터에 비해 소비전력과 이득(gain) 측면에서 유리하다. 하지만, 유기반도체에서는 기존의 실리콘 반도체와 달리 도핑(doping)에 의해 문턱 전압(threshold voltage)을 제어하는 것이 불가능하다. 다시 말해서 기존의 반도체 제조공정에서는 동일한 기판에 위치별로 문턱 전압 특성이 다른 트랜지스터들을 함께 구현할 수 없기 때문에 D-인버터를 제작하기 어렵다. 통상 D-인버터를 구현하기 위해서는 예를 들어 위치별로 서로 다른 표면처리를 행하거나 하는 번거로운 작업을 수행한 후에 서로 다른 문턱 전압 특성의 트랜지스터를 형성해야 하며, 특히 유기반도체의 경우 아직까지는 동일 기판에서의 균일성 측면에서 부족한 점이 많으므로 안정적인 인버터 제작에 어려움을 겪고 있다.
- <21> 따라서 현재의 기술에서는 D-인버터를 구현하기 위하여 부하를 위한 공핍형 트랜지스터의 W/L(width/length)은 크게 하고, 드라이버를 위한 증가형 트랜지스터의 W/L은 작게 하여 사이즈(size) 효과로 전류를 조절하여 사용하고 있는 실정이다.

<22> 이와 같이, 기존의 D-인버터 제조방법은 W/L이 큰 트랜지스터가 게이트 전압 $V_G=0V$ 에서 전류가 많이 흐르는 것을 이용하여 공핍형 부하로 사용하고 W/L이 작은 트랜지스터를 증가형 드라이버로 사용하였기 때문에 최적적으로 조건을 확보하기 위해서 W/L별로 트랜지스터의 특성을 모두 확보한 후에 설계 및 제작해야하는 단점이 있다.

발명이 이루고자 하는 기술적 과제

<23> 본 발명은 공핍형 부하와 증가형 드라이버로 구성된 인버터를 제작할 때 기존에 사용하던 트랜지스터의 W/L을 이용한 방법을 획기적으로 개량한 것으로, 본 발명의 목적은 듀얼 게이트로 구성된 유기트랜지스터를 이용하여 드라이버로 사용되는 트랜지스터를 증가형 트랜지스터로 구현할 수 있는 인버터 구조를 제공하는 데 있다.

<24> 본 발명의 또 다른 목적은 전술한 구성을 확장시켜 드라이버 트랜지스터 대신에 로드 트랜지스터에 듀얼 게이트로 구성된 p-type 유기트랜지스터 구조를 적용하거나 더 나아가 드라이버 트랜지스터와 로드 트랜지스터 모두에 듀얼 게이트로 구성된 p-type 유기트랜지스터 구조를 적용하여 구현되는 인버터 구조를 제공하는 데 있다.

발명의 구성 및 작용

<25> 상술한 목적을 달성하기 위하여 본 발명의 일 측면에 의하면, 로드 트랜지스터; 및 로드 트랜지스터에 연결되며 듀얼 게이트 구조 및 유기 채널을 가지는 드라이버 트랜지스터를 포함하는 인버터가 제공된다.

<26> 바람직하게, 로드 트랜지스터는 드라이버 트랜지스터의 제1 유전체 층 또는 제2 유전체 층을 게이트 절연층으로 이용한다.

<27> 본 발명의 다른 측면에 의하면, 듀얼 게이트 구조 및 유기 채널을 가지는 로드 트랜지스터; 및 로드 트랜지스터에 연결되는 드라이버 트랜지스터를 포함하는 인버터가 제공된다.

<28> 바람직하게, 드라이버 트랜지스터는 로드 트랜지스터의 제1 유전체 층 또는 제2 유전체 층을 게이트 절연층으로 이용한다.

<29> 본 발명의 또 다른 측면에 의하면, 듀얼 게이트 구조 및 유기 채널을 가지는 로드 트랜지스터; 및 듀얼 게이트 구조 및 유기 채널을 가지며 로드 트랜지스터에 연결되는 드라이버 트랜지스터를 포함하는 인버터가 제공된다.

<30> 바람직하게, 로드 트랜지스터 및 드라이버 트랜지스터는 제1 유전체 층을 사이에 두고 유기 채널과 마주하는 하부 게이트 전극과, 제2 유전체 층을 사이에 두고 유기 채널과 마주하는 상부 게이트 전극, 및 유기 채널에 연결되는 소오스/드레인 전극을 각각 구비하며, 드라이버 트랜지스터의 상부 게이트 전극에는 포지티브 바이어스가 인가되고, 로드 트랜지스터의 상부 게이트 전극에는 네거티브 바이어스가 인가된다.

<31> 바람직하게, 드라이버 트랜지스터의 W/L과 로드 트랜지스터의 W/L은 동일하다.

<32> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 이하의 실시예는 본 기술 분야에서 통상적인 지식을 가진 자에게 본 발명을 충분히 이해하도록 하기 위한 것이다.

<33> 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 p-type 유기박막 트랜지스터(OTFT)를 이용한 인버터의 구조를 나타내는 단면도이다.

<34> 도 2a 및 도 2b를 참조하면, 본 실시예에 따른 인버터는 유기트랜지스터 구조를 가지는 로드 트랜지스터와, 이 로드 트랜지스터에 연결되며 듀얼 게이트로 구성된 유기트랜지스터 구조를 가지는 드라이버 트랜지스터로 이루어진다. 여기서, D-인버터의 경우 로드 트랜지스터의 게이트와 소오스는 서로 연결되고, E-인버터의 경우 로드 트랜지스터의 게이트와 드레인은 서로 연결되도록 구성된다.

<35> 드라이버 트랜지스터는 기판(10) 상에 위치하는 하부 게이트 전극(11)과, 하부 게이트 전극(11)이 설치된 기판(10)을 덮는 제1 유전체 층(12)과, 하부 게이트 전극(11)과 마주하여 설치되며 유기 채널을 구성하는 유기반도체 층(15)과, 유기반도체 층(15)의 양단에 연결되는 소오스/드레인 전극(13, 14)과, 상기 구조를 덮는 제2 유전체 층(16), 및 제2 유전체 층(16)을 개재하고 유기반도체 층(15)과 마주하여 설치되는 상부 게이트 전극(17)으로 이루어진다. 여기서, 드라이버 트랜지스터의 하부 게이트 전극(11)은 유기트랜지스터 구조 하부에 위치하고, 상부 게이트 전극(17)이 유기트랜지스터 구조 상부에 위치한다. 도 2a에 도시한 인버터의 로드 트랜지스터는 드라이버 트랜지스터의 제1 유전체 층(12)을 게이트 절연막으로 사용한 구조를 가지며, 도 2b에 도시한 인버터의 로드 트랜지스터는 드라이버 트랜지스터의 제2 유전체 층(16)을 게이트 절연막으로 사용한 구조를 가진다.

<36> 전술한 듀얼 게이트 구조를 가지는 유기트랜지스터의 제작 과정을 간략히 설명하면 다음과 같다. 먼저 기판(1

0)으로써 Corning 1737 유기 기판상에 e-beam 증착법을 이용하여 Ti를 50nm 두께로 증착하여 하부 게이트 전극(11)을 형성한다. 그리고 트라이메탈알루미늄(TMA) 전구체와 N₂ 가스가 혼합된 O₂ 가스를 이용하여 플라즈마 강화 원자층 증착(Plasma Enhanced Atomic Layer Deposition: PEALD) Al₂O₃을 150nm 두께로 도포하여 제1 유전체 층(12)을 형성한다. 전술한 PEALD Al₂O₃을 이용하면, 9MV/cm의 항복 전계(breakdown field)와 41nF/cm²의 유전용량(Cox)을 얻을 수 있다. 다음, 제1 유전체 층(12) 상부에 3nm 두께의 Ti층과 80nm 두께의 Au층을 증착하여 소오스/드레인 전극(13, 14)을 형성한다. 다음, 상기 구조를 가지는 기판을 유기/유전체 계면의 질 향상을 위하여 먼저 자기 구조화(self-organizing) 재료인 HMDS로 처리하고, 이어서 60nm 두께의 유기재료를 증착하여 유기반도체 층(15)을 형성한다. 그 후, 하부 게이트 유기트랜지스터 구조를 가지는 기판상에 제2 유전체 층(16)으로써 300nm 두께의 파릴렌 층을 형성한다. 전술한 파릴렌 층을 이용하는 경우, 7.15nF/cm²의 유전용량(Cpar)을 얻을 수 있다. 최종적으로, 50nm 두께의 Ti층을 증착하여 상부 게이트 전극(17)을 형성한다. 집적을 위한 패터닝은 섀도우 마스크(shadow mask)나 포토리소그래피(photo lithography)를 통해 각 층을 증착시킴으로써 구현할 수 있다.

- <37> 전술한 인버터의 동작을 간략히 설명하면 다음과 같다. D-인버터의 경우, 하부 게이트 전극(11)에 인버터의 입력 전압이 인가되고, 상부 게이트 전극(17)에 포지티브 전압이 인가되면, 드라이버 트랜지스터의 문턱 전압은 포지티브 영역에서 네거티브 영역으로 이동한다. 한편, E-인버터의 경우, 로드 트랜지스터와 드라이버 트랜지스터가 모두 강화형 트랜지스터로 동작하는 것이 필요하기 때문에 로드 트랜지스터와 드라이버 트랜지스터의 상부 게이트 전극에는 포지티브 바이어스를 인가한다. 이와 같이 본 발명에 의하면, 동일한 W/L을 가지는 유기트랜지스터를 이용하여 인버터를 용이하게 구현하는 것이 가능하다.
- <38> 도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 p-type 유기박막 트랜지스터를 이용한 인버터의 구조를 나타내는 단면도이다.
- <39> 도 3a 및 도 3b를 참조하면, 본 실시예에 따른 인버터는 듀얼 게이트로 구성된 유기트랜지스터 구조를 가지는 로드 트랜지스터와, 이 로드 트랜지스터에 연결되는 드라이버 트랜지스터로 이루어진다.
- <40> 본 실시예의 인버터는 드라이버 트랜지스터 대신에 로드 트랜지스터가 듀얼 게이트로 구성된 유기트랜지스터 구조를 가지는 것을 제외하고 실질적으로 앞서 설명한 일 실시예의 인버터와 동일하다.
- <41> 본 실시예의 인버터에서는 로드 트랜지스터의 상부 게이트에 네거티브 바이어스를 인가함으로써 하부 트랜지스터와 상부 트랜지스터를 동시에 스위치-온 시켜 문턱 전압을 더욱더 포지티브로 보낼 수 있고 그렇게 되면 더욱 공핍형 트랜지스터가 되므로 인버터의 특성이 향상될 수 있다. 이와 같이 본 발명에 의하면, 동일한 W/L을 가지는 유기트랜지스터를 이용하여 D-인버터를 용이하게 구현할 수 있다.
- <42> 도 4a 및 도 4b는 본 발명의 또 다른 실시예에 따른 p-type 유기박막 트랜지스터를 이용한 인버터의 구조를 나타내는 단면도이다.
- <43> 도 4a 및 도 4b를 참조하면, 본 실시예에 따른 인버터는 듀얼 게이트로 구성된 유기트랜지스터 구조를 가지는 로드 트랜지스터와, 이 로드 트랜지스터에 연결되며 듀얼 게이트로 구성된 유기트랜지스터 구조를 가지는 드라이버 트랜지스터로 이루어진다.
- <44> 본 실시예의 인버터는 드라이버 트랜지스터뿐만 아니라 로드 트랜지스터도 듀얼 게이트로 구성된 유기트랜지스터 구조를 가지도록 하며, 인버터 구동시 드라이버 트랜지스터의 상부 게이트 전극에 포지티브 전압을 인가하고 로드 트랜지스터의 상부 게이트 전극에 네거티브 전압을 인가하도록 함으로써, 동일한 W/L을 가지는 유기트랜지스터를 이용하여 D-인버터를 용이하게 구현할 수 있다.
- <45> 도 5a 및 도 5b는 본 발명의 상부 게이트 바이어스의 변화에 대한 문턱 전압 의존성을 가지는 듀얼 게이트 유기박막 트랜지스터의 전달 곡선을 설명하기 위한 그래프이다.
- <46> 도 5a를 참조하면, 본 실시예에 따른 인버터는 하부 게이트 바이어스(V_{G1})가 0V이고 상부 게이트 바이어스(V_{G2})가 -10V에서 20V까지 5V씩 변화할 때, 문턱 전압(V_{th})은 14.5V에서 -1.5V로 규칙적으로 이동하였다. 한편 상부 게이트 바이어스가 네거티브 바이어스 일 때, 도 5a에 원으로 표시한 것과 같이 흑/언덕 형태가 관찰되었다. 이 흑/언덕은 높은 포지티브 문턱 전압을 가지는 상부 유기트랜지스터의 턴 온에 기인한 것으로 여겨진다.
- <47> 전술한 전달곡선의 이동은 실리콘 트랜지스터에서의 몸체 효과(body effect)로 설명될 수 있다. 벌크 소자에서 몸체 효과는 기판 바이어스에 대한 문턱 전압의 의존성으로 정의된다. 이와 유사하게 본 실시예에 따른 듀얼 게

이트 유기트랜지스터 구조에서는 상부 게이트 바이어스에 대한 하부 게이트 유기트랜지스터의 문턱 전압의 의존성으로 정의할 수 있다. 상부 게이트 바이어스의 작용에 의한 문턱 전압은 아래의 수학적 식 1로 표현될 수 있다.

수학적 식 1

$$\frac{dV_{th}}{dV_{G2}} = -\frac{C_{pen}C_{par}}{C_{ox}(C_{pen}+C_{par})} \cong -\frac{C_{par}}{C_{ox}}$$

<48>

<49>

여기서, Cox, Cpen 및 Cpar은 각각 하부 게이트 유전체(Al₂O₃), 유기 반도체(pentacene), 및 상부 게이트 유전체(parylene)의 캐패시턴스들이다.

<50>

기존 기술에서는 반전 전압(Vinversion)의 위치를 제어하기 위하여 추가적으로 레벨 시프터를 부착하였지만, 본 발명에서는 듀얼 게이트 드라이버 트랜지스터를 이용하는 본 문제점을 해결하고 있다.

<51>

도 5b에 도시한 바와 같이 300nm 두께의 과틸렌을 가지는 듀얼 게이트 유기트랜지스터에서 측정된 상부 게이트 바이어스의 변화(dV_{G2})에 대한 문턱 전압의 변화(dV_{th})로 얻어지는 직선의 기울기가 대략 -0.53이다. 이것은 이론적인 Cpar/Cox의 값 -0.17과는 차이를 보인다. 300nm 두께의 과틸렌을 가지는 듀얼 게이트 유기트랜지스터에서 유도된 값과 이론적인 값의 차이는 전달 곡선에서의 변형, 예컨대, 도 5a의 홀/언덕 형태와 같은 변형과 네거티브 바이어스 스트레스 영향에 기인된다. 그러나 1000nm 두께의 과틸렌을 적용한 경우, 얻어지는 직선의 기울기는 대략 -0.048이었다. 이것은 이론적인 Cpar/Cox의 값 -0.052와 거의 일치하였다.

<52>

도 6은 본 발명의 실시예에 따른 듀얼 게이트 유기트랜지스터를 적용하여 제조한 D-인버터의 회로 및 그 전압 전달 특성을 나타내는 도면이다.

<53>

본 실시예에서는 두 개의 W/L=2000nm/50nm를 가지는 유기트랜지스터로 구성된 D-인버터를 제조하였다. 기존의 D-인버터에서는 통상 공평형 부하 트랜지스터를 구성하기 위하여 부하 트랜지스터의 W/L이 드라이버 트랜지스터의 W/L보다 크다. 하지만 본 발명에서는 동일한 W/L을 가지는 유기트랜지스터를 사용하였고, 듀얼 게이트 구조를 가지는 트랜지스터의 모드를 변화시켜 D-인버터를 구현하였다.

<54>

도 6에 도시한 바와 같이, 듀얼 게이트 구조를 가지는 유기트랜지스터로 제작된 D-인버터의 전압 전달 특성(VTCs)를 보여준다. D-인버터의 전압 전달 특성(VTCs)은 드라이버 트랜지스터의 상부 게이트 바이어스(V_{G2})가 -10V일 때, 드라이버 트랜지스터의 문턱 전압(V_{th})이 포지티브 영역으로 이동하고 온 전류가 증가함으로써 큰 포지티브 반전 전압(Vinversion)과 큰 스윙 범위를 나타내었다. 그리고 V_{G2}=10V에서 전압 전달 특성은 문턱 전압(V_{th})이 네거티브 영역으로 이동하여 온 전류가 감소함으로써 반전 전압(Vinversion)이 네거티브 시프트 하고 온 전류의 감소로 인하여 스윙 범위도 감소되었다. 이와 같이, 로우(low) 레벨의 출력 전압(V_{out})은 공급 전압인 전원전압(V_{dd})에 의해서 결정되고, 하이(high) 레벨의 출력 전압(V_{out})은 드라이버 트랜지스터의 문턱 전압(V_{th}) 혹은 온 전류에 의존한다. 또한 반전 전압(Vinversion)의 위치는 드라이버 트랜지스터의 문턱 전압(V_{th})에 의존한다.

<55>

D-인버터는 회로의 빌딩 유닛(bulding unit)으로써 적절하게 동작되도록 드라이버 트랜지스터에 네거티브 문턱 전압이 요구되고, 부하 트랜지스터에는 포지티브 문턱 전압이 요구되는데, 본 발명에서는 드라이버로 사용되는 트랜지스터를 듀얼 게이트 구조를 가지도록 구성하고 그 상부 게이트에 포지티브 바이어스를 인가하여 유기반도체에 몸체 효과를 형성함으로써 드라이버 트랜지스터가 상부 게이트의 정전위를 이용하여 문턱 전압을 네거티브 영역으로 이동시켜 증가형 트랜지스터로 동작하도록 구현한다. 이와 같이 본 발명은 듀얼 게이트로 구성된 유기트랜지스터를 이용하여 용이하게 인버터를 구현할 수 있다.

<56>

또한 본 발명은 유기 인버터에 듀얼 게이트 유기트랜지스터 구조를 이용하여 레벨 시프터(level shifter)의 기능을 수행할 수 있도록 문턱 전압 및 온 전류를 제어할 수 있다. 아울러 본 발명은 듀얼 게이트 유기트랜지스터의 유기채널 액티브층 상부에 상부 게이트 유전체 과틸렌과 상부 게이트 전극을 사용함으로써 패시베이션 성능이 향상되는 이점도 있다. 이와 같이 본 발명은 듀얼 게이트 유기트랜지스터의 저장(shelf-storage) 수명을 증가시키고 인버터의 안정성과 패시베이션 성능을 향상시킬 수 있다는 장점이 있다.

<57>

한편, 전술한 실시예에서 실제 유기트랜지스터의 제작과 대량 생산 및 인버터의 집적을 고려하면 하부 콘택 구조의 유기트랜지스터를 이용하여 구현하는 것이 바람직하고, 유기트랜지스터의 속성 특히 이동도를 고려하는 경

우에는 하부 콘택 구조보다 우수한 특성을 갖는 상부 콘택 구조의 유기트랜지스터를 이용하여 구현하는 것이 바람직하다.

<58> 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

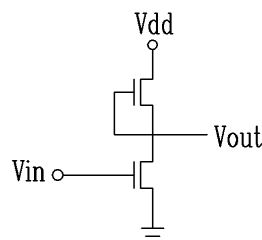
<59> 이상에서 설명한 바와 같이, 본 발명에 의하면, 수명과 소자 신뢰성을 향상시킬 수 있으며 유기전자 소자를 제작한 후에도 소자 특성을 설계된 회로에 맞게 쉽게 조절할 수 있는 유기 인버터를 제공할 수 있다.

도면의 간단한 설명

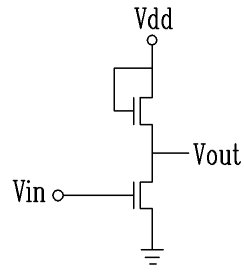
- <1> 도 1a는 기존의 p-type 트랜지스터만으로 제작할 수 있는 인버터 구조의 일례를 설명하기 위한 회로도이다.
- <2> 도 1b는 기존의 p-type 트랜지스터만으로 제작할 수 있는 인버터 구조의 다른 예를 설명하기 위한 회로도이다.
- <3> 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 p-type 유기박막 트랜지스터(OTFT)를 이용한 인버터의 구조를 나타내는 단면도이다.
- <4> 도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 p-type 유기박막 트랜지스터를 이용한 인버터의 구조를 나타내는 단면도이다.
- <5> 도 4a 및 도 4b는 본 발명의 또 다른 실시예에 따른 p-type 유기박막 트랜지스터를 이용한 인버터의 구조를 나타내는 단면도이다.
- <6> 도 5a 및 도 5b는 본 발명의 상부 게이트 바이어스의 변화 및 이 변화에 대한 문턱 전압 의존성을 가지는 듀얼 게이트 유기박막 트랜지스터의 전달 곡선을 보여주는 그래프이다.
- <7> 도 6은 본 발명의 실시예에 따른 듀얼 게이트 유기트랜지스터를 적용하여 제조한 D-인버터의 회로 및 그 전압 전달 특성을 나타내는 도면이다.
- <8> * 도면의 주요 부분에 대한 부호의 설명 *
- <9> 10 : 기관
- <10> 11 : 하부 게이트 전극
- <11> 12 : 제1 유전체 층
- <12> 13, 14 : 소오스/드레인 전극
- <13> 15 : 유기반도체 층
- <14> 16 : 제2 유전체 층
- <15> 17 : 상부 게이트 전극

도면

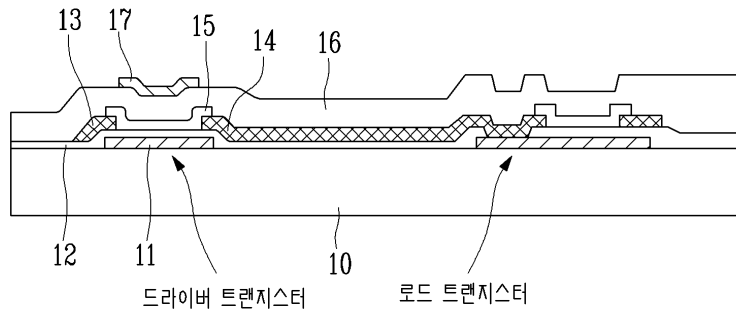
도면1a



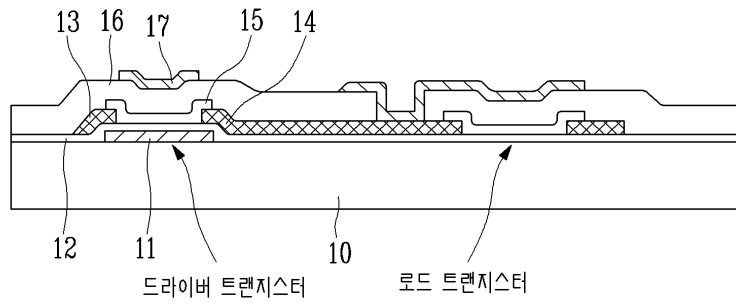
도면1b



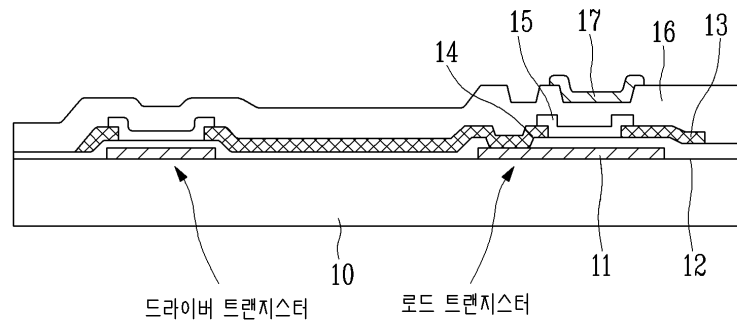
도면2a



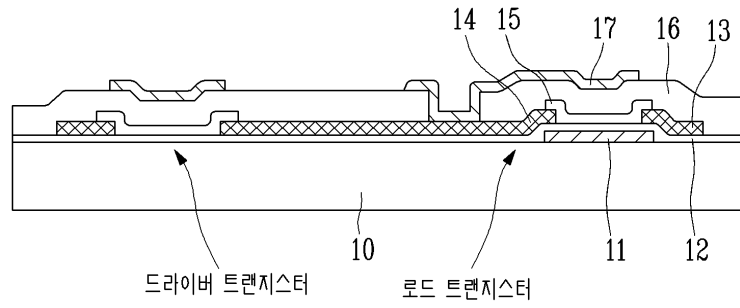
도면2b



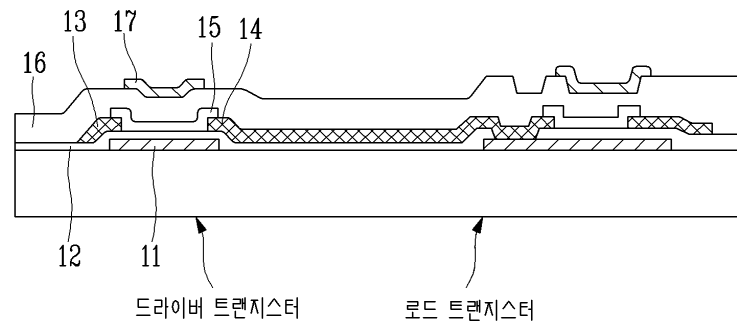
도면3a



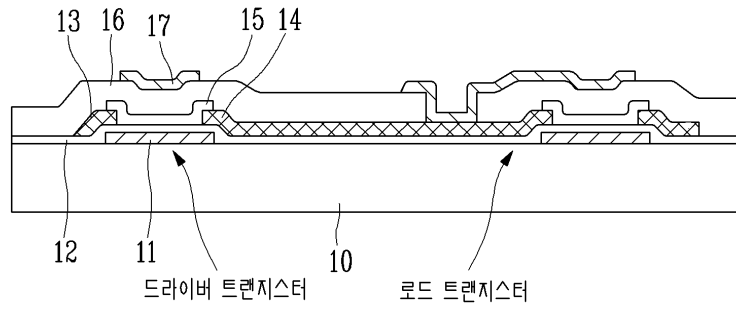
도면3b



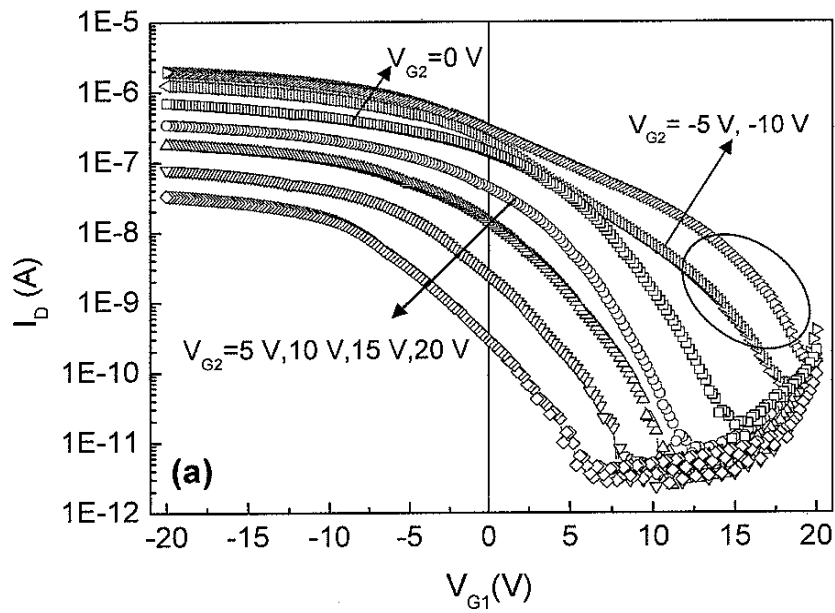
도면4a



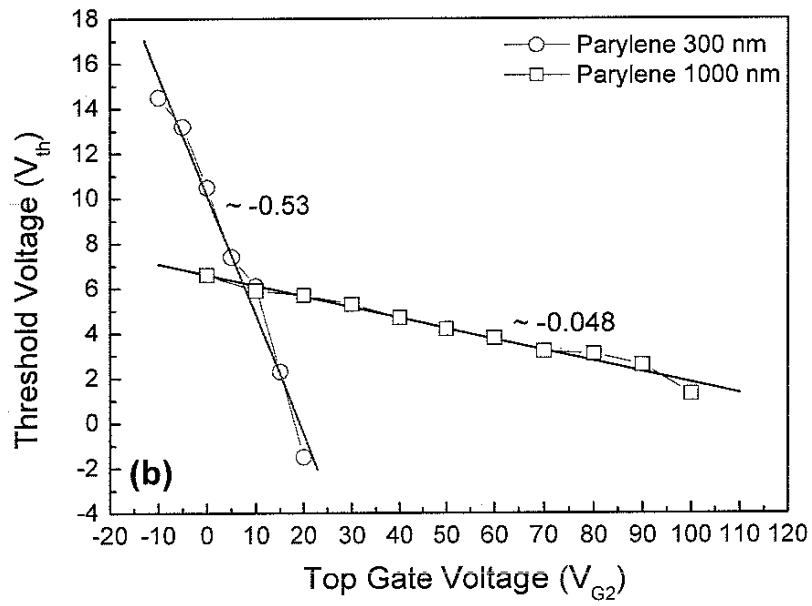
도면4b



도면5a



도면5b



도면6

