



(12) 发明专利

(10) 授权公告号 CN 111048420 B

(45) 授权公告日 2022. 07. 19

(21) 申请号 201911378629.9

H01L 29/78 (2006.01)

(22) 申请日 2019.12.27

H01L 29/40 (2006.01)

(65) 同一申请的已公布的文献号

审查员 肖玲

申请公布号 CN 111048420 A

(43) 申请公布日 2020.04.21

(73) 专利权人 杰华特微电子股份有限公司

地址 310030 浙江省杭州市西湖区三墩镇
振华路298号西港发展中心西4幢9楼
901-23室

(72) 发明人 韩广涛 陆阳

(74) 专利代理机构 北京成创同维知识产权代理

有限公司 11449

专利代理师 蔡纯 刘静

(51) Int. Cl.

H01L 21/336 (2006.01)

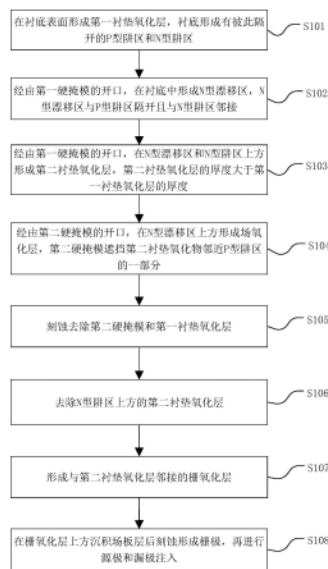
权利要求书2页 说明书8页 附图9页

(54) 发明名称

横向双扩散晶体管的制造方法

(57) 摘要

公开一种横向双扩散晶体管的制造方法,包括:在衬底表面形成第一衬垫氧化层,衬底形成有彼此隔开的P型阱区和N型阱区;经由第一硬掩膜的开口,在衬底中形成N型漂移区,N型漂移区与P型阱区隔开且与N型阱区邻接;经由第一硬掩膜的开口,在N型漂移区和N型阱区上方形成第二衬垫氧化层,第二衬垫氧化层的厚度大于第一衬垫氧化层的厚度;经由第二硬掩膜的开口,在N型漂移区上方形成场氧化层,第二硬掩膜遮挡第二衬垫氧化层邻近P型阱区的一部分。该制造方法经由第一硬掩膜的开口来形成漂移区和第二衬垫氧化层,以增加场氧化层的鸟嘴区域边缘的厚度,降低鸟嘴区域下方衬底的电场,在节省工艺成本的同时有效提升晶体管的击穿电压。



1. 一种横向双扩散晶体管的制造方法,其特征在于,包括:
在衬底表面形成第一衬垫氧化层,所述衬底形成有彼此隔开的P型阱区和N型阱区;
经由第一硬掩膜的开口,在所述衬底中形成N型漂移区,所述N型漂移区与所述P型阱区隔开且与所述N型阱区邻接;
经由第一硬掩膜的开口,在所述N型漂移区和所述N型阱区上方形成第二衬垫氧化层,所述第二衬垫氧化层的厚度大于所述第一衬垫氧化层的厚度;
经由第二硬掩膜的开口,在所述N型漂移区上方形成场氧化层,
其中,所述第二硬掩膜遮挡所述第二衬垫氧化层邻近所述P型阱区的一部分。
2. 根据权利要求1所述的横向双扩散晶体管的制造方法,其特征在于,所述第一硬掩膜和所述第二硬掩膜分别采用以下步骤形成:
形成氮化物层;
在所述氮化物层上形成抗蚀剂掩膜;以及
经由所述抗蚀剂掩膜蚀刻所述氮化物层以形成开口。
3. 根据权利要求2所述的横向双扩散晶体管的制造方法,其特征在于,所述第一硬掩膜在形成开口时使用的所述抗蚀剂掩膜为N型漂移区掩膜,所述第二硬掩膜在形成开口时使用的所述抗蚀剂掩膜为有源区掩膜。
4. 根据权利要求1所述的横向双扩散晶体管的制造方法,其特征在于,在形成所述第二硬掩膜的开口的步骤之前还包括:
刻蚀去除位于所述第一衬垫氧化层上方的第一硬掩膜;以及
在部分所述第一衬垫氧化层和所述第二衬垫氧化层的暴露表面上沉积所述第二硬掩膜。
5. 根据权利要求1所述的横向双扩散晶体管的制造方法,其特征在于,所述经由第二硬掩膜的开口,在所述N型漂移区上方形成场氧化层,包括以下步骤:
刻蚀所述第二硬掩膜,以暴露出所述第二衬垫氧化层的部分表面;以及
在所述第二衬垫氧化层的暴露区域生长场氧化层。
6. 根据权利要求5所述的横向双扩散晶体管的制造方法,其特征在于,所述场氧化层靠近所述P型阱区一侧的鸟嘴区域与被所述第二硬掩膜遮的部分所述第二衬垫氧化层邻接。
7. 根据权利要求1所述的横向双扩散晶体管的制造方法,其特征在于,所述经由第二硬掩膜的开口,在所述N型漂移区上方形成场氧化层之后,还包括以下步骤:
刻蚀去除所述第二硬掩膜和所述第一衬垫氧化层;
去除所述N型阱区上方的所述第二衬垫氧化层;
形成与所述第二衬垫氧化层邻接的栅氧化层;以及
在所述栅氧化层上方沉积场板层后刻蚀形成栅极,再进行源极和漏极注入。
8. 根据权利要求7所述的横向双扩散晶体管的制造方法,其特征在于,所述栅氧化层的厚度小于所述第二衬垫氧化层的厚度。
9. 根据权利要求7所述的横向双扩散晶体管的制造方法,其特征在于,所述场板层依次覆盖所述栅氧化层、所述第二衬垫氧化层和所述场氧化层,呈阶梯状。
10. 根据权利要求7所述的横向双扩散晶体管的制造方法,其特征在于,所述场板层包括多晶硅层。

11. 根据权利要求1所述的横向双扩散晶体管的制造方法,其特征在于,所述第一衬垫氧化层的厚度范围为50A~500A,所述第二衬垫氧化层的厚度范围为200A~1000A。

12. 根据权利要求1所述的横向双扩散晶体管的制造方法,其特征在于,采用干氧法生长所述第一衬垫氧化层和所述第二衬垫氧化层。

13. 根据权利要求1所述的横向双扩散晶体管的制造方法,其特征在于,采用湿氧法生长所述第一衬垫氧化层和所述第二衬垫氧化层。

横向双扩散晶体管的制造方法

技术领域

[0001] 本发明涉及半导体技术领域,具体地,涉及一种横向双扩散晶体管的制造方法。

背景技术

[0002] 横向扩散MOS (Lateral Double-Diffused MOSFET, LDMOS) 晶体管作为功率场效应晶体管的一种,具有工艺兼容、热稳定性和频率稳定性好、增益高、反馈电容和热阻低、以及输入阻抗恒定等优良特性,因此得到了广泛应用,人们对于LDMOS的性能要求也越来越高。

[0003] 在LDMOS的应用中,要求在满足源漏击穿电压 BV_{-dss} 高的前提下,尽可能降低器件的源漏导通电阻 R_{dson} ,但是源漏击穿电压与导通电阻的优化要求确是矛盾的。通常来说,降低LDMOS的导通阻抗的方法就是在不断提高漂移区浓度的同时,通过各种RESURF (Reduced Surface Field,降低表面电场) 理论,使其能够完全耗尽,从而获得低导通阻抗,并维持很高的击穿电压。

[0004] 图1示出现有技术的横向双扩散晶体管的截面结构示意图。如图1所示,在传统NLDMOS工艺中,衬底101中形成有P阱区102和N阱区103以及漂移区104,场板151是搭在漂移区的场氧化层131上的,由于常规场氧化层的制备工艺使得Gate oxide (栅氧化层141) 与场氧化层131之间形成较短的鸟嘴区域,当漂移区104的浓度较高时,根据高斯定理,极易在靠近场氧化层131的栅氧化层141下方的硅中(如图中星标处)产生极强的电场,从而引发击穿,使得NLDMOS的击穿电压偏低。

[0005] 现有的制作工艺,通过降低漂移区的浓度或减小漂移区与栅氧化层的交叠尺寸的方法来降低图1所示的星标处的电场,从而提高击穿电压,但这样会使LDMOS的导通阻抗升高,或者增加工艺制作的成本。

发明内容

[0006] 鉴于上述问题,本发明的目的在于提供一种优化的横向双扩散晶体管的制造方法,通过经由第一硬掩膜的开口来形成漂移区和第二衬垫氧化层,以增加场氧化层的鸟嘴区域边缘的厚度,降低鸟嘴区域下方衬底的电场,在节省工艺成本的同时有效提升晶体管的击穿电压。

[0007] 根据本发明,提供一种横向双扩散晶体管的制造方法,包括:

[0008] 在衬底表面形成第一衬垫氧化层,所述衬底形成有彼此隔开的P型阱区和N型阱区;

[0009] 经由第一硬掩膜的开口,在所述衬底中形成N型漂移区,所述N型漂移区与所述P型阱区隔开且与所述N型阱区邻接;

[0010] 经由第一硬掩膜的开口,在所述N型漂移区和所述N型阱区上方形成第二衬垫氧化层,所述第二衬垫氧化层的厚度大于所述第一衬垫氧化层的厚度;

[0011] 经由第二硬掩膜的开口,在所述N型漂移区上方形成场氧化层,

[0012] 其中,所述第二硬掩膜遮挡所述第二衬垫氧化层邻近所述P型阱区的一部分。

- [0013] 可选地,所述第一硬掩膜和所述第二硬掩膜分别采用以下步骤形成:
- [0014] 形成氮化物层;
- [0015] 在所述氮化物层上形成抗蚀剂掩膜;以及
- [0016] 经由所述抗蚀剂掩膜蚀刻所述氮化物层以形成开口。
- [0017] 可选地,所述第一硬掩膜在形成开口时使用的所述抗蚀剂掩膜为N型漂移区掩膜,所述第二硬掩膜在形成开口时使用的所述抗蚀剂掩膜为有源区掩膜。
- [0018] 可选地,在形成所述第二硬掩膜的开口的步骤之前还包括:
- [0019] 刻蚀去除位于所述第一衬垫氧化层上方的第一硬掩膜;以及
- [0020] 在部分所述第一衬垫氧化层和所述第二衬垫氧化层的暴露表面上沉积所述第二硬掩膜。
- [0021] 可选地,所述经由第二硬掩膜的开口,在所述N型漂移区上方形成场氧化层,包括以下步骤:
- [0022] 刻蚀所述第二硬掩膜,以暴露出所述第二衬垫氧化层的部分表面;以及
- [0023] 在所述第二衬垫氧化层的暴露区域生长场氧化层。
- [0024] 可选地,所述场氧化层靠近所述P型阱区一侧的鸟嘴区域与被所述第二硬掩膜遮的部分所述第二衬垫氧化层邻接。
- [0025] 可选地,所述经由第二硬掩膜的开口,在所述N型漂移区上方形成场氧化层之后,还包括以下步骤:
- [0026] 刻蚀去除所述第二硬掩膜和所述第一衬垫氧化层;
- [0027] 去除所述N型阱区上方的所述第二衬垫氧化层;
- [0028] 形成与所述第二衬垫氧化层邻接的栅氧化层;以及
- [0029] 在所述栅氧化层上方沉积场板层后刻蚀形成栅极,再进行源极和漏极注入。
- [0030] 可选地,所述栅氧化层的厚度小于所述第二衬垫氧化层的厚度。
- [0031] 可选地,所述场板层依次覆盖所述栅氧化层、所述第二衬垫氧化层和所述场氧化层,呈阶梯状。
- [0032] 可选地,所述场板层包括多晶硅层。
- [0033] 可选地,所述第一衬垫氧化层的厚度范围为50Å~500Å,所述第二衬垫氧化层的厚度范围为200Å~1000Å。
- [0034] 可选地,采用干氧法生长所述第一衬垫氧化层和所述第二衬垫氧化层。
- [0035] 可选地,采用湿氧法生长所述第一衬垫氧化层和所述第二衬垫氧化层。
- [0036] 本发明提供的横向双扩散晶体管制造方法,经由第一硬掩膜的开口来形成漂移区和第二衬垫氧化层,无需使用单独的掩膜对第二衬垫氧化层进行刻蚀,简化了工艺难度,节省了工艺成本;而且形成位于第一衬垫氧化层上方的第二衬垫氧化层,使得形成的场氧化层的鸟嘴区域与第二衬垫氧化层邻接,而不是直接与第一衬垫氧化层邻接,从而降低第二衬垫氧化层下方的硅衬底的电场,从而有效提升晶体管的击穿电压,所以可以在降低工艺成本的同时提升击穿电压,并降低导通电阻。
- [0037] 优选地,第二衬垫氧化层的厚度大于第一衬垫氧化层和栅氧化层的厚度,即从P型阱区至N型阱区形成厚度依次递增的栅氧化层、第二衬垫氧化层和场氧化层,使得场氧化层的鸟嘴区域和栅氧化层之间形成了一个厚度过渡区域,极大地降低了鸟嘴区域下方的硅衬

底的电场,从而有效提升晶体管的击穿电压并降低导通电阻。

附图说明

[0038] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0039] 图1示出现有技术的横向双扩散晶体管的截面结构示意图;

[0040] 图2示出本发明实施例的横向双扩散晶体管的截面结构示意图;

[0041] 图3a-图3d示出传统横向双扩散晶体管的制造方法的各个阶段的截面示意图;

[0042] 图4示出根据本发明实施例的横向双扩散晶体管的制造方法的流程图;

[0043] 图5a至图5j示出根据本发明的实施例的横向双扩散晶体管的制造方法的各个阶段的截面示意图。

具体实施方式

[0044] 以下将参照附图更详细地描述本发明的各种实施例。在各个附图中,相同的元件采用相同或类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,可能未示出某些公知的部分。为了简明起见,可以在一幅图中描述经过数个步骤后获得的半导体结构。

[0045] 在描述器件的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上方,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果将器件翻转,该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0046] 如果为了描述直接位于另一层、另一个区域上面的情形,本文将采用“A直接在B上面”或“A在B上面并与之邻接”的表述方式。在本申请中,“A直接位于B中”表示A位于B中,并且A与B直接邻接,而非A位于B中形成的掺杂区中。

[0047] 除非在下文中特别指出,半导体器件的各个层或者区域可以由本领域的技术人员公知的材料构成。半导体材料例如包括III-V族半导体,如GaAs、InP、GaN、SiC,以及IV族半导体,如Si、Ge。栅极导体、电极层可以由导电的各种材料形成,例如金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅极导体或者是其他导电材料,例如为TaC、TiN、TaSiN、HfSiN、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、W、和所述各种导电材料的组合。

[0048] 在本申请中,术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称,包括已经形成的所有层或区域。术语“横向延伸”是指沿着大致垂直于沟槽深度方向的方向延伸。

[0049] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。

[0050] 图2示出本发明实施例的横向双扩散晶体管的截面结构示意图。

[0051] 如图2所示,示出根据本发明实施例的横向双扩散晶体管的截面图。该横向双扩散晶体管包括衬底201、形成于半导体衬底201内的位于顶部的P型阱区202、N型阱区203、形成于P型阱区202侧部的N型漂移区204以及分别位于P型阱区202和N型阱区203中的源区和漏区,源区和漏区均为N型掺杂区。

[0052] 该LDMOS器件还包括：位于N型漂移区204表面的场氧化层231和栅氧化层241，栅氧化层241与场氧化层231的邻接处为第二衬垫氧化层212，在栅氧化层241和场氧化层231上形成有场板层251。场板层251延伸至栅氧化层241和部分场氧化层231的表面上，能有效降低场板层251下方N型漂移区204的表面峰值电场，利于提高击穿电压。

[0053] 在本实施例中，第二衬垫氧化层212的厚度大于栅氧化层241的厚度，且位于场氧化层231的鸟嘴区域与栅氧化层241的邻接处，使得从栅氧化层241到场氧化层231之间形成一个厚度过渡区域，从而当N型漂移区204耗尽时，可以降低图2中星标处的电场，即降低第二衬垫氧化层212下方的硅中的电场，从而提升击穿电压。

[0054] 在本实施例中，LDMOS晶体管的耗尽区为N型，N型耗尽区形成在P型硅衬底中。

[0055] 关于在栅氧化层241和场氧化层231之间形成一个厚度过渡区域即第二衬垫氧化层212的方法有很多，传统晶体管制造工艺中，采用多个掩膜和多次刻蚀工艺形成，制作成本高。

[0056] 图3a-图3d示出传统横向双扩散晶体管的制造方法的各个阶段的截面示意图，以下结合图3a-3d介绍传统晶体管制造工艺。

[0057] 如图3a所示，是传统LDMOS器件的制造方法的某一阶段的截面示意图，首先，在N型掺杂的半导体衬底如硅衬底201中形成位于衬底201顶部的P型阱区202、N型阱区203和位于P型阱区202侧部的N型N型漂移区204，N型漂移区204与P型阱区202相互隔开。形成P型阱区202和N型阱区203时需要使用阱区掩膜，而形成N型漂移区204时也需要用到N型漂移区掩膜，这是制备工艺中必要的步骤，这里不做详细介绍。

[0058] 然后在硅衬底201的表面上沉积一层衬垫氧化层212，再在N型漂移区204上方的衬垫氧化层212上方放置第一层掩膜221，利用该掩膜221对衬垫氧化层212进行刻蚀，以去除两个阱区上方的衬垫氧化层212。

[0059] 进一步地，如图3b所示，去除掩膜221，并在衬底201表面沉积第一衬垫氧化层211，衬垫氧化层211覆盖衬垫氧化层212，并且在衬垫氧化层211的表面上沉积一层牺牲层213。衬垫氧化层212和衬垫氧化层211的材料一致，例如为氧化硅，牺牲层213例如为氮化硅。然后在P型阱区202和N型阱区203上方的衬垫氧化层211的上方设置第二层掩膜，即有源区掩膜222，该有源区掩膜222使N型漂移区204上方的牺牲层213暴露。然后再利用该有源区掩膜222刻蚀牺牲层213。

[0060] 进一步地，如图3c所示，是牺牲层213被刻蚀后的截面图，位于P型阱区202上方的牺牲层213从P型阱区202延伸至N型漂移区204，覆盖了部分衬垫氧化层212，而N型阱区203上方的牺牲层213仅覆盖了衬垫氧化层211。

[0061] 进一步地，如图3d所示，N型漂移区204上方未被牺牲层213覆盖的衬垫氧化层211和212在一定条件下发生反应，生成场氧化层231，该场氧化层231的两个端部形成鸟嘴区域。而由于衬垫氧化层212的存在，使得场氧化层231靠近P型阱区202一端的鸟嘴区域与衬垫氧化层212邻接，然后才与衬垫氧化层211接触。衬垫氧化层212的厚度大于衬垫氧化层211的厚度，使得从P型阱区202至N型漂移区204逐渐形成厚度递增的氧化层。

[0062] 进一步地，刻蚀去除牺牲层213和衬垫氧化层211，仅保留场氧化层231和与之邻接的衬垫氧化层212。然后再在P型阱区202上方沉积氧化物，形成栅氧化层241，如图2示出的截面图。之后在栅氧化层241上方沉积多晶硅层，以形成场板251和栅极，最后进行离子注

入,分别在P型阱区202和N型阱区203中形成源区和漏区。源区和漏区均为N型掺杂区。由此便完成了图2中示出的LDMOS的制作。

[0063] 该晶体管由于在栅氧化层241和场氧化层231的鸟嘴之间加入了一层衬垫氧化层212,使得从P型阱区202至N型漂移区204形成阶梯状的氧化层,使得图2中星标处的氧化层厚度增加,从而降低该处的电场,所以极大地提高击穿电压,但是该LDMOS器件的制造方法中,在形成N型漂移区204和阱区之后,还需要用到两次掩膜,并以掩膜为阻挡进行两次刻蚀工艺,以在N型漂移区204上方沉积较厚的衬垫氧化层,从而实现星标处电压的提升,而多次使用掩膜使得工艺成本很高,且制备耗时,增加了工艺复杂度,不利于批量生产。因为本发明对传统的LDMOS器件的制造方法进行改进,通过图4和图5a-图5j的工艺步骤来制作出图2示出的LDMOS器件结构,以进一步提升晶体管的特性,降低导通压降并提高击穿电压。

[0064] 图4示出根据本发明实施例的横向双扩散晶体管的制造方法的流程图;图5a至图5j示出根据本发明的实施例的横向双扩散晶体管的制造方法的各个阶段的截面示意图。

[0065] 以下结合图4-图5j介绍本申请实施例的LDMOS器件的制作流程。

[0066] 如图4所示,在步骤S101中,在衬底表面形成第一衬垫氧化层,衬底形成有彼此隔开的P型阱区和N型阱区。

[0067] 如图5a所示,在半导体衬底201内部形成P型阱区202和与P型阱区202相互隔离的N型阱区203。该步骤采用常规工艺完成。然后在衬底201表面上沉积一层第一衬垫氧化层211,衬底201例如是硅衬底,而第一衬垫氧化层211例如是氧化硅。

[0068] 在步骤S102中,经由第一硬掩膜的开口,在衬底中形成N型漂移区,N型漂移区与P型阱区隔开且与N型阱区邻接。

[0069] 在一个实施例中,第一硬掩膜213为氮化物,例如为氮化硅,第一硬掩膜213采用以下步骤形成:形成氮化物层;在氮化物层上形成抗蚀剂掩膜;以及经由抗蚀剂掩膜蚀刻氮化物层以形成开口。

[0070] 具体地,如图5b所示,在第一衬垫氧化层211表面沉积一层第一硬掩膜213,然后在P型阱区202上方的第一硬掩膜213上方设置抗蚀剂掩膜220,优选地,该抗蚀剂掩膜为漂移区掩膜,该抗蚀剂掩膜220用于形成N型漂移区,是常规工艺步骤中均需要用到的掩膜。

[0071] 接着,如图5c所示,采用抗蚀剂掩膜220做阻挡层刻蚀第一硬掩膜213,以形成开口,并经由开口进行N型漂移区的注入,形成位于P型阱区202侧部的N型漂移区204。以抗蚀剂掩膜220做阻挡层刻蚀掉N型漂移区204上方的第一硬掩膜213,暴露出第一衬垫氧化层211,然后进行离子注入,形成N型漂移区204。

[0072] 在步骤S103中,经由第一硬掩膜的开口,在N型漂移区和N型阱区上方形成第二衬垫氧化层,第二衬垫氧化层的厚度大于第一衬垫氧化层的厚度。

[0073] 接着,如图5d所示,在第一衬垫氧化层211表面沉积第二层衬垫氧化层,即第二衬垫氧化层212,此时,图5c中保留的第一硬掩膜213充当侧墙,使得第二衬垫氧化层212限定在N型漂移区204上方。

[0074] 在一个实施例中,第二衬垫氧化层212的厚度大于第一衬垫氧化层211的厚度。第一衬垫氧化层211的厚度范围为50Å~500Å,第二衬垫氧化层212的厚度范围为200Å~1000Å。第一衬垫氧化层211和第二衬垫氧化层212均可以采用干氧法或湿氧法生长。

[0075] 此步骤中,采用抗蚀剂掩膜220来做阻挡层进行第一硬掩膜213的刻蚀,以形成限

定第二衬垫氧化层212的沉积区域的开口,使得形成从P型阱区202至N型漂移区204厚度递增的衬垫氧化层的分布。相比于传统工艺中使用单独的掩膜221来实现第二衬垫氧化层212的刻蚀来说,节省了一块掩膜,简化了工艺步骤,节省了工艺成本。

[0076] 在一个实施例中,该制造方法还包括:刻蚀去除位于第一衬垫氧化层211上方的第一硬掩膜213;以及在部分第一衬垫氧化层211和第二衬垫氧化层212的暴露表面上沉积第二硬掩膜214。

[0077] 具体地,如图5e所示,刻蚀去除第一硬掩膜213,以使第一衬垫氧化层211和第二衬垫氧化层212暴露。

[0078] 然后,如图5f所示,在暴露的第一衬垫氧化层211和第二衬垫氧化层212表面沉积第二硬掩膜214。优选地,第一硬掩膜213和第二硬掩膜214均为氮化物层,例如为氮化硅,第一衬垫氧化层211和第二衬垫氧化层212例如均为氧化硅。在一个实施例中,采用化学气相淀积法淀积第一硬掩膜213和第二硬掩膜214。

[0079] 在步骤S104中,经由第二硬掩膜的开口,在N型漂移区上方形成场氧化层,第二硬掩膜遮挡第二衬垫氧化层邻近P型阱区的一部分。

[0080] 在本步骤中,第二硬掩膜214的形成过程与第一硬掩膜213的形成过程相同,均包括以下步骤:形成氮化物层;在氮化物层上形成抗蚀剂掩膜;以及经由抗蚀剂掩膜蚀刻氮化物层以形成开口。

[0081] 具体地,如图5f所示,在第二硬掩膜214上方设置有抗蚀剂掩膜222,该抗蚀剂掩膜222为有源区掩膜,利用该有源区掩膜做阻挡刻蚀第二硬掩膜214,以形成开口。该有源区掩膜位于第二硬掩膜214上方时,暴露出N型漂移区204上方的第二硬掩膜214。

[0082] 进一步地,经由第二硬掩膜214的开口,在N型漂移区204上方形成场氧化层231,包括以下步骤:

[0083] 步骤一,刻蚀第二硬掩膜214,以暴露出第二衬垫氧化层212的部分表面。如图5g所示,刻蚀第二硬掩膜214,使得N型漂移区204上方的第二硬掩膜214被刻蚀掉,暴露出下方的第二衬垫氧化层212。P型阱区202上方的第二硬掩膜214覆盖暴露的第一衬垫氧化层211和部分位于N型漂移区204上方的第二衬垫氧化层212,N型阱区203上方的第二硬掩膜214覆盖第二衬垫氧化层212。

[0084] 步骤二,在第二衬垫氧化层212的暴露区域生长场氧化层。如图5h所示,未被第二硬掩膜214覆盖的衬垫氧化层在一定条件下反应,生成场氧化层231,例如,在高温下,反应生成二氧化硅。场氧化层231在第二硬掩膜214与第二衬垫氧化层212的接触边缘处形成鸟嘴区域,靠近P型阱区202一侧的鸟嘴区域与第二衬垫氧化层212邻接。由于场氧化层231的存在,使得第二硬掩膜214与第二衬垫氧化层212接触的边缘处翘起,与鸟嘴区域的形状一致。

[0085] 本实施例中,P型阱区上方的未被刻蚀掉的第二硬掩膜214覆盖第一衬垫氧化层211的表面和部分第二衬垫氧化层212的表面,以使形成的场氧化层231的鸟嘴区域与第二衬垫氧化层212邻接,从而使得鸟嘴区域的氧化层厚度增加。

[0086] 在一个实施例中,本发明的LDMOS器件的制作方法还包括步骤S105-S108。以下展开描述。

[0087] 在步骤S105中,刻蚀去除第二硬掩膜和第一衬垫氧化层。

[0088] 接着,如图5i所示,刻蚀去除第二硬掩膜214和暴露的第一衬垫氧化层211,在第一衬垫氧化层211的位置后续会生成栅氧化层。由于刻蚀工艺影响,第二衬垫氧化层212的表面也被刻蚀掉一小部分,但其厚度仍然大于第一衬垫氧化层211的厚度。

[0089] 在步骤S106中,去除N型阱区上方的第二衬垫氧化层。

[0090] 接着,如图5i所示,将N型阱区203表面上的第二衬垫氧化层212也刻蚀掉。刻蚀后,暴露出P型阱区202和N型阱区203的表面。

[0091] 在步骤S107中,形成与第二衬垫氧化层邻接的栅氧化层。

[0092] 进一步地,如图5i所示,生长栅氧化层241。采用一定的沉积工艺在第二衬垫氧化层212周围的硅衬底201上生长一层栅氧化层241,栅氧化层241覆盖沟道,即覆盖部分阱区202和部分N型漂移区204的表面。栅氧化层241例如是二氧化硅,作为晶体管的栅绝缘层。栅氧化层241的厚度小于第二衬垫氧化层212的厚度,使得从P型阱区202至N型漂移区204形成厚度增加的氧化层。

[0093] 在步骤S108中,在栅氧化层上方沉积场板层后刻蚀形成栅极,再进行源极和漏极注入。

[0094] 如图2所示,在栅氧化层241上方沉积场板层251,然后进行刻蚀,去掉不需要的部分,使得剩余的场板层251依次覆盖栅氧化层241、第二衬垫氧化层212和场氧化层231,呈阶梯状。场板层251例如包括多晶硅层,从而形成栅极。然后再在P型阱区202和N型阱区203内进行N型离子的注入以分别形成源区和漏区。由此完成如图2所示的LDMOS的制备。该晶体管由于在栅氧化层241与场氧化层231之间加入了一层较厚的第二衬垫氧化层212,使得星标处的电场下降,从而提升击穿电压。

[0095] 而由于制备工艺中,采用N型漂移区掩膜来做阻挡层刻蚀第一硬掩膜213,再经由第一硬掩膜213的开口形成漂移区并限定第二衬垫氧化层212的位置,节省了一块掩膜,简化了工艺步骤,使得在不增加工艺成本的情况下提升了晶体管的击穿电压。

[0096] 本发明中以NLDMOS(N型漂移区为N型半导体)为例进行了说明,但该制造方法对于PLDMOS也同样适用。而且对于其他的场氧化层的制备工艺也同样适用。

[0097] 综上,采用本发明实施例的横向双扩散晶体管的制造方法,经由第一硬掩膜的开口来形成漂移区和第二衬垫氧化层,无需使用单独的掩膜对第二衬垫氧化层进行刻蚀,简化了工艺难度,节省了工艺成本;而且形成位于第一衬垫氧化层上方的第二衬垫氧化层,使得形成的场氧化层的鸟嘴区域与第二衬垫氧化层邻接,而不是直接与第一衬垫氧化层邻接,从而降低第二衬垫氧化层下方的硅衬底的电场,从而有效提升晶体管的击穿电压,所以可以在降低工艺成本的同时提升击穿电压,并降低导通电阻。

[0098] 进一步地,第二衬垫氧化层的厚度大于第一衬垫氧化层和栅氧化层的厚度,即从P型阱区至N型阱区形成厚度依次递增的栅氧化层、第二衬垫氧化层和场氧化层,使得场氧化层的鸟嘴区域和栅氧化层之间形成了一个厚度过渡区域,极大地降低了鸟嘴区域下方的硅衬底的电场,从而有效提升晶体管的击穿电压并降低导通电阻。

[0099] 依照本发明的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利

要求书及其全部范围和等效物的限制。

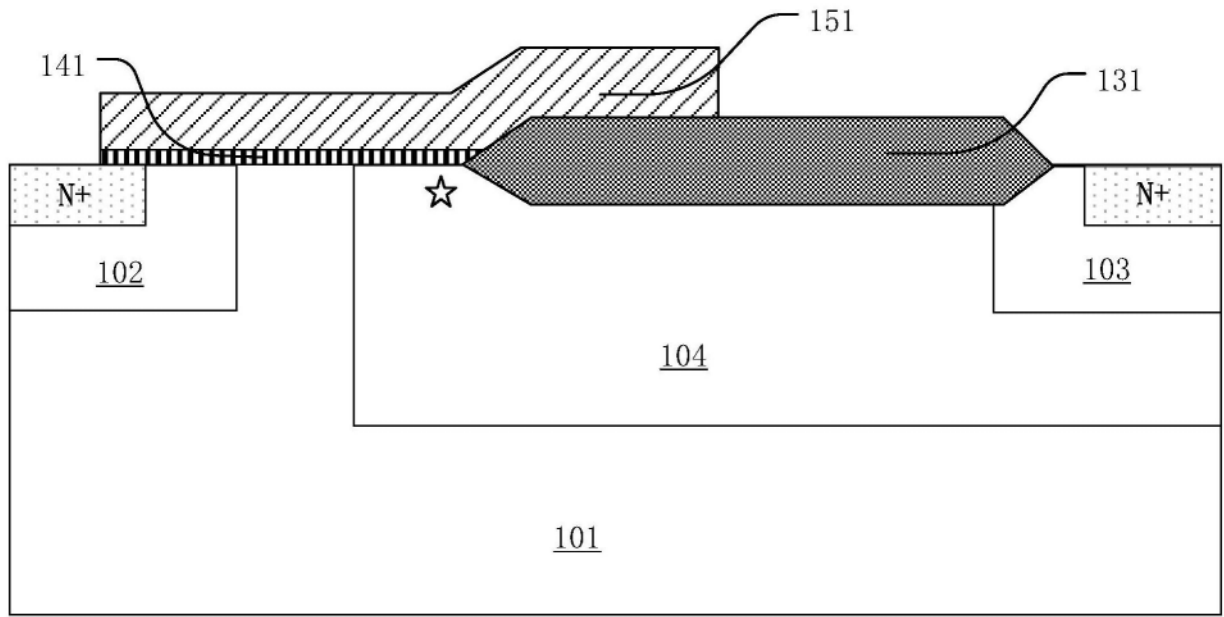


图1

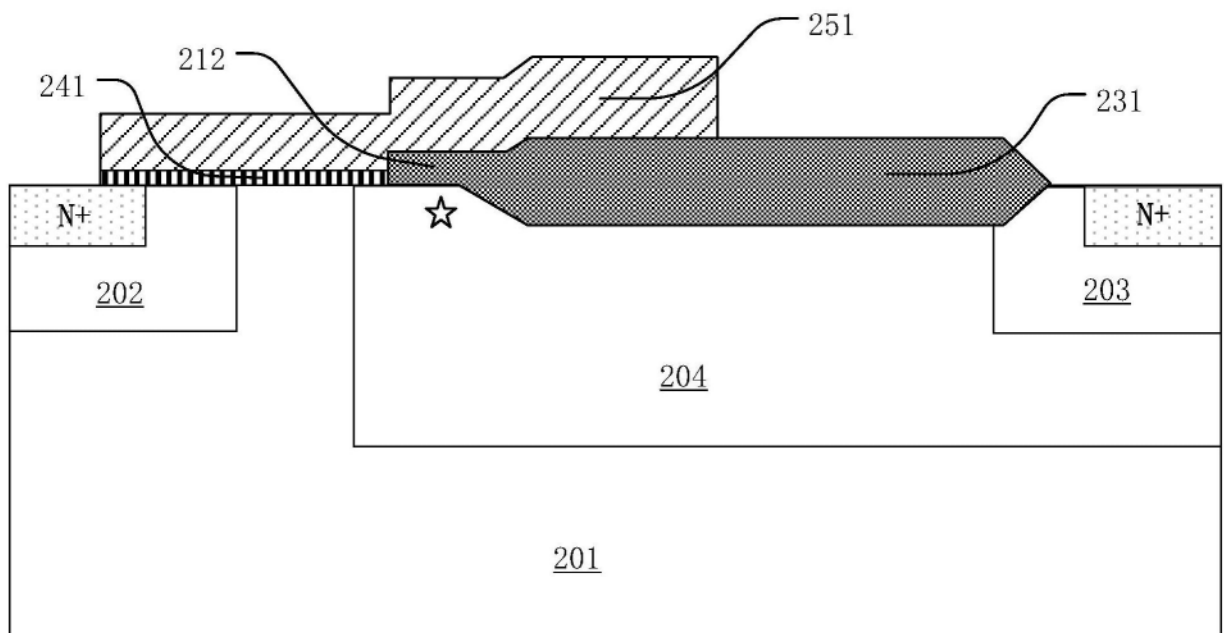


图2

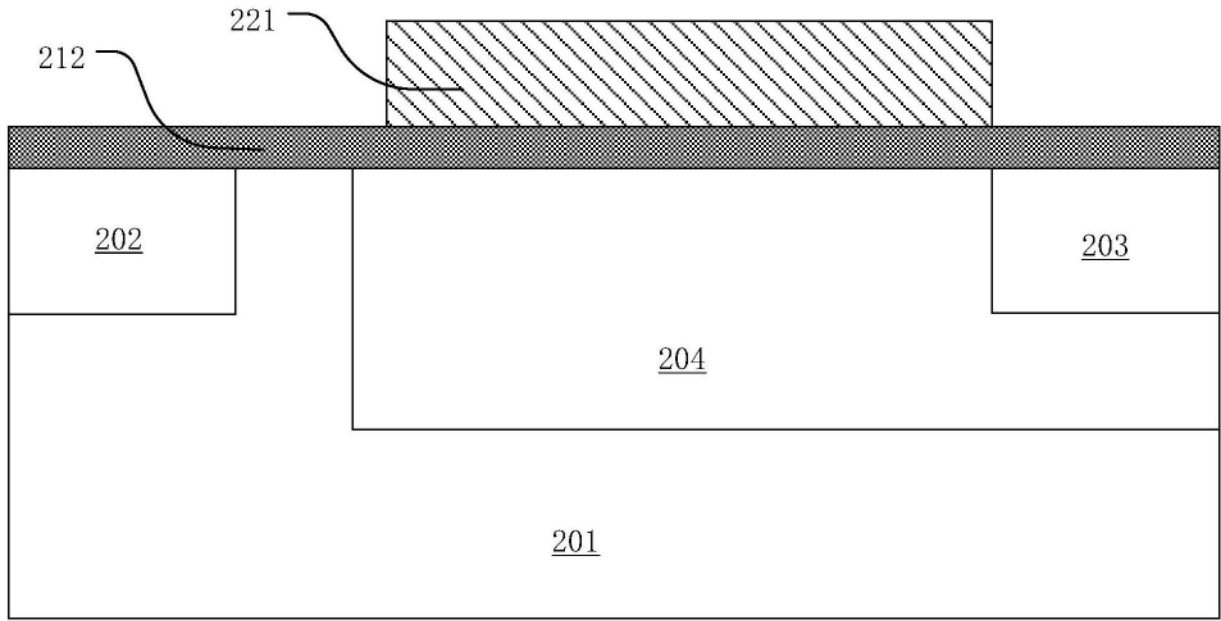


图3a

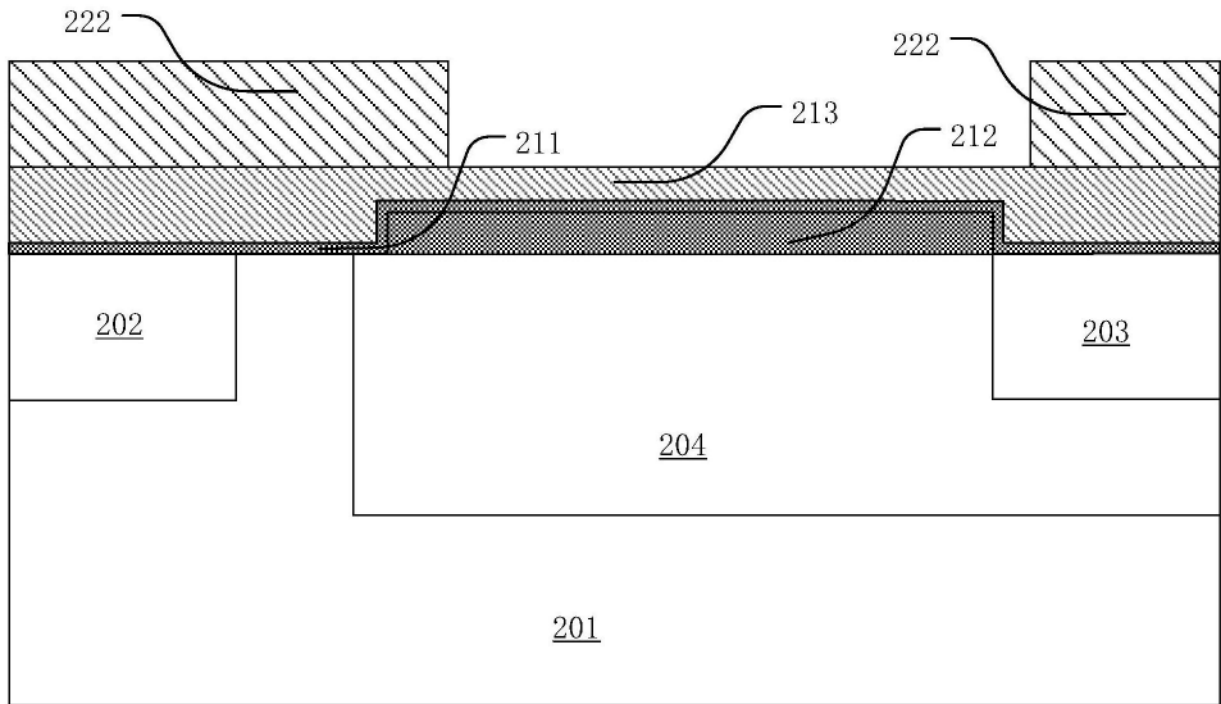


图3b

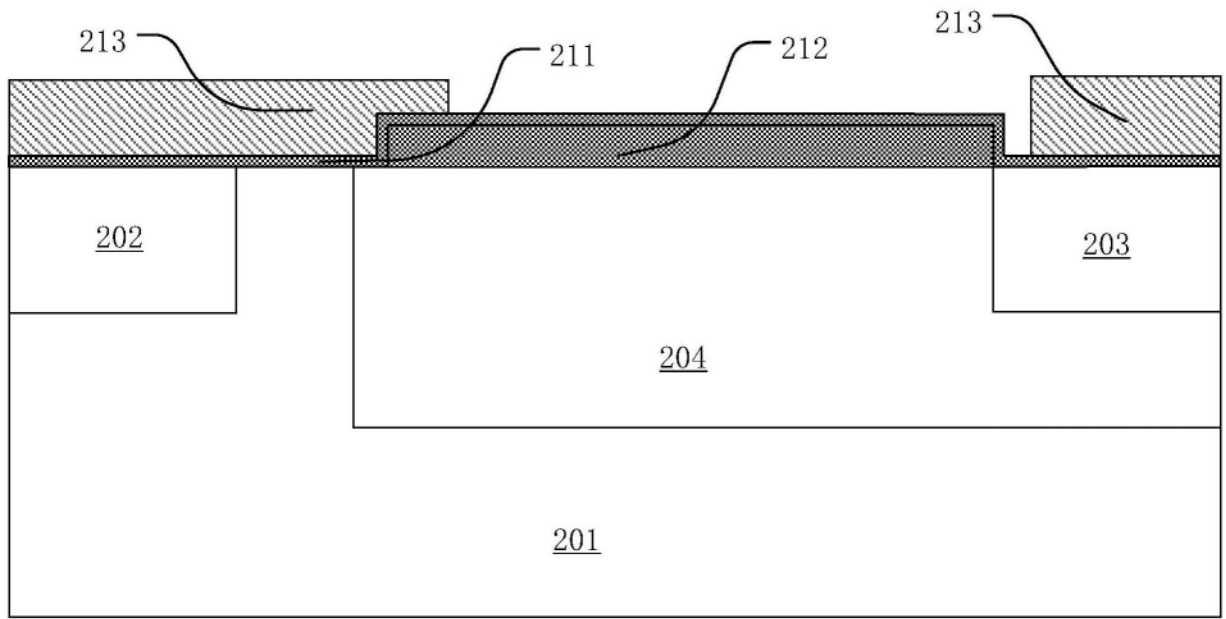


图3c

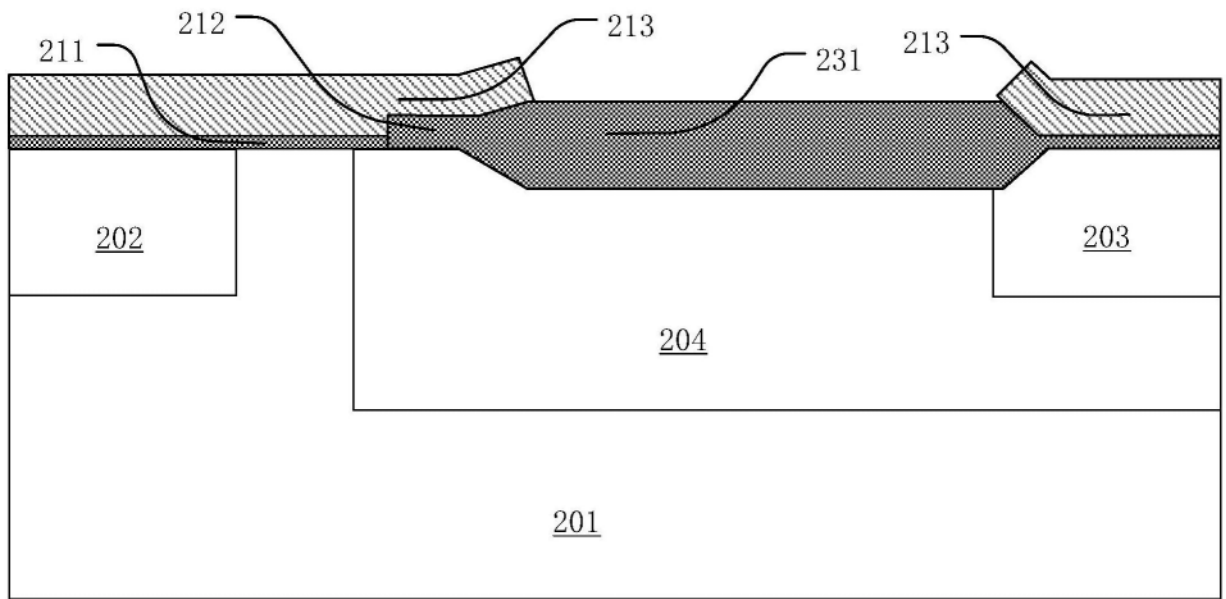


图3d

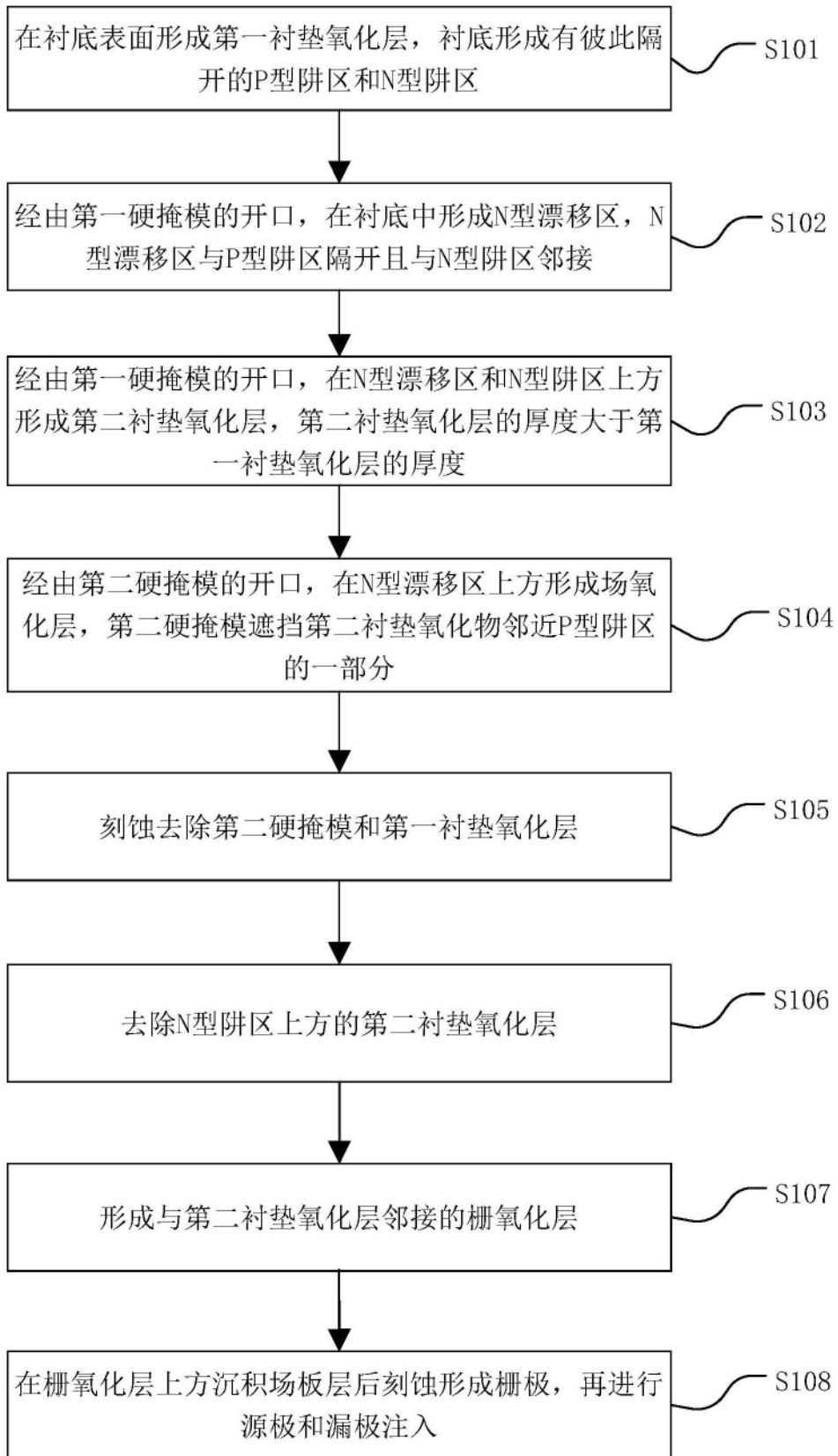


图4

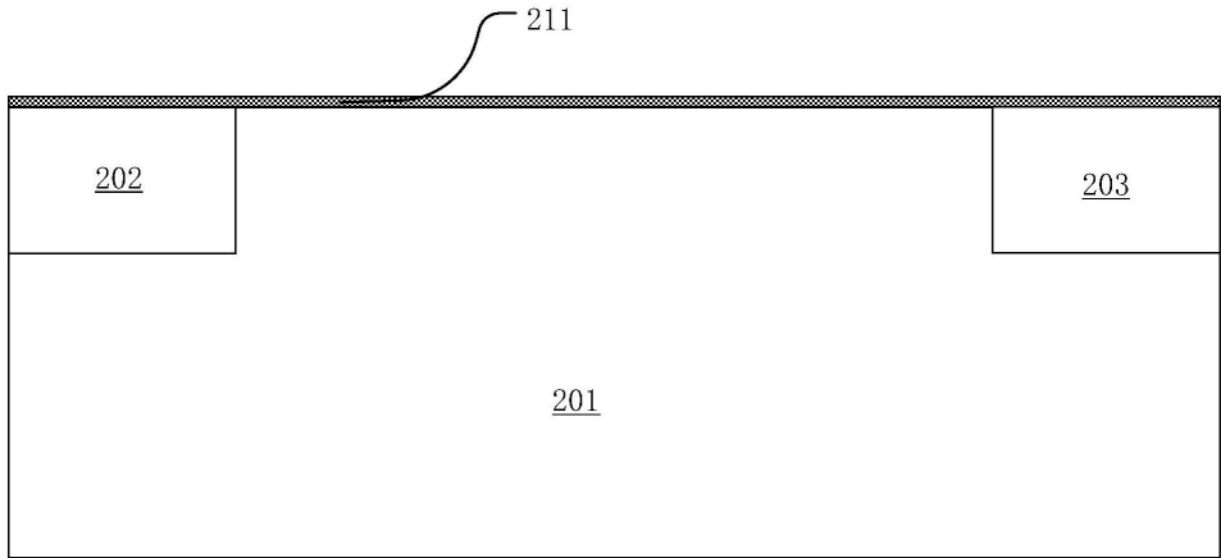


图5a

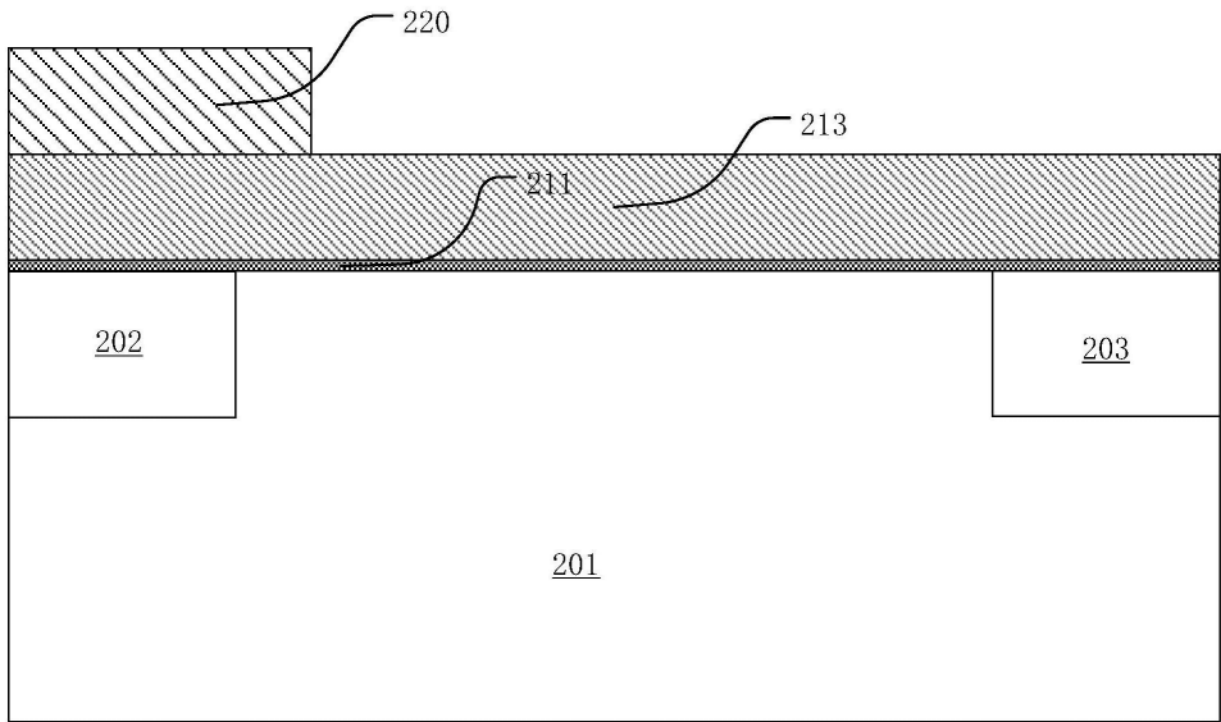


图5b

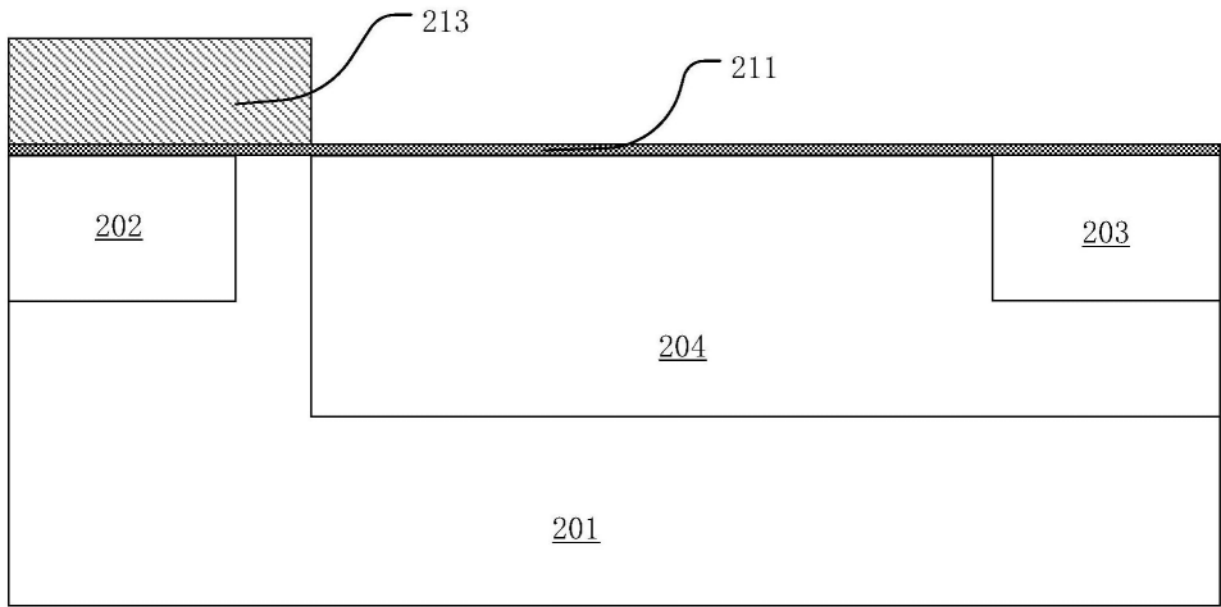


图5c

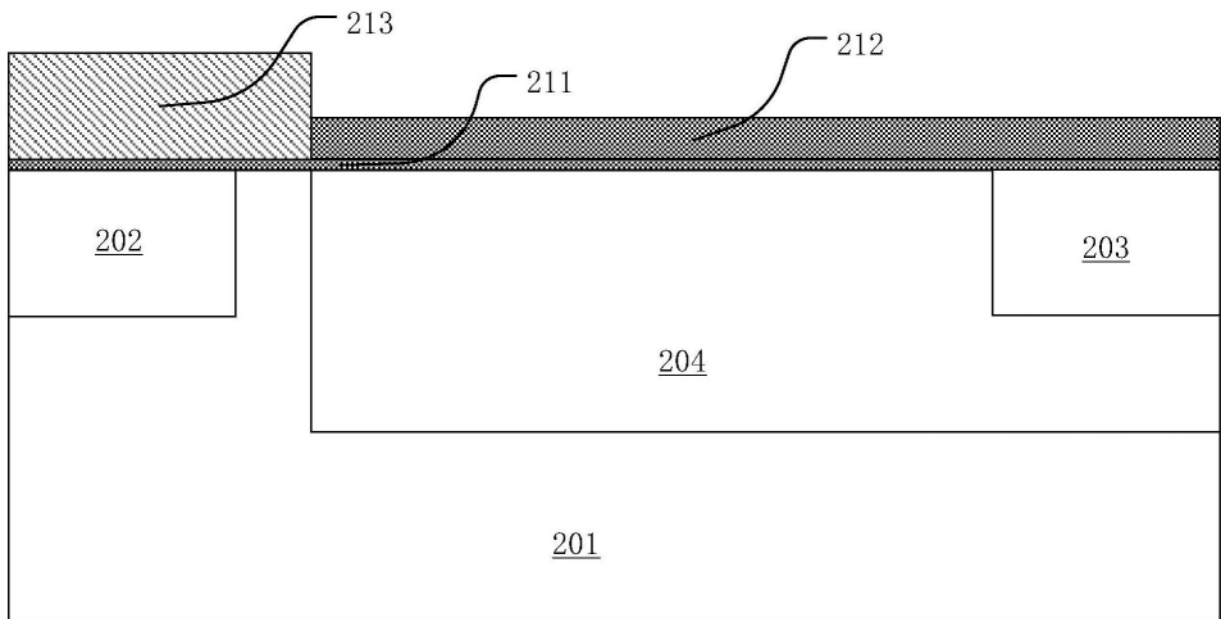


图5d

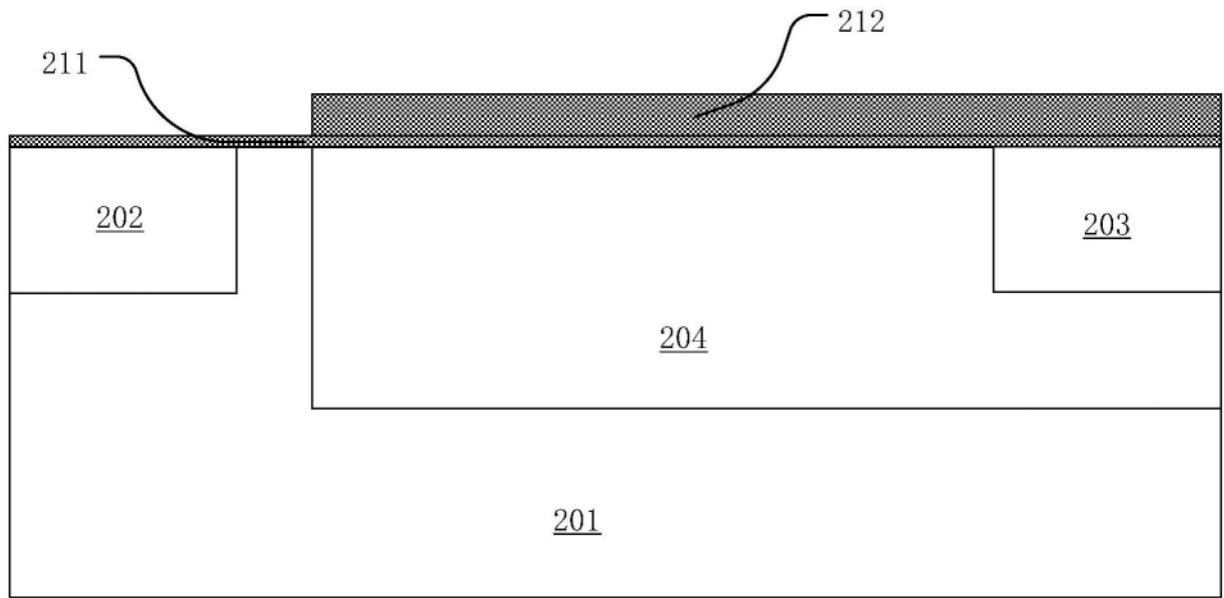


图5e

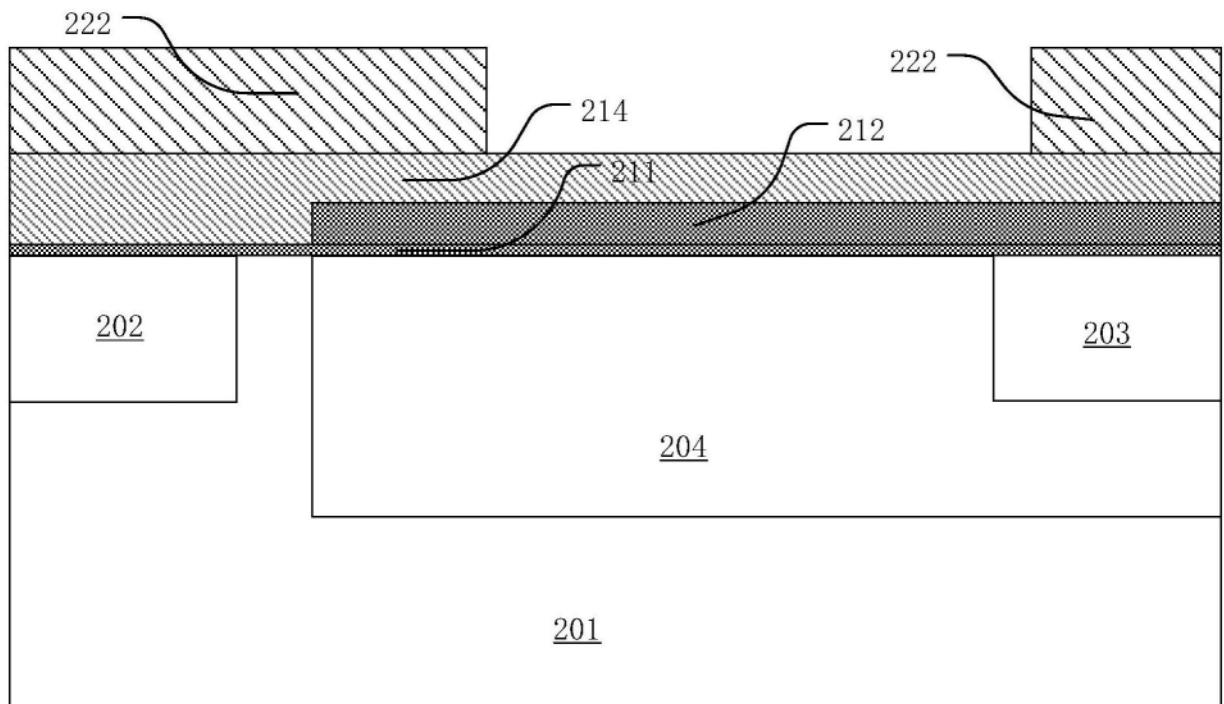


图5f

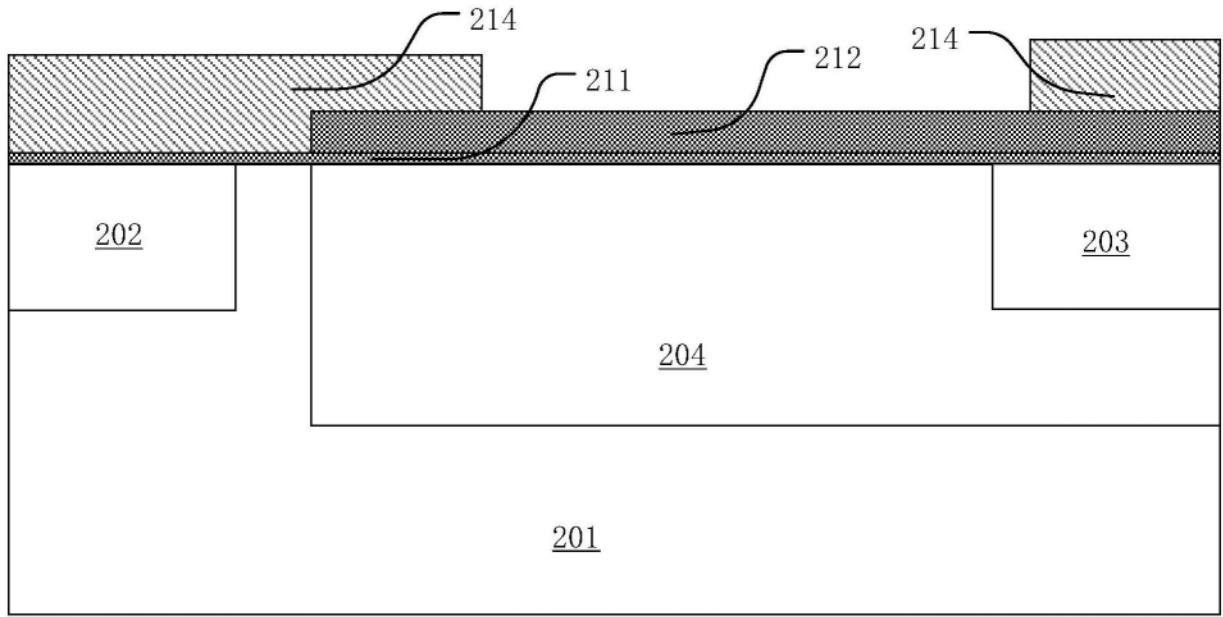


图5g

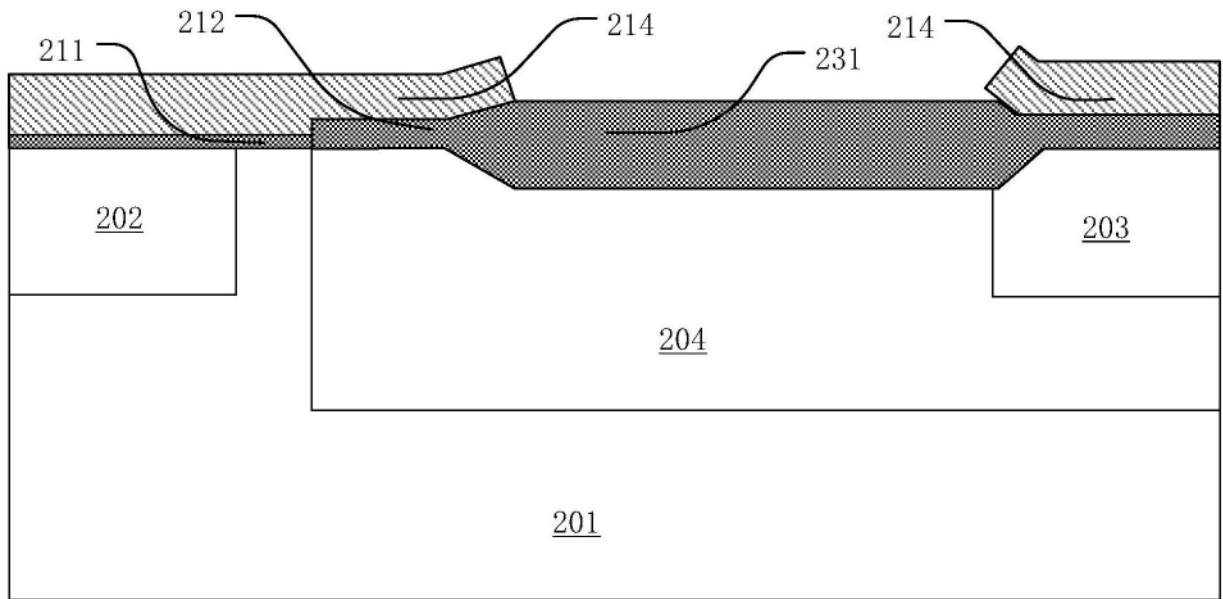


图5h

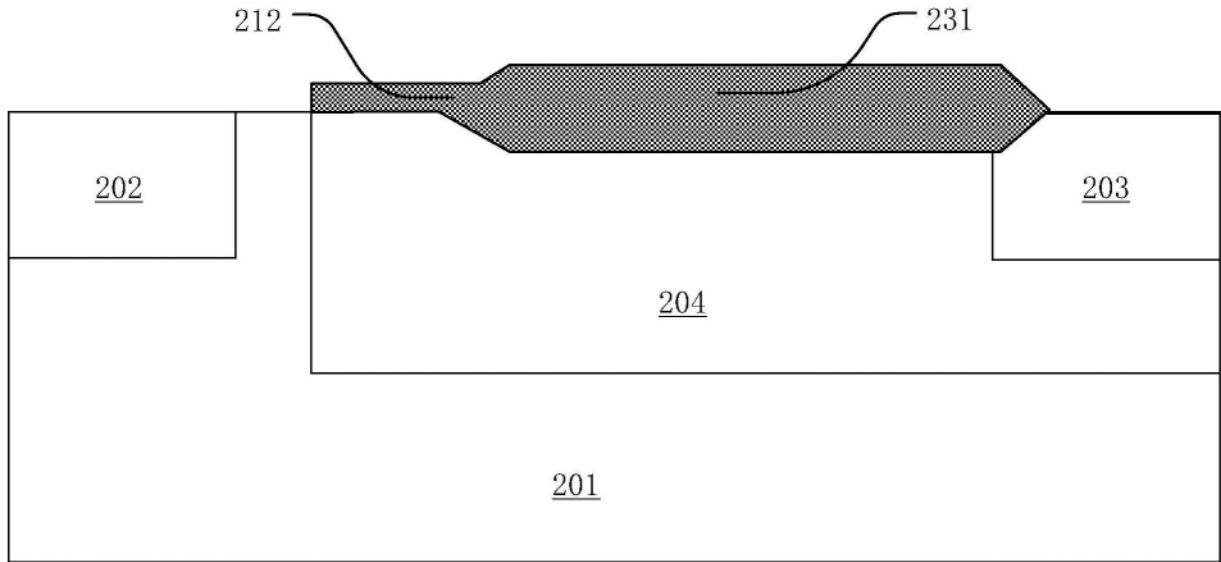


图5i

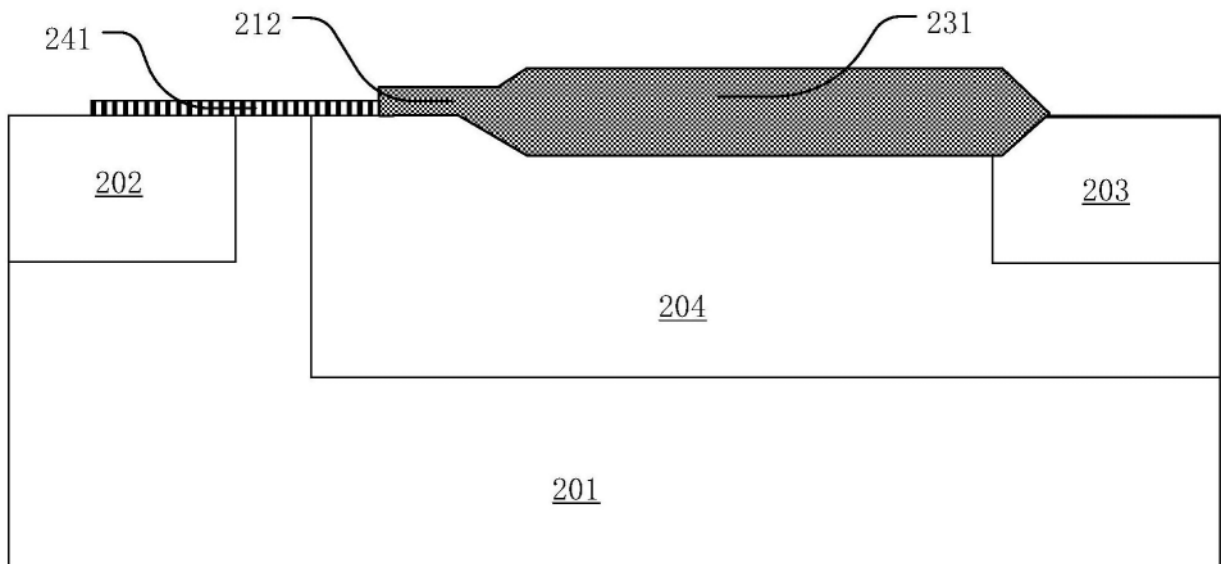


图5j