



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0075030
(43) 공개일자 2022년06월07일

(51) 국제특허분류(Int. Cl.)

H01L 23/538 (2006.01) H01L 23/31 (2006.01)
H01L 23/48 (2006.01) H01L 23/485 (2006.01)
H01L 23/50 (2006.01) H01L 23/525 (2006.01)
H01L 25/065 (2006.01)

(52) CPC특허분류

H01L 23/5389 (2013.01)
H01L 23/3135 (2013.01)

(21) 출원번호 10-2020-0161370

(22) 출원일자 2020년11월26일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박상천

경기도 화성시 동탄숲속로 103, 804동 402호 (능동, 동탄숲속마을 자연엔 경남아너스빌 5블럭)

김대우

경기도 성남시 분당구 동판교로 155, 703동 1704호 (삼평동, 붓들마을7단지아파트)

(뒷면에 계속)

(74) 대리인

특허법인 고려

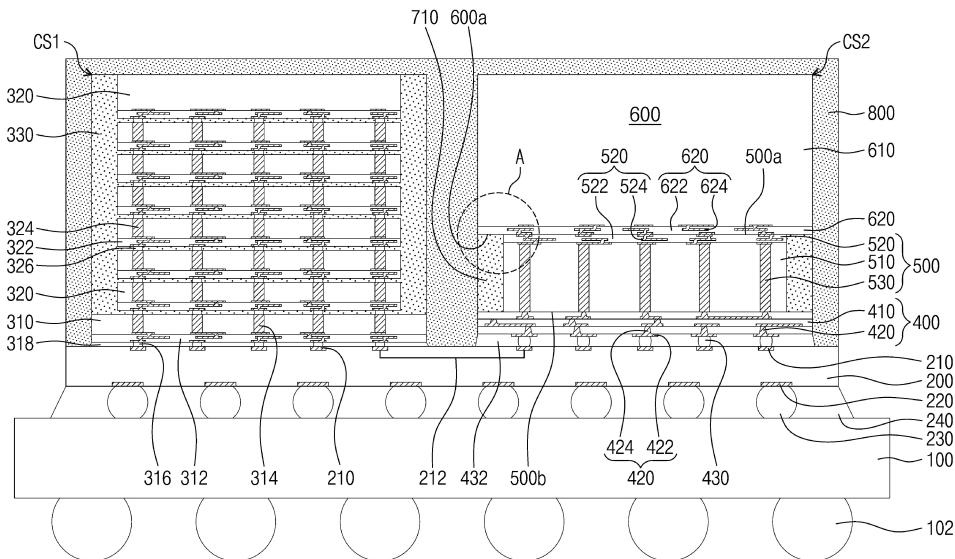
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 패키지

(57) 요약

재배선 기관, 상기 재배선 기관 상의 제 1 메모리 칩, 상기 제 1 메모리 칩은 제 1 베이스층, 상기 제 1 베이스층의 상부면 상에 제공되는 제 1 회로층, 및 상기 제 1 베이스층을 관통하여 상기 제 1 회로층 및 상기 재배선 기관에 연결되는 제 1 비아를 포함하는 반도체 패키지를 제공하되, 상기 제 1 메모리 칩 상에 실장되는 로직 칩, 및 상기 제 1 메모리 칩을 둘러싸는 제 1 몰딩부를 포함하고, 상기 제 1 몰딩부의 외측면은 상기 로직 칩의 측면과 공면을 이루고, 상기 로직 칩과 상기 제 1 메모리 칩의 계면 상에서 상기 제 1 메모리 칩의 상기 제 1 회로층에 제공되는 제 1 칩 패드와 상기 로직 칩의 제 2 칩 패드는 동일한 물질로 이루어진 일체를 구성할 수 있다.

대표도



(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 23/485 (2013.01)

H01L 23/50 (2013.01)

H01L 23/525 (2013.01)

H01L 23/5386 (2013.01)

H01L 25/0655 (2013.01)

H01L 25/0657 (2013.01)

(72) 발명자

김태훈

충청남도 아산시 탕정면 탕정면로 37

이혁재

경기도 화성시 동탄반석로 231 (석우동 , 동탄예당
마을 롯데캐슬) 145동 1201호

명세서

청구범위

청구항 1

재배선 기관;

상기 재배선 기관 상의 제 1 메모리 칩, 상기 제 1 메모리 칩은 제 1 베이스층, 상기 제 1 베이스층의 상부면 상에 제공되는 제 1 회로층, 및 상기 제 1 베이스층을 관통하여 상기 제 1 회로층 및 상기 재배선 기관에 연결되는 제 1 비아를 포함하고;

상기 제 1 메모리 칩 상에 실장되는 로직 칩; 및

상기 제 1 메모리 칩을 둘러싸는 제 1 몰딩부를 포함하되,

상기 제 1 몰딩부의 외측면은 상기 로직 칩의 측면과 공면(coplanar)을 이루고,

상기 로직 칩과 상기 제 1 메모리 칩의 계면 상에서 상기 제 1 메모리 칩의 상기 제 1 회로층에 제공되는 제 1 칩 패드와 상기 로직 칩의 제 2 칩 패드는 동일한 물질로 이루어진 일체를 구성하는 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 제 1 메모리 칩은 상기 로직 칩과 수직으로 오버랩(overlap)되되,

상기 로직 칩의 폭은 상기 제 1 메모리 칩의 폭보다 큰 반도체 패키지.

청구항 3

제 1 항에 있어서,

상기 제 1 몰딩부는 상기 로직 칩과 상기 재배선 기관 사이에 개재되는 반도체 패키지.

청구항 4

제 1 항에 있어서,

상기 제 1 몰딩부는 상기 제 1 메모리 칩의 측면을 덮고, 상기 로직 칩의 하부면과 접하는 반도체 패키지.

청구항 5

제 1 항에 있어서,

상기 재배선 기관과 상기 제 1 메모리 칩 사이에 제공되는 제 2 메모리 칩을 포함하되,

상기 제 2 메모리 칩은 제 2 베이스층, 상기 제 2 베이스층의 상부면 상에 제공되는 제 2 회로층, 및 상기 제 2 베이스층을 관통하여 상기 제 2 회로층 및 상기 재배선 기관에 연결되는 제 2 비아를 포함하는 반도체 패키지.

청구항 6

제 5 항에 있어서,

상기 제 1 메모리 칩과 상기 제 2 메모리 칩의 계면 상에서 상기 제 2 메모리 칩의 상기 제 2 회로층에 제공되는 제 3 칩 패드와 상기 제 1 메모리 칩의 제 1 비아는 동일한 물질로 이루어진 일체를 구성하는 반도체 패키지.

청구항 7

제 5 항에 있어서,

상기 재배선 기관과 상기 제 1 몰딩부 사이에서, 상기 제 2 메모리 칩을 둘러싸는 제 2 몰딩부를 포함하되,
상기 제 2 몰딩부와 상기 제 1 몰딩부의 계면은 상기 제 2 메모리 칩과 상기 제 1 메모리 칩의 계면과 동일한
평면 상에 위치하는 반도체 패키지.

청구항 8

제 5 항에 있어서,
상기 제 1 메모리 칩의 폭과 상기 제 2 메모리 칩의 폭은 동일하고,
상기 제 1 메모리 칩과 상기 제 2 메모리 칩은 수직으로 정렬되는 반도체 패키지.

청구항 9

제 1 항에 있어서,
상기 제 1 메모리 칩의 폭과 상기 재배선 기관의 폭은 동일하되, 상기 제 1 메모리 칩과 상기 재배선 기관은 수
직으로 정렬되고,
상기 제 1 몰딩부는 상기 재배선 기관의 측면 상으로 연장되어 상기 재배선 기관의 측면을 덮는 반도체 패키지.

청구항 10

제 1 항에 있어서,
상기 제 1 메모리 칩의 폭과 상기 재배선 기관의 폭은 동일하되, 상기 제 1 메모리 칩과 상기 재배선 기관은 수
직으로 정렬되고,
상기 제 1 몰딩부는 상기 재배선 기관의 상부면보다 높은 레벨에 위치하여, 상기 재배선 기관의 측면을 노출시
키는 반도체 패키지.

청구항 11

제 1 항에 있어서,
상기 재배선 기관은:
절연층;
상기 절연층 내에서 수평으로 연장되는 배선 패턴; 및
상기 절연층을 수직으로 관통하고, 상기 배선 패턴과 상기 제 1 메모리 칩의 상기 제 1 비아를 연결하는 비아
패턴을 포함하는 반도체 패키지.

청구항 12

제 1 항에 있어서,
상기 재배선 기관이 실장되는 인터포저 기관; 및
상기 인터포저 기관 상에서 상기 재배선 기관과 수평으로 이격되어 배치되고, 수직으로 적층되는 복수의 반도체
칩들을 포함하는 칩 스택을 더 포함하는 반도체 패키지.

청구항 13

재배선 기관;
상기 재배선 기관 상에서 페이스 업(face up)으로 배치되는 제 1 메모리 칩;
상기 제 1 메모리 칩 상에서 페이스 다운(face down)으로 배치되는 로직 칩;
상기 제 1 메모리 칩 상에서 상기 로직 칩을 둘러싸는 제 1 몰딩부; 및

상기 재배선 기관의 아래에 제공되는 연결 단자를 포함하되,

상기 로직 칩의 폭은 상기 제 1 메모리 칩의 폭보다 작고,

상기 로직 칩과 상기 제 1 메모리 칩의 계면 상에서 상기 제 1 메모리 칩의 활성면에 제공되는 제 1 칩 패드와 상기 로직 칩의 활성면에 제공되는 제 2 칩 패드는 서로 접하여, 동일한 물질로 이루어진 일체를 구성하고,

상기 재배선 기관은 절연층 내에서 수평으로 연장되는 배선 패턴, 및 상기 절연층을 수직으로 관통하여 상기 배선 패턴에 연결되는 비아 패턴을 포함하고,

상기 제 1 메모리 칩을 수직으로 관통하는 제 1 비아는 상기 재배선 기관의 상기 비아 패턴에 접속되는 반도체 패키지.

청구항 14

제 13 항에 있어서,

상기 제 1 몰딩부의 외측면, 상기 제 1 메모리 칩의 측면 및 상기 재배선 기관의 측면은 공면(coplanar)을 이루는 반도체 패키지.

청구항 15

제 13 항에 있어서,

상기 제 1 메모리 칩의 상기 활성면과 상기 로직 칩의 상기 활성면은 서로 접하는 반도체 패키지.

청구항 16

제 13 항에 있어서,

상기 재배선 기관과 상기 제 1 메모리 칩 사이에서 페이스 업으로 배치되는 제 2 메모리 칩을 포함하되,

상기 제 2 메모리 칩을 수직으로 관통하는 제 2 비아는 상기 재배선 기관의 상기 비아 패턴에 접속되고,

상기 제 1 메모리 칩과 상기 제 2 메모리 칩의 계면 상에서 상기 제 2 메모리 칩의 활성면에 제공되는 제 3 칩 패드와 상기 제 1 메모리 칩의 상기 제 1 비아는 동일한 물질로 이루어진 일체를 구성하는 반도체 패키지.

청구항 17

제 16 항에 있어서,

상기 제 1 메모리 칩의 상기 폭과 상기 제 2 메모리 칩의 폭은 동일하고,

상기 제 1 메모리 칩과 상기 제 2 메모리 칩은 수직으로 정렬되는 반도체 패키지.

청구항 18

인터포저 기관:

상기 인터포저 기관 상에 제공되고, 수직으로 적층되는 복수의 제 1 반도체 칩들을 포함하는 제 1 칩 스택; 및

상기 인터포저 기관 상에서, 상기 제 1 칩 스택과 수평으로 이격되어 배치되는 제 2 칩 스택을 포함하되,

상기 제 2 칩 스택은:

상기 인터포저 기관 상에 연결 단자를 이용하여 실장되는 재배선 기관;

상기 재배선 기관 상에 배치되는 제 2 반도체 칩, 상기 제 2 반도체 칩은 제 1 베이스층 및 상기 제 1 베이스층 상의 제 1 회로층을 포함하고;

상기 제 2 반도체 칩 상에 실장되는 제 3 반도체 칩, 상기 제 3 반도체 칩은 제 2 베이스층 및 상기 제 2 베이스층 아래에서 상기 제 1 회로층과 접하는 제 2 회로층을 포함하고; 및

상기 재배선 기관 상에서 상기 제 2 반도체 칩을 둘러싸는 몰딩부를 포함하되,
 상기 제 1 회로층의 배선 패턴과 상기 제 2 회로층의 배선 패턴은 동일한 물질로 이루어진 일체를 구성하고,
 상기 제 2 반도체 칩의 폭은 상기 제 3 반도체 칩의 폭보다 작은 반도체 패키지.

청구항 19

제 18 항에 있어서,
 상기 몰딩부의 외측면은 상기 제 3 반도체 칩의 측면과 수직으로 정렬되는 반도체 패키지.

청구항 20

제 18 항에 있어서,
 상기 제 2 반도체 칩은 상기 제 1 베이스층을 수직으로 관통하여 상기 제 1 회로층에 접속되는 비아를 포함하고,
 상기 비아는 상기 재배선 기관의 배선 패턴에 접속되는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것으로, 상세하게는 적층형 반도체 패키지에 관한 것이다.

배경 기술

[0002] 전자 산업의 발달로 전자 부품의 고기능화, 고속화 및 소형화 요구가 증대되고 있다. 이러한 추세에 대응하여, 최근의 패키징 기술은 하나의 패키지 내에 복수의 반도체 칩들을 탑재하는 방향으로 진행되고 있다.

[0003] 최근 전자제품 시장은 휴대용 장치의 수요가 급격하게 증가하고 있으며, 이로 인하여 이들 제품에 실장되는 전자 부품들의 소형화 및 경량화가 지속적으로 요구되고 있다. 이러한 전자 부품들의 소형화 및 경량화를 실현하기 위해서는 실장 부품의 개별 사이즈를 감소시키는 기술뿐만 아니라, 다수의 개별 소자들을 하나의 패키지로 집적하는 반도체 패키지 기술이 요구된다. 특히, 고주파 신호를 취급하는 반도체 패키지는 소형화뿐만 아니라 전기적 특성을 우수하게 구현할 것이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 구조적 안정성 및 전기적 특성이 향상된 반도체 패키지를 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 소형화된 반도체 패키지를 제공하는데 있다.

[0006] 본 발명이 해결하고자 하는 또 다른 과제는 열 방출이 용이한 반도체 패키지를 제공하는데 있다.

[0007] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 반도체 패키지는 재배선 기관, 상기 재배선 기관 상의 제 1 메모리 칩, 상기 제 1 메모리 칩은 제 1 베이스층, 상기 제 1 베이스층의 상부면 상에 제공되는 제 1 회로층, 및 상기 제 1 베이스층을 관통하여 상기 제 1 회로층 및 상기 재배선 기관에 연결되는 제 1 비아를 포함하고, 상기 제 1 메모리 칩 상에 실장되는 로직 칩, 및 상기 제 1 메모리 칩을 둘러싸는 제 1 몰딩부를 포함할 수 있다. 상기 제 1 몰딩부의 외측면은 상기 로직 칩의 측면과 공면을 이룰 수 있다. 상기 로직 칩과 상

기 제 1 메모리 칩의 계면 상에서 상기 제 1 메모리 칩의 상기 제 1 회로층에 제공되는 제 1 칩 패드와 상기 로직 칩의 제 2 칩 패드는 동일한 물질로 이루어진 일체를 구성할 수 있다.

[0009] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 반도체 패키지는 재배선 기관, 상기 재배선 기관 상에서 페이스 업으로 배치되는 제 1 메모리 칩, 상기 제 1 메모리 칩 상에서 페이스 다운으로 배치되는 로직 칩, 상기 제 1 메모리 칩 상에서 상기 로직 칩을 둘러싸는 제 1 몰딩부, 및 상기 재배선 기관의 아래에 제공되는 연결 단자를 포함할 수 있다. 상기 로직 칩의 폭은 상기 제 1 메모리 칩의 폭보다 작을 수 있다. 상기 로직 칩과 상기 제 1 메모리 칩의 계면 상에서 상기 제 1 메모리 칩의 활성면에 제공되는 제 1 칩 패드와 상기 로직 칩의 활성면에 제공되는 제 2 칩 패드는 서로 접하여, 동일한 물질로 이루어진 일체를 구성할 수 있다. 상기 재배선 기관은 절연층 내에서 수평으로 연장되는 배선 패턴, 및 상기 절연층을 수직으로 관통하여 상기 배선 패턴에 연결되는 비아 패턴을 포함할 수 있다. 상기 제 1 메모리 칩을 수직으로 관통하는 제 1 비아는 상기 재배선 기관의 상기 비아 패턴에 접속될 수 있다.

[0010] 상술한 기술적 과제들을 해결하기 위한 본 발명의 실시예들에 따른 반도체 패키지는 인터포저 기관, 상기 인터포저 기관 상에 제공되고, 수직으로 적층되는 복수의 제 1 반도체 칩들을 포함하는 제 1 칩 스택, 및 상기 인터포저 기관 상에서, 상기 제 1 칩 스택과 수평으로 이격되어 배치되는 제 2 칩 스택을 포함할 수 있다. 상기 제 2 칩 스택은 상기 인터포저 기관 상에 연결 단자를 이용하여 실장되는 재배선 기관, 상기 재배선 기관 상에 배치되는 제 2 반도체 칩, 상기 제 2 반도체 칩은 제 1 베이스층 및 상기 제 1 베이스층 상의 제 1 회로층을 포함하고, 상기 제 2 반도체 칩 상에 실장되는 제 3 반도체 칩, 상기 제 3 반도체 칩은 제 2 베이스층 및 상기 제 2 베이스층 아래에서 상기 제 1 회로층과 접하는 제 2 회로층을 포함하고, 및 상기 재배선 기관 상에서 상기 제 2 반도체 칩을 둘러싸는 몰딩부를 포함할 수 있다. 상기 제 1 회로층의 배선 패턴과 상기 제 2 회로층의 배선 패턴은 동일한 물질로 이루어진 일체를 구성할 수 있다. 상기 제 2 반도체 칩의 폭은 상기 제 3 반도체 칩의 폭보다 작을 수 있다.

발명의 효과

[0011] 본 발명의 실시예들에 따른 반도체 패키지는 제 1 회로 패턴과 제 2 회로 패턴이 일체로 구성됨에 따라 제 2 반도체 칩과 제 3 반도체 칩은 견고하게 접합될 수 있으며, 반도체 패키지의 전기적 특성 및 구조적 안정성이 향상될 수 있다.

[0012] 더하여, 제 2 반도체 칩과 제 3 반도체 칩이 직접 접합됨에 따라, 제 2 반도체 칩과 제 3 반도체 칩이 그들 사이에 제공되는 별도의 접속 단자 및 접속 단자를 보호하는 보호재가 제공되지 않을 수 있다. 따라서, 제 2 칩 스택의 높이가 낮을 수 있으며, 소형화된 반도체 패키지가 제공될 수 있다. 또한, 제 2 반도체 칩과 제 3 반도체 칩에서 발생하는 열이 제 3 반도체 칩의 상부로 용이하게 배출될 수 있다. 더하여, 제 2 몰딩막이 제 3 반도체 칩의 측면을 노출시킬 수 있다. 이에 따라, 열의 발생이 많은 제 3 반도체 칩에서 발생하는 열이 용이하게 배출될 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
- 도 2는 도 1의 A 영역을 확대 도시한 도면이다.
- 도 3 내지 도 5는 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도들이다.
- 도 6은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
- 도 7은 도 6의 B 영역을 확대 도시한 도면이다.
- 도 8은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.
- 도 9 내지 도 19는 본 발명의 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.
- 도 20 내지 도 22는 본 발명의 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.
- 도 23 내지 도 27은 본 발명의 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 도면들 참조하여 본 발명의 개념에 따른 반도체 패키지를 설명한다.
- [0015] 도 1은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다. 도 2는 도 1의 A 영역을 확대 도시한 도면이다. 도 3 및 도 4는 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도들이다.
- [0016] 도 1 및 도 2를 참조하여, 패키지 기판(100)이 제공될 수 있다. 패키지 기판(100)은 그의 상부면에 신호 패턴을 갖는 인쇄 회로 기판(print circuit board: PCB)를 포함할 수 있다. 또는, 패키지 기판(100)은 절연막과 배선층이 교차로 적층된 구조일 수 있다. 패키지 기판(100)은 그의 상부면 상에 배치되는 패드들을 가질 수 있다.
- [0017] 패키지 기판(100)의 아래에 외부 단자들(102) 배치될 수 있다. 상세하게는, 외부 단자들(102)은 패키지 기판(100)의 하부면 상에 배치되는 단자 패드들 상에 배치될 수 있다. 외부 단자들(102)은 솔더 볼(solder ball) 또는 솔더 범프(solder bump)를 포함할 수 있고, 외부 단자들(102)의 종류 및 배치에 따라 반도체 패키지는 볼 그리드 어레이(ball grid array: BGA), 파인 볼 그리드 어레이(fine ball-grid array: FBGA) 또는 랜드 그리드 어레이(land grid array: LGA) 형태로 제공될 수 있다.
- [0018] 패키지 기판(100) 상에 인터포저 기판(200)이 제공될 수 있다. 인터포저 기판(200)은 패키지 기판(100)의 상부면 상에 실장될 수 있다. 인터포저 기판(200)은 인터포저 기판(200)의 상부면에 노출되는 제 1 기판 패드들(210), 및 인터포저 기판(200)의 하부면에 노출되는 제 2 기판 패드들(220)을 포함할 수 있다. 이때, 제 1 기판 패드들(210)의 상부면은 인터포저 기판(200)의 상부면과 공면(coplanar)을 이룰 수 있다. 인터포저 기판(200)은 후술되는 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)을 재배선할 수 있다. 예를 들어, 제 1 기판 패드들(210) 및 제 2 기판 패드들(220)은 인터포저 기판(200) 내의 회로 배선에 의해 전기적으로 연결되며, 상기 회로 배선과 함께 재배선 회로를 구성할 수 있다. 제 1 기판 패드들(210) 및 제 2 기판 패드들(220)은 금속과 같은 도전 물질을 포함할 수 있다. 예를 들어, 제 1 기판 패드들(210) 및 제 2 기판 패드들(220)은 구리(Cu)를 포함할 수 있다. 인터포저 기판(200)은 절연 물질 또는 실리콘(Si)로 구성될 수 있다. 인터포저 기판(200)이 실리콘(Si)을 포함하는 경우, 인터포저 기판(200)은 그를 수직으로 관통하는 관통 전극을 갖는 실리콘 인터포저 기판일 수 있다.
- [0019] 인터포저 기판(200)의 하부면 상에 기판 단자들(230)이 배치될 수 있다. 기판 단자들(230)은 패키지 기판(100)의 상기 패드들과 인터포저 기판(200)의 제 2 기판 패드들(220) 사이에 제공될 수 있다. 기판 단자들(230)은 인터포저 기판(200)을 패키지 기판(100)에 전기적으로 연결시킬 수 있다. 예를 들어, 인터포저 기판(200)은 패키지 기판(100)에 플립 칩(flip chip) 방식으로 실장될 수 있다. 기판 단자들(230)은 솔더 볼 또는 솔더 범프 등을 포함할 수 있다.
- [0020] 패키지 기판(100)과 인터포저 기판(200) 사이에 제 1 언더필(under fill) 막(240)이 제공될 수 있다. 제 1 언더필 막(240)은 패키지 기판(100)과 인터포저 기판(200) 사이의 공간을 채우고, 기판 단자들(230)을 둘러쌀 수 있다.
- [0021] 인터포저 기판(200) 상에 제 1 칩 스택(CS1)이 배치될 수 있다. 제 1 칩 스택(CS1)은 복수의 메모리 칩들(memory chips)을 포함하고, 반도체 패키지의 메모리를 제공하기 위하여 제공되는 칩 스택일 수 있다. 예를 들어, 제 1 칩 스택(CS1)은 베이스 기판, 상기 베이스 기판 상에 적층되는 메모리 칩들인 제 1 반도체 칩들(320), 및 제 1 반도체 칩들(320)을 둘러싸는 제 1 몰딩막(330)을 포함할 수 있다. 이하, 제 1 칩 스택(CS1)의 구성을 상세히 설명한다.
- [0022] 상기 베이스 기판은 베이스 반도체 칩(310)일 수 있다. 예를 들어, 상기 베이스 기판은 실리콘과 같은 반도체로 만들어진 웨이퍼 레벨의 반도체 기판일 수 있다. 이하, 베이스 반도체 칩(310)은 상기 베이스 기판과 동일한 구성 요소를 지칭하는 것이며, 상기 베이스 반도체 칩과 베이스 기판과 동일한 참조 번호를 사용할 수 있다. 베이스 반도체 칩(310)의 두께는 40um 내지 100um일 수 있다.
- [0023] 베이스 반도체 칩(310)은 베이스 회로층(312) 및 베이스 관통 전극(314)을 포함할 수 있다. 베이스 회로층(312)은 베이스 반도체 칩(310)의 하부면 상에 제공될 수 있다. 베이스 회로층(312)은 집적 회로를 포함할 수 있다. 예를 들어, 베이스 회로층(312)은 메모리 회로일 수 있다. 즉, 베이스 반도체 칩(310)은 DRAM, SRAM, MRAM 또는 플래시 메모리와 같은 메모리 칩(memory chip)일 수 있다. 베이스 관통 전극(314)은 인터포저 기판(200)의 상부면에 수직인 방향으로 베이스 반도체 칩(310)을 관통할 수 있다. 베이스 관통 전극(314)과 베이스 회로층(312)은 전기적으로 연결될 수 있다. 베이스 반도체 칩(310)의 하부면은 활성면(active surface)일 수 있다. 도 1에서는 상기 베이스 기판이 베이스 반도체 칩(310)을 포함하는 것으로 도시하였지만, 본 발명이 이에 한정되는 것은 아니다. 본 발명의 실시예들에 따르면, 상기 베이스 기판은 베이스 반도체 칩(310)을 포함하지

않을 수 있다.

- [0024] 베이스 반도체 칩(310)은 보호막 및 제 1 연결 단자(316)를 더 포함할 수 있다. 상기 보호막은 베이스 반도체 칩(310)의 하부면 상에 배치되어, 베이스 회로층(312)을 덮을 수 있다. 상기 보호막은 실리콘 질화물(SiN)을 포함할 수 있다. 제 1 연결 단자들(316)은 베이스 반도체 칩(310)의 하부면 상에 제공될 수 있다. 연결 단자들(316)은 베이스 회로층(312)과 전기적으로 연결될 수 있다. 제 1 연결 단자들(316)은 상기 보호막으로부터 노출될 수 있다.
- [0025] 제 1 반도체 칩(320)은 베이스 반도체 칩(310) 상에 실장될 수 있다. 제 1 반도체 칩(320)의 두께는 40um 내지 100um일 수 있다. 제 1 반도체 칩(320)의 폭은 베이스 반도체 칩(310)의 폭보다 작을 수 있다.
- [0026] 제 1 반도체 칩(320)은 제 1 회로층(322) 및 제 1 관통 전극(324)을 포함할 수 있다. 제 1 회로층(322)은 메모리 회로를 포함할 수 있다. 즉, 제 1 반도체 칩(320)은 DRAM, SRAM, MRAM 또는 플래시 메모리와 같은 메모리 칩(memory chip)일 수 있다. 제 1 회로층(322)은 베이스 회로층(312)과 동일한 회로를 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 제 1 관통 전극(324)은 인터포저 기판(200)의 상부면에 수직인 방향으로 제 1 반도체 칩(320)을 관통할 수 있다. 제 1 관통 전극(324)과 제 1 회로층(322)은 전기적으로 연결될 수 있다. 제 1 반도체 칩(320)의 하부면은 활성면(active surface)일 수 있다. 제 1 반도체 칩(320)의 하부면 상에 제 1 범프들(326)이 제공될 수 있다. 제 1 범프들(326)은 베이스 반도체 칩(310)과 제 1 반도체 칩(320) 사이에서, 베이스 반도체 칩(310) 및 제 1 반도체 칩(320)을 전기적으로 연결시킬 수 있다.
- [0027] 제 1 반도체 칩(320)은 복수로 제공될 수 있다. 예를 들어, 베이스 반도체 칩(310) 상에 복수 개의 제 1 반도체 칩들(320)이 적층될 수 있다. 제 1 반도체 칩들(320)은 8개 내지 32개가 적층될 수 있다. 제 1 범프들(326)은 제 1 반도체 칩들(320) 사이에 더 형성될 수 있다. 이때, 최상단에 배치되는 제 1 반도체 칩(320)은 제 1 관통 전극(324)을 포함하지 않을 수 있다. 또한, 최상단에 배치되는 제 1 반도체 칩(320)의 두께는 그의 아래에 배치되는 제 1 반도체 칩들(320)의 두께보다 두꺼울 수 있다.
- [0028] 도시하지는 않았으나, 접착층이 제 1 반도체 칩들(320) 사이에 제공될 수 있다. 상기 접착층은 비전도성 필름(NCF, non-conductive film)을 포함할 수 있다. 상기 접착층은 제 1 반도체 칩들(320) 사이의 제 1 범프들(326) 사이에 개재되어, 제 1 범프들(326) 간에 전기적 쇼트의 발생을 방지할 수 있다.
- [0029] 베이스 반도체 칩(310)의 상부면 상에 제 1 몰딩막(330)이 배치될 수 있다. 제 1 몰딩막(330)은 베이스 반도체 칩(310)을 덮을 수 있으며, 제 1 반도체 칩들(320)을 둘러쌀 수 있다. 제 1 몰딩막(330)의 상부면은 최상단의 제 1 반도체 칩(320)의 상부면과 공면을 이룰 수 있으며, 최상단의 제 1 반도체 칩(320)은 제 1 몰딩막(330)으로부터 노출될 수 있다. 제 1 몰딩막(330)은 절연성 폴리머 물질을 포함할 수 있다. 예를 들어, 제 1 몰딩막(330)은 에폭시 몰딩 컴파운드(EMC)를 포함할 수 있다.
- [0030] 상기와 같이 제 1 칩 스택(CS1)이 제공될 수 있다. 제 1 칩 스택(CS1)은 인터포저 기판(200) 상에 실장될 수 있다. 예를 들어, 제 1 칩 스택(CS1)은 베이스 반도체 칩(310)의 제 1 연결 단자들(316)을 통해 인터포저 기판(200)의 제 1 기판 패드들(210)에 접속될 수 있다.
- [0031] 인터포저 기판(200)과 제 1 칩 스택(CS1) 사이에 제 2 언더필(under fill) 막(318)이 제공될 수 있다. 제 2 언더필 막(318)은 인터포저 기판(200)과 베이스 반도체 칩(310) 사이의 공간을 채우고, 제 1 연결 단자들(316)을 둘러쌀 수 있다.
- [0032] 인터포저 기판(200) 상에 제 2 칩 스택(CS2)이 배치될 수 있다. 제 2 칩 스택(CS2)은 하나의 로직 칩(logic chip) 및 적어도 하나의 메모리 칩(memory chip)을 포함하고, 반도체 패키지의 구동을 위한 칩 스택일 수 있다. 예를 들어, 제 2 칩 스택(CS2)은 재배선 기판(400), 재배선 기판(400) 상에 배치되는 메모리 칩인 제 2 반도체 칩(500), 및 상기 제 2 반도체 칩(500) 상에 배치되는 로직 칩인 제 3 반도체 칩(600)을 포함할 수 있다. 본 실시예에서는 도 1에 도시된 바와 같이, 제 2 칩 스택(CS2)이 하나의 메모리 칩인 제 2 반도체 칩(500)을 포함하는 것을 기준으로 설명하도록 한다. 이하, 제 2 칩 스택(CS2)의 구성을 상세히 설명한다.
- [0033] 재배선 기판(400)은 서로 적층되는 복수의 재배선층들을 포함할 수 있다.
- [0034] 상기 재배선층들 각각은 절연 패턴(410) 및 절연 패턴(410) 내에 제공되는 도전 패턴(420)을 포함할 수 있다. 어느 하나의 재배선층의 도전 패턴(420)은 인접한 다른 하나의 재배선층의 도전 패턴(420)과 전기적으로 연결될 수 있다. 이하, 하나의 재배선층의 구성을 설명한다.
- [0035] 절연 패턴(410)은 절연성 폴리머 또는 감광성 폴리머(Photoimageable dielectric, PID)를 포함할 수 있다. 예

를 들어, 상기 감광성 폴리머는 감광성 폴리이미드(polyimide), 폴리벤조옥사졸(polybenzoxazole(PBO)), 페놀(phenol)계 폴리머, 및 벤조시클로부텐(benzocyclobutene)계 폴리머 중에서 적어도 하나를 포함할 수 있다. 절연 패턴(410)은 하나의 층으로 구성되거나, 또는 다층 구조로 제공될 수 있다. 절연 패턴(410)이 다층 구조로 제공되는 경우, 상기 층들은 서로 동일한 물질로 구성되거나, 또는 서로 다른 물질로 구성될 수 있다.

[0036] 도전 패턴(420)은 절연 패턴(410) 내에 제공될 수 있다. 도전 패턴(420)은 다마신(damascene) 구조를 가질 수 있다. 도전 패턴(420)은 뒤집어진 T형상의 단면을 가질 수 있다. 예를 들어, 도전 패턴(420)은 서로 일체로 연결되는 헤드 부분(422) 및 테일 부분(424)을 가질 수 있다. 헤드 부분(422)은 후술되는 제 2 반도체 칩(500)의 전기적 연결을 수평적으로 재배선하는 배선 패턴에 해당할 수 있으며, 테일 부분(424)은 상기 재배선층들의 도전 패턴들(420)을 수직으로 연결하는 비아 패턴에 해당할 수 있다. 헤드 부분(422)과 테일 부분(424)은 서로 수직적으로 중첩될 수 있으며, 테일 부분(424)은 헤드 부분(422)으로부터 절연 패턴(410)의 상부면을 향하여 연장될 수 있다. 헤드 부분(422) 및 테일 부분(424)은 그들 사이에 경계면이 없을 수 있다. 도전 패턴(420)의 하부면은 절연 패턴(410)의 하부면과 동일한 레벨에 제공될 수 있다. 최하단에 배치되는 상기 재배선층에서 도전 패턴(420)의 헤드 부분(422)은 재배선 기관(400)의 하부면 상으로 노출될 수 있다. 최하단에 배치되는 상기 재배선층의 도전 패턴(420)의 헤드 부분(422)은 후술되는 제 2 연결 단자들(430)이 접속되는 패드일 수 있다. 최상단에 배치되는 상기 재배선층에서 도전 패턴(420)의 테일 부분(424)은 재배선 기관(400)의 상부면 상으로 노출될 수 있다. 최상단에 배치되는 상기 재배선층의 도전 패턴(420)의 테일 부분(424)은 제 2 반도체 칩(500)이 실장되는 부분일 수 있다. 테일 부분(424)의 상부면은 절연 패턴(410)의 상부면과 동일한 레벨에 제공될 수 있다. 도전 패턴(420)은 도전성 물질을 포함할 수 있다. 예를 들어, 도전 패턴(420)은 구리(Cu)를 포함할 수 있다.

[0037] 도시하지는 않았으나, 절연 패턴(410)과 도전 패턴(420)의 사이에 배리어막이 개재될 수 있다. 상기 배리어막은 도전 패턴(420)의 헤드 부분(422) 및 테일 부분(424)을 둘러쌀 수 있다. 도전 패턴(420)과 절연 패턴(410) 사이의 갭, 즉 상기 배리어막의 두께는 50 Å 내지 1000 Å일 수 있다. 상기 배리어막은 타이타늄(Ti), 탄탈럼(Ta), 타이타늄 질화물(TiN) 또는 탄탈럼 질화물(TaN)을 포함할 수 있다.

[0038] 재배선 기관(400) 아래에 제 2 연결 단자들(430)이 제공될 수 있다. 제 2 연결 단자들(430)은 각각 최하단에 배치되는 상기 재배선층의 도전 패턴(420)에 접속될 수 있다. 제 2 연결 단자들(430)은 솔더 볼 또는 솔더 범프를 포함할 수 있다.

[0039] 재배선 기관(400) 상에 제 2 반도체 칩(500)이 배치될 수 있다. 제 2 반도체 칩(500)은 재배선 기관(400) 상에서 페이스 업(face up)으로 배치될 수 있다.

[0040] 제 2 반도체 칩(500)은 재배선 기관(400)의 상부면 상에 배치될 수 있다. 제 2 반도체 칩(500)은 DRAM, SRAM, MRAM, 또는 플래시 메모리와 같은 메모리 칩(memory chip)일 수 있다. 제 2 반도체 칩(500)은 전면(500a) 및 후면(500b)을 가질 수 있다. 이하 본 명세서에서, 전면이라 함은 반도체 칩 내의 집적 소자의 활성면(active surface) 측의 일면으로, 반도체 칩의 패드들이 형성되는 면으로 정의되고, 후면이라 함은 상기 전면에 대향하는 반대면으로 정의될 수 있다. 제 2 반도체 칩(500)의 후면(500b)은 재배선 기관(400)을 향할 수 있다. 제 2 반도체 칩(500)의 폭은 재배선 기관(400)의 폭보다 작을 수 있다. 제 2 반도체 칩(500)은 제 1 베이스층(510), 제 1 베이스층(510)의 일면에 제공되는 제 1 회로층(520), 및 제 1 베이스층(510)을 관통하는 적어도 하나의 제 1 비아(530)를 포함할 수 있다.

[0041] 제 1 베이스층(510)은 실리콘(Si)을 포함할 수 있다. 제 1 베이스층(510)의 상부에 집적 소자 또는 집적 회로들이 형성될 수 있다. 상기 집적 소자 또는 집적 회로들은 메모리 회로를 포함할 수 있다.

[0042] 제 1 회로층(520)은 제 1 베이스층(510)의 상부면 상에 제공될 수 있다. 제 1 회로층(520)은 제 1 베이스층(510) 내에 형성된 집적 소자 또는 집적 회로들과 전기적으로 연결될 수 있다. 예를 들어, 제 1 회로층(520)은 제 1 절연 패턴(522) 내에 제공되는 제 1 회로 패턴(524)을 가질 수 있으며, 제 1 회로 패턴(524)은 제 1 베이스층(510) 내에 형성된 집적 소자 또는 집적 회로들에 접속될 수 있다. 제 1 회로 패턴(524)의 일부는 제 1 회로층(520)의 상부면 상으로 노출될 수 있으며, 제 1 회로 패턴(524)의 노출되는 일부는 제 2 반도체 칩(500)의 패드에 해당할 수 있다. 제 1 회로층(520)이 제공되는 제 2 반도체 칩(500)의 상부면(500a)은 제 2 반도체 칩(500)의 활성면(active surface)일 수 있다.

[0043] 제 1 비아(530)는 제 1 베이스층(510)을 수직으로 관통할 수 있다. 제 1 비아(530)의 일단은 제 1 베이스층(510)의 하부면 상으로 노출될 수 있다. 이때, 제 1 비아(530)의 하부면은 제 1 베이스층(510)의 하부면, 즉 제 2 반도체 칩(500)의 후면(500b)과 공면(coplanar)을 이룰 수 있으며, 제 1 비아(530)의 하부면과 제 1 베이스층

(510)의 하부면은 실질적으로 평탄(flat)할 수 있다. 제 1 비아(530)의 다른 일단은 제 2 반도체 칩(500)의 전면(500a)을 향해 연장되어, 제 1 회로층(520)과 접할 수 있다. 제 1 비아(530)는 제 1 회로층(520)의 제 1 회로 패턴(524)에 접속될 수 있다.

[0044] 도시하지는 않았으나, 제 1 베이스층(510)의 하부면 상에 패시베이션막이 제공될 수 있다. 상기 패시베이션막은 제 1 베이스층(510)의 하부면을 덮을 수 있으며, 제 1 비아(530)는 상기 패시베이션막을 관통하여 상기 패시베이션막의 하부면 상으로 노출될 수 있다. 상기 패시베이션막은 절연 물질을 포함할 수 있다. 예를 들어, 상기 패시베이션막은 실리콘 질화물(SiN), 실리콘 산화물(SiO) 또는 실리콘 산질화물(SiON)을 포함할 수 있다.

[0045] 제 2 반도체 칩(500)은 재배선 기관(400)에 실장될 수 있다. 예를 들어, 제 2 반도체 칩(500)의 제 1 베이스층(510)은 재배선 기관(400)의 상부면에 접할 수 있다. 이때, 제 2 반도체 칩(500)의 제 1 비아(530)는 최상단에 배치되는 상기 재배선층의 도전 패턴(420)의 테일 부분(424)에 접속될 수 있다.

[0046] 재배선 기관(400)의 상부면 상에 제 2 몰딩막(710)이 배치될 수 있다. 제 2 몰딩막(710)은 재배선 기관(400)의 상부면을 덮을 수 있다. 제 2 몰딩막(710)은 제 2 반도체 칩(500)의 일 측면에 인접하여 배치될 수 있다. 상세하게는, 제 2 몰딩막(710)은 제 2 반도체 칩(500)의 양 측면들에 인접하여 배치될 수 있고, 즉 제 2 몰딩막(710)은 제 2 반도체 칩(500)을 둘러쌀 수 있다. 제 2 몰딩막(710)은 제 2 반도체 칩(500)의 측면들을 덮을 수 있다. 제 2 몰딩막(710)은 제 2 반도체 칩(500)을 보호할 수 있다. 이때, 제 2 몰딩막(710)은 제 2 반도체 칩(500)의 전면(500a)을 노출시킬 수 있다. 제 2 몰딩막(710)의 상부면은 제 2 반도체 칩(500)의 전면(500a)과 공면(coplanar)을 이룰 수 있으며, 제 2 몰딩막(710)의 상부면과 제 2 반도체 칩(500)의 전면(500a)은 실질적으로 평탄할 수 있다. 제 2 몰딩막(710)의 측면은 재배선 기관(400)의 측면과 수직으로 정렬될 수 있다. 예를 들어, 제 2 몰딩막(710)의 측면과 재배선 기관(400)의 측면은 동일한 평면상에 위치할 수 있다. 제 2 몰딩막(710)은 절연성 물질을 포함할 수 있다. 예를 들어, 제 2 몰딩막(710)은 폴리이미드(polyimide)와 같은 절삭성이 높은 절연 물질을 포함할 수 있다.

[0047] 도 1에 도시된 바와는 다르게, 제 2 반도체 칩(500)의 폭은 재배선 기관(400)의 폭과 동일할 수 있으며, 제 2 반도체 칩(500)의 측면은 재배선 기관(400)의 측면과 수직으로 정렬될 수 있다. 도 3에 도시된 바와 같이, 제 2 몰딩막(710)은 제 2 반도체 칩(500)을 둘러쌀 수 있다. 제 2 몰딩막(710)은 후술되는 제 3 반도체 칩(600)의 하부면(600a)에 접할 수 있다. 제 2 몰딩막(710)의 하부면은 제 2 반도체 칩(500)의 하부면과 동일한 레벨에 위치할 수 있다. 이에 따라, 재배선 기관(400)의 측면은 노출될 수 있다. 이와는 다르게, 도 4에 도시된 바와 같이, 제 2 몰딩막(710)의 재배선 기관(400)의 측면 상으로 연장될 수 있다. 이에 따라, 제 2 몰딩막(710)은 제 2 반도체 칩(500) 및 재배선 기관(400)을 보호할 수 있다. 제 2 몰딩막(710)의 하부면은 재배선 기관(400)의 하부면과 동일한 레벨에 위치할 수 있다. 이하 도 1의 실시예를 기준으로 계속 설명하도록 한다.

[0048] 도 1 및 도 2를 계속 참조하여, 제 2 반도체 칩(500) 상에 제 3 반도체 칩(600)이 배치될 수 있다. 제 3 반도체 칩(600)은 제 2 반도체 칩(500) 상에서 페이스 다운(face down)으로 배치될 수 있다. 제 3 반도체 칩(600)은 로직 칩(logic chip)일 수 있다. 제 3 반도체 칩(600)은 전면(600a) 및 후면을 가질 수 있다. 제 3 반도체 칩(600)의 전면(600a)은 제 2 반도체 칩(500)을 향할 수 있다. 제 3 반도체 칩(600)의 폭은 재배선 기관(400)의 폭과 동일할 수 있다. 제 3 반도체 칩(600)의 측면은 재배선 기관(400)의 측면 및 제 2 몰딩막(710)의 외측면과 수직으로 정렬될 수 있다. 예를 들어, 제 2 반도체 칩(500)의 측면은 제 3 반도체 칩(600)의 측면 및 재배선 기관(400)의 측면으로부터 함몰된 형상일 수 있다. 제 2 몰딩막(710)은 제 3 반도체 칩(600)의 전면(600a)과 재배선 기관(400)의 상부면에 접할 수 있다. 제 3 반도체 칩(600)은 제 2 베이스층(610) 및 제 2 베이스층(610)의 일면에 제공되는 제 2 회로층(620)을 포함할 수 있다.

[0049] 제 2 베이스층(610)은 실리콘(Si)을 포함할 수 있다. 제 2 베이스층(610)의 하부에 집적 소자 또는 집적 회로들이 형성될 수 있다. 상기 집적 소자 또는 집적 회로들은 로직 회로를 포함할 수 있다.

[0050] 제 2 회로층(620)은 제 2 베이스층(610)의 하부면 상에 제공될 수 있다. 제 2 회로층(620)은 제 2 베이스층(610) 내에 형성된 집적 소자 또는 집적 회로들과 전기적으로 연결될 수 있다. 예를 들어, 제 2 회로층(620)은 제 2 절연 패턴(622) 내에 제공되는 제 2 회로 패턴(624)을 가질 수 있으며, 제 2 회로 패턴(624)은 제 2 베이스층(610) 내에 형성된 집적 소자 또는 집적 회로들에 접속될 수 있다. 제 2 회로 패턴(624)의 일부는 제 2 회로층(620)의 하부면 상으로 노출될 수 있으며, 제 2 회로 패턴(624)의 노출되는 일부는 제 3 반도체 칩(600)의 패드에 해당할 수 있다. 제 2 회로층(620)이 제공되는 제 3 반도체 칩(600)의 하부면(600a)은 제 3 반도체 칩(600)의 활성면(active surface)일 수 있다.

- [0051] 제 3 반도체 칩(600)은 제 2 반도체 칩(500)과 칩 온 웨이퍼(COW, chip on wafer) 구조를 이룰 수 있다. 제 2 반도체 칩(500)의 폭은 제 3 반도체 칩(600)의 폭보다 작을 수 있다. 예를 들어, 제 2 반도체 칩(500)의 폭은 제 3 반도체 칩(600)의 폭의 0.6배보다 크고, 1배보다 작을 수 있다. 제 2 반도체 칩(500)과 제 3 반도체 칩(600)은 집적 접할 수 있다. 즉, 제 2 반도체 칩(500)과 제 3 반도체 칩(600)의 경계 상에서, 제 2 반도체 칩(500)의 제 1 회로층(520)의 상부면과 제 3 반도체 칩(600)의 제 2 회로층(620)의 하부면은 서로 접할 수 있다. 제 1 회로층(520)과 제 2 회로층(620)은 하이브리드 본딩(hybrid bonding)을 이룰 수 있다. 본 명세서에서, 하이브리드 본딩이란 동종 물질을 포함하는 두 구성물이 그들의 계면에서 융합하는 본딩을 의미한다. 예를 들어, 제 1 회로층(520)의 제 1 회로 패턴(524)과 제 2 회로층(620)의 제 2 회로 패턴(624)은 연속적인 구성을 가질 수 있고, 제 1 회로 패턴(524)과 제 2 회로 패턴(624) 사이의 경계면(IF)은 시각적으로 보이지 않을 수 있다. 예를 들어, 제 1 절연 패턴(522)과 제 2 절연 패턴(622)의 경계에서 서로 접하는 제 1 회로 패턴(524)과 제 2 회로 패턴(624)은 동일한 물질로 구성되어, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 계면(IF)이 없을 수 있다. 즉, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)은 하나의 구성 요소로 제공될 수 있다. 이에 따라, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)은 연속적인 구성을 가질 수 있다. 제 1 회로 패턴(524)과 제 2 회로 패턴(624)을 통해 제 2 반도체 칩(500)과 제 3 반도체 칩(600)은 서로 전기적으로 연결될 수 있다.
- [0052] 본 발명의 실시예들에 따르면, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 일체로 구성됨에 따라 제 2 반도체 칩(500)과 제 3 반도체 칩(600)은 견고하게 접합될 수 있으며, 반도체 패키지의 전기적 특성 및 구조적 안정성이 향상될 수 있다.
- [0053] 제 2 반도체 칩(500)과 제 3 반도체 칩(600)이 직접 접합됨에 따라, 제 2 반도체 칩(500)과 제 3 반도체 칩(600)이 그들 사이에 제공되는 별도의 접속 단자 및 접속 단자를 보호하는 보호재가 제공되지 않을 수 있다. 따라서, 제 2 칩 스택(CS2)의 높이가 낮을 수 있으며, 소형화된 반도체 패키지가 제공될 수 있다. 또한, 제 2 반도체 칩(500)과 제 3 반도체 칩(600)에서 발생하는 열이 제 3 반도체 칩(600)의 상부로 용이하게 배출될 수 있다. 더하여, 제 2 몰딩막(710)이 제 3 반도체 칩(600)의 측면을 노출시킬 수 있다. 이에 따라, 열의 발생이 많은 제 3 반도체 칩(600)에서 발생하는 열이 용이하게 배출될 수 있다.
- [0054] 상기와 같이 제 2 칩 스택(CS2)이 제공될 수 있다. 제 2 칩 스택(CS2)은 인터포저 기관(200) 상에 실장될 수 있다. 예를 들어, 제 2 칩 스택(CS2)은 재배선 기관(400)의 제 2 연결 단자들(340)을 통해 인터포저 기관(200)의 제 1 기관 패드들(210)에 접속될 수 있다. 제 2 칩 스택(CS2)의 상부면, 즉 제 3 반도체 칩(600)의 상부면은 제 1 칩 스택(CS1)의 상부면과 동일한 레벨에 제공될 수 있다.
- [0055] 인터포저 기관(200)과 제 2 칩 스택(CS2) 사이에 제 3 언더필(under fill) 막(432)이 제공될 수 있다. 제 3 언더필 막(432)은 인터포저 기관(200)과 재배선 기관(400) 사이의 공간을 채우고, 제 2 연결 단자들(430)을 둘러쌀 수 있다.
- [0056] 제 1 칩 스택(CS1)과 제 2 칩 스택(CS2)은 인터포저 기관(200) 내의 회로 배선(212)에 의해 전기적으로 연결될 수 있다.
- [0057] 인터포저 기관(200) 상에 제 3 몰딩막(800)이 제공될 수 있다. 제 3 몰딩막(800)은 인터포저 기관(200)의 상부면을 덮을 수 있다. 제 3 몰딩막(800)은 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)을 둘러쌀 수 있다. 제 3 몰딩막(800)은 절연 물질을 포함할 수 있다. 예를 들어, 제 3 몰딩막(800)은 에폭시 몰딩 컴파운드(EMC)를 포함할 수 있다. 도 1에서는 제 3 몰딩막(800)이 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)을 덮는 것으로 도시하였으나, 제 1 칩 스택(CS1)의 상부면과 제 2 칩 스택(CS2)의 상부면은 제 3 몰딩막(800)으로부터 노출될 수 있다.
- [0058] 상기와 같이 반도체 패키지가 제공될 수 있다.
- [0060] 도 5는 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다. 이하의 실시예들에서, 도 1 내지 도 4의 실시예들에서 설명된 구성 요소들은 동일한 참조부호들을 사용하며, 설명의 편의를 위하여 이에 대한 설명들은 생략되거나 간략히 설명한다. 즉, 도 1 내지 도 4의 실시예들과 아래의 실시예들 간의 차이점들을 중심으로 설명한다.
- [0061] 도 5를 참조하여, 제 2 칩 스택(CS2)이 복수의 메모리 칩을 포함할 수 있다. 예를 들어, 제 2 반도체 칩(500)과 제 3 반도체 칩(600) 사이에 제 4 반도체 칩(550)이 더 제공될 수 있다.

- [0062] 제 4 반도체 칩(550)은 제 2 반도체 칩(500)의 상부면 상에 배치될 수 있다. 제 4 반도체 칩(550)은 제 2 반도체 칩(500)과 실질적으로 동일한 반도체 칩을 포함할 수 있다. 제 4 반도체 칩(550)은 DRAM, SRAM, MRAM, 또는 플래시 메모리와 같은 메모리 칩(memory chip)일 수 있다. 제 4 반도체 칩(550)은 전면 및 후면을 가질 수 있다. 제 4 반도체 칩(550)의 상기 후면은 제 2 반도체 칩(500)을 향할 수 있다. 제 4 반도체 칩(550)의 폭은 제 2 반도체 칩(500)의 폭과 동일할 수 있다. 제 4 반도체 칩(550)의 측면은 제 2 반도체 칩(500)의 측면과 수직으로 정렬될 수 있다. 제 4 반도체 칩(550)은 제 3 베이스층(560), 제 3 베이스층(560)의 일면에 제공되는 제 3 회로층(570), 및 제 3 베이스층(560)을 관통하는 적어도 하나의 제 3 비아(580)를 포함할 수 있다.
- [0063] 제 3 베이스층(560)은 실리콘(Si)을 포함할 수 있다. 제 3 베이스층(560)의 상부에 집적 소자 또는 집적 회로들이 형성될 수 있다. 상기 집적 소자 또는 집적 회로들은 메모리 회로를 포함할 수 있다.
- [0064] 제 3 회로층(570)은 제 3 베이스층(560)의 상부면 상에 제공될 수 있다. 제 3 회로층(570)은 제 3 베이스층(560) 내에 형성된 집적 소자 또는 집적 회로들과 전기적으로 연결될 수 있다. 예를 들어, 제 3 회로층(570)은 제 3 절연 패턴(572) 내에 제공되는 제 3 회로 패턴(574)을 가질 수 있으며, 제 3 회로 패턴(574)은 제 3 베이스층(560) 내에 형성된 집적 소자 또는 집적 회로들에 접속될 수 있다. 제 3 회로 패턴(574)의 일부는 제 3 회로층(570)의 상부면 상으로 노출될 수 있으며, 제 3 회로 패턴(574)의 노출되는 일부는 제 4 반도체 칩(550)의 패드에 해당할 수 있다. 제 3 회로층(570)이 제공되는 제 4 반도체 칩(550)의 상기 상부면은 제 4 반도체 칩(550)의 활성면(active surface)일 수 있다.
- [0065] 제 3 비아(580)는 제 3 베이스층(560)을 수직으로 관통할 수 있다. 제 3 비아(580)의 일단은 제 3 베이스층(560)의 하부면 상으로 노출될 수 있다. 이때, 제 3 비아(580)의 하부면은 제 3 베이스층(560)의 하부면, 즉 제 4 반도체 칩(550)의 상기 후면과 공면(coplanar)을 이룰 수 있으며, 제 3 비아(580)의 하부면과 제 3 베이스층(560)의 하부면은 실질적으로 평탄(flat)할 수 있다. 제 3 비아(580)의 다른 일단은 제 4 반도체 칩(550)의 상기 전면을 향해 연장되어, 제 3 회로층(570)과 접할 수 있다. 제 3 비아(580)는 제 3 회로층(570)의 제 3 회로 패턴(574)에 접속될 수 있다.
- [0066] 도시하지는 않았으나, 제 3 베이스층(560)의 하부면 상에 패시베이션막이 제공될 수 있다. 상기 패시베이션막은 제 3 베이스층(560)의 하부면을 덮을 수 있으며, 제 3 비아(580)는 상기 패시베이션막을 관통하여 상기 패시베이션막의 하부면 상으로 노출될 수 있다. 상기 패시베이션막은 절연 물질을 포함할 수 있다.
- [0067] 제 4 반도체 칩(550)은 제 2 반도체 칩(500)에 접합될 수 있다. 예를 들어, 제 4 반도체 칩(550)의 제 3 베이스층(560)은 제 2 반도체 칩(500)의 제 1 회로층(520)의 상부면에 접할 수 있다. 이때, 제 4 반도체 칩(550)의 제 3 비아(580)는 제 2 반도체 칩(500)의 제 1 회로층(520)의 제 1 회로 패턴(522)에 접속될 수 있다. 구체적으로는, 제 2 반도체 칩(500)과 제 4 반도체 칩(550)의 경계 상에서, 제 2 반도체 칩(500)의 제 1 회로층(520)의 상부면과 제 4 반도체 칩(550)의 제 3 비아(580)의 하부면은 서로 접할 수 있다. 제 1 회로층(520)과 제 3 비아(580)는 하이브리드 본딩(hybrid bonding)을 이룰 수 있다. 예를 들어, 제 1 회로층(520)과 제 3 비아(580)는 연속적인 구성을 가질 수 있고, 제 1 회로층(520)과 제 3 비아(580) 사이의 경계면은 시각적으로 보이지 않을 수 있다. 이에 따라, 제 1 회로층(520)과 제 3 비아(580)는 연속적인 구성을 가질 수 있다. 제 1 회로층(520)과 제 3 비아(580)를 통해 제 2 반도체 칩(500)과 제 4 반도체 칩(550)은 서로 전기적으로 연결될 수 있다.
- [0068] 제 2 반도체 칩(500) 상에 제 4 몰딩막(720)이 배치될 수 있다. 제 4 몰딩막(720)은 제 2 몰딩막(710)의 상부면을 덮을 수 있다. 제 4 몰딩막(720)은 제 4 반도체 칩(550)의 일 측면에 인접하여 배치될 수 있다. 상세하게는, 제 4 몰딩막(720)은 제 4 반도체 칩(550)의 양 측면들에 인접하여 배치될 수 있고, 즉 제 4 몰딩막(720)은 제 4 반도체 칩(550)을 둘러쌀 수 있다. 제 4 몰딩막(720)은 제 4 반도체 칩(550)의 측면들을 덮을 수 있다. 제 4 몰딩막(720)은 제 4 반도체 칩(550)을 보호할 수 있다. 이때, 제 4 몰딩막(720)은 제 4 반도체 칩(550)의 상기 전면을 노출시킬 수 있다. 제 4 몰딩막(720)의 상부면은 제 4 반도체 칩(550)의 상기 전면과 공면(coplanar)을 이룰 수 있으며, 제 4 몰딩막(720)의 상부면과 제 4 반도체 칩(550)의 상기 전면은 실질적으로 평탄할 수 있다. 제 4 몰딩막(720)과 제 2 몰딩막(710)의 계면은 제 2 반도체 칩(500)과 제 4 반도체 칩(550)의 계면과 동일한 평면 상에 제공될 수 있다. 제 4 몰딩막(720)의 측면은 제 2 몰딩막(710)의 측면 및 재배선 기판(400)의 측면과 수직으로 정렬될 수 있다. 예를 들어, 제 4 몰딩막(720)의 측면, 제 2 몰딩막(710)의 측면 및 재배선 기판(400)의 측면은 동일한 평면상에 위치할 수 있다. 제 4 몰딩막(720)은 절연성 물질을 포함할 수 있다.
- [0069] 제 3 반도체 칩(600)은 제 4 반도체 칩(550)과 칩 온 웨이퍼(COW, chip on wafer) 구조를 이룰 수 있다. 제 4 반도체 칩(550)의 폭은 제 3 반도체 칩(600)의 폭보다 작을 수 있다. 제 4 반도체 칩(550)과 제 3 반도체 칩(600)은 집적 접할 수 있다. 즉, 제 4 반도체 칩(550)과 제 3 반도체 칩(600)의 경계 상에서, 제 4 반도체 칩

(550)의 제 3 회로층(570)의 상부면과 제 3 반도체 칩(600)의 제 2 회로층(620)의 하부면은 서로 접할 수 있다. 제 3 회로층(570)과 제 2 회로층(620)은 하이브리드 본딩(hybrid bonding)을 이룰 수 있다. 예를 들어, 제 3 회로층(570)의 제 3 회로 패턴(574)과 제 2 회로층(620)의 제 2 회로 패턴(624)은 연속적인 구성을 가질 수 있고, 제 3 회로 패턴(574)과 제 2 회로 패턴(624) 사이의 경계면은 시각적으로 보이지 않을 수 있다. 즉, 제 3 회로 패턴(574)과 제 2 회로 패턴(624)은 하나의 구성 요소로 제공될 수 있다. 제 3 회로 패턴(574)과 제 2 회로 패턴(624)을 통해 제 4 반도체 칩(550)과 제 3 반도체 칩(600)은 서로 전기적으로 연결될 수 있다.

[0071] 도 6은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다. 도 7은 도 6의 B 영역을 확대 도시한 도면이다.

[0072] 도 6 및 도 7을 참조하여, 제 2 반도체 칩(500)의 폭은 재배선 기판(400)의 폭과 동일할 수 있다. 이때, 제 2 반도체 칩(500)의 측면은 재배선 기판(400)의 측면과 수직으로 정렬될 수 있다. 도 6 및 도 7의 실시예에서, 제 2 반도체 칩(500)을 둘러싸는 제 2 몰딩막(720, 도 1 참조)은 제공되지 않을 수 있다.

[0073] 제 2 반도체 칩(500) 상에 제 3 반도체 칩(600)이 배치될 수 있다. 제 3 반도체 칩(600)의 폭은 재배선 기판(400)의 폭 및 제 2 반도체 칩(500)의 폭보다 작을 수 있다. 예를 들어, 제 3 반도체 칩(600)의 측면은 제 2 반도체 칩(500)의 측면으로부터 함몰된 형상일 수 있다. 제 3 반도체 칩(600)은 제 2 반도체 칩(500) 상에 접합될 수 있다. 도 2에서 설명한 바와 유사하게, 제 3 반도체 칩(600)은 제 2 반도체 칩(500)과 칩 온 웨이퍼(chip on wafer) 구조를 이룰 수 있다. 제 2 반도체 칩(500)의 폭은 제 3 반도체 칩(600)의 폭보다 클 수 있다. 제 2 반도체 칩(500)과 제 3 반도체 칩(600)은 집적 접할 수 있다. 제 1 회로층(520)과 제 2 회로층(620)은 하이브리드 본딩(hybrid bonding)을 이룰 수 있다.

[0074] 제 2 반도체 칩(500)의 상부면 상에 제 5 몰딩막(730)이 배치될 수 있다. 제 5 몰딩막(730)은 제 2 반도체 칩(500)의 상부면을 덮을 수 있다. 제 5 몰딩막(730)은 제 3 반도체 칩(600)의 일 측면에 인접하여 배치될 수 있다. 상세하게는, 제 5 몰딩막(730)은 제 3 반도체 칩(600)의 양 측면들에 인접하여 배치될 수 있고, 즉 제 5 몰딩막(730)은 제 3 반도체 칩(600)을 둘러쌀 수 있다. 제 5 몰딩막(730)은 제 3 반도체 칩(600)의 측면들을 덮을 수 있다. 제 5 몰딩막(730)은 제 3 반도체 칩(600)을 보호할 수 있다. 이때, 제 5 몰딩막(730)은 제 3 반도체 칩(600)의 상기 후면을 노출시킬 수 있다. 제 5 몰딩막(730)의 하부면은 제 3 반도체 칩(600)의 상기 전면과 공면(coplanar)을 이룰 수 있으며, 제 5 몰딩막(730)의 하부면과 제 3 반도체 칩(600)의 상기 전면은 실질적으로 평탄할 수 있다. 제 5 몰딩막(730)의 측면은 제 2 반도체 칩(500)의 측면과 수직으로 정렬될 수 있다. 예를 들어, 제 5 몰딩막(730)의 측면, 제 2 반도체 칩(500)의 측면 및 재배선 기판(400)의 측면은 동일한 평면상에 위치할 수 있다. 제 5 몰딩막(730)은 절연성 물질을 포함할 수 있다.

[0076] 도 8은 본 발명의 실시예들에 따른 반도체 패키지를 설명하기 위한 단면도이다.

[0077] 도 8을 참조하여, 제 1 칩 스택(CS1)은 복수로 제공될 수 있다. 제 1 칩 스택들(CS1)은 서로 이격되어 배치될 수 있다. 제 2 칩 스택(CS2)은 제 1 칩 스택(CS1)들 사이에 배치될 수 있다. 제 1 칩 스택들(CS1)은 도 1을 참조하여 설명한 제 1 칩 스택(CS1)과 동일 및 유사할 수 있다. 예를 들어, 제 1 칩 스택들(CS1)은 베이스 반도체 칩(310), 베이스 반도체 칩(310) 상에 적층된 제 1 반도체 칩들(320) 및 제 1 반도체 칩들(320)을 둘러싸는 제 1 몰딩막(330)을 포함할 수 있다. 제 1 칩 스택들(CS1)과 제 2 칩 스택(CS2)은 인터포저 기판(200) 내의 회로 배선(212)에 의해 전기적으로 연결될 수 있다.

[0079] 도 9 내지 도 19는 본 발명의 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.

[0080] 도 9를 참조하여, 제 1 웨이퍼(WF1)가 제공될 수 있다. 제 1 웨이퍼(WF1)는 반도체 웨이퍼(wafer)일 수 있다. 예를 들어, 제 1 웨이퍼(WF1)는 실리콘 웨이퍼, 게르마늄 웨이퍼 또는 실리콘-게르마늄 웨이퍼일 수 있다. 제 1 웨이퍼(WF1)는 일 방향으로 이격된 제 1 소자 영역들(DR1) 및 제 1 소자 영역들(DR1)을 정의하는 제 1 스크라이브 영역(SR1)을 포함할 수 있다. 제 1 웨이퍼(WF1)의 제 1 소자 영역들(DR1)은 제 3 반도체 칩들(600)이 형성되는 영역일 수 있다. 제 1 웨이퍼(WF1)의 제 1 스크라이브 영역(SR1)은 후술되는 공정에서 제 3 반도체 칩들(600)을 싱글레이션하기 위하여 쏘잉(sawing) 공정이 수행되는 영역일 수 있다.

[0081] 제 3 반도체 칩들(600)이 제 1 웨이퍼(WF1)의 제 1 소자 영역들(DR1) 각각 상에 형성될 수 있다. 제 3 반도체

칩들(600)은 제 1 웨이퍼(WF1)의 상부면 상에 형성될 수 있다. 제 3 반도체 칩들(600)의 집적 회로는 제 1 웨이퍼(WF1)의 상부면에 형성될 수 있다. 제 3 반도체 칩들(600)의 상기 집적 회로는 로직 회로일 수 있다.

[0082] 제 3 반도체 칩들(600)의 제 2 회로층(620)이 제 1 웨이퍼(WF1)의 상부면 상에 형성될 수 있다. 예를 들어, 제 1 웨이퍼(WF1)의 상부면 상에 실리콘 산화물(SiO)과 같은 절연층을 형성한 후, 상기 절연층을 패터닝하여 제 2 절연 패턴(622)의 일부가 형성될 수 있다. 제 2 절연 패턴(622)의 상부면 상에 도전층을 형성한 후, 상기 도전층을 패터닝하여 제 2 회로 패턴(624)이 형성될 수 있다. 제 2 회로 패턴(624)은 제 3 반도체 칩(600)의 상기 집적 회로와 전기적으로 연결될 수 있다. 상기과 같이 절연층의 형성 및 패터닝 공정과 도전층의 형성 및 패터닝 공정을 반복하여 제 2 회로층(620)이 형성될 수 있다.

[0083] 도 10을 참조하여, 제 2 웨이퍼(WF2)가 제공될 수 있다. 제 2 웨이퍼(WF2)는 반도체 웨이퍼(wafer)일 수 있다. 예를 들어, 제 2 웨이퍼(WF2)는 실리콘 웨이퍼, 게르마늄 웨이퍼 또는 실리콘-게르마늄 웨이퍼일 수 있다. 제 2 웨이퍼(WF2)는 일 방향으로 이격된 제 2 소자 영역들(DR2) 및 제 2 소자 영역들(DR2)을 정의하는 제 2 스크라이브 영역(SR2)을 포함할 수 있다. 제 2 웨이퍼(WF2)의 제 2 소자 영역들(DR2)은 제 2 반도체 칩들(500)이 형성되는 영역일 수 있다. 제 2 웨이퍼(WF2)의 제 2 스크라이브 영역(SR2)은 후술되는 공정에서 제 2 반도체 칩들(500)을 싱글레이션하기 위하여 쏘잉(sawing) 공정이 수행되는 영역일 수 있다.

[0084] 제 2 반도체 칩들(500)이 제 2 웨이퍼(WF2)의 제 2 소자 영역들(DR2) 각각 상에 형성될 수 있다. 제 2 반도체 칩들(500)은 제 2 웨이퍼(WF2)의 상부면 상에 형성될 수 있다. 제 2 반도체 칩들(500)의 집적 회로는 제 2 웨이퍼(WF2)의 상부면에 형성될 수 있다. 상기 제 2 반도체 칩(500)의 상기 집적 회로는 메모리 회로일 수 있다.

[0085] 제 2 웨이퍼(WF2)에 홀들이 형성될 수 있다. 상기 홀들은 제 2 웨이퍼(WF2)의 상부면 상에 레이저 드릴링 등의 공정을 수행하여 형성될 수 있다. 또는, 제 2 웨이퍼(WF2)의 상부면 상에 마스크 패턴을 형성한 후, 상기 마스크 패턴을 식각 마스크로 이방성 식각 공정을 수행하여 상기 홀들이 형성될 수 있다. 상기 홀들은 제 2 웨이퍼(WF2)를 수직으로 완전히 관통하지는 않을 수 있다. 즉, 상기 홀들은 제 2 웨이퍼(WF2)의 하부면으로부터 이격 되도록 형성될 수 있다.

[0086] 제 2 웨이퍼(WF2) 내부에 제 1 비아들(530)이 형성될 수 있다. 예를 들어, 제 2 웨이퍼(WF2)의 상부면 상에 도전 물질을 도포 또는 증착할 수 있다. 이때, 상기 도전 물질은 제 2 웨이퍼(WF2)의 상기 홀들을 채울 수 있다. 이후, 제 2 웨이퍼(WF2)의 상부면 상에 위치하는 상기 도전 물질의 일부를 제거할 수 있으며, 상기 도전 물질은 상기 홀들 내에만 잔여할 수 있다.

[0087] 제 2 반도체 칩들(500)의 제 1 회로층(520)이 제 2 웨이퍼(WF2)의 상부면 상에 형성될 수 있다. 예를 들어, 제 2 웨이퍼(WF2)의 상부면 상에 실리콘 산화물(SiO)과 같은 절연층을 형성한 후, 상기 절연층을 패터닝하여 제 1 절연 패턴(522)의 일부가 형성될 수 있다. 제 1 절연 패턴(522)의 상부면 상에 도전층을 형성한 후, 상기 도전층을 패터닝하여 제 1 회로 패턴(524)이 형성될 수 있다. 제 1 회로 패턴(524)은 제 2 반도체 칩(500)의 상기 집적 회로 및 상기 제 1 비아들(530)과 전기적으로 연결될 수 있다. 상기과 같이 절연층의 형성 및 패터닝 공정과 도전층의 형성 및 패터닝 공정을 반복하여 제 1 회로층(520)이 형성될 수 있다.

[0088] 도 11을 참조하여, 도 10의 결과물 상에 싱글레이션(singulation) 공정이 수행될 수 있다. 예를 들어, 제 2 웨이퍼(WF2)의 제 2 스크라이브 영역(SR2, 도 10 참조)을 따라 절단 공정이 수행될 수 있다. 제 2 웨이퍼(WF2)의 제 2 스크라이브 영역(SR2) 상의 제 2 웨이퍼(WF2)가 절단될 수 있다. 이에 따라, 복수의 제 2 반도체 칩들(500)이 서로 분리될 수 있다. 제 2 반도체 칩들(500)의 폭은 제 3 반도체 칩들(600)의 폭보다 작을 수 있다.

[0089] 제 2 반도체 칩들(500)이 제 1 웨이퍼(WF1) 상에 접합될 수 있다. 제 2 반도체 칩들(500)은 제 1 웨이퍼(WF1) 상에 칩 온 웨이퍼(COW, chip on wafer) 방식으로 접합될 수 있다. 상세하게는, 제 1 웨이퍼(WF1)에 형성된 제 3 반도체 칩들(600) 각각 상에 제 2 반도체 칩들(500)이 정렬될 수 있다. 이때, 제 2 반도체 칩들(500)의 측면은 제 1 스크라이브 영역(SR1)으로부터 이격되어 배치될 수 있다. 제 2 반도체 칩들(500)의 제 1 회로층(520)은 제 3 반도체 칩들(600)의 제 2 회로층(620)을 향할 수 있다. 제 2 반도체 칩들(500)이 제 3 반도체 칩들(600)에 접촉될 수 있다. 이때, 제 1 회로층(520)의 노출된 제 1 회로 패턴(524)과 제 2 회로층(620)의 노출된 제 2 회로 패턴(624)은 서로 접할 수 있다. 제 1 회로층(520)의 노출된 제 1 회로 패턴(524)과 제 2 회로층(620)의 노출된 제 2 회로 패턴(624)은 접합될 수 있다. 예를 들어, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)과 결합하여 일체를 형성할 수 있다. 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 결합은 자연적으로 진행될 수 있다. 상세하게는, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)은 동일한 물질(일 예로, 구리(Cu))로 구성될 수 있으며, 서로 접촉된 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 계면에서 표면 활성화(surface activation)에

의한 하이브리드 본딩(hybrid bonding) 프로세스(일 예로, 구리(Cu)-구리(Cu) 하이브리드 본딩)에 의해, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 결합될 수 있다. 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 접합되어, 제 1 회로 패턴(524)과 제 2 회로 패턴(624) 사이의 경계면이 사라질 수 있다.

- [0090] 이때, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 용이한 접합을 위하여, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 표면에 표면 활성화(surface activation) 공정이 수행될 수 있다. 상기 표면 활성화 공정은 플라즈마 공정을 포함할 수 있다. 더하여, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 용이한 접합을 위하여, 제 1 웨이퍼(WF1)에 압력 및 열이 가해질 수 있다. 가해진 압력은 예를 들어, 약 30MPa 미만의 압력을 포함할 수 있고, 가해진 열은 약 100℃ 내지 500℃의 온도에서의 어닐링(annealing) 프로세스를 포함할 수 있다. 대안적으로, 다른 양의 압력 및 열이 하이브리드 본딩 프로세스를 위해 이용될 수 있다.
- [0091] 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 서로 결합되어 일체를 구성할 수 있으며, 이에 따라 제 2 반도체 칩들(500)이 제 1 웨이퍼(WF1)의 제 3 반도체 칩들(600)이 견고하게 결합될 수 있으며, 구조적 안정성이 향상된 반도체 패키지가 제조될 수 있다.
- [0092] 도 12를 참조하여, 제 1 웨이퍼(WF1) 상에 제 2 몰딩막(710)이 형성될 수 있다. 예를 들어, 제 1 웨이퍼(WF1)의 상부면 상에 제 2 반도체 칩들(500)을 매립하도록 몰딩 물질이 도포될 수 있으며, 상기 몰딩 물질이 경화되어 제 2 몰딩막(710)이 형성될 수 있다. 제 2 몰딩막(710)은 제 1 웨이퍼(WF1)의 상부면, 제 2 반도체 칩들(500)의 측면들, 및 제 2 반도체 칩들(500)의 후면들을 덮을 수 있다. 상기 몰딩 물질은 절연성 물질을 포함할 수 있다.
- [0093] 도 13을 참조하여, 제 2 몰딩막(710)의 일부 및 제 2 반도체 칩들(500)의 일부가 제거될 수 있다. 상세하게는, 제 2 반도체 칩들(500)이 박형화(thinning)될 수 있다. 예를 들어, 제 2 몰딩막(710)의 상부면 상에 그라인딩(grinding) 공정 또는 화학적 기계 연마(CMP) 공정이 수행될 수 있다. 이에 따라, 제 2 반도체 칩들(500)의 후면들 및 제 2 몰딩막(710)의 상부면이 평탄해질 수 있다. 상기 박형화 공정에 의해 제 2 몰딩막(710)의 상부 일부가 제거될 수 있으며, 제 2 반도체 칩들(500)의 상부 일부가 함께 제거될 수 있다.
- [0094] 상기 박형화 공정이 수행된 후, 제 2 반도체 칩들(500)의 후면들(500b)은 제 2 몰딩막(710)의 상부면으로부터 노출될 수 있다. 제 2 반도체 칩들(500)의 후면들(500b)과 제 2 몰딩막(710)의 상부면은 실질적으로 평탄(flat)한 공면(coplanar)을 이룰 수 있다. 이때, 제 2 반도체 칩들(500)의 제 1 비아(530)는 제 2 반도체 칩들(500)의 후면(500b)으로 노출될 수 있다. 제 1 비아(530)의 노출된 상부면들은 평탄할 수 있다.
- [0095] 본 발명에 따르면, 제 2 반도체 칩들(500) 및 제 3 반도체 칩들(600)이 결합력이 강한 금속간 접합을 이용하여 접합된 후, 제 2 반도체 칩들(500)에 박형화 공정을 수행할 수 있다. 이에 따라, 제 2 반도체 칩들(500)의 박리 및 파손 등의 위험이 적을 수 있으며, 작은 두께의 제 2 반도체 칩들(500)이 형성될 수 있고, 반도체 패키지의 크기가 소형화될 수 있다.
- [0096] 도 11 내지 도 13에서는 제 2 반도체 칩들(500)이 제 3 반도체 칩들(600)에 접합된 후, 제 2 몰딩막(710)이 형성되는 것을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0097] 도 10의 결과물 상에 싱글레이션(singulation) 공정이 수행될 수 있다. 예를 들어, 제 2 웨이퍼(WF2)의 제 2 스크라이브 영역(SR2) 상의 제 2 웨이퍼(WF2)가 절단될 수 있다. 이에 따라, 복수의 제 2 반도체 칩들(500)이 서로 분리될 수 있다.
- [0098] 도 14를 참조하여, 제 1 캐리어 기판(910)이 제공될 수 있다. 제 1 캐리어 기판(910)은 유리 또는 폴리머를 포함한 절연 기판이거나, 금속을 포함하는 도전성 기판일 수 있다. 제 1 캐리어 기판(910)은 제 1 캐리어 기판(910)의 상부면 상에 접착 부재가 제공될 수 있다. 일 예로, 상기 접착 부재는 접착 테이프를 포함할 수 있다.
- [0099] 제 2 반도체 칩들(500)이 제 1 캐리어 기판(910) 상에 부착될 수 있다. 예를 들어, 제 1 회로층(520)의 일면이 제 1 캐리어 기판(910)의 상기 접착 부재에 부착될 수 있다.
- [0100] 제 1 캐리어 기판(910) 상에 제 2 몰딩막(710)이 형성될 수 있다. 예를 들어, 제 1 캐리어 기판(910)의 상부면 상에 제 2 반도체 칩들(500)을 매립하도록, 절연 물질이 도포될 수 있으며, 상기 몰딩 물질이 경화되어 제 2 몰딩막(710)을 형성할 수 있다. 제 2 몰딩막(710)은 제 2 반도체 칩들(500)의 측면들 및 상부면을 덮을 수 있다.
- [0101] 도 15를 참조하여, 제 2 몰딩막(710)의 일부가 제거될 수 있다. 상세하게는, 제 2 몰딩막(710)이 박형화(thinning)될 수 있다. 예를 들어, 제 2 몰딩막(710)의 상부면 상에 그라인딩(grinding) 공정 또는 화학적 기계적 연마 공정(CMP)이 수행될 수 있다. 이에 따라, 제 2 몰딩막(710)의 상부면이 평탄해질 수 있다. 상기 박형화 공정은 제 2 반도체 칩들(500)의 상부면이 노출될 때까지 수행될 수 있다. 상기 박형화 공정에 의해 제 2 반도체

체 칩들(500)의 상부 일부가 함께 제거될 수 있다.

- [0102] 상기 박형화 공정이 수행된 후, 제 2 반도체 칩들(500)의 제 1 비아(530)는 제 2 몰딩막(710)의 상부면으로부터 노출될 수 있다. 제 2 반도체 칩들(500)의 후면 및, 제 1 비아들(530)의 상부면과 제 2 몰딩막(710)의 상부면은 실질적으로 평탄(flat)한 공면(coplanar)을 이룰 수 있다.
- [0103] 상기 박형화 공정 이후, 제 1 캐리어 기판(910)은 제거될 수 있다. 예를 들어, 상기 접착 부재를 용해시켜 제 1 캐리어 기판(910)을 탈착시키거나, 제 1 캐리어 기판(910)을 물리적으로 제거할 수 있다.
- [0104] 도 13을 다시 참조하여, 도 9의 공정을 통해 제조된 제 1 웨이퍼(WF1) 상에 제 2 반도체 칩들(500)이 접합될 수 있다. 제 1 웨이퍼(WF1)에 형성된 제 3 반도체 칩들(600) 각각 상에 제 2 반도체 칩들(500)이 정렬될 수 있다. 제 2 반도체 칩들(500)의 제 1 회로층(520)은 제 3 반도체 칩들(600)의 제 2 회로층(620)을 향할 수 있다. 제 2 반도체 칩들(500) 및 제 2 몰딩막(710)이 제 3 반도체 칩들(600)에 접촉될 수 있다. 제 1 회로층(520)의 노출된 제 1 회로 패턴(524)과 제 2 회로층(620)의 노출된 제 2 회로 패턴(624)은 접합될 수 있다. 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 결합은 자연적으로 진행될 수 있다. 상세하게는, 서로 접촉된 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 계면에서 표면 활성화(surface activation)에 의한 하이브리드 본딩(hybrid bonding) 프로세스에 의해, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 결합될 수 있다. 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 접합되어, 제 1 회로 패턴(524)과 제 2 회로 패턴(624) 사이의 경계면이 사라질 수 있다. 이하, 도 11 내지 도 13의 공정을 기준으로 계속 설명하도록 한다.
- [0105] 도 16을 참조하여, 도 13의 결과물 상에 재배선 기판(400)이 형성될 수 있다. 상세하게는, 제 2 반도체 칩들(500) 및 제 2 몰딩막(710) 상에 절연 패턴(410)이 형성될 수 있다. 절연 패턴(410)은 절연성 폴리머 또는 감광성 폴리머(Photoimageable dielectric, PID)를 포함할 수 있다. 절연 패턴(410) 내부에 도전 패턴(420)이 형성될 수 있다. 예를 들어, 절연 패턴(410)을 패터닝하여 도전 패턴(420)이 형성되기 위한 개구들을 형성하고, 상기 개구들 내에 시드막을 콘포멀하게 형성하고, 상기 시드막을 시드로 도금 공정을 수행하여 상기 개구들을 채우는 도전 패턴(420)이 형성될 수 있다. 상기와 같이 하나의 재배선층이 형성될 수 있다.
- [0106] 상기 형성된 하나의 재배선층 상에 또 다른 절연 패턴(410)이 형성될 수 있다. 절연 패턴(410)은 스핀 코팅 또는 슬릿 코팅과 같은 코팅 공정에 의해 형성될 수 있다. 절연 패턴(410)은 감광성 폴리머(PID)를 포함할 수 있다. 절연 패턴(410)은 아래에 제공되는 상기 재배선층의 도전 패턴(420)을 노출시키는 제 1 개구 및 상기 제 1 개구 상에서 상기 제 1 개구보다 큰 폭을 갖는 제 2 개구를 가질 수 있다. 상기 제 1 개구 및 상기 제 2 개구에 시드막을 콘포멀하게 형성하고, 상기 시드막을 시드로 도금 공정을 수행하여 상기 개구들을 채우는 도전 패턴(420)이 형성될 수 있다. 상기와 같이 하나의 재배선층 상에 다른 재배선층들이 형성될 수 있다. 최상단에 형성되는 상기 재배선층의 도전 패턴(420)은 절연 패턴(410) 상으로 노출될 수 있다.
- [0107] 상기에서는 재배선 기판(400)을 형성하는 일 예를 설명하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0108] 도 16에서는 재배선 기판(400)이 제 2 반도체 칩들(500) 및 제 2 몰딩막(710) 상에 형성되는 것을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다. 도 18에 도시된 바와 같이, 재배선 기판(400)은 복수로 형성될 수 있으며, 재배선 기판들(400) 각각은 제 2 반도체 칩들(500) 상에 형성될 수 있다. 예를 들어, 절연 패턴(410)의 패터닝 공정 시, 제 2 몰딩막(710) 상에 위치하는 절연 물질이 함께 제거될 수 있다.
- [0109] 도 16을 계속 참조하여, 제 2 연결 단자들(430)이 재배선 기판(400) 상에 형성될 수 있다. 예를 들어, 상기 최상단 재배선층의 노출된 도전 패턴(420) 상에 솔더 볼들 또는 솔더 범프들이 제공될 수 있다.
- [0110] 도 18을 참조하여, 도 16의 결과물 상에 싱귤레이션(singulation) 공정이 수행될 수 있다. 예를 들어, 제 1 웨이퍼(WF1)의 제 1 스크라이브 영역(SR1, 도 16 참조)을 따라 절단 공정이 수행될 수 있다. 제 1 스크라이브 영역(SR1) 상의 재배선 기판(400), 제 2 몰딩막(710) 및 제 1 웨이퍼(WF1)가 순차적으로 절단될 수 있다. 이에 따라, 복수의 제 2 칩 스택들(CS2)이 서로 분리될 수 있다.
- [0111] 도 19를 참조하여, 제 1 칩 스택(CS1)을 형성할 수 있다. 상세하게는, 베이스 반도체 칩들(310)은 실리콘과 같은 반도체로 만들어진 웨이퍼 레벨의 반도체 기판에 형성될 수 있다. 베이스 반도체 칩들(310)은 베이스 회로층(312) 및 베이스 관통 전극(314)을 포함할 수 있다. 베이스 회로층(312)은 베이스 반도체 칩(310)의 하부면 상에 제공될 수 있다. 베이스 반도체 칩(310)의 하부면은 활성면(active surface)일 수 있다.
- [0112] 제 1 반도체 칩들(320)은 베이스 반도체 칩(310) 상에 실장될 수 있다. 제 1 반도체 칩들(320)은 제 1 회로층(322) 및 제 1 관통 전극(324)을 포함할 수 있다. 제 1 반도체 칩들(320)의 하부면은 활성면일 수 있다. 제 1

반도체 칩들(320)의 하부면 상에 제 1 범프들(326)이 제공될 수 있다. 제 1 범프들(326)은 베이스 반도체 칩(310)과 제 1 반도체 칩들(320) 사이에서, 베이스 반도체 칩(310) 및 제 1 반도체 칩들(320)을 전기적으로 연결시킬 수 있다. 각각의 제 1 반도체 칩들(320)은 그들 상에 다른 제 1 반도체 칩들(320)이 적층될 수 있다. 예를 들어, 베이스 반도체 칩(310) 상에 복수 개의 제 1 반도체 칩들(320)이 적층될 수 있다. 이때, 제 1 범프들(326)은 제 1 반도체 칩들(320) 사이에 더 형성될 수 있다.

[0113] 제 1 몰딩막(330)이 베이스 반도체 칩(310)의 상부면 상에 형성되어, 제 1 반도체 칩들(320)을 덮을 수 있다. 제 1 몰딩막(330)의 상부면은 최상단의 제 1 반도체 칩(320)의 상부면보다 높을 수 있다. 평면적 관점에서, 제 1 몰딩막(330)은 제 1 반도체 칩들(320)을 둘러쌀 수 있다. 제 1 몰딩막(330)은 절연성 폴리머 물질을 포함할 수 있다. 예를 들어, 제 1 몰딩막(330)은 에폭시 몰딩 컴파운드(EMC)를 포함할 수 있다.

[0114] 제 1 몰딩막(330)의 일부 및 최상단의 제 1 반도체 칩(320)의 일부가 제거될 수 있다. 상세하게는, 제 1 몰딩막(330)의 상부면 상에 그라인딩 공정이 수행될 수 있다. 제 1 몰딩막(330) 상부의 일부가 제거될 수 있다. 제 1 몰딩막(330)의 상부면은 최상단의 제 1 반도체 칩(320)의 상부면과 공면(coplanar)을 이룰 수 있다.

[0115] 도 1을 다시 참조하여, 도 19의 결과물 상에 싱글레이션(singulation) 공정이 수행될 수 있다. 예를 들어, 제 1 몰딩막(330) 및 베이스 반도체 칩(310)이 절단되어, 제 1 칩 스택들(CS1)이 개별적으로 분리될 수 있다. 즉, 제 1 반도체 칩들(320)의 사이에 위치하는 쏘잉 라인(SL)을 따라, 제 1 몰딩막(330) 및 베이스 반도체 칩(310)이 쏘잉(sawing)되어, 복수의 제 1 반도체 칩들(320)이 서로 분리되고, 복수의 베이스 반도체 칩들(310)이 서로 분리될 수 있다.

[0116] 인터포저 기판(200)이 제공될 수 있다. 인터포저 기판(200)은 인터포저 기판(200)의 상부면 상으로 노출되는 제 1 기판 패드들(210), 및 인터포저 기판(200)의 하부면 상으로 노출되는 제 2 기판 패드들(220)을 포함할 수 있다.

[0117] 인터포저 기판(200) 상에 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)이 실장될 수 있다. 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)은 플립 칩(flip chip) 방식으로 인터포저 기판(200) 상에 실장될 수 있다. 제 1 칩 스택(CS1)의 하부면 상에 제 1 연결 단자들(316)이 제공되고, 제 2 칩 스택(CS2)의 하부면 상에 제 2 연결 단자들(430)이 제공될 수 있다. 제 1 연결 단자들(316) 및 제 2 연결 단자들(430)은 솔더 볼 또는 솔더 범프를 포함할 수 있다. 제 1 칩 스택(CS1)의 하부면 상에 제 1 연결 단자들(316)을 감싸는 제 2 언더필 막(318)이 제공되고, 제 2 칩 스택(CS2)의 하부면 상에 제 2 연결 단자들(430)을 감싸는 제 3 언더필 막(432)이 제공될 수 있다. 예를 들어, 제 2 언더필 막(318) 및 제 3 언더필 막(432)은 비전도성 접착제 또는 비전도성 필름일 수 있다. 제 2 언더필 막(318) 및 제 3 언더필 막(432)이 비도전성 접착제인 경우, 디스펜싱(dispensing)을 통해 액상의 비전도성 접착제를 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2) 상에 도포하는 식으로 형성될 수 있다. 제 2 언더필 막(318) 및 제 3 언더필 막(432)이 비전도성 필름인 경우, 비전도성 필름을 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2) 상에 붙이는 방식으로 형성될 수 있다. 제 1 연결 단자들(316) 및 제 2 연결 단자들(430)은 인터포저 기판(200)의 제 1 기판 패드들(210)에 접속될 수 있다.

[0118] 제 3 몰딩막(800)이 형성될 수 있다. 예를 들어, 인터포저 기판(200) 상에 절연 물질을 도포하여 제 3 몰딩막(800)이 형성될 수 있다. 제 3 몰딩막(800)은 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)을 덮을 수 있다. 다른 실시예들에 따르면 제 3 몰딩막(800)에 그라인딩 공정이 수행될 수 있다. 제 3 몰딩막(800) 상부의 일부가 제거될 수 있다. 제 3 몰딩막(800)의 상부면은 제 1 칩 스택(CS1)의 상부면 및 제 2 칩 스택(CS2)의 상부면과 공면(coplanar)을 이룰 수 있다.

[0119] 인터포저 기판(200)이 패키지 기판(100) 상에 실장될 수 있다. 인터포저 기판(200)은 플립 칩 방식으로 패키지 기판(100)에 실장될 수 있다. 예를 들어, 인터포저 기판의 하부면 상에 기판 단자들(230)이 제공될 수 있다. 기판 단자들(230)은 인터포저 기판(200)의 제 2 기판 패드들(220) 상에 제공될 수 있다. 기판 단자들(230)이 패키지 기판(100)의 패드들에 접속될 수 있다. 인터포저 기판(200)과 패키지 기판 사이에 제 1 언더필 막(240)이 형성될 수 있다. 예를 들어, 인터포저 기판(200)의 하부면 상에 기판 단자들(230)을 감싸는 제 1 언더필 막(240)이 제공된 후, 인터포저 기판(200)이 패키지 기판(100) 상에 실장될 수 있다.

[0120] 패키지 기판(100)의 하부면 상에 외부 단자들(102)이 제공될 수 있다. 상세하게는, 외부 단자들(102)은 패키지 기판(100)의 하부면 상에 배치되는 단자 패드들 상에 배치될 수 있다. 외부 단자들(102)은 솔더 볼(solder ball) 또는 솔더 범프(solder bump)를 포함할 수 있다.

- [0121] 상기와 같이, 도 1의 반도체 패키지가 제조될 수 있다.
- [0123] 도 20 내지 도 22는 본 발명의 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.
- [0124] 도 20을 참조하여, 도 13의 결과물 상에 제 4 반도체 칩들(550)이 제공될 수 있다. 제 4 반도체 칩들(550)을 형성하는 공정은, 도 10을 참조하여 설명한 제 2 반도체 칩들(500)을 형성하는 공정과 동일 또는 유사할 수 있다. 제 4 반도체 칩들(550)은 제 3 베이스층(560), 제 3 베이스층(560)의 전면에 제공되는 제 3 회로층(570), 및 제 3 베이스층(560)을 관통하는 적어도 하나의 제 3 비아(580)를 포함할 수 있다.
- [0125] 도 20에서 제 4 반도체 칩들(550)의 폭이 제 2 반도체 칩들(500)과 동일한 것으로 도시되어 있으나, 본 발명이 이에 한정되는 것은 아니다. 본 발명의 실시예들에 따르면, 제 2 반도체 칩들(500)의 상부면들과 제 2 몰딩막(710)의 상부면이 평탄(flat)하도록 연마한 후, 상기 상부면들 상에 제 4 반도체 칩들(550)의 실장 공정이 수행된다. 이에 따라, 제 4 반도체 칩들(550)의 폭이 제 2 반도체 칩들(500)의 폭보다 크거나 작더라도, 제 4 반도체 칩들(550)의 정렬이 용이할 수 있다.
- [0126] 제 4 반도체 칩들(550)이 제 2 반도체 칩들(500)에 접촉될 수 있다. 예를 들어, 제 4 반도체 칩들(550)의 제 3 회로층(570)의 제 3 회로 패턴(574)과 제 2 반도체 칩들(500)의 제 1 비아들(530)이 접할 수 있다. 제 3 회로 패턴(574)과 제 1 비아들(530)이 접합될 수 있다. 예를 들어, 제 3 회로 패턴(574)과 제 1 비아들(530)은 동일한 물질로 구성될 수 있으며, 서로 접촉된 제 3 회로 패턴(574)과 제 1 비아들(530)의 계면에서 표면 활성화(surface activation)에 의한 금속간 하이브리드 본딩(hybrid bonding) 프로세스에 의해, 제 3 회로 패턴(574)과 제 1 비아들(530)이 결합될 수 있다.
- [0127] 도 21을 참조하여, 제 2 몰딩막(710) 상에 제 4 몰딩막(720)이 형성될 수 있다. 예를 들어, 제 2 몰딩막(710)의 상부면 상에 제 4 반도체 칩들(550)을 매립하도록 몰딩 물질이 도포될 수 있으며, 상기 몰딩 물질이 경화되어 제 4 몰딩막(720)이 형성될 수 있다. 제 4 몰딩막(720)은 제 2 몰딩막(710)의 상부면, 제 4 반도체 칩들(550)의 측면들, 및 제 4 반도체 칩들(550)의 후면들을 덮을 수 있다. 상기 몰딩 물질은 절연성 물질을 포함할 수 있다.
- [0128] 도 22를 참조하여, 제 4 몰딩막(720)의 일부 및 제 4 반도체 칩들(550)의 일부가 제거될 수 있다. 상세하게는, 제 4 반도체 칩들(550)이 박형화될 수 있다. 예를 들어, 제 4 몰딩막(720)의 상부면 상에 그라인딩 공정 또는 화학적 기계 연마(CMP) 공정이 수행될 수 있다. 이에 따라, 제 4 반도체 칩들(550)의 후면들 및 제 4 몰딩막(720)의 상부면이 평탄해질 수 있다. 상기 박형화 공정에 의해 제 4 몰딩막(720)의 상부 일부가 제거될 수 있으며, 제 4 반도체 칩들(550)의 상부 일부가 함께 제거될 수 있다. 상기 박형화 공정이 수행된 후, 제 4 반도체 칩들(550)의 후면들은 제 4 몰딩막(720)의 상부면으로부터 노출될 수 있다. 제 4 반도체 칩들(550)의 후면들과 제 4 몰딩막(720)의 상부면은 실질적으로 평탄한 공면을 이룰 수 있다.
- [0129] 도 23의 결과물 상에 도 16 내지 도 18을 참조하여 설명한 공정이 수행될 수 있다. 예를 들어, 제 4 반도체 칩들(550) 상에 재배선 기판(400)이 형성되고, 제 2 연결 단자들(430)이 재배선 기판(400) 상에 형성될 수 있다. 이후, 싱글레이션(singulation) 공정이 수행되어 복수의 제 2 칩 스택들(CS2)이 서로 분리될 수 있다.
- [0130] 도 5를 다시 참조하여, 인터포저 기판(200) 상에 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)이 실장될 수 있다. 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)은 플립 칩(flip chip) 방식으로 인터포저 기판(200) 상에 실장될 수 있다. 인터포저 기판(200) 상에 절연 물질을 도포하여 제 3 몰딩막(800)이 형성될 수 있다. 제 3 몰딩막(800)은 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)을 덮을 수 있다. 인터포저 기판(200)이 패키지 기판(100) 상에 실장될 수 있다. 인터포저 기판(200)은 플립 칩 방식으로 패키지 기판(100)에 실장될 수 있다. 패키지 기판(100)의 하부면 상에 외부 단자들(102)이 제공될 수 있다.
- [0131] 상기와 같이, 도 5의 반도체 패키지가 제조될 수 있다.
- [0133] 도 23 내지 도 27은 본 발명의 실시예들에 따른 반도체 패키지의 제조 방법을 설명하기 위한 단면도들이다.
- [0134] 도 23을 참조하여, 제 1 웨이퍼(WF1)가 제공될 수 있다. 제 1 웨이퍼(WF1)는 반도체 웨이퍼(wafer)일 수 있다. 제 1 웨이퍼(WF1)는 일 방향으로 이격된 제 3 소자 영역들(DR3) 및 제 3 소자 영역들(DR3)을 정의하는 제 3 스크라이브 영역(SR3)을 포함할 수 있다.
- [0135] 제 3 반도체 칩들(600)이 제 1 웨이퍼(WF1)의 제 3 소자 영역들(DR3) 각각 상에 형성될 수 있다. 제 3 반도체

칩들(600)의 집적 회로는 제 1 웨이퍼(WF1)의 상부면에 형성될 수 있다. 제 3 반도체 칩들(600)의 상기 집적 회로는 로직 회로일 수 있다.

- [0136] 제 3 반도체 칩들(600)의 제 2 회로층(620)이 제 1 웨이퍼(WF1)의 상부면 상에 형성될 수 있다. 예를 들어, 절연층의 형성 및 패터닝 공정과 도전층의 형성 및 패터닝 공정을 반복하여 제 2 절연 패턴(622) 및 제 2 회로 패턴(624)을 포함하는 제 2 회로층(620)이 형성될 수 있다. 제 2 회로 패턴(624)은 제 3 반도체 칩(600)의 상기 집적 회로와 전기적으로 연결될 수 있다.
- [0137] 도 23의 결과물 상에 싱글레이션(singulation) 공정이 수행될 수 있다. 예를 들어, 제 3 스크라이브 영역(SR3)상의 제 1 웨이퍼(WF1)가 절단될 수 있다. 이에 따라, 복수의 제 3 반도체 칩들(600)이 서로 분리될 수 있다.
- [0138] 도 24를 참조하여, 제 2 웨이퍼(WF2)가 제공될 수 있다. 제 2 웨이퍼(WF2)는 반도체 웨이퍼(wafer)일 수 있다. 제 2 웨이퍼(WF2)는 일 방향으로 이격된 제 4 소자 영역들(DR4) 및 제 4 소자 영역들(DR4)을 정의하는 제 4 스크라이브 영역(SR4)을 포함할 수 있다.
- [0139] 제 2 반도체 칩들(500)이 제 2 웨이퍼(WF2)의 제 4 소자 영역들(DR4) 각각 상에 형성될 수 있다. 제 2 반도체 칩들(500)의 집적 회로는 제 2 웨이퍼(WF2)의 상부면에 형성될 수 있다. 상기 제 2 반도체 칩(500)의 상기 집적 회로는 메모리 회로일 수 있다.
- [0140] 제 2 웨이퍼(WF2) 내부에 제 1 비아들(530)이 형성될 수 있다. 예를 들어, 제 2 웨이퍼(WF2)에 홀들을 형성한 후, 상기 홀들 내에 도전 물질을 채워 제 1 비아들(530)이 형성될 수 있다. 제 1 비아들(530)은 제 2 웨이퍼(WF2)를 수직으로 완전히 관통하지는 않을 수 있다. 즉, 제 1 비아들(530)은 제 2 웨이퍼(WF2)의 하부면으로부터 이격되도록 형성될 수 있다.
- [0141] 제 2 반도체 칩들(500)의 제 1 회로층(520)이 제 2 웨이퍼(WF2)의 상부면 상에 형성될 수 있다. 예를 들어, 절연층의 형성 및 패터닝 공정과 도전층의 형성 및 패터닝 공정을 반복하여 제 1 절연 패턴(522) 및 제 1 회로 패턴(524)을 포함하는 제 1 회로층(520)이 형성될 수 있다. 제 1 회로 패턴(524)은 제 2 반도체 칩(500)의 상기 집적 회로와 전기적으로 연결될 수 있다.
- [0142] 제 2 캐리어 기관(920)이 제공될 수 있다. 제 2 캐리어 기관(920)은 제 2 캐리어 기관(920)의 상부면 상에 접촉 부재가 제공될 수 있다.
- [0143] 제 2 웨이퍼(WF2)가 제 2 캐리어 기관(920) 상에 부착될 수 있다. 예를 들어, 제 1 회로층(520)의 일면이 제 2 캐리어 기관(920)의 상기 접촉 부재에 접촉될 수 있다.
- [0144] 도 25를 참조하여, 제 2 웨이퍼(WF2) 상에 재배선 기관(400)이 형성될 수 있다. 상세하게는, 제 2 웨이퍼(WF2) 상에 절연 패턴(410)이 형성될 수 있다. 절연 패턴(410) 내부에 도전 패턴(420)이 형성될 수 있다. 상기 둘의 재배선층이 형성될 수 있다. 상기 재배선층을 형성하는 공정을 반복 수행하여 재배선 기관(400)이 형성될 수 있다. 제 2 연결 단자들(430)이 재배선 기관(400) 상에 형성될 수 있다.
- [0145] 이후, 제 2 캐리어 기관(920)은 제거될 수 있다. 예를 들어, 상기 접촉 부재를 용해시켜 제 2 캐리어 기관(920)을 탈착시키거나, 제 2 캐리어 기관(920)을 물리적으로 제거할 수 있다.
- [0146] 도 26을 참조하여, 제 3 캐리어 기관(940)이 제공될 수 있다. 제 3 캐리어 기관(940)의 상부면 상에 접촉 부재(935)가 제공될 수 있다. 제 2 웨이퍼(WF2)가 제 3 캐리어 기관(940) 상에 부착될 수 있다. 예를 들어, 재배선 기관(400)의 일면이 제 3 캐리어 기관(940)의 접촉 부재(945)에 접촉될 수 있다. 이때, 연결 단자들(430)은 접촉 부재(945) 내로 삽입될 수 있다.
- [0147] 제 2 웨이퍼(WF2) 상에 제 3 반도체 칩들(600)이 접합될 수 있다. 제 2 웨이퍼(WF2)에 형성된 제 2 반도체 칩들(500) 각각 상에 제 3 반도체 칩들(600)이 정렬될 수 있다. 제 3 반도체 칩들(600)의 제 2 회로층(620)은 제 2 반도체 칩들(500)의 제 1 회로층(520)을 향할 수 있다. 제 3 반도체 칩들(600)이 제 2 반도체 칩들(500)에 접촉될 수 있다. 제 2 회로층(620)의 노출된 제 2 회로 패턴(624)과 제 1 회로층(520)의 노출된 제 1 회로 패턴(524)은 접합될 수 있다. 서로 접촉된 제 1 회로 패턴(524)과 제 2 회로 패턴(624)의 계면에서 표면 활성화(surface activation)에 의한 하이브리드 본딩(hybrid bonding) 프로세스에 의해, 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 결합될 수 있다. 제 1 회로 패턴(524)과 제 2 회로 패턴(624)이 접합되어, 제 1 회로 패턴(524)과 제 2 회로 패턴(624) 사이의 경계면이 사라질 수 있다.
- [0148] 제 2 웨이퍼(WF2) 상에 제 5 몰딩막(730)이 형성될 수 있다. 예를 들어, 제 2 웨이퍼(WF2)의 상부면 상에 제 3

반도체 칩들(600)을 매립하도록 몰딩 물질이 도포될 수 있으며, 상기 몰딩 물질이 경화되어 제 5 몰딩막(730)이 형성될 수 있다. 제 5 몰딩막(730)은 제 2 웨이퍼(WF2)의 상부면, 제 3 반도체 칩들(600)의 측면들, 및 제 3 반도체 칩들(600)의 후면들을 덮을 수 있다. 상기 몰딩 물질은 절연성 물질을 포함할 수 있다.

[0149] 제 5 몰딩막(730)의 일부 및 제 3 반도체 칩들(600)의 일부가 제거될 수 있다. 상세하게는, 제 3 반도체 칩들(600)이 박형화(thinning)될 수 있다. 예를 들어, 제 5 몰딩막(730)의 상부면 상에 그라인딩(grinding) 공정 또는 화학적 기계 연마(CMP) 공정이 수행될 수 있다. 이에 따라, 제 3 반도체 칩들(600)의 후면들 및 제 5 몰딩막(730)의 상부면이 평탄해질 수 있다.

[0150] 도 27을 참조하여, 도 26의 결과물 상에 싱글레이션(singulation) 공정이 수행될 수 있다. 예를 들어, 제 2 웨이퍼(WF2)의 제 4 스크라이브 영역(SR4, 도 26 참조)을 따라 절단 공정이 수행될 수 있다. 제 4 스크라이브 영역(SR4) 상의 재배선 기관(400), 제 5 몰딩막(730) 및 제 2 웨이퍼(WF2)가 순차적으로 절단될 수 있다. 이에 따라, 복수의 제 2 칩 스택들(CS2)이 서로 분리될 수 있다.

[0151] 이후, 제 3 캐리어 기관(940)은 제거될 수 있다. 예를 들어, 접착 부재(945)를 용해시켜 제 3 캐리어 기관(940)을 탈착시키거나, 제 3 캐리어 기관(940)을 물리적으로 제거할 수 있다.

[0152] 도 6을 다시 참조하여, 인터포저 기관(200) 상에 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)이 실장될 수 있다. 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)은 플립 칩(flip chip) 방식으로 인터포저 기관(200) 상에 실장될 수 있다. 인터포저 기관(200) 상에 절연 물질을 도포하여 제 3 몰딩막(800)이 형성될 수 있다. 제 3 몰딩막(800)은 제 1 칩 스택(CS1) 및 제 2 칩 스택(CS2)을 덮을 수 있다. 인터포저 기관(200)이 패키지 기관(100) 상에 실장될 수 있다. 인터포저 기관(200)은 플립 칩 방식으로 패키지 기관(100)에 실장될 수 있다. 패키지 기관(100)의 하부면 상에 외부 단자들(102)이 제공될 수 있다.

[0153] 상기과 같이, 도 6의 반도체 패키지가 제조될 수 있다.

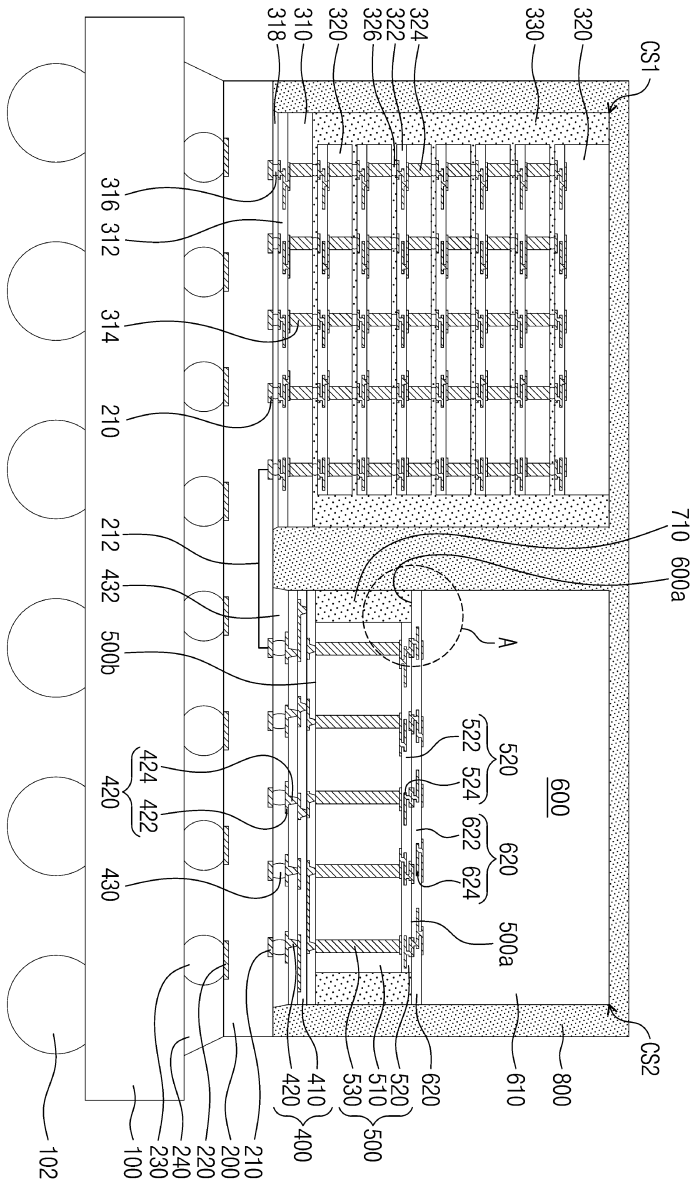
[0155] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

부호의 설명

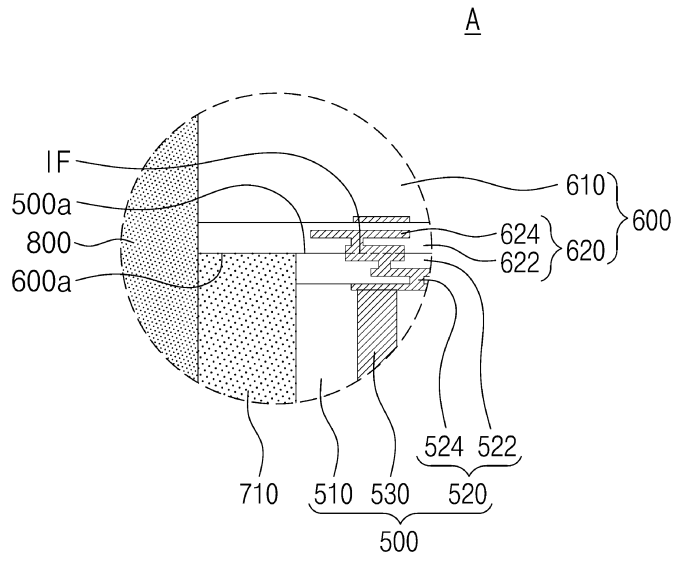
- [0156] 100: 패키지 기관 200: 인터포저 기관
 CS1: 제 1 칩 스택 310: 베이스 반도체 칩
 320: 제 1 반도체 칩 330: 제 1 몰딩막
 CS2: 제 2 칩 스택 400: 재배선 기관
 500: 제 2 반도체 칩 600: 제 3 반도체 칩
 710: 제 2 몰딩막 800: 제 3 몰딩막

도면

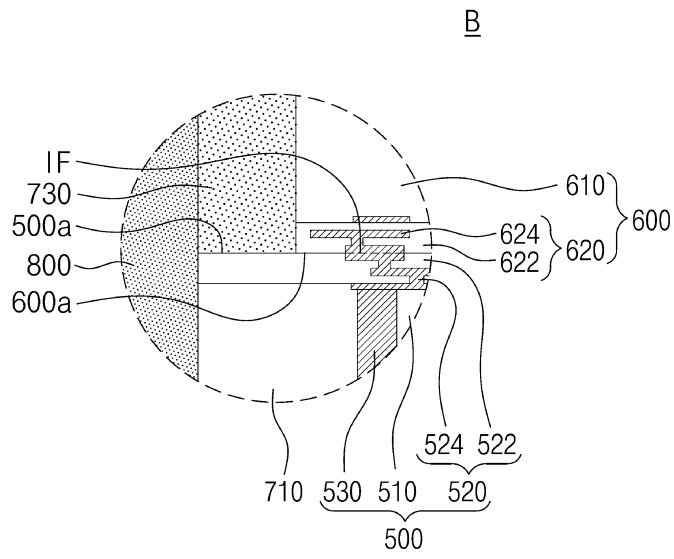
도면1



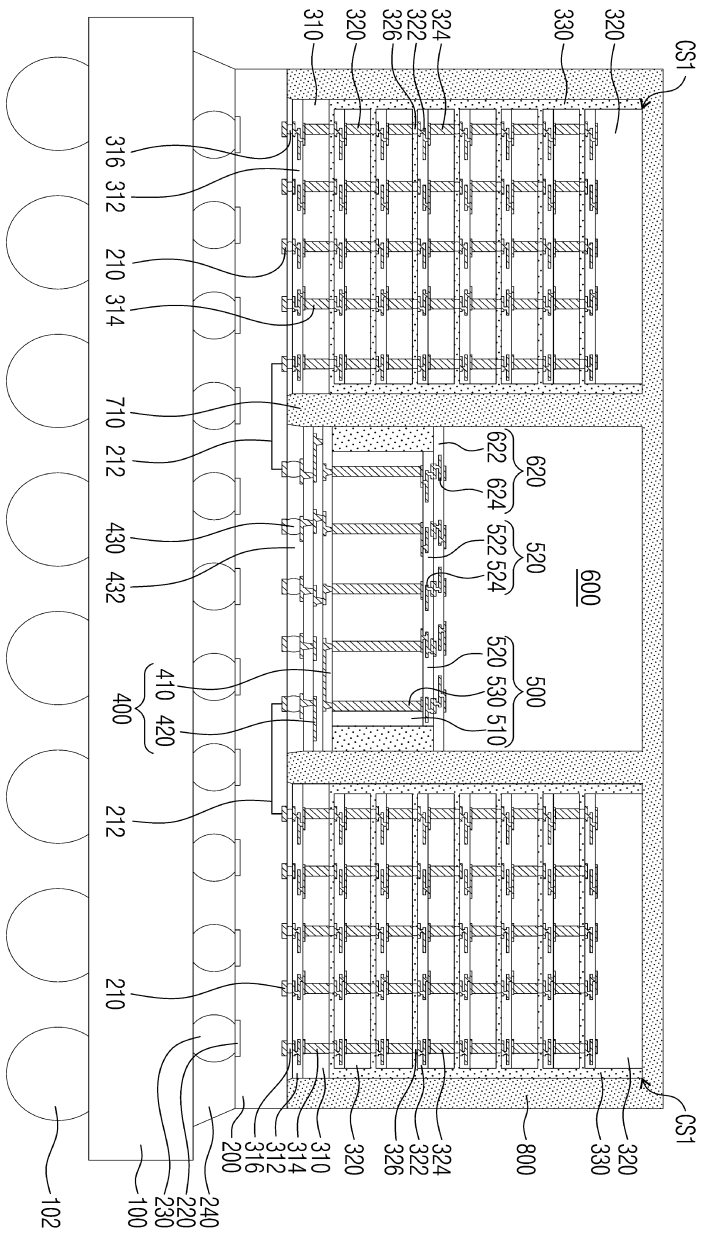
도면2



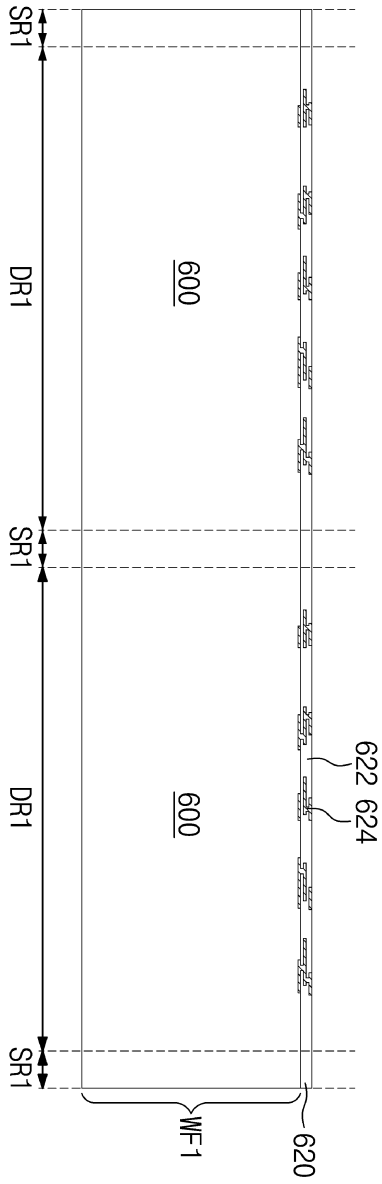
도면7



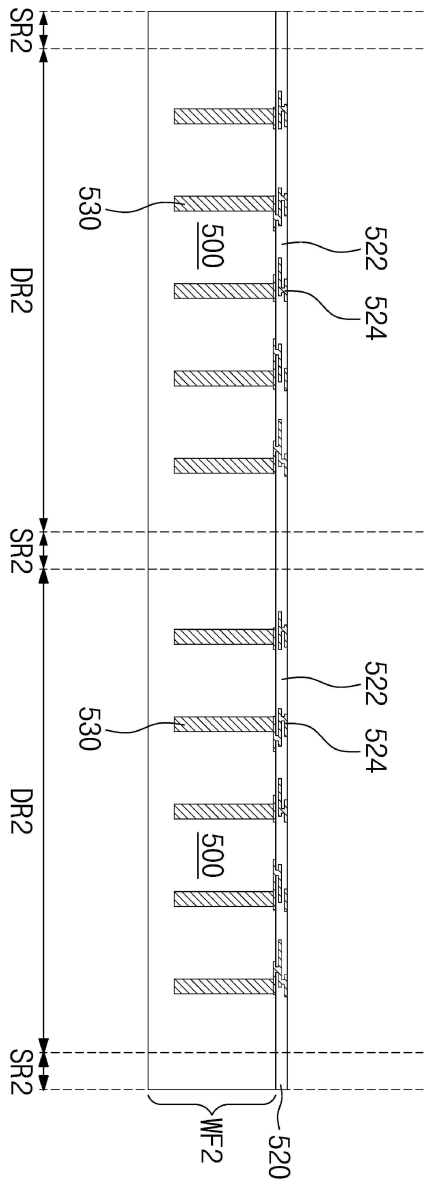
도면8



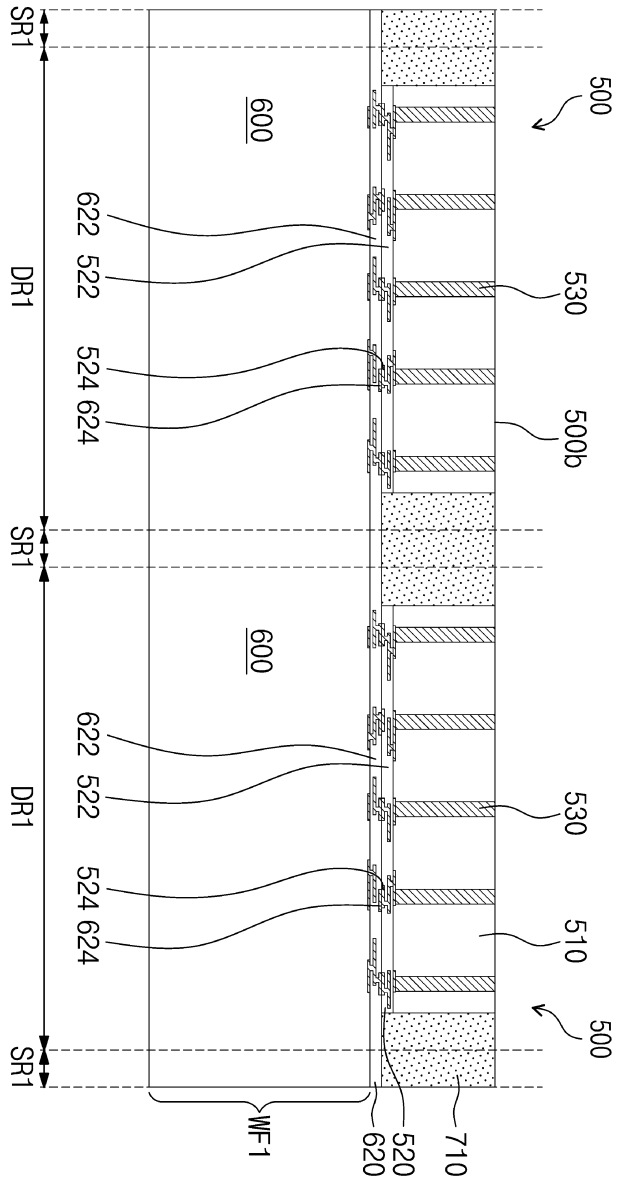
도면9



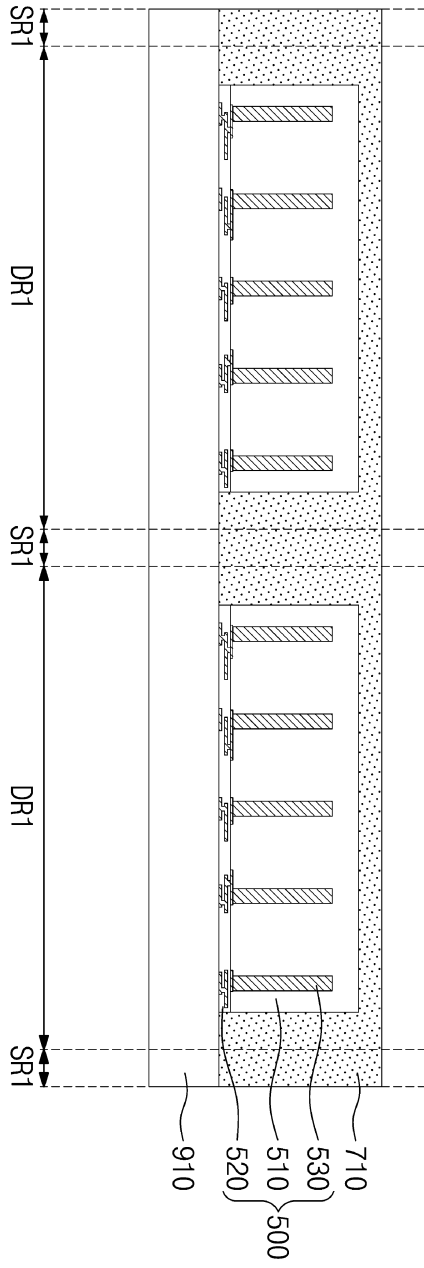
도면10



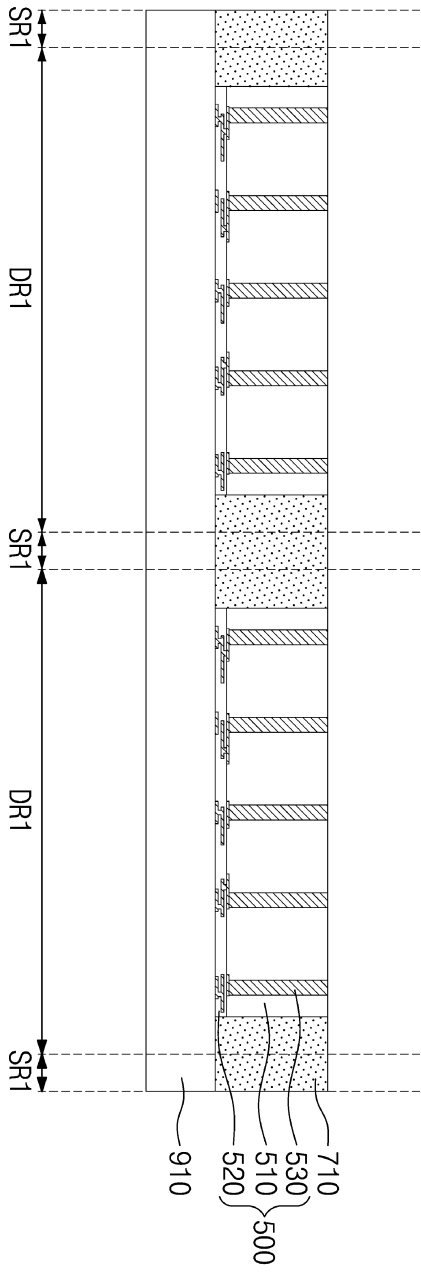
도면13



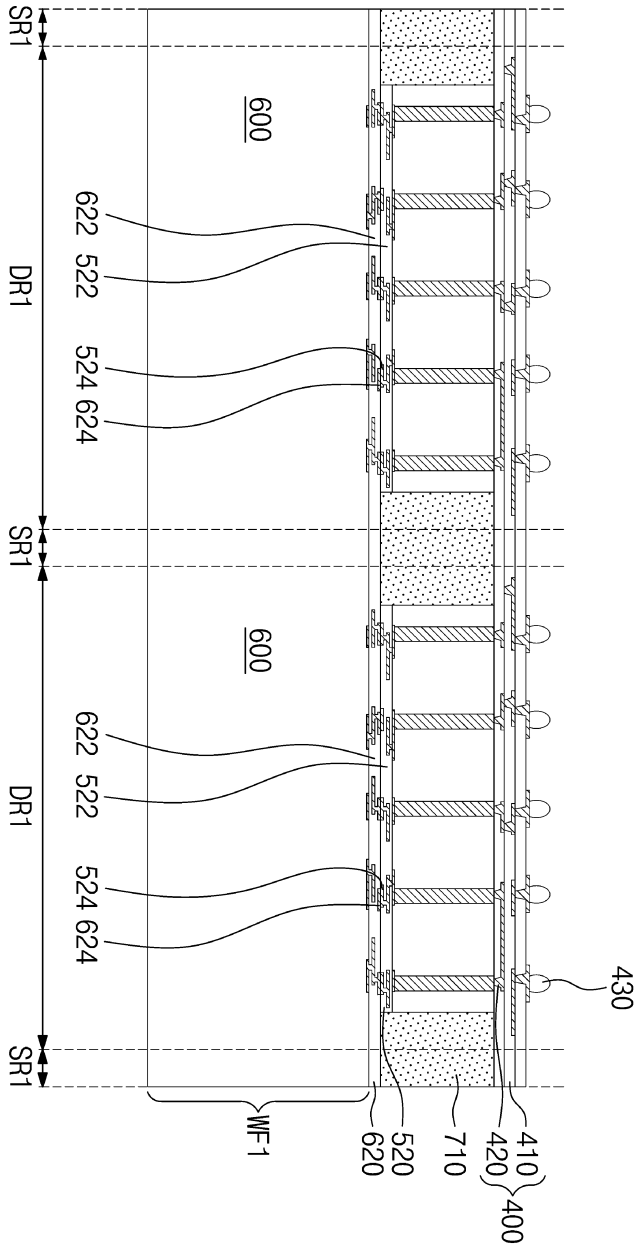
도면14



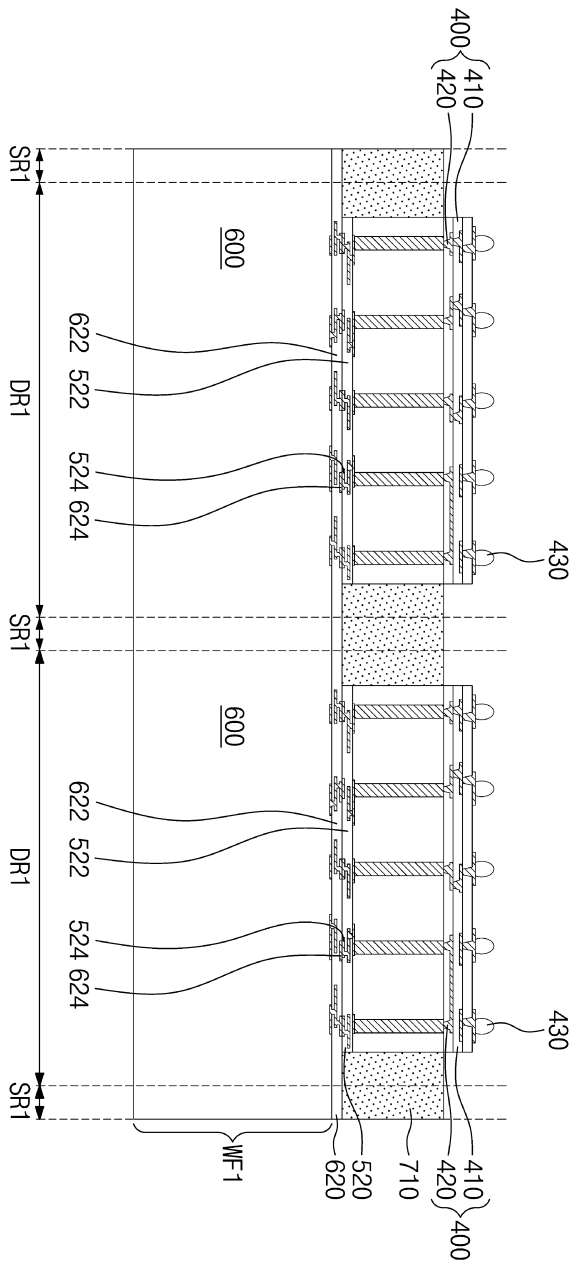
도면15



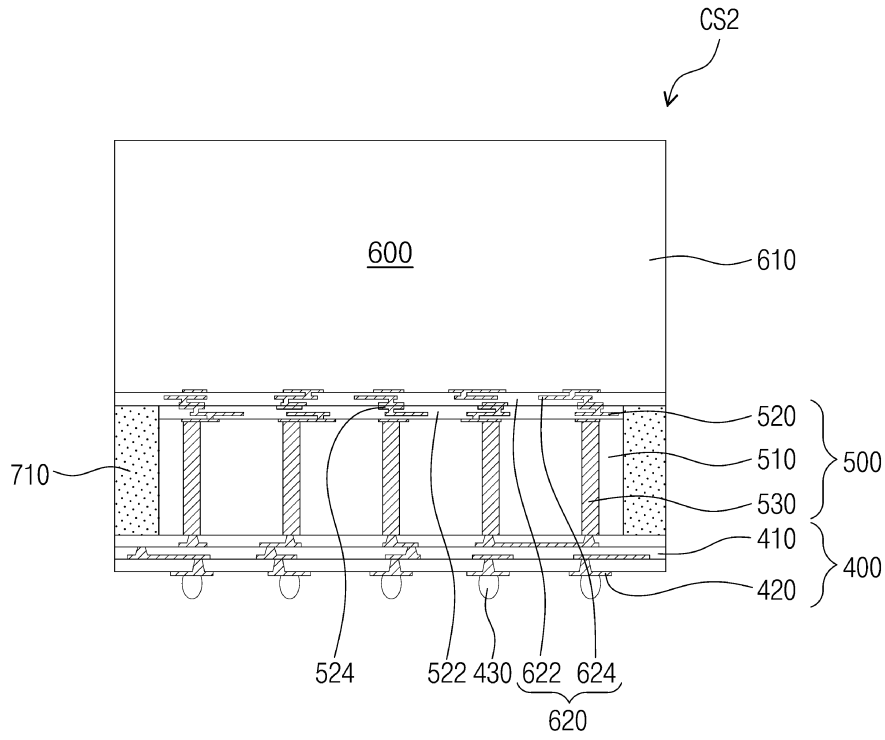
도면16



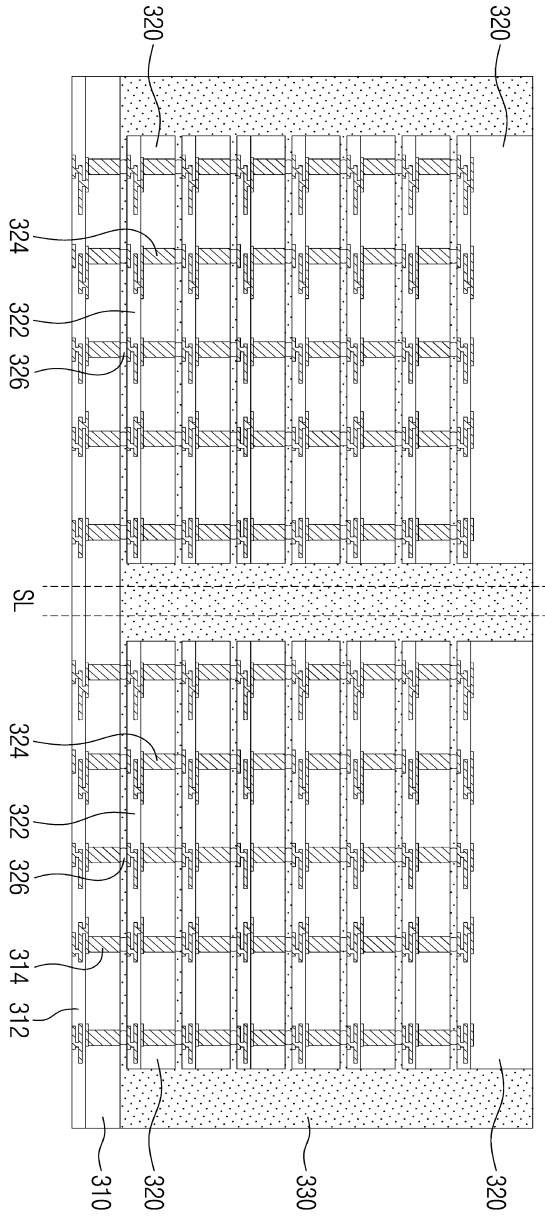
도면17



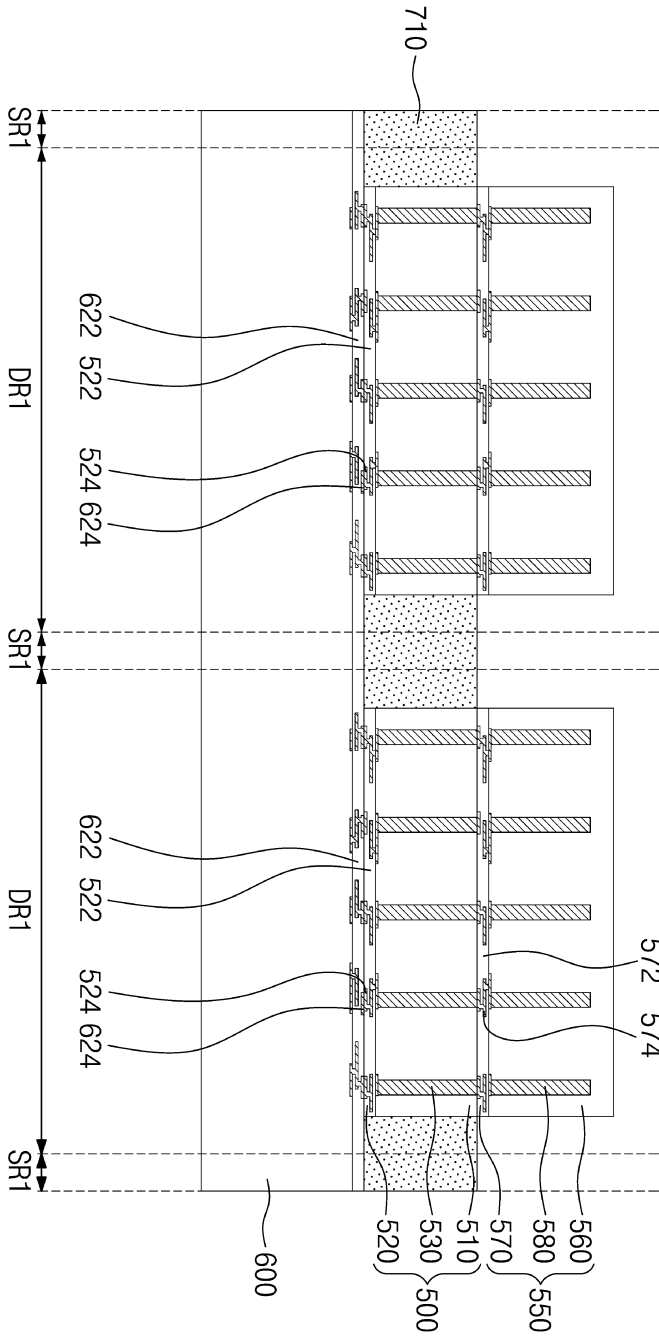
도면18



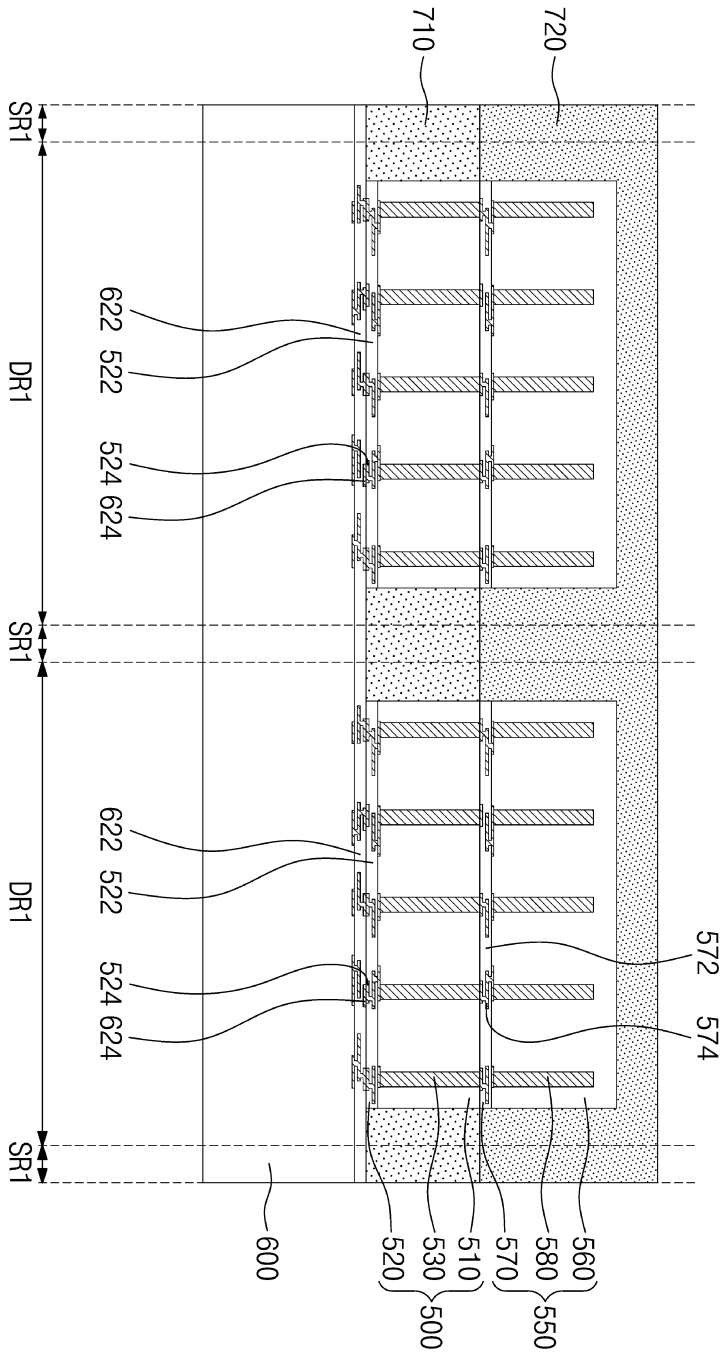
도면19



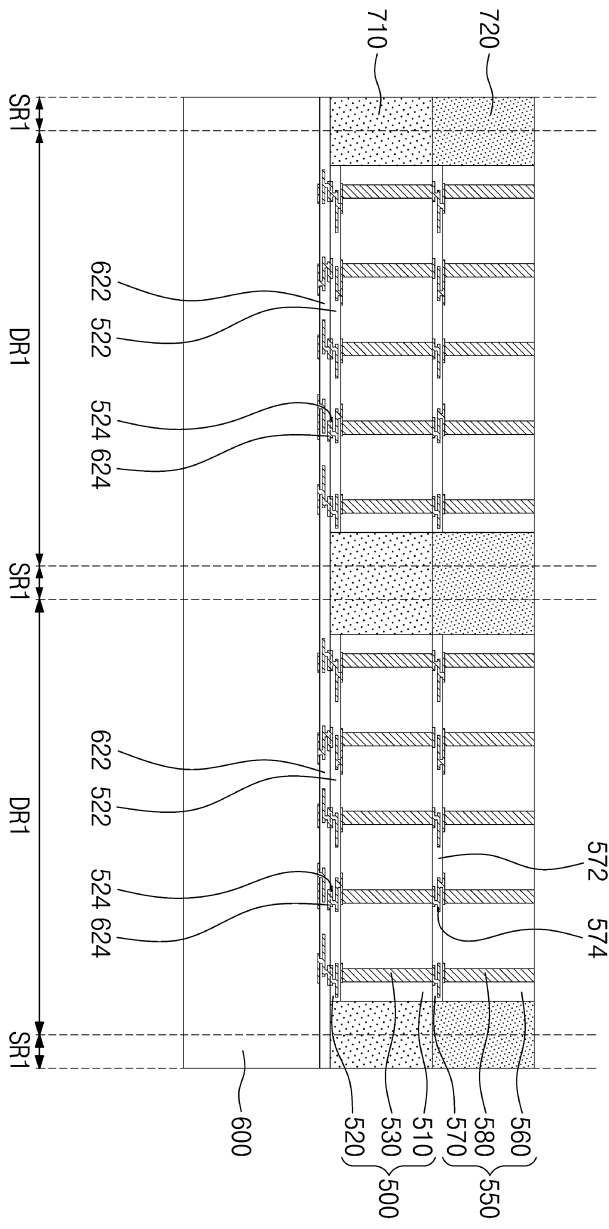
도면20



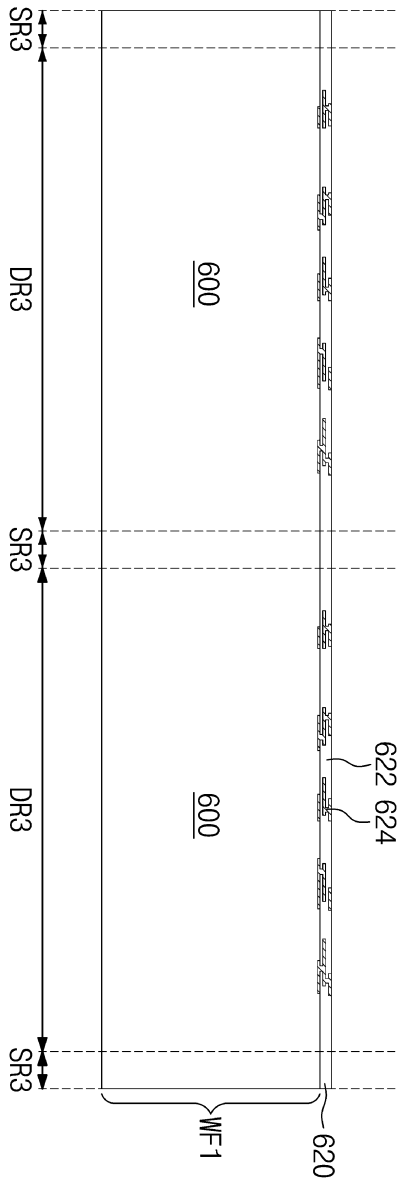
도면21



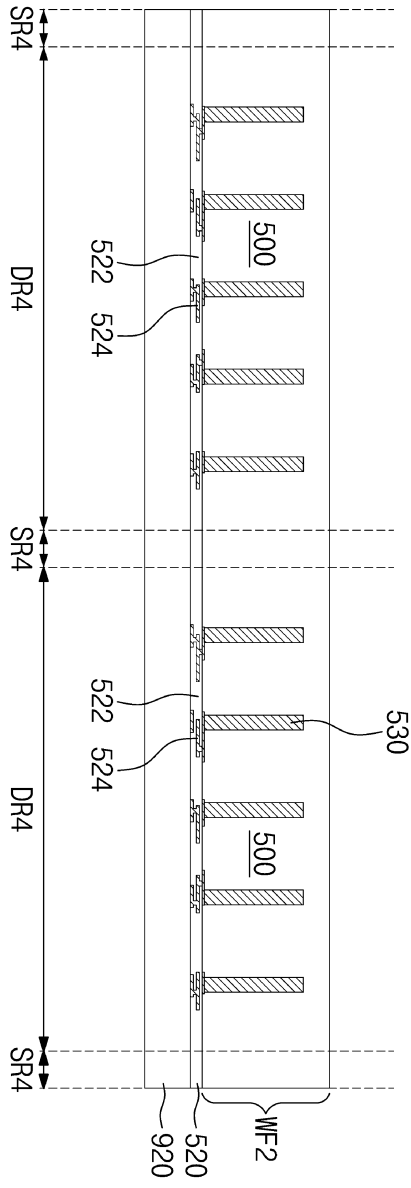
도면22



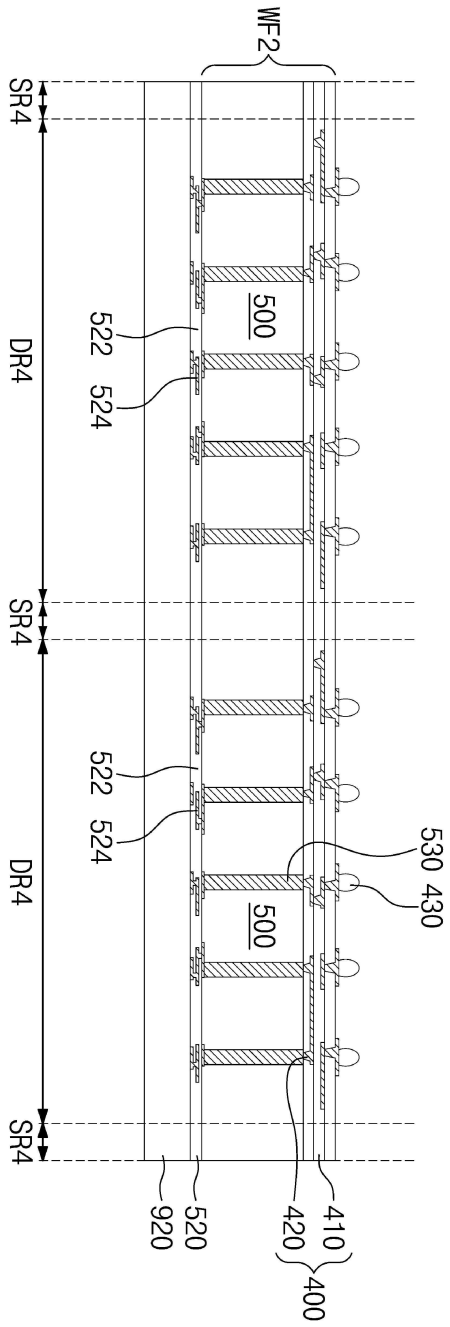
도면23



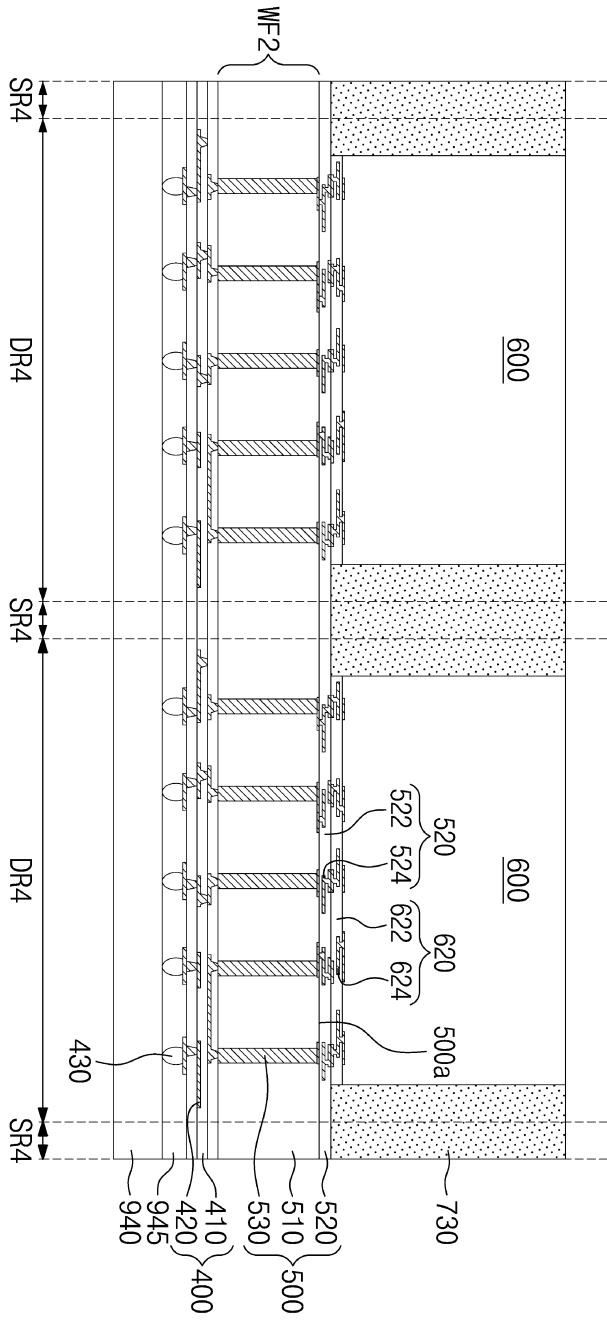
도면24



도면25



도면26



도면27

