



(12) **Patentschrift**

(21) Aktenzeichen: **102 54 756.4**
(22) Anmeldetag: **23.11.2002**
(43) Offenlegungstag: **09.06.2004**
(45) Veröffentlichungstag
der Patenterteilung: **07.07.2011**

(51) Int Cl.: **H01L 21/66** (2006.01)
H01L 23/544 (2006.01)
H01L 23/528 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669, München, DE

(74) Vertreter:
**Kindermann, Peter, Dipl.-Ing.Univ., 85598,
Baldham, DE**

(72) Erfinder:
**Glasow, Alexander von, 82031, Grünwald, DE;
Fischer, Armin, Dr., 81825, München, DE; Hagen,
Jochen von, 83059, Kolbermoor, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

GB	23 68 974	A
GB	23 68 973	A
US	55 32 600	A
EP	06 56 650	A1
JP	11-0 31 727	A

**J.A. Shideler et al., Solid State Technology, S.
47-54, März 1995**

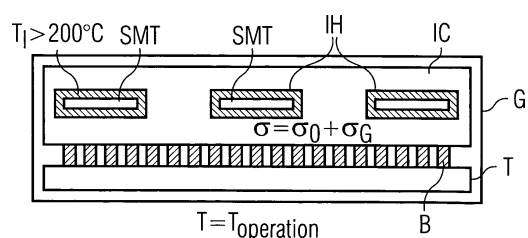
**N.R. Kamat et al., Proceedings of
5th International Workshop on Thermal
Investigations of ICs and Microstructures, S. 277-
280, Okt. 1999**

**ROESCH, M. (u.a.): Flip chip on laminate
reliability-failure mechanisms. In: Internat.
Journal of Microcircuits and Electronic
Packaging. ISSN 1063-1674. 2000, Vol. 23, Nr. 1, S.
53-61**

**WILSON, K.J. (u.a.): Some problems in the
correct failure analysis of plastic encapsulated
semiconductor devices. In: 36th Electronic
Components Conf. Proceedings. IEEE, 1986, S.
132-137**

(54) Bezeichnung: **Vorrichtung und Verfahren zur Erfassung von Stressmigrations-Eigenschaften**

(57) Hauptanspruch: Vorrichtung zur Erfassung von Spannungsmigrations-Eigenschaften eines Halbleiter-Bausteins (IC) auf Grund von mechanischen Spannungen mit einer Spannungsmigrations-Teststruktur (SMT), die im Halbleiter-Baustein (IC) zum Erfassen der Spannungsmigrations-Eigenschaften ausgebildet ist, wobei der Halbleiter-Baustein (IC) auf einem Bausteinträger (T) in einem produktrelevanten Gehäuse (G) endmontiert ist, gekennzeichnet durch eine integrierte Heizvorrichtung (IH), die innerhalb oder in unmittelbarer Nähe der Spannungsmigrations-Teststruktur (SMT) im Halbleiter-Baustein (IC) zum lokalen Erwärmen der Spannungsmigrations-Teststruktur (SMT) ausgebildet ist.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Vorrichtung und ein Verfahren zur Erfassung von Stressmigrations-Eigenschaften auf Grund von mechanischen Spannungen und insbesondere auf eine Vorrichtung und ein Verfahren zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins.

[0002] Integrierte Schaltungen werden üblicherweise mit einer Vielzahl von strukturierten Metallisierungs- bzw. Leiterbahnebenen hergestellt, die voneinander durch dielektrische Zwischenisolierschichten elektrisch voneinander getrennt sind. Zur Realisierung von elektrischen Verbindungen zwischen den strukturierten Metallisierungs- bzw. Leiterbahnschichten oder zwischen den Leiterbahnschichten und einem Substrat werden an ausgewählten Orten sogenannte Kontaktlöcher bzw. Vias in den Isolierschichten ausgebildet.

[0003] Mit fortschreitender Integrationsdichte werden zur Realisierung von verbesserten Leistungsmerkmalen wie z. B. einer erhöhten Geschwindigkeit und einer vergrößerten Schaltungsfunktionalität pro Flächeneinheit die Strukturbreiten und insbesondere die Kontaktlöcher bzw. Vias zunehmend kleiner, weshalb sie insbesondere für eine sogenannte Stressmigration zunehmend empfänglich werden.

[0004] Im Gegensatz zu der sogenannten Elektromigration, bei der ein Massentransport von Leiterbahnmaterial auf Grund eines anliegenden Gleichstroms und insbesondere bei sehr hohen Stromdichten hervorgerufen wird, bezieht sich die in der vorliegenden Erfindung beschriebene Stressmigration auf einen Massentransport, der in Leiterbahnschichten bzw. Kontaktlöchern insbesondere auf Grund von mechanischen Spannungen bzw. Spannungsgradienten hervorgerufen wird, die zumindest eine Komponente senkrecht zum Stromfluss aufweisen. Derartige mechanische Spannungen, die beispielsweise aus einer Fehlanpassung von thermischen Ausdehnungskoeffizienten und von unterschiedlichen Elastizitätsmodulen der Leiterbahnschichten bzw. der dazwischen liegenden Isolatorschichten und anderer leitender und nicht leitender Zwischenschichten herrühren, führen demzufolge zu einem ähnlichen Materialtransport, der abhängig von einer Druck- oder Zugspannung bzw. Wechselbeanspruchung die Ausbildung von Hohlräumen (voids) im elektrisch leitenden Material hervorruft, wodurch ein elektrischer Widerstand von Leiterbahnen im Halbleiter-Baustein erhöht oder sogar eine Leiterbahnunterbrechung auftreten kann.

[0005] Betrachtet man beispielsweise einen Herstellungsprozess, bei dem auf einer Leiterbahnschicht

(Aluminium, Kupfer, usw.), die auf einem Halbleitersubstrat oder einer dielektrischen Schicht ausgebildet ist, eine weitere Isolatorschicht, beispielsweise bei einer Temperatur von 350 Grad Celsius mittels eines CVD-Verfahrens (Chemical Vapor Deposition), abgeschieden wird, so ergeben sich bereits auf Grund der unterschiedlichen Ausdehnungskoeffizienten zwischen der Leiterbahnschicht und den angrenzenden Isolierschichten mechanische Spannungen, die beispielsweise als Zug-Beanspruchung eine Stressmigration in der Leiterbahnschicht hervorrufen. Bei Kupfermetallisierung mit Cu-Vias führen Spannungsgradienten z. B. in Folge thermischer Fehlanpassung zum Transport von Leerstellen in das Via (Bildung von Hohlräumen).

[0006] Genauer gesagt diffundieren Leerstellen zur Verringerung der Spannungsenergie in der Leiterbahnschicht, wodurch nach einer gewissen Zeit, üblicherweise mehrere Monate oder Jahre, dieser Massentransport in der Leiterbahnschicht oder den Vias Hohlräume erzeugt, die die elektrischen Eigenschaften des Halbleiter-Bausteins beeinflussen und bis zu einer Unterbrechung einer Leiterbahn führen können.

[0007] [Fig. 1A](#) bis [Fig. 1C](#) zeigen vereinfachte Schnittansichten zur Veranschaulichung herkömmlicher Vorrichtungen zur Erfassung von Stressmigrations-Eigenschaften.

[0008] Gemäß [Fig. 1A](#) werden Zuverlässigkeitsuntersuchungen zur Charakterisierung der vorstehend beschriebenen Stressmigrations-Eigenschaften von Leiterbahnen und insbesondere von Metallisierungen in integrierten Schaltungen bzw. Halbleiter-Bausteinen IC üblicherweise direkt auf dem Wafer bzw. auf Waferebene durchgeführt. Dabei werden die Widerstände von unterschiedlichen Stressmigrations-Teststrukturen SMT, die in einem Halbleiter-Baustein IC ausgebildet sind, in regelmäßigen Abständen (z. B. einmal pro Stunde, Tag oder Woche) gemessen und die Abweichung vom Anfangswert bewertet. Zwischen diesen Messungen werden die Wafer in einem Ofen bei Temperaturen größer 150 Grad Celsius gelagert, wodurch sich die Dauer für diese Zuverlässigkeitsuntersuchungen wesentlich auf etwa 1000 bis 2000 Stunden verringern lässt, um eine Produktlebensdauer von z. B. 15 Jahren abzusichern.

[0009] Nachteilig ist jedoch bei einer derartigen Testvorrichtung, dass die gewonnenen Ergebnisse auf Grund einer fehlenden Endmontage in einem Gehäuse nur unzureichend sind und insofern keine ausreichend genaue Erfassung der Stressmigrations-Eigenschaften des Halbleiter-Bausteins in produktnaher Umgebung auf Grund von mechanischen Spannungen ermöglichen.

[0010] Gemäß [Fig. 1B](#) kann demzufolge ein derartiger Test auch in einem endmontierten Testgehäuse

TG durchgeführt werden, wobei der Halbleiter-Baustein IC beispielsweise mittels Bond-Drähten oder Lötverbindungen B auf einem Bausteinträger T montiert ist, wobei als Gehäuse ein temperaturfestes Keramik-Testgehäuse verwendet wird. Obwohl auf diese Weise neben internen Spannungen σ_0 des Halbleiter-Bausteins IC auch die durch die Montage bzw. die Lötverbindungen B und den Bausteinträger T des Testgehäuses TG verursachten Spannungen σ_{TG} erfasst und bewertet werden können, geben derartige Untersuchungsergebnisse insbesondere auf Grund des von einem produktrelevanten Gehäuse abweichenden Testgehäuses TG wiederum keine genauen Aussagen für die Stressmigrations-Eigenschaften des Leiterbahnsystems in einem Halbleiter-Baustein mit Produktgehäuse auf Grund von mechanischen Spannungen.

[0011] Gemäß [Fig. 1C](#) kann weiterhin der zu untersuchende Halbleiter-Baustein IC wiederum über Lötverbindungen B und einen Bausteinträger T auch in einem produktrelevanten Kunststoffgehäuse G eingebettet sein, wobei sich jedoch hierbei die Problematik ergibt, dass bei einer entsprechenden Erwärmung auf Temperaturen T_E größer 150 Grad Celsius durch die thermische Fehlanpassung der das Leiterbahnsystem umgebenden Schichten eine Änderung des produktrelevanten mechanischen Spannungszustandes verursacht wird, weshalb man keine genauen Aussagen über die Stressmigrations-Eigenschaften auf Grund von mechanischen Spannungen in einem derart gepackten Halbleiter-Baustein IC erhält. Ferner kann auch die Plastik- bzw. Kunststoffmasse des Gehäuses G schmelzen bzw. weich werden, wodurch die durch dieses Kunststoffgehäuse G verursachte mechanische Spannung ebenfalls zu einer verringerten mechanischen Spannung σ_G führt.

[0012] Ohne diese erhöhten Temperaturen größer 150 Grad Celsius, die vorzugsweise von einer externen Heizung EH erzeugt werden, sind jedoch derartige Zuverlässigkeitsuntersuchungen nicht wirtschaftlich durchführbar, da sie mehrere Monate und üblicherweise sogar mehrere Jahre beanspruchen würden.

[0013] Aus den den Oberbegriff des Patentanspruchs 1 bildenden Druckschriften GB 2 368 973 A sowie GB 2 368 974 A sind jeweils eine Vorrichtung zur Erfassung von Spannungsmigrations-Eigenschaften eines Halbleiter-Bausteins auf Grund von mechanischen Spannungen mit einer Spannungsmigrations-Teststruktur bekannt, die im Halbleiter-Baustein zum Erfassen der Spannungsmigrations-Eigenschaften ausgebildet ist. Hierbei ist der Halbleiter-Baustein auf einem Bausteinträger mit einer Vergussmasse endmontiert.

[0014] Aus der Druckschrift J. A. Shideler et al., Solid State Technology, S. 47–54, März 1995, ist eine

integrierte Heizvorrichtung bekannt, wobei eine Polysilizium-Heizung unterhalb von serpentinenförmigen Metallbahnen angeordnet ist und auf bis zu 450°C erwärmt wird. Hierbei wird jedoch auf Waferebene, getestet, weshalb wiederum keine realistische (d. h. unter Berücksichtigung der Auswirkungen des endgültigen Gehäuses.) Erfassung von Spannungsmigrations-Eigenschaften für Halbleiter-Bausteine auf Grund von mechanischen Spannungen möglich ist.

[0015] Aus der Druckschrift N. R. Kaurat et al., Proceedings of the 5th International Workshop on Thermal Investigations of ICs and Microstructures, S. 277–280, Okt. 1999, sind verschiedene Kontakt- und Viaketten für Zuverlässigkeitsprüfungen bekannt, wobei wiederum auf Waferebene oder mit speziellen Testgehäusen getestet wird.

[0016] Die Druckschrift US 5 532 600 A offenbart eine Vorrichtung und ein Verfahren zur Erfassung von Spannungsmigrations-Eigenschaften eines Halbleiter-Bausteins auf Grund von mechanischer Spannung, wobei zur Beschleunigung der Migrationsphänomene ein zu untersuchendes Werkstück in einer Testkammer einer erhöhten Temperatur ausgesetzt wird.

[0017] Weiterhin offenbart die Druckschrift EP 0 656 650 A1 ein Verfahren sowohl zur Bestimmung von Elektromigrations- als auch von mechanisch verursachten Migrationseigenschaften. Hinsichtlich der Erfassung der mechanisch verursachten Migrationseigenschaften wird im konkreten Ausführungsbeispiel eine auf 77°C oder 127°C erwärmte Flüssigkeit auf das zu untersuchende Substrat mit der Verdrahtung gerichtet. Unter Verwendung eines ersten Stroms wird anschließend ein Verdrahtungswiderstand gemessen und unter Verwendung eines zweiten höheren Stroms für eine vorbestimmte Zeit eine weitere thermische Erwärmung und somit eine thermisch bedingte mechanische Migration erzeugt.

[0018] Die Druckschrift JP 11-031727 A zeigt eine Spannungsmigrations-Teststruktur mit mehreren Leiterbahnbereichen, die über Verbindungsbereiche verbunden sind. Die Oberflächen bzw. Volumina der Leiterbahnbereiche sind hierbei größer als die Oberflächen bzw. Volumina der Verbindungsbereiche, wobei sich auch eine kettenförmige Gesamtstruktur ergeben kann.

[0019] Die Literaturstelle Roesch et al.: „Flip chip on laminate reliability – failure mechanisms“, Int. Journal of Microcircuits and Electronic packaging, Bd. 23, Nr. 1, 2000–01, Seiten 53–61, zeigt ferner die grundsätzlichen Fehlermechanismen bei der Flip-Chip-Montage.

[0020] Ferner ist aus der Literaturstelle K. J. Wilson et al.: „Some Problems in the correct failure analy-

sis of Plastic Encapsulated semiconductor devices”, IEEE, 5.–8.5.1986, Seiten 132–137 bekannt, eine Fehleranalyse von in produktrelevanten Plastik-Gehäusen endmontierten Halbleiter-Bausteinen durchzuführen, wobei mittels Trockenätzen Teilbereiche des Gehäuses entfernt werden.

[0021] Der Erfindung liegt die Aufgabe zu Grunde, eine Vorrichtung und ein Verfahren zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins auf Grund von mechanischen Spannungen zu schaffen, wodurch man in relativ kurzer Zeit eine ausreichend genaue Bewertung von Stressmigrations-Eigenschaften erhält.

[0022] Erfindungsgemäß wird diese Aufgabe hinsichtlich der Vorrichtung durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Verfahrens durch die Maßnahmen des Patentanspruchs 10 gelöst.

[0023] Insbesondere durch die Verwendung einer integrierten Heizvorrichtung, die innerhalb oder in unmittelbarer Nähe einer Stressmigrations-Teststruktur im Halbleiter-Baustein zum lokalen Erwärmen der Stressmigrations-Teststruktur ausgebildet ist, erhält man eine ausreichende Beschleunigung zur Verringerung der Testzeiten, wobei eine durch ein produktrelevantes Gehäuse verursachte mechanische Spannung dadurch im Wesentlichen unbeeinflusst bleibt.

[0024] Vorzugsweise besteht die Stressmigrations-Teststruktur aus zumindest einem ersten Leiterbahnbereich, der in einer ersten Leiterbahnschicht ausgebildet ist, zumindest einem zweiten Leiterbahnbereich, der in einer zweiten Leiterbahnschicht ausgebildet ist und zumindest einem Verbindungsbereich, der zwischen den Leiterbahnschichten zum elektrischen Verbinden der ersten und zweiten Leiterbahnbereiche in einer ersten Isolierschicht ausgebildet ist. Da die Stressmigrations-Teststruktur demzufolge in den zur Verfügung stehenden Leiterbahnschichten des Halbleiter-Bausteins ausgebildet ist, erhält man für die ermittelten Messwerte eine hohe Aussagekraft hinsichtlich der Stressmigrations-Eigenschaften im Halbleiter-Baustein.

[0025] Vorzugsweise ist eine Oberfläche und/oder ein Volumen des ersten und/oder ein Volumen zweiten Leiterbahnbereichs wesentlich größer als eine Oberfläche und/oder ein Volumen des Verbindungsbereichs, wodurch man in Kenntnis des Layouts für die weitere Halbleiter-Schaltung eine weitere wesentliche Reduzierung der Zeitdauer für die Zuverlässigkeitsuntersuchung erhält, da die an der vergrößerten Oberfläche wirkende Spannung bzw. Beanspruchung, sowie die Anzahl von diffusionsfähigen Leerstellen im Volumen entsprechend vergrößert ist.

[0026] Zur weiteren Erhöhung einer Messgenauigkeit und der statistischen Signifikanz bei einer Untersuchung von Stressmigrations-Eigenschaften kann die Stressmigrations-Teststruktur eine Vielzahl von ersten und zweiten Leiterbahnbereichen aufweisen, die über eine Vielzahl von Verbindungsbereichen kettenförmig miteinander verbunden sind.

[0027] Vorzugsweise wird die integrierte Heizvorrichtung als Heiz-Leiterbahnbereich innerhalb des zumindest einen ersten oder zweiten Leiterbahnbereichs oder Verbindungsbereichs ausgebildet, wobei der Heiz-Leiterbahnbereich von einem Wechselstrom durchströmt wird. Auf diese Weise erhält man eine besonders effektive Erwärmung der zu untersuchenden Strukturen, wobei insbesondere bei Verwendung eines Wechselstroms der Einfluss von Elektromigration zuverlässig ausgeschlossen werden kann.

[0028] Hinsichtlich des Verfahrens zur Erfassung von Stressmigrations-Eigenschaften wird vorzugsweise zunächst die vorstehend beschriebene Stressmigrations-Erfassungsvorrichtung in einem Halbleiter-Baustein ausgebildet, anschließend der Halbleiter-Baustein auf einen Baustein-Träger montiert und in einem produktrelevanten Gehäuse verpackt, wobei abschließend ein Heizstrom an die integrierte Heizvorrichtung und zum Erfassen der Stressmigrations-Eigenschaften des Halbleiter-Bausteins eine Messspannung an die Stressmigrations-Teststruktur angelegt und ein Strom durch die Stressmigrations-Teststruktur gemessen wird. Auf diese Weise können erstmals auch für produktrelevante Gehäuse, wie beispielsweise Kunststoffgehäuse, die entsprechenden Stressmigrations-Eigenschaften in ausreichend kurzer Zeit hochgenau ermittelt werden.

[0029] In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

[0030] Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

[0031] Es zeigen:

[0032] [Fig. 1A](#) bis [Fig. 1C](#) vereinfachte Schnittansichten zur Veranschaulichung einer herkömmlichen Vorrichtung und eines herkömmlichen Verfahrens zur Erfassung von Stressmigrations-Eigenschaften;

[0033] [Fig. 2](#) eine vereinfachte Schnittansicht zur Veranschaulichung einer Vorrichtung und eines Verfahrens zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins;

[0034] [Fig. 3A](#) eine vereinfachte Draufsicht einer Vorrichtung zur Erfassung von Stressmigrations-Ei-

genschaften gemäß eines ersten Ausführungsbeispiels;

[0035] **Fig. 3B** eine vereinfachte perspektivische Ansicht der Vorrichtung gemäß **Fig. 3A** entlang eines Schnitts I-I;

[0036] **Fig. 4A** eine vereinfachte Draufsicht einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines zweiten Ausführungsbeispiels;

[0037] **Fig. 4B** eine vereinfachte Schnittansicht der Vorrichtung gemäß **Fig. 4A** entlang eines Schnitts II-II; und

[0038] **Fig. 5** eine vereinfachte Draufsicht einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines dritten Ausführungsbeispiels.

[0039] **Fig. 2** zeigt eine vereinfachte Schnittansicht einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente wie in den **Fig. 1A** bis **Fig. 1C** bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

[0040] Gemäß **Fig. 2** werden die Zuverlässigkeitsuntersuchungen zur Charakterisierung von Stressmigrations-Eigenschaften (insbesondere von Metallisierungen) in Halbleiter-Bausteinen IC (integrierten Schaltungen) erfindungsgemäß in einem endmontierten Zustand und nach Verpackung in einem produktrelevanten Gehäuse G durchgeführt.

[0041] Insbesondere bei sogenannten Flip-Chip-Gehäusen G werden mechanische Spannungen im Halbleiter-Baustein IC bis in den Bereich der Fließspannung von sogenannten Bulk-Materialien induziert, weshalb sie ein erhöhtes Zuverlässigkeitsrisiko darstellen. Dieser gemäß des Standes der Technik nicht bewertbare Einfluss wird gemäß **Fig. 2** dadurch erfasst, dass die im Halbleiter-Baustein IC integrierten Stressmigrations-Teststrukturen SMT intern oder in unmittelbarer Nähe davon eine integrierte Heizvorrichtung IH aufweisen, die lokal eine interne Temperatur T_1 größer 150 Grad Celsius erzeugen kann. Demzufolge können die Außentemperaturen beispielsweise bei einer Arbeitstemperatur von $T = T_{\text{operation}}$ liegen, die ausreichend unterhalb einer kunststoffverträglichen Temperatur von maximal 150 Grad Celsius liegt. Auf diese Weise können die in produktrelevanten Gehäusen G verwendeten Kunststoffmaterialien unverändert am Halbleiter-Baustein IC sowie am Baustein-Träger T oder den Lötverbindungen bzw. -kugeln B angreifen und ihre entsprechende mechanische Beanspruchung bzw. Spannung σ_G auf den Halbleiter-Baustein IC unverändert verursachen. Darüber hinaus verbleibt auch außerhalb der Stressmigrations-Teststrukturen SMT eine vorherrschende

mechanische Grundspannung bzw. eine Grundbeanspruchung im Halbleitermaterial bzw. den Verdrahtungs- und/oder Isolatorschichten bei einem unveränderten Wert σ_0 , so dass sich der von der Stressmigrations-Teststruktur SMT erfassbare Stress bzw. die entsprechende Beanspruchung σ zu:

$$\sigma = \sigma_0 + \sigma_G$$

ergibt.

[0042] Gleichwohl kann mittels der integrierten Heizvorrichtung IH eine lokale Erwärmung der Stressmigrations-Teststruktur SMT auf T_1 größer 150 Grad Celsius herbeigeführt werden, wobei vorzugsweise Temperaturen in einem Bereich von 225 Grad Celsius bis 300 Grad Celsius eingestellt werden. Auf diese Weise kann in relativ kurzer Zeit, d. h. 100 bis 2000 Stunden, eine Aussage über die Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins IC getroffen werden.

[0043] Entgegen der herkömmlichen Einlagerung der Halbleiter-Bausteine IC mit ihren produktrelevanten Gehäusen G in einem Ofen, wobei die Gehäuse-Spannungszustände bis hin zum Verfließen in unerwünschter Weise verändert werden, können somit erstmalig produktnahe Tests zur Charakterisierung der Stressmigrations-Eigenschaften insbesondere von Metallisierungen integrierter Schaltungen durchgeführt werden.

[0044] **Fig. 3A** zeigt eine vereinfachte Draufsicht und **Fig. 3B** eine perspektivische Schnittansicht entlang eines Schnitts I-I gemäß **Fig. 3A** einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines ersten Ausführungsbeispiels, wobei gleiche Bezugszeichen wiederum gleiche oder entsprechende Elemente bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

[0045] Gemäß **Fig. 3A** und **Fig. 3B** weist die Stressmigrations-Teststruktur SMT in einer ersten Leiterbahnschicht bzw. Metallisierungsebene L1 zwei erste Leiterbahnbereiche 1 auf, die als Leiterplatten mit einer relativ großen Oberfläche zur optimalen Aufnahme von mechanischen Spannungen bzw. Beanspruchungen und/oder Volumen zum Ausbilden oder Bereitstellen von Leerstellen ausgebildet sind. In einer zweiten Leiterbahnschicht bzw. Metallisierungsebene L2 sind drei zweite Leiterbahnbereiche 2 ausgebildet, die die ersten Leiterbahnbereiche 1 über Verbindungsbereiche 3 in sogenannten Kontaktlöchern oder Vias elektrisch miteinander verbinden. Die Verbindungsbereiche 3 verbinden die ersten und zweiten Leiterbahnbereiche 1 und 2 demzufolge durch ein entsprechendes Kontaktloch bzw. via in einer zwischen den Leiterbahnschichten L1 und L2 liegenden ersten Isolierschicht I1.

[0046] Zur Verbesserung der Empfindlichkeit der Stressmigrations-Teststruktur SMT ist zumindest die Oberfläche und/oder das Volumen der ersten Leiterbahnbereiche **1** wesentlich größer als eine Oberfläche und/oder ein Volumen der Verbindungsbereiche **3**, wodurch sich der stressmigrationsbedingte Materialtransport bzw. eine Hohlräumbildung (voiding) hauptsächlich in den Verbindungsbereichen **3** auswirkt. Diese durch die Stressmigration ausgebildeten Hohlräume sind in den Verbindungsbereichen **3** mit V (Void) bezeichnet.

[0047] In der Stressmigrations-Teststruktur SMT gemäß des ersten Ausführungsbeispiels nach [Fig. 3A](#) und [Fig. 3B](#) besitzen die ersten Leiterbahnbereiche **1** eine wesentlich größere Oberfläche und/oder Volumen als die zweiten Leiterbahnbereiche **2**, wobei auch diese zweiten Leiterbahnbereiche eine entsprechend große Oberfläche und/oder Volumen aufweisen können. In dem dargestellten Ausführungsbeispiel sind diese zweiten Leiterbahnbereiche jedoch auch hervorragend geeignet für eine später beschriebene interne Heizvorrichtung.

[0048] Gemäß [Fig. 3A](#) und [Fig. 3B](#) besteht die Stressmigrations-Teststruktur SMT demzufolge aus einer Vielzahl von ersten Leiterbahnbereichen **1** und einer Vielzahl von zweiten Leiterbahnbereichen **2**, die über eine Vielzahl von Verbindungsbereichen **3** kettenförmig miteinander verbunden sind. Auf Grund dieser kettenförmigen Struktur erhält man eine weitere Verbesserung der statistischen Signifikanz zur Erfassung von Stressmigrations-Eigenschaften in einem Halbleiter-Baustein.

[0049] Zur lokalen Erwärmung der Stressmigrations-Teststruktur SMT ist im ersten Ausführungsbeispiel gemäß [Fig. 3A](#) und [Fig. 3B](#) außerhalb der ersten Leiterbahnbereiche **1** und der zweiten Leiterbahnbereiche **2** oder der Verbindungsbereiche **3** eine integrierte Heizvorrichtung in Form von sich erwärmenden Leiterbahnstrukturen ausgebildet.

[0050] Genauer gesagt ist gemäß [Fig. 3B](#) in der zweiten Leiterbahnschicht L2 unterhalb der ersten Leiterbahnbereiche **1** und zwischen den zweiten Leiterbahnbereichen **2** ein beispielsweise mäanderförmig strukturiertes Leiterband IH1 ausgebildet, welches mit einem Heizstrom durch Joule'sche Erwärmung aufgeheizt werden kann. Der Heizstrom dieser unteren integrierten Heizvorrichtung IH1 kann gemäß [Fig. 3A](#) beispielsweise ein Wechselstrom der ein Gleichstrom DC sein.

[0051] Ferner kann gemäß [Fig. 3B](#) auch in einer durch eine zweite Isolierschicht I2 beabstandete und demzufolge über der ersten Leiterbahnschicht L1 liegenden Leiterbahnschicht L3 eine obere integrierte Heizvorrichtung IH2 ausgebildet sein, die beispielsweise wiederum mäanderförmig strukturiert

sein kann. Eine Erwärmung erfolgt hierbei in gleicher Weise wie bei der unteren integrierten Heizvorrichtung IH1 über einen Gleich- oder Wechselstrom.

[0052] Vorzugsweise weist die integrierte Heizvorrichtung IH1 und IH2 ein polykristallines Halbleitermaterial und insbesondere Polysilizium auf, wodurch man besonders gute Wärmeleiteigenschaften erhält. Es können jedoch in gleicher Weise auch Metallmaterialien verwendet werden. Die in dieser unteren und oberen internen Heizvorrichtung IH1 und IH2 erzeugten Temperaturen liegen üblicherweise über 150 Grad Celsius und vorzugsweise in einem Temperaturbereich von 225 Grad Celsius bis 300 Grad Celsius, wodurch man die Stressmigration insbesondere in den ersten Leiterbahnbereichen **1** optimal beschleunigen kann, ohne dabei eine wesentliche Änderung der Beanspruchungen σ_0 im Halbleiter-Baustein IC und insbesondere der durch das Kunststoffgehäuse G hervorgerufenen Beanspruchungen σ_G zu verursachen.

[0053] Insbesondere bei Verwendung von Silizium als Halbleitermaterial für den Halbleiter-Baustein IC erhält man auf Grund der guten Wärmeleiteigenschaften von Silizium eine ausschließlich lokale Erwärmung, die nur auf ein sehr kleines Gebiet unmittelbar in der Nähe der Stressmigrations-Teststruktur SMT beschränkt ist.

[0054] [Fig. 4A](#) zeigt eine vereinfachte Draufsicht und [Fig. 4B](#) eine vereinfachte Schnittansicht entlang eines Schnitts II-II in [Fig. 4A](#) einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines zweiten Ausführungsbeispiels, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente wie in [Fig. 3A](#) und [Fig. 3B](#) bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

[0055] Gemäß [Fig. 4A](#) und [Fig. 4B](#) besitzt die Stressmigrations-Teststruktur wiederum den gleichen Aufbau wie die Stressmigrations-Teststruktur gemäß des ersten Ausführungsbeispiels, wobei jedoch nunmehr die integrierte Heizvorrichtung unmittelbar in bzw. innerhalb der Stressmigrations-Teststruktur SMT ausgebildet ist. Genauer gesagt weist die Heizvorrichtung gemäß des zweiten Ausführungsbeispiels einen internen Heiz-Leiterbahnbereich IH innerhalb des zumindest ersten Leiterbahnbereichs **1** oder des zweiten Leiterbahnbereichs **2** oder der Verbindungsbereiche **3** auf, wobei der Heiz-Leiterbahnbereich von einem Heizstrom AC durchströmt wird. Vorzugsweise weist der Heizstrom AC einen hohen Wechselstromanteil auf, wobei er vorzugsweise nur Wechselstromkomponenten besitzt. Auf diese Weise kann eine durch Gleichstrom verursachte nicht erwünschte Elektromigration verhindert werden, die eine Messgenauigkeit bei der Erfas-

sung der gewünschten Stressmigrations-Eigenschaften beeinträchtigen würde.

[0056] Der Heizstrom AC wird gemäß **Fig. 4A** und **Fig. 4B** über Anschlussbereiche A unmittelbar an die äußersten zweiten Leiterbahnbereiche 2 der kettenförmig ausgebildeten Stressmigrations-Teststruktur SMT angelegt, wobei insbesondere bei der dargestellten Strukturierung der zweiten Leiterbahnbereiche 2 mit ihren relativ geringen Oberflächen und/oder Volumen und bei Verwendung von gleichartigen Leiterbahnmaterialien eine Joule'sche Erwärmung hauptsächlich in diesen zweiten Leiterbahnbereichen 2 stattfindet, und die ersten Leiterbahnbereiche 1 kaum zur Erwärmung beitragen, jedoch durch Wärmeleitung aufgeheizt werden.

[0057] Gemäß **Fig. 4B** entsteht auf diese Weise wiederum auf Grund von Stressmigration insbesondere in den Verbindungsbereichen 3 ein Hohlraum bzw. Void V, der gegebenenfalls zu einer Verschlechterung der elektrischen Leitfähigkeit bzw. im Extremfall zu einer Unterbrechung der Verbindung führt. Da gemäß dieses zweiten Ausführungsbeispiels auch die Verbindungsbereiche 3 mit Heizstrom durchströmt werden, sollte möglichst keine Gleichstromkomponente im Heizstrom AC vorhanden sein um Schädigungen durch Elektromigration zu vermeiden.

[0058] **Fig. 5** zeigt eine vereinfachte Draufsicht einer Stressmigrations-Teststruktur SMT gemäß eines dritten Ausführungsbeispiels, wobei wiederum gleiche Bezugszeichen gleiche oder entsprechende Elemente wie in den **Fig. 3** und **Fig. 4** bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

[0059] Die Vorrichtung gemäß **Fig. 5** entspricht hierbei im Wesentlichen der Vorrichtung gemäß des zweiten Ausführungsbeispiels, wobei wiederum die interne Heizvorrichtung IH innerhalb bzw. als Teil der Stressmigrations-Teststruktur ausgebildet ist.

[0060] Im Gegensatz zu den **Fig. 4A** und **Fig. 4B** wird nunmehr jedoch nicht die gesamte Stressmigrations-Teststruktur SMT mit einem Heizstrom AC belastet und somit durch Joule'sche Erwärmung erhitzt, sondern lediglich ein zwischen den ersten Leiterbahnbereichen 1 liegender zweiter Leiterbahnbereich 2 an den Heizstrom AC über Anschlussbereiche A angeschlossen. Somit erfolgt die Erwärmung der Struktur lediglich in diesem zwischen den ersten Leiterbahnbereichen 1 liegenden zweiten Leiterbahnbereich 2, wodurch sich eine elektrische Belastung der Verbindungsbereiche bzw. Vias 3 vermeiden lässt. Auf Grund der ausreichenden Wärmeleitung werden dennoch diese unmittelbar angrenzenden Leiterbahnbereiche 3 ausreichend von der unteren bzw. zweiten Leiterbahnschicht L2 erhitzt, so dass man eine ausreichend beschleunigte Stressmi-

gration erhält. Wiederum sollte zur Vermeidung von Schädigungen durch Elektromigration möglichst keine Gleichstromkomponente im Heizstrom AC vorhanden sein.

[0061] Als Materialien für die jeweiligen Leiterbahnschichten und Verbindungsbereiche können die jeweils in Halbleiter-Bausteinen zur Verfügung stehenden Leiterbahn- bzw. Metallisierungs-Materialien verwendet werden, wobei insbesondere Kupfer und/oder Aluminium als Materialien für die Leiterbahnschichten und Kupfer, Aluminium oder Wolfram für die Verbindungsbereiche verwendet werden können.

[0062] Hinsichtlich des Verfahrens zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins wird vorgeschlagen, dass zunächst die vorstehend beschriebenen Stressmigrations-Teststrukturen mit ihren jeweiligen internen oder unmittelbar in der Nähe ausgebildeten integrierten Heizvorrichtungen im Halbleiter-Baustein ausgebildet werden, wobei anschließend der Halbleiter-Baustein auf einem Baustein-Träger T, der vorzugsweise einen Anschlussrahmen bzw. Lead Frame eines Flip-Chip-Gehäuses darstellt, montiert wird. Anschließend wird das produktrelevante Gehäuse vorzugsweise mittels eines Kunststoff-Spritzguss-Verfahrens ausgebildet und nach dem Auskühlen bzw. Erhärten des Kunststoffes die eigentliche Zuverlässigkeitsuntersuchung im endmontierten Zustand durchgeführt. Hierbei wird zunächst ein Heizstrom an die integrierte Heizvorrichtung angelegt und ferner zur Erfassung der Stressmigrations-Eigenschaften des Halbleiter-Bausteins eine Messspannung an die Stressmigrations-Teststruktur angelegt und ein durch die Stressmigrations-Teststruktur fließender Strom gemessen. Das Anlegen des Heizstroms sowie das Anlegen der Messspannung kann hierbei gleichzeitig oder zeitlich voneinander getrennt durchgeführt werden, wodurch man eine weitere Vereinfachung des Testverfahrens und Beschleunigung erhält.

[0063] Die Erfindung wurde vorstehend anhand eines in einem Flip-Chip-Gehäuse gepackten Halbleiter-Bausteins beschrieben. Sie kann in gleicher Weise alle weiteren produktrelevanten Gehäuse aufweisen. In gleicher Weise kann die Stressmigrations-Teststruktur Weise alternative Formen und Ausgestaltungen umfassen, wobei eine integrierte Heizvorrichtung innerhalb oder in unmittelbarer Nähe der Stressmigrations-Teststruktur eine lokale Erwärmung herbeiführt.

Bezugszeichenliste

1	erster Leiterbahnbereich
2	zweiter Leiterbahnbereich
3	Verbindungsbereich
SMT	Stressmigrations-Teststruktur

IC	Halbleiter-Baustein
B	Lötverbindung
T	Baustein-Träger
TG	Testgehäuse
G	produktrelevantes Gehäuse
EH	externe Heizung
IH, IH1, IH2	integrierte Heizung
AC/DC	Heizstrom
V	Hohlraum
A	Anschlussbereich
L1, L2, L3	Leiterbahnschichten
I1, I2	Isolierschichten

Patentansprüche

1. Vorrichtung zur Erfassung von Spannungsmigrations-Eigenschaften eines Halbleiter-Bausteins (IC) auf Grund von mechanischen Spannungen mit einer Spannungsmigrations-Teststruktur (SMT), die im Halbleiter-Baustein (IC) zum Erfassen der Spannungsmigrations-Eigenschaften ausgebildet ist, wobei der Halbleiter-Baustein (IC) auf einem Bausteinträger (T) in einem produktrelevanten Gehäuse (G) endmontiert ist,

gekennzeichnet durch

eine integrierte Heizvorrichtung (IH), die innerhalb oder in unmittelbarer Nähe der Spannungsmigrations-Teststruktur (SMT) im Halbleiter-Baustein (IC) zum lokalen Erwärmen der Spannungsmigrations-Teststruktur (SMT) ausgebildet ist.

2. Vorrichtung nach Patentanspruch 1, dadurch gekennzeichnet, dass die Spannungsmigrations-Teststruktur (SMT) zumindest einen ersten Leiterbahnbereich (1) in einer ersten Leiterbahnschicht (L1), zumindest einen zweiten Leiterbahnbereich (2) in einer zweiten Leiterbahnschicht (L2), und zumindest einen Verbindungsbereich (3) zum elektrischen Verbinden der Leiterbahnbereiche (1, 2) durch eine erste Isolierschicht (I1), die zwischen den Leiterbahnschichten (L1, L2) ausgebildet ist, aufweist.

3. Vorrichtung nach Patentanspruch 2, dadurch gekennzeichnet, dass eine Oberfläche und/oder ein Volumen des ersten und/oder zweiten Leiterbahnbereichs (1, 2) wesentlich größer ist als eine Oberfläche und/oder ein Volumen des Verbindungsbereichs (3).

4. Vorrichtung nach einem der Patentansprüche 1 bis 3, dadurch gekennzeichnet, dass das produktrelevante Gehäuse (G) ein Kunststoffgehäuse darstellt.

5. Vorrichtung nach einem der Patentansprüche 2 bis 4, dadurch gekennzeichnet, dass die Spannungsmigrations-Teststruktur (SMT) eine Vielzahl von ersten und zweiten Leiterbahnbereichen (1, 2) aufweist, die über eine Vielzahl von Verbindungsbereichen (3) kettenförmig miteinander verbunden sind.

6. Vorrichtung nach einem der Patentansprüche 2 bis 5, dadurch gekennzeichnet, dass die integrierte Heizvorrichtung (IH) einen Heiz-Leiterbahnbereich (IH1, IH2) außerhalb des zumindest einen ersten oder zweiten Leiterbahnbereichs (1, 2) oder Verbindungsbereichs (3) aufweist, wobei der Heiz-Leiterbahnbereich von einem Heizstrom (AC, DC) durchströmt wird.

7. Vorrichtung nach Patentanspruch 6, dadurch gekennzeichnet, dass der Heiz-Leiterbahnbereich (IH1, IH2) in der ersten Leiterbahnschicht (L1), der zweiten Leiterbahnschicht (L2) oder einer weiteren an den ersten oder zweiten Leiterbahnbereich (1, 2) angrenzenden Leiterbahnschicht (L3) ausgebildet ist.

8. Vorrichtung nach einem der Patentansprüche 2 bis 5, dadurch gekennzeichnet, dass die integrierte Heizvorrichtung einen Heiz-Leiterbahnbereich (IH) innerhalb des zumindest einen ersten oder zweiten Leiterbahnbereichs (1, 2) oder des Verbindungsbereichs (3) aufweist, wobei der Heiz-Leiterbahnbereich (IH) von einem Heizstrom (AC) durchströmt wird.

9. Vorrichtung nach einem der Patentansprüche 1 bis 8, dadurch gekennzeichnet, dass die integrierte Heizvorrichtung (IH) Polysilizium oder Metall und der Halbleiter-Baustein (IC) ein Silizium-Halbleitermaterial aufweist.

10. Verfahren zur Erfassung von Spannungsmigrations-Eigenschaften auf Grund von mechanischen Spannungen eines in einem produktrelevanten Gehäuse (G) endmontierten Halbleiter-Bausteins (IC) mit den Schritten:

- Ausbilden einer Erfassungsvorrichtung nach einem der Patentansprüche 1 bis 9 in einem Halbleiter-Baustein (IC);
- Montieren des Halbleiter-Bausteins (IC) auf einem Baustein-Träger (T);
- Ausbilden eines produktrelevanten Gehäuses (G) um den montierten Halbleiter-Baustein (IC);
- Anlegen eines Heizstroms (AC, DC) an die integrierte Heizvorrichtung (IH); und
- Anlegen einer Messspannung an die Spannungsmigrations-Teststruktur (SMT) und Messen eines Stroms durch die Spannungsmigrations-Teststruktur (SMT) zum Erfassen der Spannungsmigrations-Eigenschaften des Halbleiter-Bausteins.

11. Verfahren nach Patentanspruch 10, dadurch gekennzeichnet, dass in Schritt b) als Baustein-Träger (T) ein Flip-chip-Träger montiert wird.

12. Verfahren nach einem der Patentansprüche 10 oder 11, dadurch gekennzeichnet, dass in Schritt c) ein Kunststoff-Spritzguss-Verfahren durchgeführt wird.

13. Verfahren nach einem der Patentansprüche 10 bis 12, dadurch gekennzeichnet, dass in Schritt d) ein Heizstrom zum Erzeugen einer lokalen Temperatur (T_l) größer 150 Grad Celsius und insbesondere zum Erzeugen einer Temperatur (T_l) in einem Bereich von 225 Grad Celsius bis 300 Grad Celsius angelegt wird.

14. Verfahren nach einem der Patentansprüche 10 bis 13, dadurch gekennzeichnet, dass die Schritte d) und e) gleichzeitig oder zeitlich voneinander getrennt durchgeführt werden.

15. Verfahren nach einem der Patentansprüche 10 bis 14, dadurch gekennzeichnet, dass der Heizstrom (AC) einen Wechselstromanteil aufweist.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1A Stand der Technik

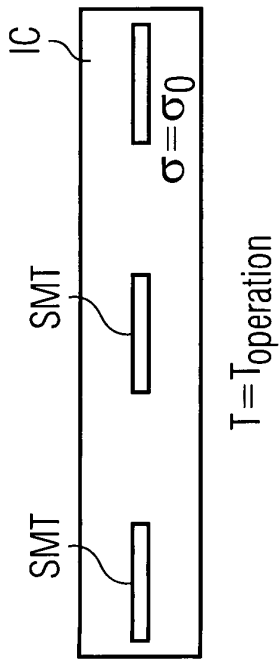


FIG 1B Stand der Technik

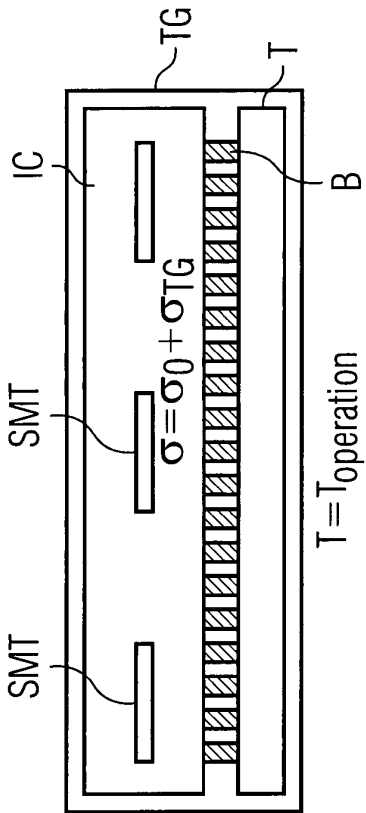


FIG 1C Stand der Technik

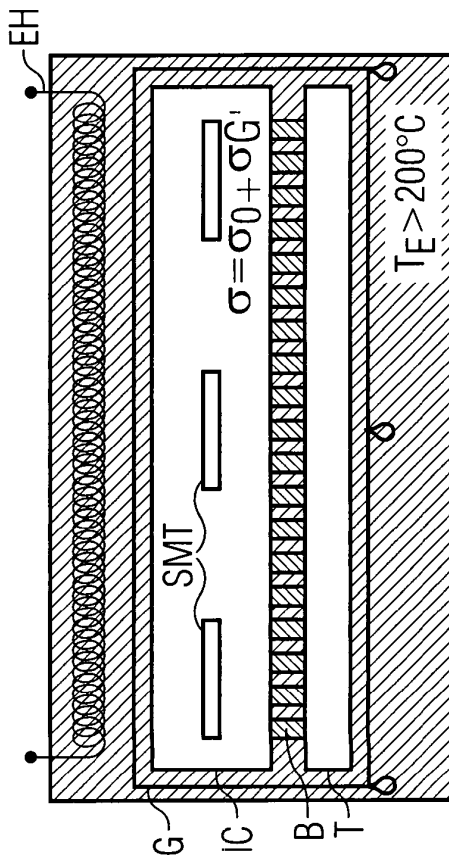
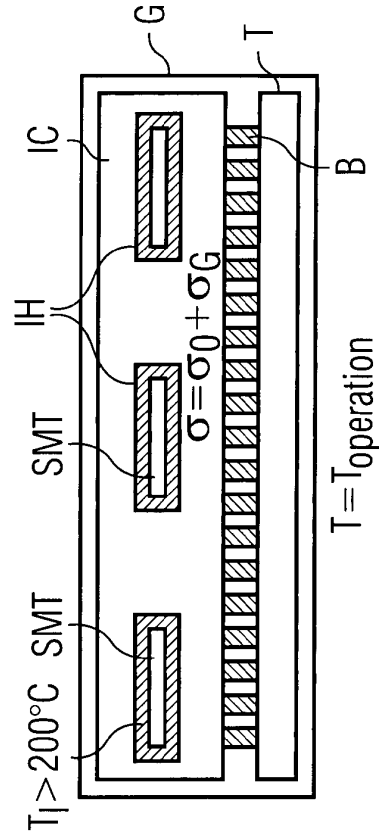


FIG 2



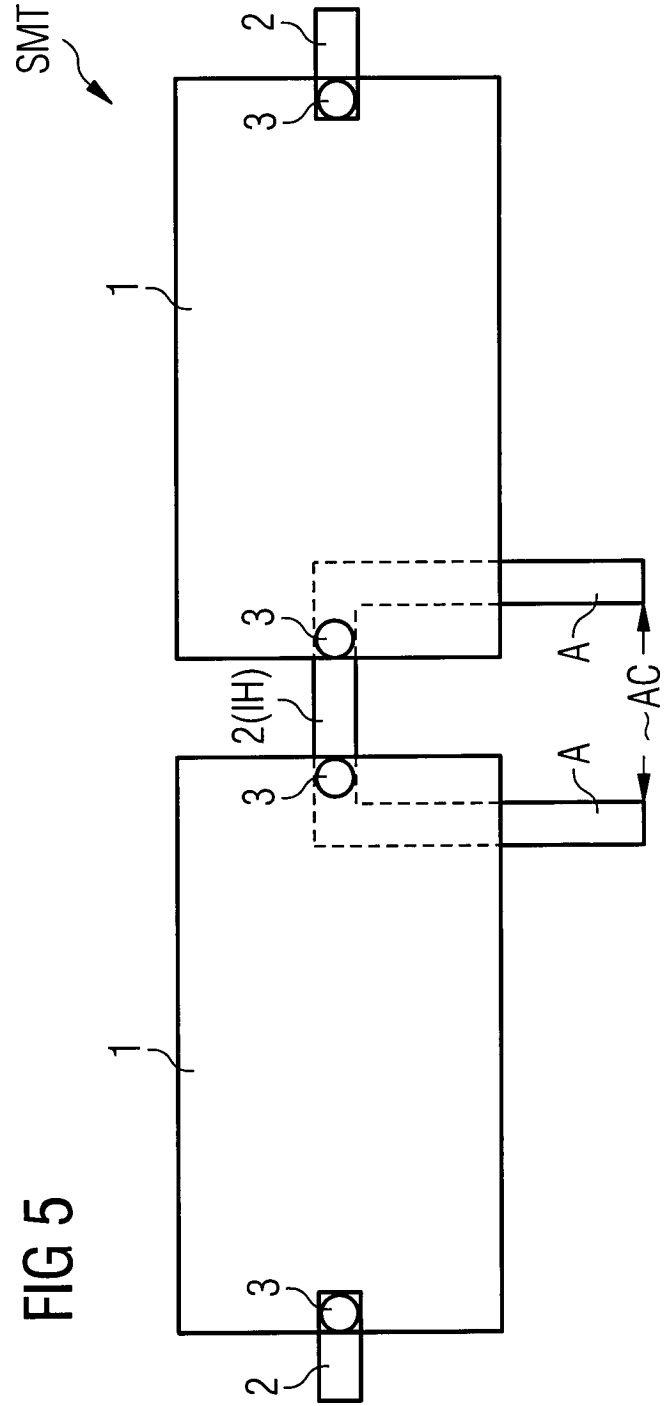


FIG 5