

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/64 (2006.01)

G11C 8/00 (2006.01)

G11C 11/34 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410005229.0

[45] 授权公告日 2007年3月7日

[11] 授权公告号 CN 1303661C

[22] 申请日 2004.2.17

[21] 申请号 200410005229.0

[30] 优先权

[32] 2003.6.27 [33] KR [31] 42422/03

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 具滋昇

[56] 参考文献

JP11-45570A 1999.2.16

US5959930A 1999.9.28

JP2002-165383A 2002.6.7

US6112322A 2000.8.29

US4222112 1980.9.9

审查员 刘子晓

[74] 专利代理机构 北京市柳沈律师事务所

代理人 王志森 黄小临

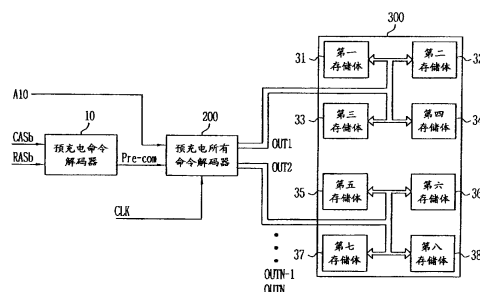
权利要求书 4 页 说明书 5 页 附图 4 页

[54] 发明名称

半导体存储器器件中的预充电装置及其预充电方法

[57] 摘要

本发明公开一种半导体存储器器件中的预充电装置及使用该装置的预充电方法。该预充电装置包括：一存储器阵列，该存储器阵列中的多个存储体被分成至少两存储器组；以及一预充电所有命令解码器，用于根据一预充电命令信号及一地址信号来产生至少两个预充电信号，其中根据一控制信号以按照一时间滞后来输出该至少两个预充电信号，以便按照一时间滞后来预充电该至少两存储器组。因此，峰值电流被分散而得以减少功率跳动。



1. 一种半导体存储器器件中的预充电装置，该预充电装置被连接至一具有多个存储体的存储器阵列，该多个存储体被分成至少两存储器组，并且该预充电装置包括：

一预充电所有命令解码器，用于根据一预充电命令信号及一地址信号来产生至少两个预充电信号，该预充电所有命令解码器包括：

一“与非”门，用于对该预充电命令信号及该地址信号执行一“与非”运算；

一第一锁存器，用于锁存该“与非”门的输出以产生一第一预充电信号；

一第一传输门，当控制信号变成高电平状态时开通该第一传输门；

一第二锁存器，用于经由该第一传输门来锁存该第一锁存器的输出；

一第二传输门，当该控制信号变成低电平状态时开通该第二传输门；以及

一第三锁存器，用于经由该第二传输门来锁存该第二锁存器的输出，以产生一第二预充电信号，

其中根据该控制信号以按照一时间滞后来分别输出该至少两个预充电信号，以便按照一时间滞后来预充电该至少两存储器组。

2. 如权利要求1的预充电装置，其中该预充电装置还包括一预充电命令解码器，用于产生一预充电命令信号。

3. 如权利要求1的预充电装置，其中该第一锁器包括：

一第一反相器，用于将该“与非”门的输出反相；以及

一第二反相器，用于将该第一反相器的输出反相，接着将该已反相的输出提供至该第一反相器的输入端。

4. 如权利要求1的预充电装置，其中该第二锁器包括：

一第一反相器，用于经由该第一传输门来将该第一锁存器的输出反相；以及

一第二反相器，用于将该第一反相器的输出反相，接着将该已反相的输出提供至该第一反相器的输入端。

5. 如权利要求 1 的预充电装置, 其中该第三锁器包括:

一第一反相器, 用于经由该第二传输门来将该第二锁存器的输出反相; 以及将

一第二反相器, 用于将该第一反相器的输出反相, 接着将该已反相的输出提供至该第一反相器的输入端。

6. 一种半导体存储器器件中的预充电装置, 该预充电装置被连接至一具有八个存储体的存储器阵列, 该八个存储体被分成至少两存储器组, 并且该预充电装置包括:

一预充电命令解码器, 用于产生一预充电命令信号;

一预充电所有命令解码器, 用于在一预充电所有命令操作时, 根据该预充电命令信号及一地址信号产生一第一预充电信号及一第二预充电信号, 该预充电所有命令解码器包括:

一“与非”门, 用于对该预充电命令信号及该地址信号执行一“与非”运算;

一第一锁存器, 用于锁存该“与非”门的输出以产生一第一预充电信号;

一第一传输门, 当控制信号变成高电平状态时开通该第一传输门;

一第二锁存器, 用于经由该第一传输门来锁存该第一锁存器的输出;

一第二传输门, 当该控制信号变成低电平状态时开通该第二传输门; 以及

一第三锁存器, 用于经由该第二传输门来锁存该第二锁存器的输出, 以产生一第二预充电信号,

其中根据该控制信号以按照一时间滞后来分别输出该第一预充电信号和该第二预充电信号, 以便按照一时间滞后来预充电该两存储器组。

7. 如权利要求 6 的预充电装置, 其中该第一锁存器包括:

一第一反相器, 用于将该“与非”门的输出反相; 以及

一第二反相器, 用于将该第一反相器的输出反相, 接着将该已反相的输出提供至该第一反相器的输入端。

8. 如权利要求 6 的预充电装置, 其中该第二锁器包括:

一第一反相器, 用于经由该第一传输门来将该第一锁存器的输出反相;

以及

一第二反相器，用于将该第一反相器的输出反相，接着将该已反相的输出提供至该第一反相器的输入端。

9. 如权利要求6的预充电装置，其中该第三锁存器包括：

一第一反相器，用于经由该第二传输门来将该第二锁存器的输出反相；

以及

一第二反相器，用于将该第一反相器的输出反相，接着将该已反相的输出提供至该第一反相器的输入端。

10. 一种半导体存储器器件中的预充电装置，该预充电装置被连接至一具有多个存储体的存储器阵列，该多个存储体被分成至少两存储器组，并且该预充电装置包括：

一预充电所有命令解码器，用于根据一预充电命令信号、一地址信号及一时钟信号来产生预充电信号，该预充电所有命令解码器包括：多个锁存器，其串联连接，并且按照对应于一个时钟信号的周期的时间滞后来输出所述各个预充电信号，

其中响应于所述各个预充电信号按照一时间滞后来预充电该至少两存储器组，

并且其中，该预充电所有命令解码器包括：

一“与非”门，用于对该预充电命令信号及该地址信号执行一“与非”运算；

一第一锁存器，用于锁存该“与非”门的输出以产生一第一预充电信号；

一第一传输门，当控制信号变成高电平状态时开通该第一传输门；

一第二锁存器，用于经由该第一传输门来锁存该第一锁存器的输出；

一第二传输门，当该控制信号变成低电平状态时开通该第二传输门；

以及

一第三锁存器，用于经由该第二传输门来锁存该第二锁存器的输出，以产生一第二预充电信号。

11. 如权利要求10的预充电装置，

其中该预充电装置还包括一预充电命令解码器，用于产生该预充电命令信号。

12. 如权利要求 10 的预充电装置，其中该第一锁存器包括：

一第一反相器，用于将该“与非”门的输出反相；以及

一第二反相器，用于将该第一反相器的输出反相，接着将该已反相的输出提供至该第一反相器的输入端。

13. 如权利要求 10 的预充电装置，其中该第二锁器包括：

一第一反相器，用于经由该第一传输门来将该第一锁存器的输出反相；

以及

一第二反相器，用于将该第一反相器的输出反相，接着将该已反相的输出提供至该第一反相器的输入端。

14. 如权利要求 10 的预充电装置，其中该第三锁存器包括：

一第一反相器，用于经由该第二传输门来将该第二锁存器的输出反相；

以及

一第二反相器，用于将该第一反相器的输出反相，接着将该已反相的输出提供至该第一反相器的输入端。

半导体存储器器件中的预充电装置及其预充电方法

技术领域

本发明关于一种半导体存储器器件中的预充电装置及使用该装置的预充电方法，具体而言，关于一种 DDR II SDRAM 中的预充电装置及使用该装置的预充电方法。

背景技术

为了增加动态随机存取存储器的操作速度，已开发出与一外部系统时钟同步的同步动态随机存取存储器(下文中直接称为“SDRAM”)。

而且，为了进一步提高数据处理速度，已开发出以与一时钟的上升边沿和下降边沿同步的方式来处理数据的双倍数据速率(下文中直接称为“DDR”)SDRAM 以及 Rambus DRAM。

在 DDR II SDRAM 中，存储器阵列是由多个存储体(bank)组成。在预充电所有命令操作时，按照一定电平来预充电所有存储体中的多对位线。

现在将参考图 1 及图 2 来说明常规预充电操作。

如图 1 所示，一存储器阵列 100 由多个存储体 31 至 38 组成。一预充电命令解码器 10 根据控制信号 WEB、CSb 和 RASb 产生一预充电命令信号 Pre_Com。一预充电所有命令解码器 20 根据一地址信号 A10 及该预充电命令信号 Pre_Com 产生一预充电信号 out。利用该预充电信号 out 来预充电所有存储体 31 至 38。

现在将参考图 2 来详细说明该预充电所有命令解码器 20 的操作。

如果该地址信号 A10 及该预充电命令信号 Pre_Com 都处于高电平(HIGH)状态，则一“与非”(NAND)门 G1 的输出变成低电平(LOW)状态。由于一反相器 G3 将该“与非”(NAND)门 G1 的输出反相，所以该反相器 G3 的输出变成高电平(HIGH)状态。由于一反相器 G2 将该反相器 G3 的输出反相并且接着提供至该反相器 G3 的输入端，所以该反相器 G3 的输出维持高电平(HIGH)状态。此时，该反相器 G2 与该反相器 G3 的耦接称为一锁存器 40。换言之，该“与非”(NAND)门 G1 的被反相的输出保存在该锁存

器 40 中。

当每次在所有存储体中执行预充电操作时，就发生功率的电平跳动 (bunch)。在使用低于 DDR SDRAM 的功率的 DDR II SDRAM 中，电平跳动造成进一步减低有效提供电平。

发明内容

据此，本发明的设计是为了解决前面的问题。本发明目的是提供一种半导体存储器器件中的预充电装置及使用该装置的预充电方法。

根据本发明，在 DDR II SDRAM 中，存储器被分成至少两组，其中执行预充电所有命令操作。以此方式，由于峰值电流被分散而得以减少功率跳动。

根据本发明一个方面，为实现本发明目的，本发明提供一种半导体存储器器件中的预充电装置，该预充电装置被连接至一具有多个存储体的存储器阵列，该多个存储体被分成至少两存储器组，并且该预充电装置包括：

一预充电所有命令解码器，用于根据一预充电命令信号及一地址信号来产生至少两个预充电信号，该预充电所有命令解码器包括：一“与非”门，用于对该预充电命令信号及该地址信号执行一“与非”运算；一第一锁存器，用于锁存该“与非”门的输出以产生一第一预充电信号；一第一传输门，当控制信号变成高电平状态时开通该第一传输门；一第二锁存器，用于经由该第一传输门来锁存该第一锁存器的输出；一第二传输门，当该控制信号变成低电平状态时开通该第二传输门；以及一第三锁存器，用于经由该第二传输门来锁存该第二锁存器的输出，以产生一第二预充电信号，其中根据该控制信号以按照一时间滞后来分别输出该至少两个预充电信号，以便按照一时间滞后来预充电该至少两存储器组。

根据本发明另一方面，本发明提供一种半导体存储器器件中的预充电装置，该预充电装置被连接至一具有八个存储体的存储器阵列，该八个存储体被分成至少两存储器组，并且该预充电装置包括：一预充电命令解码器，用于产生一预充电命令信号；一预充电所有命令解码器，用于在一预充电所有命令操作时，根据该预充电命令信号及一地址信号产生一第一预充电信号及一第二预充电信号，该预充电所有命令解码器包括：一“与非”门，用于对该预充电命令信号及该地址信号执行一“与非”运算；一第一

锁存器，用于锁存该“与非”门的输出以产生一第一预充电信号；一第一传输门，当控制信号变成高电平状态时开通该第一传输门；一第二锁存器，用于经由该第一传输门来锁存该第一锁存器的输出；一第二传输门，当该控制信号变成低电平状态时开通该第二传输门；以及一第三锁存器，用于经由该第二传输门来锁存该第二锁存器的输出，以产生一第二预充电信号，其中根据该控制信号以按照一时间滞后来分别输出该第一预充电信号和该第二预充电信号，以便按照一时间滞后来预充电该两存储器组。

根据本发明另一方面，本发明提供一种半导体存储器器件中的预充电装置，该预充电装置被连接至一具有多个存储体的存储器阵列，该多个存储体被分成至少两存储器组，并且该预充电装置包括：一预充电所有命令解码器，用于根据一预充电命令信号、一地址信号及一时钟信号来产生预充电信号，该预充电所有命令解码器包括：多个锁存器，其串联连接，并且按照对应于一个时钟信号的周期的时间滞后来输出所述各个预充电信号，其中响应于所述各个预充电信号按照一时间滞后来预充电该至少两存储器组，并且其中，该预充电所有命令解码器包括：一“与非”门，用于对该预充电命令信号及该地址信号执行一“与非”运算；一第一锁存器，用于锁存该“与非”门的输出以产生一第一预充电信号；一第一传输门，当控制信号变成高电平状态时开通该第一传输门；一第二锁存器，用于经由该第一传输门来锁存该第一锁存器的输出；一第二传输门，当该控制信号变成低电平状态时开通该第二传输门；以及一第三锁存器，用于经由该第二传输门来锁存该第二锁存器的输出，以产生一第二预充电信号。

附图说明

根据配合附图对提供的优选实施例的详细说明，将可完全明白本发明的前述及其他目的、特征及优点，其中：

图 1 表示常规预充电装置的方块图；

图 2 表示图 1 所示的预充电所有命令解码器的详细电路图；

图 3 表示根据本发明一实施例的预充电装置的方块图；

图 4 表示图 3 所示的预充电所有命令解码器的详细电路图；以及

图 5 表示用于解说图 4 所示的预充电所有命令解码器的操作的波形。

具体实施方式

接下来，现在将参考附图来详细说明根据本发明实施例的预充电装置及使用该装置的预充电方法。

图3表示根据本发明一实施例的预充电装置的方块图。

如图3所示，一存储器阵列300是由多个存储体31至38组成。第一至第四存储体31至34构成一存储器组，而且第五至第八存储体35至38构成一存储器组。也就是说，该存储器阵列300是由两组组成。

一预充电命令解码器10根据控制信号WEB、CSb和RASb产生一预充电命令信号Pre_Com。一预充电所有命令解码器200根据一地址信号A10(例如，自动预充电信号)、该预充电命令信号Pre_Com及一控制信号CLK产生一第一预充电信号OUT1及一第二预充电信号OUT2。此时，可使用一种脉冲类型的时钟信号作为该控制信号CLK。当触发该时钟信号时，该第二预充电信号OUT2的延迟时间相同于该第一预充电信号OUT1的延迟时间。利用该第一预充电信号OUT1预充电该第一至第四存储体31至34，接着利用该第二预充电信号OUT2预充电该第五至第八存储体35至38。

现在将参考图4及图5来详细说明该预充电所有命令解码器200的操作。

如果该地址信号A10及该预充电命令信号Pre_Com都处于高电平(HIGH)状态，则一反相门G4的输出变成低电平(LOW)状态。由于在一反相器G6中将该反相门G4的输出反相，所以该反相器G6的输出变成高电平(HIGH)状态。由于在一反相器G5中将该反相器G6的输出反相并且接着提供至该反相器G6的输入端，所以该反相器G6的输出维持高电平(HIGH)状态。此时，该反相器G5与该反相器G6的耦接称为一锁存器50。换言之，该反相门G4的被反相的输出保存在该锁存器50中。该锁存器50的输出变成该第一预充电信号OUT1，并且此时利用该第一预充电信号OUT1预充电图4中的该第一至第四存储体31至34。

在经过一段时间之后，如果该控制信号CLK变成高电平(HIGH)状态，则一反相门G11的输出变成低电平(LOW)状态。以此方式开通一传输门T1。因此，由于在一反相器G8中将该锁存器50的输出反相，所以该反相器G8的输出变成低电平(LOW)状态。由于在一反相器G7中将该反相器G8的输出反相并且接着提供至该反相器G8的输入端，所以该反相器G8的输出维

持低电平(LOW)状态,如图5中的波形L2所示。此时,该反相器G7与该反相器G8的耦接称为一锁存器60。换言之,该锁存器50的被反相的输出保存在该锁存器60中。

之后,如果该控制信号CLK变成低电平(LOW)状态,由于该反相门G11的输出变成高电平(HIGH)状态,因而开通一传输门T2。因此,由于在一反相器G10中将该锁存器60的输出反相,所以该反相器G10的输出变成高电平(HIGH)状态。由于在一反相器G9中将该反相器G10的输出反相并且接着提供至该反相器G10的输入端,所以该反相器G10的输出维持高电平(HIGH)状态。此时,该反相器G9与该反相器G10的耦接称为一锁存器70。也就是说,该锁存器60的被反相的输出保存在该锁存器70中。该锁存器70的输出变成该第二预充电信号OUT2,并且此时利用该第二预充电信号OUT2预充电图4中的该第五至第八存储体35至38。

换言之,预充电该第一至第四存储体31至34之后(例如,在一时钟脉冲的时间延迟之后),预充电该第五至第八存储体35至38。因此,峰值电流被分散而得以减少功率跳动。

前面的实施例已说明该存储器阵列300是由多个存储体所组成,并且该多个存储体被分成两组。然而,本领域的技术人员会明白,可将存储器阵列分成两组或两组以上的多个组。假使将该存储器阵列300分成两组或两组以上的多个组,则重复构成图4中的虚线的方块500,以便产生数量等于存储器组数量的预充电信号OUT1、OUT2、OUTN-1、OUTN。当然,此时预充电信号只有一时间迟滞,如上文所述。

根据如上文所述的本发明,在DDR II SDRAM中,存储器被分成至少两组,其中执行预充电所有命令操作。以此方式,峰值电流被分散而得以减少功率跳动。

虽然本文中配合附图中图解的实施例来解说本发明,但是应明白本发明不限于任何实施例。本领域的技术人员会明白,可进行各种替换、变更及修改,而不脱离本发明的精神及范畴。

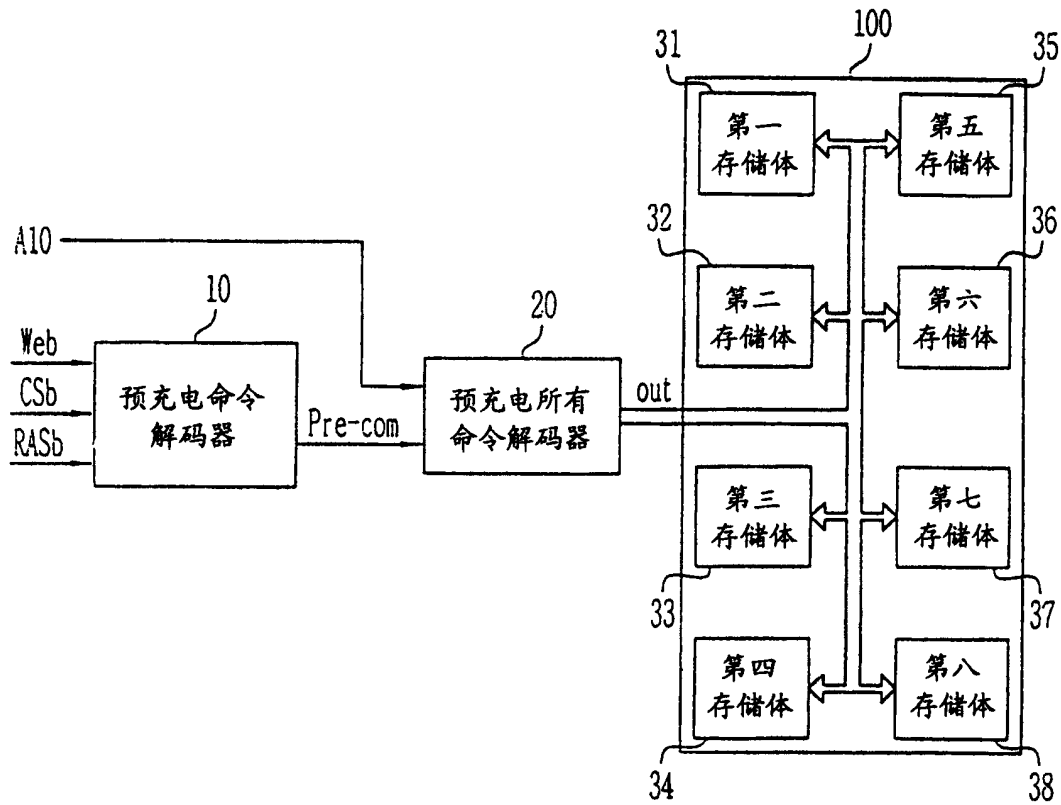


图 1

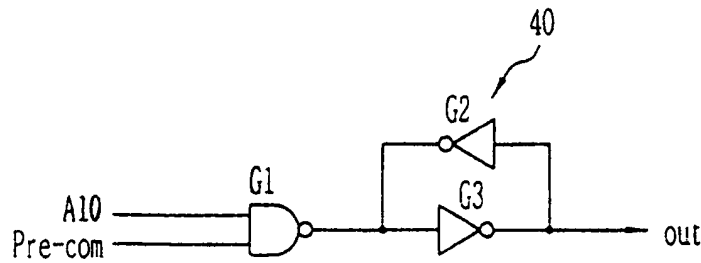


图 2

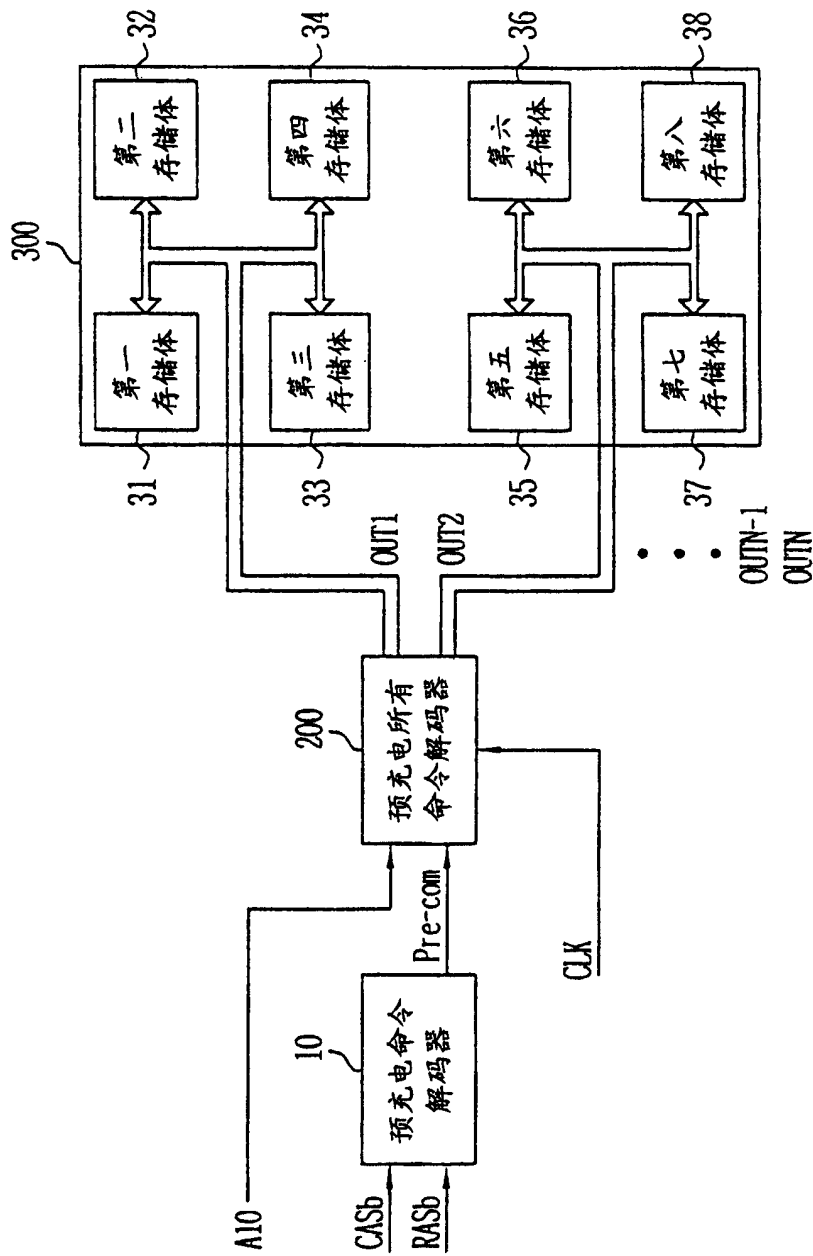


图 3

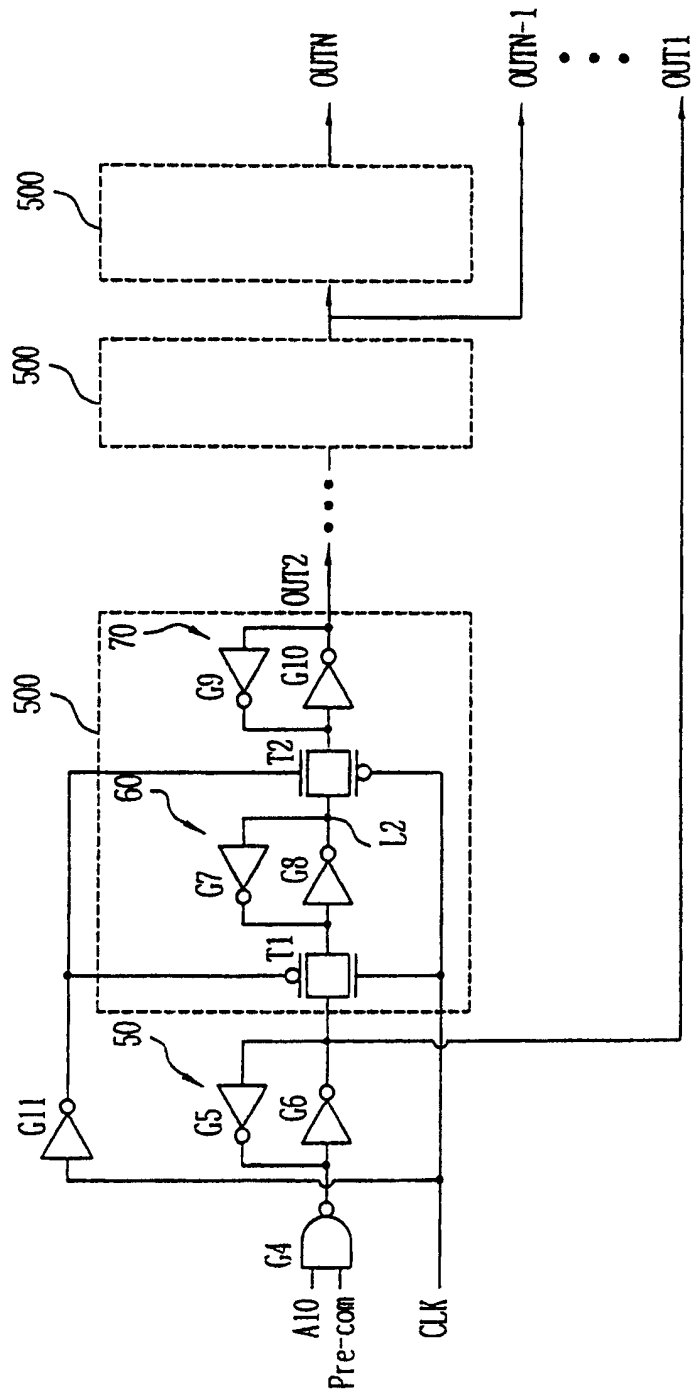


图 4

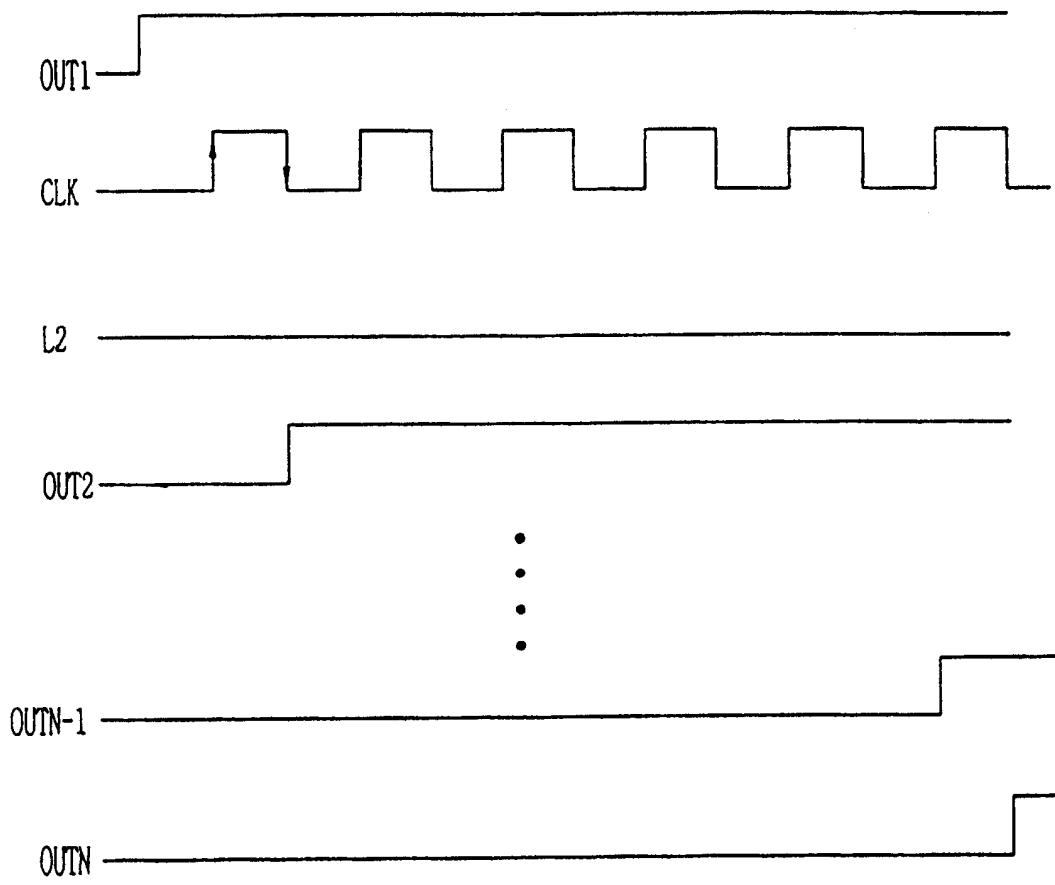


图 5