

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6514519号
(P6514519)

(45) 発行日 令和1年5月15日(2019.5.15)

(24) 登録日 平成31年4月19日(2019.4.19)

(51) Int.Cl.	F I				
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 2 H		
HO 1 L 29/06	(2006.01)	HO 1 L 29/78	6 5 3 A		
HO 1 L 21/336	(2006.01)	HO 1 L 29/06	3 0 1 D		
		HO 1 L 29/06	3 0 1 V		
		HO 1 L 29/78	6 5 2 P		
請求項の数 9 (全 31 頁) 最終頁に続く					

(21) 出願番号	特願2015-27266 (P2015-27266)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成27年2月16日(2015.2.16)	(74) 代理人	110002066 特許業務法人筒井国際特許事務所
(65) 公開番号	特開2016-152242 (P2016-152242A)	(72) 発明者	大谷 欣也 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
(43) 公開日	平成28年8月22日(2016.8.22)	(72) 発明者	西村 康弘 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
審査請求日	平成29年11月20日(2017.11.20)	審査官	恩田 和彦
最終頁に続く			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

- (a) p型の半導体基板を用意する工程、
- (b) 前記半導体基板上にn型の半導体膜をエピタキシャル成長させる工程、
- (c) 前記半導体膜の第1領域にp型の第1不純物をイオン注入し、前記半導体膜の第2領域であって、前記第1領域と隣接した前記第2領域に前記第1不純物をイオン注入しないことにより、前記第1不純物が導入された前記第1領域からなるp型の第1半導体領域、および、前記第1不純物が導入されていない前記第2領域からなるn型の第2半導体領域を形成する工程、
- (d) 前記半導体膜の上面から前記第1半導体領域の途中まで達する第1溝部を形成する工程、
- (e) 前記第1溝部の内壁にゲート絶縁膜を形成する工程、
- (f) 前記ゲート絶縁膜上に、前記第1溝部を埋め込むようにゲート電極を形成する工程、
- (g) 前記第1半導体領域の上層部、および、前記第2半導体領域の上層部に、n型の第3半導体領域を形成する工程、
- (h) 前記第3半導体領域の上層部に、p型の第4半導体領域を形成する工程、
- (i) 前記第3半導体領域および前記第4半導体領域と接触したソース電極を形成する工程、
- (j) 前記半導体基板と電氣的に接続されたドレイン電極を形成する工程、

10

20

を有し、

前記第 1 半導体領域、前記第 3 半導体領域、前記第 4 半導体領域、前記ゲート絶縁膜および前記ゲート電極により、トランジスタが形成され、

前記 (b) 工程では、n 型の第 2 不純物が導入された前記半導体膜をエピタキシャル成長させ、

前記 (c) 工程では、前記第 2 不純物が導入され、かつ、前記第 1 不純物が導入されていない前記第 2 領域からなる n 型の前記第 2 半導体領域を形成し、

前記 (g) 工程では、前記第 1 半導体領域の上層部、および、前記第 2 半導体領域の上層部に、n 型の第 3 不純物をイオン注入することにより、前記第 3 半導体領域を形成し、

前記 (g) 工程にて形成された前記第 3 半導体領域における前記第 3 不純物の濃度は、前記 (c) 工程にて形成された前記第 2 半導体領域における前記第 2 不純物の濃度よりも高い、半導体装置の製造方法。

10

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、

前記 (c) 工程にて形成された前記第 1 半導体領域は、前記半導体基板と接触している、半導体装置の製造方法。

【請求項 3】

請求項 1 記載の半導体装置の製造方法において、

前記 (c) 工程は、

(c 1) 前記第 2 領域をマスク膜により覆い、前記第 1 領域を前記マスク膜から露出させる工程、

20

(c 2) 前記マスク膜から露出した前記第 1 領域に前記第 1 不純物をイオン注入し、前記マスク膜により覆われた前記第 2 領域に前記第 1 不純物をイオン注入しないことにより、前記第 1 半導体領域および前記第 2 半導体領域を形成する工程、

(c 3) 前記 (c 2) 工程の後、前記第 2 領域を覆う前記マスク膜を除去する工程、を含む、半導体装置の製造方法。

【請求項 4】

請求項 1 記載の半導体装置の製造方法において、

前記 (i) 工程は、

(i 1) 前記第 4 半導体領域を貫通して前記第 3 半導体領域に達する第 2 溝部を形成する工程、

30

(i 2) 前記第 2 溝部を埋め込むように前記ソース電極を形成する工程、を含む、半導体装置の製造方法。

【請求項 5】

請求項 1 記載の半導体装置の製造方法において、

前記 (b) 工程では、前記半導体基板の第 1 主面上に前記半導体膜をエピタキシャル成長させ、

前記 (j) 工程では、前記半導体基板の前記第 1 主面と反対側の第 2 主面に前記ドレイン電極を形成する、半導体装置の製造方法。

【請求項 6】

40

請求項 4 記載の半導体装置の製造方法において、

前記 (i 1) 工程では、前記第 4 半導体領域を貫通して、前記第 2 半導体領域上に位置する部分の前記第 3 半導体領域に達する前記第 2 溝部を形成する、半導体装置の製造方法。

【請求項 7】

請求項 1 記載の半導体装置の製造方法において、

前記トランジスタによりインバータが形成される、半導体装置の製造方法。

【請求項 8】

請求項 1 記載の半導体装置の製造方法において、

前記第 3 半導体領域の下面は、前記第 1 溝部の底面よりも高い、半導体装置の製造方法

50

【請求項 9】

請求項 1 記載の半導体装置の製造方法において、

前記第 3 半導体領域および前記第 4 半導体領域は、前記ゲート絶縁膜と接触している、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば縦型 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を備えた半導体装置に好適に利用できるものである。

10

【背景技術】

【0002】

動作電圧が高く、大電流を流すことができる電界効果トランジスタ (Field Effect Transistor: F E T)、いわゆるパワートランジスタに代表されるパワーデバイスは、情報機器、家電、車載機器等の電源や、モータドライブ装置などに幅広く用いられている。このような用途のパワートランジスタには、オン抵抗の低減が求められている。

【0003】

パワートランジスタとして、半導体基板に形成した溝、すなわちトレンチに M I S (Metal Insulator Semiconductor) 構造が形成され、半導体基板の厚さ方向に電流が流れるトレンチゲート型の縦型 M I S F E T が知られている。また、スーパージャンクション構造を有するトレンチゲート型の縦型 M I S F E T を用いることで、オン抵抗を低減する技術がある。スーパージャンクション構造は、縦型 M I S F E T のドリフト層中にドリフト層とは逆の極性を有する柱状の半導体領域が形成された構造である。このような構造により、ソースとドレインとの間の耐圧が向上し、オン抵抗の低減と、ソースとドレインとの間の耐圧の向上と、のトレードオフを改善し得る。

20

【0004】

特表 2013 - 503491 号公報 (特許文献 1) および特表 2013 - 503492 号公報 (特許文献 2) には、スーパージャンクショントレンチパワー金属酸化膜半導体電界効果トランジスタデバイスにおいて、第 1 型ドーパントの第 1 および第 2 のカラムと、第 2 型ドーパントのカラムとを有する技術が開示されている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特表 2013 - 503491 号公報

【特許文献 2】特表 2013 - 503492 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

例えば電気自動車システムなどの電子システムに含まれるインバータにおいて、ハイサイドの M I S F E T として、ローサイドの M I S F E T と同様に、n チャネル型の M I S F E T を用いる場合がある。このような場合、ハイサイドの n チャネル型の M I S F E T をオン状態にするためには、ハイサイドの n チャネル型の M I S F E T のゲート電位として、高い電位が必要となる。そのため、インバータの制御回路の内部に、ハイサイドの n チャネル型の M I S F E T のゲート電位を電源電位よりも高くするためのチャージポンプが必要となり、インバータの制御回路が複雑になる。

40

【0007】

一方、ハイサイドの M I S F E T として、p チャネル型の M I S F E T を用いる場合には、チャージポンプが設けられなくてもよい。ところが、p チャネル型の M I S F E T は、n チャネル型の M I S F E T に比べて、オン抵抗が高い。そこで、p チャネル型の M I S F E T として、オン抵抗を低減するために、スーパージャンクション構造を有するトレ

50

ンチゲート型の縦型MISFETを用いることが好ましい。

【0008】

しかし、pチャネル型のトレンチゲート型としての縦型MISFETにおけるスーパー Junction構造を容易に形成することができず、オン抵抗を低減することができないので、pチャネル型のMISFETを備えた半導体装置の性能が低下する。そのため、ハイサイドのMISFETとして、pチャネル型のMISFETを用いることができず、インバータの制御回路を簡単にしつつオン抵抗を低減することが、できない。

【0009】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

【課題を解決するための手段】

【0010】

一実施の形態によれば、半導体装置の製造方法において、p型の半導体基板上にエピタキシャル成長したn型の半導体膜の第1領域にp型不純物をイオン注入し、n型の半導体膜の第2領域であって、第1領域と隣接した第2領域にp型不純物をイオン注入しない。これにより、p型不純物が導入された第1領域からなるp型の第1半導体領域、および、p型不純物が導入されていない第2領域からなる第2半導体領域を形成する。

【0011】

また、他の実施の形態によれば、半導体装置は、第1半導体領域および第2半導体領域を有する。第1半導体領域および第2半導体領域は、p型の半導体基板上にエピタキシャル成長したn型の半導体膜の第1領域にp型不純物をイオン注入し、n型の半導体膜の第2領域であって、第1領域と隣接した第2領域にp型不純物をイオン注入しないことにより、形成される。第1半導体領域は、p型不純物が導入された第1領域からなり、第2半導体領域は、p型不純物が導入されていない第2領域からなる。

20

【発明の効果】

【0012】

一実施の形態によれば、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0013】

【図1】実施の形態の半導体装置が用いられる電子システムの一例を示す回路ブロック図である。

30

【図2】比較例1の電子システムを示す回路図である。

【図3】実施の形態における半導体パッケージの一例を模式的に示す上面図である。

【図4】実施の形態における半導体パッケージの一例を模式的に示す断面図である。

【図5】実施の形態の半導体装置が形成されている半導体チップの平面図である。

【図6】実施の形態の半導体装置が形成されている半導体チップの平面図である。

【図7】実施の形態の半導体装置の要部断面図である。

【図8】実施の形態の半導体装置の要部断面図である。

【図9】実施の形態の半導体装置の製造工程の一部を示す製造プロセスフロー図である。

【図10】実施の形態の半導体装置の製造工程における要部断面図である。

40

【図11】実施の形態の半導体装置の製造工程における要部断面図である。

【図12】実施の形態の半導体装置の製造工程における要部断面図である。

【図13】実施の形態の半導体装置の製造工程における要部断面図である。

【図14】実施の形態の半導体装置の製造工程における要部断面図である。

【図15】実施の形態の半導体装置の製造工程における要部断面図である。

【図16】実施の形態の半導体装置の製造工程における要部断面図である。

【図17】実施の形態の半導体装置の製造工程における要部断面図である。

【図18】実施の形態の半導体装置の製造工程における要部断面図である。

【図19】実施の形態の半導体装置の製造工程における要部断面図である。

【図20】実施の形態の半導体装置の製造工程における要部断面図である。

50

【図 2 1】実施の形態の半導体装置の製造工程中における要部断面図である。

【図 2 2】比較例 2 の半導体装置の要部断面図である。

【図 2 3】比較例 2 の半導体装置の製造工程中における要部断面図である。

【図 2 4】比較例 2 の半導体装置の製造工程中における要部断面図である。

【図 2 5】比較例 3 の半導体装置の要部断面図である。

【図 2 6】比較例 3 の半導体装置の製造工程中における要部断面図である。

【図 2 7】比較例 3 の半導体装置の製造工程中における要部断面図である。

【発明を実施するための形態】

【0014】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

10

【0015】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0016】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことはいうまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【0017】

以下、代表的な実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0018】

さらに、実施の形態で用いる図面においては、断面図であっても図面を見やすくするためにハッチングを省略する場合もある。また、平面図であっても図面を見やすくするためにハッチングを付す場合もある。

30

【0019】

また、以下の実施の形態では、半導体装置が、縦型 MISFET の一種である縦型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) からなる例を例示して説明する。しかし、半導体装置が、縦型 MOSFET 以外の各種の縦型 MISFET からなるものであってもよい。

【0020】

（実施の形態）

以下、図面を参照しながら実施の形態の半導体装置について詳細に説明する。

40

【0021】

本実施の形態では、半導体装置は、スーパージャンクション構造を有する p チャネル型のトレンチゲート型としての縦型 MOSFET からなり、電気自動車システムなどの電子システムに用いられる。そこで、まず、本実施の形態の半導体装置が用いられる電子システムについて説明する。また、このような電子システムにおいて、スーパージャンクション構造を有する p チャネル型のトレンチゲート型としての縦型 MOSFET を用いることが好ましい理由について説明する。

【0022】

<半導体装置が用いられる電子システムについて>

図 1 は、実施の形態の半導体装置が用いられる電子システムの一例を示す回路ブロック

50

図である。図 2 は、比較例 1 の電子システムを示す回路図である。

【 0 0 2 3 】

図 1 に示すように、本実施の形態の半導体装置が用いられる電子システムとしての電気自動車システムは、モータ M O T などの負荷と、インバータ I N V と、電源 B A T と、制御回路 C T C 1 と、制御回路 C T C 2 と、を有する。モータ M O T としては、ここでは 3 相モータを用いている。3 相モータは、位相の異なる 3 相の電圧により駆動するように構成されている。後述する図 5 ~ 図 8 を用いて説明する半導体装置としての半導体チップ C H P 1、または、後述する図 3 および図 4 を用いて説明する半導体装置としての半導体パッケージ P K G は、インバータ I N V の構成要素である。

【 0 0 2 4 】

図 1 に示す電気自動車システムにおいては、電源 B A T が、リレー R Y およびコンバータ C N V を介して、インバータ I N V に接続され、電源 B A T の直流電圧、すなわち直流電力がインバータ I N V に供給される。電源 B A T とインバータ I N V との間にコンバータ C N V を介在させているため、電源 B A T の直流電圧は、コンバータ C N V でモータ駆動に適した直流電圧に昇圧、すなわち変換されてから、インバータ I N V に供給される。リレー R Y は、電源 B A T とコンバータ C N V との間に介在し、電源 B A T とコンバータ C N V との間が、接続状態となるか切断状態となるかを切り替える。

【 0 0 2 5 】

制御回路 C T C 1 は、例えば E C U (Electronic Control Unit : 電子制御ユニット) により構成されており、M C U (Micro Controller Unit) のような制御用の半導体チップを内蔵している。リレー R Y とコンバータ C N V は、制御回路 C T C 1 によって制御することができる。

【 0 0 2 6 】

インバータ I N V にはモータ M O T が接続され、電源 B A T からコンバータ C N V を介してインバータ I N V に供給された直流電圧、すなわち直流電力は、インバータ I N V で交流電圧、すなわち交流電力に変換されて、モータ M O T に供給されるようになっている。モータ M O T は、インバータ I N V から供給された交流電圧、すなわち交流電力によって駆動される。

【 0 0 2 7 】

図 1 に示す電気自動車システムにおいては、モータ M O T は、エンジンオイルもしくは燃料を供給するか、または、冷却液を循環させるための、ポンプ P M P を駆動させることができる。

【 0 0 2 8 】

インバータ I N V には、制御回路 C T C 2 が接続されており、この制御回路 C T C 2 によってインバータ I N V が制御される。すなわち、電源 B A T からインバータ I N V に直流電圧、すなわち直流電力が供給され、制御回路 C T C 2 により制御されたインバータ I N V によって交流電圧、すなわち交流電力に変換されて、モータ M O T に供給され、モータ M O T を駆動することができる。

【 0 0 2 9 】

制御回路 C T C 2 も、制御回路 C T C 1 と同様に、例えば E C U により構成されており、M C U のような制御用の半導体チップを内蔵している。なお、説明の便宜上、制御回路 C T C 2 が制御回路 C T C 1 と別に設けられている例を示すが、制御回路 C T C 2 が制御回路 C T C 1 と一体的に設けられていてもよい。

【 0 0 3 0 】

図 1 に示す例では、モータ M O T は、U 相 P H 1、V 相 P H 2 および W 相 P H 3 からなる 3 相モータである。そのため、インバータ I N V も、U 相 P H 1、V 相 P H 2 および W 相 P H 3 からなる 3 相に対応したものである。このような 3 相に対応したインバータ I N V は、6 つの M O S F E T 1 0 と、6 つのダイオード D I と、を有する。

【 0 0 3 1 】

なお、モータ M O T が 2 相モータである場合には、インバータ I N V は、4 つの M O S

10

20

30

40

50

F E T 1 0 と、4 つのダイオード D I と、を有する。

【 0 0 3 2 】

インバータ I N V のうち、モータ M O T の入力電位よりも電源電位 V C C 側を、ハイサイドと称する。また、インバータ I N V のうち、モータ M O T の入力電位よりも接地電位 G N D 側を、ローサイドと称する。図 1 に示す例では、ハイサイドの M O S F E T 1 0 として、3 つの p チャネル型の M O S F E T 1 1 が用いられ、ローサイドの M O S F E T として、3 つの n チャネル型の M O S F E T 1 2 が用いられる。そして、本実施の形態では、ハイサイドの p チャネル型の M O S F E T 1 1 として、半導体チップ C H P 1 (後述する図 5 参照) に含まれる M O S F E T 1 1 (後述する図 5 参照) が用いられる。

【 0 0 3 3 】

図 1 に示す例では、U 相 P H 1、V 相 P H 2 および W 相 P H 3 からなる 3 相の各相において、電源 B A T からコンバータ C N V を介してインバータ I N V に供給される電源電位 V C C とモータ M O T の入力電位との間、すなわちハイサイドに、p チャネル型の M O S F E T 1 1 とダイオード D I とが逆並列に接続されている。また、U 相 P H 1、V 相 P H 2 および W 相 P H 3 からなる 3 相の各相において、モータ M O T の入力電位と接地電位 G N D との間、すなわちローサイドに、n チャネル型の M O S F E T 1 2 とダイオード D I とが逆並列に接続されている。そして、3 つの p チャネル型の M O S F E T 1 1 および 3 つの n チャネル型の M O S F E T 1 2 からなる 6 つの M O S F E T 1 0 の各々のゲート電極には、制御回路 C T C 2 が接続されており、この制御回路 C T C 2 によって、6 つの M O S F E T 1 0 の各々が制御されるようになっている。

【 0 0 3 4 】

各 M O S F E T 1 0 を流れる電流が制御回路 C T C 2 を用いて制御されることにより、モータ M O T が駆動され、回転する。すなわち、制御回路 C T C 2 を用いて各 M O S F E T 1 0 のオン/オフを制御することにより、モータ M O T を駆動することができる。このようにモータ M O T を駆動させる場合には、M O S F E T 1 0 をオン/オフする必要があるが、モータ M O T にはインダクタンスが含まれている。したがって、M O S F E T 1 0 をオフすると、モータ M O T に含まれるインダクタンスによって、M O S F E T 1 0 の電流が流れる方向と逆方向の逆方向電流が発生する。M O S F E T 1 0 では、この逆方向電流を流す機能を有していないので、M O S F E T 1 0 と逆並列にダイオード D I を設けることにより、逆方向電流を還流させてインダクタンスに蓄積されるエネルギーを開放している。

【 0 0 3 5 】

ここで、図 2 に比較例 1 として示すように、ハイサイドの M O S F E T 1 0 として、ローサイドの M O S F E T 1 0 と同様に n チャネル型の M O S F E T 1 2 を用いる場合を考える。このような場合、ハイサイドの n チャネル型の M O S F E T 1 2 をオン状態にするためには、ハイサイドの n チャネル型の M O S F E T 1 2 のゲート電位として、ドレイン電位すなわち電源電位 V C C よりも高い電位が必要となる。そのため、制御回路 C T C 2 の内部に、ハイサイドの n チャネル型の M O S F E T のゲート電位を電源電位よりも高くするためのチャージポンプ C H 1 0 0 が必要となり、制御回路 C T C 2 が複雑になる。

【 0 0 3 6 】

図 2 に示す比較例 1 では、チャージポンプ C H 1 0 0 は、直流電源としての電源 B A T 1 0 0、抵抗 R E S 1 0 1 ~ R E S 1 0 4、ダイオード D I 1 0 1 および D I 1 0 2、バイポーラトランジスタ B P T 1 0 1 および B P T 1 0 2、コンデンサ C P 1 0 0、ならびに、M O S F E T 1 1 2 により構成されている。したがって、制御回路 C T C 2 が複雑になる。なお、図 2 では、ローサイドの n チャネル型の M O S F E T 1 2 のゲートに抵抗 R E S 1 0 5 が接続されている。

【 0 0 3 7 】

また、チャージポンプ C H 1 0 0 が設けられていると、チャージポンプ C H 1 0 0 に起因する発振またはノイズ信号が発生するおそれがある。

【 0 0 3 8 】

10

20

30

40

50

なお、図2では、理解を簡単にするために、U相PH1、V相PH2およびW相PH3の3相のうちU相PH1のみの回路図を示す。

【0039】

一方、ハイサイドのMOSFET10として、pチャネル型のMOSFET11を用いる場合には、図2に示すようなチャージポンプCH100が設けられなくてもよいので、制御回路CTC2が簡単になり、チャージポンプCH100に起因する発振またはノイズ信号が発生することを防止または抑制することができる。

【0040】

ところが、pチャネル型のMOSFET11は、nチャネル型のMOSFET12に比べて、オン抵抗が高い。一方、pチャネル型のMOSFET11として、スーパージャンクション構造を有するトレンチゲート型の縦型MOSFETを用いることにより、ソースとドレインとの間の耐圧を確保しつつオン抵抗を低減することができる。そのため、インバータINVのハイサイドのMOSFET11として、本実施の形態のスーパージャンクション構造を有するpチャネル型のMOSFET11を用いることにより、インバータINVの制御回路CTC2が簡単になり、かつ、pチャネル型のMOSFET11のオン抵抗を低減することができる。

10

【0041】

したがって、例えば電気自動車システムにおいて、ポンプPMPを駆動するモータMOTを駆動する場合には、ハイサイドのMOSFET10として、スーパージャンクション構造を有するトレンチゲート型の縦型MOSFETであるMOSFET11を用いることが好ましい。

20

【0042】

<半導体パッケージの構成について>

次に、本実施の形態の半導体装置としての半導体チップをパッケージ化した半導体パッケージの構成について説明する。

【0043】

図3は、実施の形態における半導体パッケージの一例を模式的に示す上面図である。図4は、実施の形態における半導体パッケージの一例を模式的に示す断面図である。図4は、図3のA-A線に沿った断面図である。

【0044】

図3および図4に示すように、半導体装置としての半導体パッケージPKGは、半導体チップCHP1と、半導体チップCHP1を搭載するダイパッドDPと、導電体からなるリードLDと、ボンディングワイヤとしての導電性のワイヤWAと、これらを封止する封止樹脂MRと、を有している。

30

【0045】

封止樹脂MRは、上面MRaと、下面MRbと、側面MRcと、を有する。封止樹脂MRは、例えば熱硬化性樹脂材料などの樹脂材料からなり、フィラーなどを含むこともできる。例えば、フィラーを含むエポキシ樹脂などを用いて封止樹脂MRを形成することができる。エポキシ系の樹脂以外にも、低応力化を図る等の理由から、例えばフェノール系硬化剤、シリコーンゴムおよびフィラー等が添加されたビフェニール系の熱硬化性樹脂を、封止樹脂MRの材料として用いてもよい。

40

【0046】

リードLDは、導電体からなり、好ましくは銅(Cu)または銅合金などの金属材料からなる。半導体パッケージPKGは、少なくとも1つのリードLDを有しているが、図3および図4に示す場合は、半導体パッケージPKGは、2つのリードLD、すなわち、リードLD1およびLD2を有する。

【0047】

各リードLDは、一部が封止樹脂MR内に封止され、他の部分が封止樹脂MRの側面MRcから封止樹脂MRの外部に突出し、封止樹脂MRから露出している。封止樹脂MRから露出した部分のリードLD1は、半導体チップCHP1のゲート用パッドPDGに電気

50

的に接続された外部端子として機能する。また、封止樹脂MRから露出した部分のリードLD2は、半導体チップCHP1のソース用パッドPDSに電氣的に接続された外部端子として機能する。

【0048】

なお、各リードLDの一部が封止樹脂MRの側面MRcから突出した構造に限定されるものではなく、例えば、封止樹脂MRの側面MRcから各リードLDがほとんど突出せず、かつ、封止樹脂MRの下面MRbで各リードLDの一部が露出した構成(QFN(Quad Flat Package)型の構成)などを採用することもできる。

【0049】

また、図3および図4に示すように、各リードLDの露出した部分が平坦である構造に限定されるものではなく、例えば、各リードLDの露出した部分のうち端部近傍の下面が封止樹脂MRの下面MRbとほぼ同一平面上に位置するように折り曲げ加工されていてもよい。

【0050】

封止樹脂MRの下面MRbでは、ダイパッドDPの下面が露出されている。封止樹脂MRの上面MRaでは、ダイパッドDPは露出されていない。ダイパッドDPは、半導体チップCHP1を搭載するチップ搭載部である。また、ダイパッドDPの一部は、封止樹脂MRの側面MRcから封止樹脂MR外に突出し、封止樹脂MRから露出している。封止樹脂MRから露出した部分のダイパッドDPは、半導体チップCHP1のドレイン電極DE1に電氣的に接続された外部端子として機能する。

【0051】

ダイパッドDPは導電体からなり、好ましくは銅(Cu)または銅合金などの金属材料からなる。ダイパッドDPならびにリードLD1およびLD2が同じ材料、すなわち同じ金属材料で形成されていれば、より好ましく、これにより、半導体パッケージPKGを製造しやすくなる。

【0052】

ダイパッドDPの上面上には、半導体チップCHP1が搭載されている。ここで、半導体チップCHP1において、互いに反対側に位置する2つの主面のうち、ソース用パッドPDSおよびゲート用パッドPDGが形成されている側の主面を、半導体チップCHP1の表面と称する。また、半導体チップCHP1の表面とは反対側でかつドレイン電極DE1が形成されている側の主面を、半導体チップCHP1の裏面と称する。このとき、半導体チップCHP1の表面には、ソース用パッドPDSおよびゲート用パッドPDGが形成され、半導体チップCHP1の裏面には、裏面電極としてのドレイン電極DE1が形成されている。

【0053】

半導体チップCHP1は、半導体チップCHP1の表面を上に向け、半導体チップCHP1の裏面をダイパッドDPの上面向けた状態で、ダイパッドDPの上面上に搭載されている。すなわち、半導体チップCHP1は、半導体チップCHP1のドレイン電極DE1をダイパッドDPに向けた状態で、ダイパッドDPの上面上に搭載されている。半導体チップCHP1の裏面は、導電性の接着層BD1を介してダイパッドDPの上面上に接着されて固定されている。このため、導電性の接着層BD1を介して、半導体チップCHP1のドレイン電極DE1がダイパッドDPに接合されて固定されるとともに、電氣的に接続されている。接着層BD1は、導電性を有しており、例えば銀(Ag)ペーストなどの導電性ペースト型の接着材、あるいは半田などからなる。半導体チップCHP1は、封止樹脂MR内に封止されており、封止樹脂MRから露出されない。

【0054】

半導体チップCHP1の動作時に発生した熱は、主に半導体チップCHP1の裏面からダイパッドDPを通じて外部に放熱することができる。このため、ダイパッドDPは、そこに搭載される半導体チップCHP1の面積よりも大きくすることが好ましく、これにより、放熱性を向上させることができる。

10

20

30

40

50

【 0 0 5 5 】

半導体チップ C H P 1 のゲート用パッド P D G とリード L D 1 とが、導電性接続部材であるワイヤ W A を介して電氣的に接続されている。また、半導体チップ C H P 1 のソース用パッド P D S とリード L D 2 とが、ワイヤ W A を介して電氣的に接続されている。

【 0 0 5 6 】

具体的には、封止樹脂 M R 内に封止された部分のリード L D 1 にワイヤ W A の一方の端部が接続され、そのワイヤ W A の他方の端部は、ゲート用パッド P D G に接続され、そのワイヤ W A を介して、リード L D 1 と半導体チップ C H P 1 のゲート用パッド P D G とが電氣的に接続されている。また、封止樹脂 M R 内に封止された部分のリード L D 2 に他のワイヤ W A の一方の端部が接続され、そのワイヤ W A の他方の端部は、ソース用パッド P D S に接続されており、そのワイヤ W A を介して、リード L D 2 と半導体チップ C H P 1 のソース用パッド P D S とが電氣的に接続されている。

10

【 0 0 5 7 】

ワイヤ W A は、好ましくは金 (A u) 線または銅 (C u) 線またはアルミニウム (A l) 線などの金属線からなる。ワイヤ W A は、封止樹脂 M R 内に封止されており、封止樹脂 M R から露出されない。

【 0 0 5 8 】

< 半導体装置 >

次に、本実施の形態の半導体装置について説明する。本実施の形態の半導体装置は、前述したように、スーパージャンクション構造を有する p チャネル型のトレンチゲート型としての縦型 M O S F E T からなる。

20

【 0 0 5 9 】

図 5 および図 6 は、実施の形態の半導体装置が形成されている半導体チップの平面図である。図 7 および図 8 は、実施の形態の半導体装置の要部断面図である。図 7 は、図 5 および図 6 の B - B 線に沿った断面図である。図 8 は、図 7 のうち二点鎖線で囲まれた領域 A R 3 を拡大して示す。

【 0 0 6 0 】

なお、図 5 では、理解を簡単にするために、絶縁膜 I F 1 (図 7 参照) を除去して透視した状態を示し、セル領域 A R 1、ソース用パッド P D S およびゲート用パッド P D G の外周を二点鎖線により示している。また、図 6 では、理解を簡単にするために、ソース配線 S W 1、層間絶縁膜 I L 1 および絶縁膜 I F 1 (図 7 および図 8 参照) を除去して透視した状態を示し、セル領域 A R 1 および外周ゲート電極 G E 3 の外周を二点鎖線により示している。

30

【 0 0 6 1 】

図 5 ~ 図 8 に示すように、本実施の形態の半導体装置は、半導体基板 S U B を有する。半導体基板 S U B は、一方の主面としての上面と、他方の主面としての、上面と反対側の下面と、を有する。また、半導体基板 S U B は、上面の一部の領域としてのセル領域 A R 1 と、上面の他の部分の領域としてのゲート配線引き出し領域 A R 2 と、を有する。

【 0 0 6 2 】

半導体基板 S U B は、 p^+ 型ドレイン層 1 からなる。 p^+ 型ドレイン層 1 は、例えばホウ素 (B) などの p 型不純物が拡散したシリコン (S i) からなり、導電型が p 型の半導体からなる。すなわち、半導体基板 S U B は、p 型の半導体基板である。 p^+ 型ドレイン層 1 における p 型の不純物濃度は、後述する p^- 型ドリフト層 2 における p 型の不純物濃度に比べて高濃度である。また、 p^+ 型ドレイン層 1 として、シリコン以外の各種の p 型の半導体を用いることができる。

40

【 0 0 6 3 】

なお、本願明細書では、半導体の導電型が p 型であるとは、正孔のみが電荷担体であるか、または、電子および正孔のいずれもが電荷担体であってもよいが、正孔の濃度が電子の濃度よりも高く、正孔が主要な電荷担体であることを意味する。

【 0 0 6 4 】

50

図5～図8に示すように、セル領域AR1には、pチャネル型のMOSFET11が形成され、pチャネル型のMOSFET11は、互いに並列に接続されたpチャネル型のトレンチゲート型としての縦型MOSFETであるMOSFET13からなる。すなわち、セル領域AR1は、pチャネル型のトレンチゲート型としての縦型MOSFETであるMOSFET13が形成された領域である。セル領域AR1における半導体装置の構成は、後述する。

【0065】

セル領域AR1には、ソース配線SW1が形成されている。ソース用パッドPDSは、ソース配線SW1上に形成された絶縁膜IF1に形成された開口部OP1に露出した部分のソース配線SW1である。図7に示すように、ソース配線SW1は、ソース電極SE1を介して、p⁺型ソース層5と電気的に接続されている。ソース電極SE1およびソース配線SW1は、例えばアルミニウム(Al)からなる。

10

【0066】

図5および図6に示すように、ゲート配線引き出し領域AR2には、外周ゲートトレンチTR2、外周ゲート電極GE2およびGE3が形成されている。

【0067】

外周ゲート電極GE2は、外周ゲート絶縁膜GI2(図7参照)を介して外周ゲートトレンチTR2を埋め込むように形成されている。外周ゲート電極GE2は、ゲートトレンチTR1を埋め込むように形成された、MOSFET13のゲート電極GE1と電気的に接続されている。外周ゲート電極GE2は、ゲート電極GE1と同様に、例えばリン(P)またはヒ素(As)などのn型不純物が高濃度で拡散されたポリシリコン膜などからなる。

20

【0068】

外周ゲート電極GE3は、外周ゲート電極GE2と電気的に接続されている。ゲート用パッドPDGは、外周ゲート電極GE3上に形成された絶縁膜IF1に形成された開口部OP2(図5参照)に露出した部分の外周ゲート電極GE3である。外周ゲート電極GE3は、例えばアルミニウム(Al)からなる。

【0069】

<セル領域における半導体装置の構成>

以下、本実施の形態では、セル領域AR1における半導体装置の構成について説明する。

30

【0070】

図7および図8に示すように、本実施の形態の半導体装置は、セル領域AR1において、p⁻型ドリフト層2、n⁻型半導体領域3、n型ボディ層4、p⁺型ソース層5、ゲートトレンチTR1、ゲート絶縁膜GI1およびゲート電極GE1を有する。p⁻型ドリフト層2はp型の半導体領域であり、n型ボディ層4は、n型の半導体領域であり、p⁺型ソース層5はp型の半導体領域である。

【0071】

なお、本願明細書では、半導体の導電型がn型であるとは、電子のみが電荷担体であるか、または、電子および正孔のいずれもが電荷担体であってもよいが、半導体中の電子の濃度が正孔の濃度よりも高く、電子が主要な電荷担体であることを意味する。

40

【0072】

また、本実施の形態の半導体装置は、層間絶縁膜IL1、コンタクト溝CT1、ソース電極SE1、ソース配線SW1およびドレイン電極DE1を有する。

【0073】

p⁻型ドリフト層2、n型ボディ層4、p⁺型ソース層5、ゲート絶縁膜GI1およびゲート電極GE1により、pチャネル型のトレンチゲート型としての縦型MOSFETであるMOSFET13が形成されている。

【0074】

p⁻型ドリフト層2は、セル領域AR1において、p⁺型ドレイン層1上に形成されて

50

いる。すなわち、 p^- 型ドリフト層2は、セル領域AR1において、 p^+ 型ドレイン層1からなる半導体基板SUB上に形成されている。 p^- 型ドリフト層2は、例えばホウ素(B)などのp型不純物が拡散したシリコン(Si)からなるp型の半導体層である。 p^- 型ドリフト層2におけるp型の不純物濃度は、 p^+ 型ドレイン層1におけるp型の不純物濃度よりも小さい。なお、 p^- 型ドリフト層2として、シリコン以外の各種のp型の半導体を用いることができる。

【0075】

n^- 型半導体領域3は、セル領域AR1において、 p^+ 型ドレイン層1上に p^- 型ドリフト層2と隣接して形成されている。すなわち、 n^- 型半導体領域3は、セル領域AR1において、 p^+ 型ドレイン層1からなる半導体基板SUB上に、 p^- 型ドリフト層2と隣接して形成されている。 n^- 型半導体領域3は、例えばリン(P)またはヒ素(As)などのn型不純物が拡散したシリコン(Si)からなり、導電型がp型と異なるn型の半導体層である。なお、 n^- 型半導体領域3として、シリコン以外の各種のn型の半導体を用いることができる。

10

【0076】

p^- 型ドリフト層2および n^- 型半導体領域3は、半導体基板SUB上にエピタキシャル成長したn型の半導体膜SCFの領域SCF1にp型不純物をイオン注入し、半導体膜SCFの領域であって、領域SCF1と隣接した領域SCF2にp型不純物をイオン注入しないことにより、形成される。n型の半導体膜SCFには、n型不純物が導入されている。 p^- 型ドリフト層2は、p型不純物が導入された領域SCF1からなり、 n^- 型半導体領域3は、n型不純物が導入され、かつ、p型不純物が導入されていない領域SCF2からなる。

20

【0077】

これにより、 p^- 型ドリフト層2と n^- 型半導体領域3との界面からなるスーパー Junction構造を、半導体膜SCFの上面から下面に達するように、容易に形成することができる。すなわち、 p^- 型ドリフト層2は、 p^+ 型ドレイン層1に接触し、 n^- 型半導体領域3の下面は、 p^+ 型ドレイン層1の上面と等しい高さに位置し、 n^- 型半導体領域3は、 p^+ 型ドレイン層1に接触している。

【0078】

n型ボディ層4は、セル領域AR1において、 p^- 型ドリフト層2上、および、 n^- 型半導体領域3上に形成されている。n型ボディ層4は、例えばリン(P)またはヒ素(As)などのn型不純物が拡散したシリコン(Si)からなる。すなわち、n型ボディ層4には、n型不純物が導入されている。なお、n型ボディ層4として、シリコン以外の各種のn型の半導体を用いることができる。

30

【0079】

好適には、n型ボディ層4におけるn型の不純物濃度は、 n^- 型半導体領域3におけるn型の不純物濃度よりも大きい。これにより、n型ボディ層4におけるn型の不純物濃度が、 n^- 型半導体領域3におけるn型の不純物濃度以下である場合に対して、 n^- 型半導体領域3におけるn型の不純物濃度を低くすることができ、MOSFET13の耐圧を向上させることができる。また、n型ボディ層4におけるn型の不純物濃度が、 n^- 型半導体領域3におけるn型の不純物濃度以下である場合に対して、n型ボディ層4におけるn型の不純物濃度を高くすることができ、MOSFET13の閾値電圧を幅広く調整することができる。

40

【0080】

p^+ 型ソース層5は、セル領域AR1において、n型ボディ層4上に形成されている。すなわち、 p^+ 型ソース層5は、 p^- 型ドリフト層2上、および、 n^- 型半導体領域3上に、n型ボディ層4を介して形成されている。 p^+ 型ソース層5は、例えばホウ素(B)などのp型不純物が拡散したシリコン(Si)からなるp型の半導体領域である。 p^+ 型ソース層5におけるp型の不純物濃度は、 p^- 型ドリフト層2におけるp型の不純物濃度よりも高い。なお、 p^+ 型ソース層5として、シリコン以外の各種のp型の半導体を用い

50

ることができる。

【0081】

セル領域AR1において、 p^+ 型ソース層5、 n 型ボディ層4および p^- 型ドリフト層2には、溝部としてのゲートトレンチTR1が複数個形成されている。複数のゲートトレンチTR1の各々は、 p^- 型ドリフト層2の上方に位置する部分の p^+ 型ソース層5、および、 p^- 型ドリフト層2上に位置する部分の n 型ボディ層4を貫通して p^- 型ドリフト層2の途中に達する。

【0082】

図5～図8に示すように、半導体基板SUBの上面内で互いに交差、好適には直交する2つの方向をX軸方向およびY軸方向とし、半導体基板SUBの上面に垂直な方向、すなわち上下方向をZ軸方向とする。このとき、好適には、ゲートトレンチTR1は、平面視において、Y軸方向にそれぞれ延在し、かつ、X軸方向に互いに間隔を空けて配置されている。また、 p^- 型ドリフト層2および n^- 型半導体領域3は、Y軸方向にそれぞれ延在し、かつ、X軸方向に交互に配置されている。言い換えれば、 n^- 型半導体領域3は、 p^- 型ドリフト層2とは逆の極性を有する柱状の半導体領域である。

10

【0083】

なお、本願明細書では、平面視においてとは、半導体基板SUBの上面に垂直な方向から見た場合を意味する。

【0084】

セル領域AR1において、ゲート絶縁膜GI1は、ゲートトレンチTR1の内壁に形成されている。ゲート絶縁膜GI1は、例えば酸化シリコン膜などからなる。

20

【0085】

図5～図8に示す例では、ゲート絶縁膜GI1は、ゲートトレンチTR1の内壁に形成されている。また、 n 型ボディ層4および p^+ 型ソース層5は、ゲート絶縁膜GI1と接触している。

【0086】

セル領域AR1において、ゲート電極GE1は、ゲート絶縁膜GI1上に、ゲートトレンチTR1を埋め込むように形成されている。ゲート電極GE1は、例えばリン(P)またはヒ素(As)などの n 型不純物が高濃度で拡散されたポリシリコン膜などからなる。

【0087】

セル領域AR1では、ゲート電極GE1および p^+ 型ソース層5を覆うように、層間絶縁膜IL1が形成されている。 p^+ 型ソース層5は、 n 型ボディ層4上に形成されているため、層間絶縁膜IL1は、 n 型ボディ層4を覆うように形成されていることになる。層間絶縁膜IL1として、例えば酸化シリコン膜を用いることができる。

30

【0088】

平面視において、互いに隣り合う2つのゲートトレンチTR1の間に位置する部分の層間絶縁膜IL1および p^+ 型ソース層5には、溝部としてのコンタクト溝CT1が形成されている。コンタクト溝CT1は、平面視において、互いに隣り合う2つのゲートトレンチTR1の間に位置する部分の層間絶縁膜IL1および p^+ 型ソース層5を貫通し、 n 型ボディ層4の途中に達する。

40

【0089】

好適には、コンタクト溝CT1は、 n^- 型半導体領域3の上方に位置する部分の p^+ 型ソース層5を貫通して、 n^- 型半導体領域3上に位置する部分の n 型ボディ層4に達する。これにより、コンタクト溝CT1の内部に形成されるソース電極SE1を、互いに隣り合う2つのゲートトレンチTR1の間に、確実に配置することができる。

【0090】

ゲートトレンチTR1が、平面視において、Y軸方向にそれぞれ延在し、かつ、X軸方向に互いに間隔を空けて配置されている場合には、好適には、コンタクト溝CT1は、平面視において、Y軸方向にそれぞれ延在し、かつ、X軸方向に互いに間隔を空けて形成されている。

50

【0091】

コンタクト溝CT1の内部、および、層間絶縁膜IL1上には、ソース電極SE1およびソース配線SW1が形成されている。ソース電極SE1は、コンタクト溝CT1の内部で、コンタクト溝CT1の内部を埋め込むように形成された電極である。ソース配線SW1は、コンタクト溝CT1の外部で、ソース電極SE1上、および、層間絶縁膜IL1上に形成された電極であり、ソース電極SE1と電氣的に接続されている。ソース電極SE1は、互いに隣り合う2つのゲートトレンチTR1の間に位置する部分のn型ボディ層4、および、p⁺型ソース層5に接触している。ソース配線SW1は、ソース電極SE1を介して、MOSFET13を構成するn型ボディ層4およびp⁺型ソース層5と電氣的に接続されている。

10

【0092】

ソース電極SE1として、例えば窒化チタン(TiN)膜またはチタンタングステン(TiW)膜からなる導体膜を用いることができる。また、ソース配線SW1として、例えばアルミニウム(Al)膜からなる導体膜、または、アルミニウム膜からなる導体膜に例えばシリコン(Si)または銅(Cu)が含有されたものを用いることができる。このようなソース電極SE1およびソース配線SW1を用いることにより、n型ボディ層4およびp⁺型ソース層5と、ソース電極SE1およびソース配線SW1とを、電氣的に低抵抗で接続することができる。

【0093】

ドレイン電極DE1は、p⁺型ドレイン層1の下面側に形成された電極である。ドレイン電極DE1は、p⁺型ドレイン層1からなる半導体基板SUBと電氣的に接続されている。ドレイン電極DE1として、例えば銀(Ag)または金(Au)等を主成分とした合金からなる導体膜を用いることができる。このような導体膜を用いることにより、ドレイン電極DE1とp⁺型ドレイン層1とを、電氣的に低抵抗で接続することができる。

20

【0094】

前述したように、p⁻型ドリフト層2、n型ボディ層4、p⁺型ソース層5、ゲート絶縁膜GI1およびゲート電極GE1により、pチャネル型のトレンチゲート型としての縦型MOSFETであるMOSFET13が形成される。また、MOSFET13は、p⁻型ドリフト層2と隣接して形成されたn⁻型半導体領域3を有し、p⁻型ドリフト層2とn⁻型半導体領域3とによりスーパージャンクション構造が形成される。すなわち本実施の形態の半導体装置は、スーパージャンクション構造を有するpチャネル型のトレンチゲート型としての縦型MOSFETを備えた半導体装置である。

30

【0095】

スーパージャンクション構造を有するpチャネル型のトレンチゲート型としての縦型MOSFETであるMOSFET13によれば、スーパージャンクション構造を有しない場合に対して、p⁻型ドリフト層2におけるp型の不純物濃度を高くしてもソースとドレインとの間の耐圧を高めることができる。すなわち、MOSFET13の耐圧を確保しつつオン抵抗を低減することができる。

【0096】

したがって、インバータINVのハイサイドのMOSFET10(図1参照)として、本実施の形態のpチャネル型のMOSFET13からなるMOSFET11を用いる場合には、インバータINVの制御回路CTC2(図1参照)が簡単になり、かつ、pチャネル型のMOSFET11のオン抵抗を低減することができる。すなわち、好適には、MOSFET13により、インバータINV(図1参照)が形成される。

40

【0097】

<セル領域における半導体装置の製造方法>

次に、本実施の形態のセル領域における半導体装置の製造方法について説明する。図9は、実施の形態の半導体装置の製造工程の一部を示す製造プロセスフロー図である。図10~図21は、実施の形態の半導体装置の製造工程中における要部断面図である。図10~図21は、図8の断面図に対応している。

50

【0098】

まず、図10に示すように、半導体基板SUBを用意する(図9のステップS1)。半導体基板SUBは、一方の主面としての上面と、他方の主面としての下面とを有する。また、半導体基板SUBは、 p^+ 型ドレイン層1からなる。 p^+ 型ドレイン層1は、例えばホウ素(B)などのp型不純物が拡散したシリコン(Si)からなり、導電型がp型の半導体からなる。すなわち、半導体基板SUBは、p型の半導体基板である。 p^+ 型ドレイン層1におけるp型の不純物濃度は、後述する p^+ 型ドリフト層2におけるp型の不純物濃度に比べて高濃度である。 p^+ 型ドレイン層1におけるp型の不純物濃度を、例えば $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度とすることができる。なお、 p^+ 型ドレイン層1として、シリコン以外の各種のp型の半導体を用いることができる。

10

【0099】

半導体基板SUBは、前述した図7を用いて説明したように、上面の一部の領域としてのセル領域AR1と、上面の他の部分の領域としてのゲート配線引き出し領域AR2と、を有する。以下では、セル領域AR1およびゲート配線引き出し領域AR2を代表し、セル領域AR1における半導体装置の製造方法について説明する。したがって、図10~図21は、セル領域AR1における半導体装置の製造工程中における要部断面図である。

【0100】

次に、図10に示すように、n型の半導体膜SCFをエピタキシャル成長させる(図9のステップS2)。このステップS2では、半導体基板SUBの上面のセル領域AR1において、 p^+ 型ドレイン層1上に、すなわち半導体基板SUBの上面に、n型の半導体膜SCFをエピタキシャル成長させる。

20

【0101】

具体的には、 p^+ 型ドレイン層1上に、例えばリン(P)またはヒ素(As)などのn型不純物が導入されたn型の半導体膜SCFを、例えばCVD(Chemical Vapor Deposition)法などによりエピタキシャル成長させることにより、形成することができる。また、n型の半導体膜SCFにおけるn型の不純物濃度を、例えば $5 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-3}$ 程度とすることができる。また、n型の半導体膜SCFの厚さを、例えば $40 \sim 300 \mu\text{m}$ 程度とすることができる。

【0102】

次に、図11に示すように、 p^- 型ドリフト層2および n^- 型半導体領域3を形成する(図9のステップS3)。このステップS3では、n型の半導体膜SCFの領域SCF1にp型不純物をイオン注入し、n型の半導体膜SCFの領域であって、領域SCF1と隣接した領域SCF2にp型不純物をイオン注入しない。これにより、p型不純物が導入された領域SCF1からなる p^- 型ドリフト層2、および、p型不純物が導入されていない領域SCF2からなる n^- 型半導体領域3を形成する。

30

【0103】

p^- 型ドリフト層2は、例えばホウ素(B)などのp型不純物が導入されたシリコン(Si)からなり、導電型がp型の半導体領域からなる。 n^- 型半導体領域3は、例えばリン(P)またはヒ素(As)などのn型不純物が導入され、導電型がn型の半導体領域である。

40

【0104】

具体的には、まず、領域SCF1上および領域SCF2上に、例えば酸化シリコン膜等の絶縁膜からなるマスク膜MSKを形成する。次に、マスク膜MSK上にフォトリソからなるレジスト膜を塗布し、塗布されたレジスト膜に対して露光および現像を行うことにより、領域SCF1の上方に位置する部分のレジスト膜を除去し、領域SCF2の上方に位置する部分のレジスト膜からなるレジストパターン(図示は省略)を形成する。次に、形成されたレジストパターンをマスクとしてドライエッチングを行うことにより、領域SCF1上に位置する部分のマスク膜MSKを除去し、領域SCF2上に位置する部分のマスク膜MSKからなるマスクパターンMSPを形成する。すなわち、領域SCF2をマスク膜MSKにより覆い、領域SCF1をマスク膜MSKから露出させる。

50

【0105】

次に、マスクパターンMSPをマスクとして、n型の半導体膜SCFの上層部に、例えばホウ素(B)などのp型の不純物イオンIM1を例えばイオン注入法を用いて導入する。この際、マスク膜MSKから露出した領域SCF1には、p型の不純物イオンIM1がイオン注入され、マスク膜MSKにより覆われた領域SCF2には、p型の不純物イオンIM1がイオン注入されない。これにより、p型不純物が導入された領域SCF1からなるp⁻型ドリフト層2を形成する。また、n型不純物が導入され、かつ、p型不純物が導入されていない領域SCF2からなるn⁻型半導体領域3を形成する。なお、図11では図示は省略するが、その後、領域SCF2を覆うマスク膜MSKは、除去される。

【0106】

ホウ素(B)からなる不純物イオンIM1を注入する際に、2段階で注入することができる。1段階目の注入条件として、注入エネルギーを1300keVとし、ドーズ量を $1.4 \times 10^{13} \text{ cm}^{-2}$ とすることができる。また、2段階目の注入条件として、注入エネルギーを750keVとし、ドーズ量を $1.2 \times 10^{13} \text{ cm}^{-2}$ とすることができる。

【0107】

p⁻型ドリフト層2におけるp型の不純物濃度は、p⁺型ドレイン層1におけるp型の不純物濃度に比べて低濃度であり、例えば $5 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-3}$ 程度とすることができる。また、n⁻型半導体領域3におけるn型の不純物濃度は、n型の半導体膜SCFにおけるn型の不純物濃度と略等しく、例えば $5 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-3}$ 程度とすることができる。

【0108】

また、例えばホウ素(B)などのp型の不純物イオンIM1をイオン注入する際の不純物イオンIM1の飛程、すなわち不純物イオンIM1がn型の半導体膜SCFを浸透して停止する深さは、リン(P)またはヒ素(As)などのn型の不純物イオンをイオン注入する際の不純物イオンの飛程よりも深い。そのため、p⁻型ドリフト層2の下面は、p⁺型ドレイン層1の上面と等しい高さに位置し、ステップS3にて形成されたp⁻型ドリフト層2は、p⁺型ドレイン層1に接触している。一方、n⁻型半導体領域3は、p型不純物が導入されていない領域SCF2からなるため、n⁻型半導体領域3の下面は、p⁺型ドレイン層1の上面と等しい高さに位置し、n⁻型半導体領域3は、p⁺型ドレイン層1に接触している。

【0109】

したがって、p⁻型ドリフト層2とn⁻型半導体領域3との界面からなるスーパー Junction構造を、半導体膜SCFの上面から下面に達するように、容易に形成することができる。つまり、半導体膜SCFの下層部、すなわち半導体膜SCFのうちp⁺型ドレイン層1と接触する部分にもスーパー Junction構造を形成することができ、p⁻型ドリフト層2とn⁻型半導体領域3との界面の面積を増加させることができる。

【0110】

次に、図12に示すように、ゲートトレンチTR1を形成する(図9のステップS4)。このステップS4を形成する工程では、フォトリソグラフィ技術およびエッチング技術を用いることにより、セル領域AR1において、p⁻型ドリフト層2の上面に、ゲートトレンチTR1を形成する。ゲートトレンチTR1は、p⁻型ドリフト層2の上面から、p⁻型ドリフト層2の途中の深さ位置に達する。言い換えれば、ゲートトレンチTR1は、半導体膜SCFの上面からp⁻型ドリフト層2の途中の深さ位置に達するように、形成される。

【0111】

具体的には、まず、p⁻型ドリフト層2上に、例えば酸化シリコン膜等からなる絶縁膜(図示は省略)を形成する。次に、絶縁膜上にフォトレジストからなるレジスト膜を塗布し、塗布されたレジスト膜に対して露光および現像を行うことにより、レジストパターン(図示は省略)を形成する。次に、形成されたレジストパターンをマスクとしてドライエ

10

20

30

40

50

ッチングを行うことにより、絶縁膜からなるパターン（図示は省略）を形成する。次に、絶縁膜からなるパターンをマスクとしてドライエッチングを行うことにより、ゲートトレンチTR1を形成する。

【0112】

好適には、ゲートトレンチTR1は、平面視において、Y軸方向にそれぞれ延在し、かつ、X軸方向に互いに間隔を空けて配置される。

【0113】

次に、図13および図14に示すように、ゲート絶縁膜GI1およびゲート電極GE1を形成する（図9のステップS5）。

【0114】

このステップS5では、まず、図13に示すように、ゲート絶縁膜GI1を形成する。このゲート絶縁膜GI1を形成する工程では、ゲートトレンチTR1の内部では、ゲートトレンチTR1の内壁に、ゲート絶縁膜GI1を形成する。このとき、ゲートトレンチTR1の外部では、p⁻型ドリフト層2上、および、n⁻型半導体領域3上に、ゲート絶縁膜GI1が形成される。

【0115】

ゲート絶縁膜GI1として、例えば、酸化シリコン(SiO)膜からなるゲート絶縁膜を、熱酸化法を用いて形成することができる。あるいは、ゲート絶縁膜GI1として、窒素化シリコン(SiON)膜、窒化シリコン(SiN)膜、または、窒化シリコン膜の誘電率よりも高い誘電率を有する高誘電率膜からなるゲート絶縁膜を、例えばCVD法により形成することができる。

【0116】

このステップS5では、次に、図13および図14に示すように、ゲート電極GE1を形成する。このゲート電極GE1を形成する工程では、ゲート絶縁膜GI1上に、ゲートトレンチTR1を埋め込むように、ゲート電極GE1を形成する。

【0117】

まず、ゲートトレンチTR1の内部では、例えばリン(P)またはヒ素(As)などのn型不純物が導入されたポリシリコン膜からなる導体膜CF1を、ゲート絶縁膜GI1上に、ゲートトレンチTR1を埋め込むように、例えばCVD法を用いて形成する。このとき、ゲートトレンチTR1の外部では、上記したn型不純物が導入されたポリシリコン膜からなる導体膜CF1が、例えばCVD法を用いて、p⁻型ドリフト層2上、および、n⁻型半導体領域3上に、ゲート絶縁膜GI1を介して形成される。

【0118】

あるいは、n型不純物が導入されていないポリシリコン膜からなる導体膜CF1を、ゲートトレンチTR1の内部、ならびに、p⁻型ドリフト層2上およびn⁻型半導体領域3上に形成した後、上記したn型不純物を、イオン注入法を用いてポリシリコン膜からなる導体膜CF1に導入することもできる。

【0119】

このステップS5では、次に、図14に示すように、フォトリソグラフィ技術およびエッチング技術を用いてポリシリコン膜からなる導体膜CF1をパターンニングする。このポリシリコン膜からなる導体膜CF1をパターンニングする工程では、p⁻型ドリフト層2上およびn⁻型半導体領域3上にゲート絶縁膜GI1を介して形成された導体膜CF1を例えばドライエッチングにより除去し、ゲートトレンチTR1の内部にのみ導体膜CF1を残す。これにより、ゲートトレンチTR1の内部に埋め込むように、導体膜CF1からなるゲート電極GE1を形成することができる。

【0120】

なお、図14に示す例では、p⁻型ドリフト層2上およびn⁻型半導体領域3上に形成された部分のゲート絶縁膜GI1も、ポリシリコン膜からなる導体膜CF1とともに除去される。

【0121】

10

20

30

40

50

次に、図15に示すように、n型ボディ層4を形成する(図9のステップS6)。このステップS6では、p⁻型ドリフト層2の上層部、および、n⁻型半導体領域3の上層部に、例えばリン(P)またはヒ素(As)などのn型不純物を、例えばイオン注入法を用いてイオン注入する。これにより、p⁻型ドリフト層2の上層部、および、n⁻型半導体領域3の上層部に、n型不純物が導入され、ゲート絶縁膜GI1と接触したn型ボディ層4を形成する。

【0122】

前述したように、好適には、ステップS6にて形成されたn型ボディ層4におけるn型不純物の濃度は、ステップS3にて形成されたn⁻型半導体領域3におけるn型不純物の濃度よりも高い。n型ボディ層4におけるn型の不純物濃度を、例えば $5 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度とすることができる。

10

【0123】

また、好適には、n型ボディ層4の下面は、ゲートトレンチTR1の底面よりも高くなるように、n型ボディ層4を形成する。これにより、ゲートトレンチTR1が、n型ボディ層4を貫通してp⁻型ドリフト層2の途中に達するように、形成されたことになる。したがって、チャンネル領域としてのn型ボディ層4の下端が、ゲート絶縁膜GI1を介してゲート電極GE1と確実に隣り合うように、n型ボディ層4を配置することができる。

【0124】

次に、図16に示すように、p⁺型ソース層5を形成する(図9のステップS7)。このステップS7では、n型ボディ層4の上層部に、例えばホウ素(B)などのp型不純物を、例えばイオン注入法を用いて導入する。これにより、n型ボディ層4の上層部に、ゲート絶縁膜GI1と接触したp⁺型ソース層5を形成する。p⁺型ソース層5におけるp型の不純物濃度を、例えば $1 \times 10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ とすることができる。

20

【0125】

このとき、p⁻型ドリフト層2、n型ボディ層4、p⁺型ソース層5、ゲート絶縁膜GI1およびゲート電極GE1により、pチャンネル型のトレンチゲート型としての縦型MOSFETであるMOSFET13が形成される。また、MOSFET13は、p⁻型ドリフト層2と隣接して形成されたn⁻型半導体領域3を有し、p⁻型ドリフト層2とn⁻型半導体領域3とによりスーパージャンクション構造が形成される。すなわち本実施の形態の半導体装置の製造方法は、スーパージャンクション構造を有するpチャンネル型のトレンチゲート型としての縦型MOSFETを備えた半導体装置の製造方法である。

30

【0126】

スーパージャンクション構造を有するMOSFET13によれば、スーパージャンクション構造を有しない場合に対して、p⁻型ドリフト層2におけるp型の不純物濃度を高くしてもソースとドレインとの間の耐圧を高めることができる。すなわち、MOSFET13の耐圧を確保しつつオン抵抗を低減することができる。したがって、インバータのハイサイドのMOSFETとして、本実施の形態の半導体装置を用いる場合には、前述した図1および図2を用いて説明したように、インバータINV(図1参照)の制御回路CTC2(図1参照)が簡単になり、かつ、pチャンネル型のMOSFETのオン抵抗を低減することができる。すなわち、好適には、MOSFET13により、インバータINV(図1参照)が形成される。

40

【0127】

なお、ゲートトレンチTR1を形成する前に、n型ボディ層4およびp⁺型ソース層5を形成し、その後、p⁺型ソース層5およびn型ボディ層4を貫通してp⁻型ドリフト層2の途中の深さ位置に達するように、ゲートトレンチTR1を形成してもよい。この場合も、ゲートトレンチTR1は、半導体膜SCFの上面からp⁻型ドリフト層2の途中の深さ位置に達するように、形成されることになる。

【0128】

また、n型ボディ層4およびp⁺型ソース層5は、ゲート絶縁膜GI1と接触している。これにより、チャンネル領域としてのn型ボディ層4の上端が、ゲート絶縁膜GI1を介

50

してゲート電極GE1と確実に隣り合うように、n型ボディ層4を配置することができる。

【0129】

次に、図17および図18に示すように、層間絶縁膜IL1を形成する(図9のステップS8)。

【0130】

このステップS8では、まず、図17に示すように、p⁺型ソース層5上、および、ゲート電極GE1上に、例えば酸化シリコン膜からなる絶縁膜IL11を、例えばCVD法を用いて形成する。

【0131】

このステップS8では、次に、図18に示すように、絶縁膜IL11上に、例えばBPSG(Boron Phosphorus Silicon Glass)膜からなる絶縁膜IL12を、例えばCVD法を用いて形成する。これにより、p⁺型ソース層5上に絶縁膜IL11およびIL12からなる層間絶縁膜IL1が形成される。

【0132】

次に、図19に示すように、コンタクト溝CT1を形成する(図9のステップS9)。このステップS9では、フォトリソグラフィ技術およびエッチング技術を用いることにより、層間絶縁膜IL1およびp⁺型ソース層5を貫通してn型ボディ層4の途中に達する溝部としてのコンタクト溝CT1を形成する。

【0133】

具体的には、まず、層間絶縁膜IL1上にフォトレジストからなるレジスト膜を塗布し、塗布されたレジスト膜に対して露光および現像を行うことにより、レジストパターン(図示は省略)を形成する。次に、形成されたレジストパターンをマスクとしてドライエッチングを行うことにより、層間絶縁膜IL1およびp⁺型ソース層5を貫通してn型ボディ層4の途中に達するコンタクト溝CT1が形成される。

【0134】

好適には、コンタクト溝CT1は、平面視において、Y軸方向にそれぞれ延在し、かつ、X軸方向に互いに間隔を空けて配置される。

【0135】

また、好適には、n⁻型半導体領域3の上方に位置する部分のp⁺型ソース層5を貫通して、n⁻型半導体領域3上に位置する部分のn型ボディ層4に達するコンタクト溝CT1を形成する。

【0136】

なお、n型ボディ層4を形成した後、p⁺型ソース層5を形成する前に、n型ボディ層4の上面からn型ボディ層4の途中に達する開口部を形成してもよい。そして、平面視において、開口部とゲートトレンチTR1との間に位置する部分のn型ボディ層4の上層部に、例えばホウ素(B)などのp型不純物をイオン注入法を用いて導入することにより、p⁺型ソース層5を形成してもよい。

【0137】

次に、図20および図21に示すように、ソース電極SE1およびソース配線SW1を形成する(図9のステップS10)。

【0138】

このステップS10では、まず、図20に示すように、コンタクト溝CT1の内部では、コンタクト溝CT1の内部を埋め込むように、導体膜6を形成する。また、コンタクト溝CT1の外部では、層間絶縁膜IL1上に、導体膜6を形成する。導体膜6として、例えば窒化チタン(TiN)膜またはチタンタングステン(TiW)膜からなる導体膜を、例えばスパッタリング法または蒸着法を用いて形成することができる。導体膜6は、導体膜6上に形成される導体膜7の材料であるアルミニウム(Al)がシリコン(Si)の内部へ拡散することを防止する、いわゆるバリア性を有する導体膜である。

【0139】

10

20

30

40

50

このステップS10では、次に、図21に示すように、例えばエッチング技術またはCMP (Chemical Mechanical Polishing) 法によりコンタクト溝CT1の外部に形成された部分の導体膜6を除去する。これにより、コンタクト溝CT1の内部に埋め込まれた導体膜6からなり、n型ボディ層4およびp⁺型ソース層5と接触したソース電極SE1が形成される。すなわち、コンタクト溝CT1を埋め込むようにソース電極SE1が形成される。

【0140】

このステップS10では、次に、図21に示すように、コンタクト溝CT1の内部に埋め込まれたソース電極SE1上、および、層間絶縁膜IL1上に、導体膜7を形成する。導体膜7として、例えばアルミニウム(Al)膜からなる導体膜、または、アルミニウム膜からなる導体膜に例えばシリコン(Si)または銅(Cu)が含有されたものを、例えばスパッタリング法または蒸着法を用いて形成することができる。

10

【0141】

次に、フォトリソグラフィ技術およびエッチング技術を用いて、導体膜7をパターニングする。これにより、導体膜7からなるソース配線SW1を形成する。

【0142】

次に、図8に示すように、ドレイン電極DE1を形成する(図9のステップS11)。このステップS11では、p⁺型ドレイン層1からなる半導体基板SUBの下面に、ドレイン電極DE1として、例えば銀(Ag)または金(Au)等を主成分とした合金からなる導体膜を、例えばスパッタリング法または蒸着法を用いて形成する。ドレイン電極DE1は、半導体基板SUBと電氣的に接続される。

20

【0143】

また、ソース配線SW1を形成した後、図7に示すように、ソース配線SW1を覆うように絶縁膜IF1を形成し、フォトリソグラフィ技術およびエッチング技術を用いて、ソース配線SW1のうちソース用パッドとなる部分上の絶縁膜IF1を除去して開口部OP1を形成する。これにより、図7および図8に示すように、pチャネル型のトレンチゲート型としての縦型MOSFETを備えた半導体装置が形成される。

【0144】

<半導体膜の下層部におけるスーパージャンクション構造について>

次に、半導体膜の下層部におけるスーパージャンクション構造について、比較例2の半導体装置の製造方法と対比しながら説明する。図22は、比較例2の半導体装置の要部断面図である。図23および図24は、比較例2の半導体装置の製造工程中における要部断面図である。

30

【0145】

図22に示すように、比較例2の半導体装置では、p⁻型ドリフト層2、n型ボディ層4、p⁺型ソース層5、ゲート絶縁膜GI1およびゲート電極GE1により、pチャネル型の縦型MOSFETとしてのMOSFET113が形成される。また、MOSFET113は、p⁻型ドリフト層2と隣接して形成されたn⁻型半導体領域103を有し、p⁻型ドリフト層2とn⁻型半導体領域103とによりスーパージャンクション構造が形成される。すなわち比較例2の半導体装置も、実施の形態と同様に、スーパージャンクション構造を有するpチャネル型のトレンチゲート型としての縦型MOSFETを備えた半導体装置である。

40

【0146】

一方、比較例2の半導体装置は、実施の形態の半導体装置と異なり、n⁻型半導体領域103の下面は、p⁺型ドレイン層1の上面よりも上方に位置しており、n⁻型半導体領域103は、p⁺型ドレイン層1に接触していない。そして、n⁻型半導体領域103の下面とp⁺型ドレイン層1の上面との間には、p⁻型ドリフト層102が介在している。これは、以下に説明するように、比較例2の半導体装置の製造方法が、実施の形態の半導体装置の製造方法と異なることによる。

【0147】

50

比較例 2 の半導体装置の製造工程では、実施の形態の半導体装置の製造工程のステップ S 1 と同様の工程を行って、 p^+ 型ドレイン層 1 からなる半導体基板 S U B を用意した後、図 2 3 に示すように、 p^+ 型ドレイン層 1 上に、 p 型の半導体膜 S C F 1 0 0 をエピタキシャル成長させる。具体的には、 p^+ 型ドレイン層 1 上に、例えばホウ素 (B) などの p 型不純物が導入された p 型の半導体膜 S C F 1 0 0 を、例えば C V D 法などによりエピタキシャル成長させる。

【 0 1 4 8 】

次に、マスク膜 M S K からなるマスクパターン M S P 1 0 0 をマスクとして、 p 型の半導体膜 S C F 1 0 0 の上層部に、例えばリン (P) またはヒ素 (A s) などの n 型不純物イオン I M 1 0 1 を例えばイオン注入法を用いて導入する。この際、 p 型の半導体膜 S C F 1 0 0 の領域であって、マスク膜 M S K により覆われた領域 S C F 1 0 1 には、 n 型不純物がイオン注入されない。一方、 p 型の半導体膜 S C F 1 0 0 の領域であって、領域 S C F 1 0 1 と隣接した領域であり、かつ、マスク膜 M S K から露出した領域 S C F 1 0 2 には、 n 型の不純物イオン I M 1 0 1 がイオン注入される。これにより、 p 型不純物が導入され、かつ、 n 型不純物が導入されていない領域 S C F 1 0 1 からなる p^- 型ドリフト層 2 を形成し、 n 型不純物が導入された領域 S C F 1 0 2 からなる n^- 型半導体領域 1 0 3 を形成する。なお、その後の製造工程については、実施の形態の半導体装置の製造工程のステップ S 4 ~ ステップ S 1 1 と同様にすることができる。

【 0 1 4 9 】

すなわち、比較例 2 の半導体装置では、 p^- 型ドリフト層 2 および n^- 型半導体領域 1 0 3 は、 p 型の半導体膜 S C F 1 0 0 の領域 S C F 1 0 1 に n 型不純物をイオン注入せず、半導体膜 S C F 1 0 0 の領域であって、領域 S C F 1 0 1 と隣接した領域 S C F 1 0 2 に p 型不純物をイオン注入することにより、形成される。 p 型の半導体膜 S C F 1 0 0 には、 p 型不純物が導入されている。 p^- 型ドリフト層 2 は、 p 型不純物が導入され、かつ、 n 型不純物が導入されていない領域 S C F 1 0 1 からなり、 n^- 型半導体領域 1 0 3 は、 n 型不純物が導入された領域 S C F 1 0 2 からなる。

【 0 1 5 0 】

ところが、例えばリン (P) またはヒ素 (A s) などの n 型の不純物イオン I M 1 0 1 をイオン注入する際の不純物イオン I M 1 0 1 の飛程、すなわち不純物イオン I M 1 0 1 が p 型の半導体膜 S C F 1 0 0 を浸透して停止する深さは、ホウ素 (B) などの p 型の不純物イオンをイオン注入する際の不純物イオンの飛程よりも浅い。そのため、 n^- 型半導体領域 1 0 3 の下面は、 p^+ 型ドレイン層 1 の上面よりも上方に位置し、 n^- 型半導体領域 1 0 3 は、 p^+ 型ドレイン層 1 に接触しない。そして、 n^- 型半導体領域 1 0 3 の下面と p^+ 型ドレイン層 1 の上面との間には、 n 型不純物が導入されない領域 S C F 1 0 2 からなる p^- 型ドリフト層 1 0 2 が介在する。なお、 p^- 型ドリフト層 2 は、 n 型不純物が導入されていない領域 S C F 1 0 1 からなるため、 p^- 型ドリフト層 2 の下面は、 p^+ 型ドレイン層 1 の上面と等しい高さに位置し、 p^- 型ドリフト層 2 は、 p^+ 型ドレイン層 1 に接触する。

【 0 1 5 1 】

したがって、 p^- 型ドリフト層 2 と n^- 型半導体領域 1 0 3 との界面からなるスーパー Junction 構造を、半導体膜 S C F 1 0 0 の上面から下面に達するように形成することは、困難である。すなわち、半導体膜 S C F 1 0 0 の下層部にはスーパー Junction 構造を形成することができず、 p^- 型ドリフト層 2 と n^- 型半導体領域 1 0 3 との界面の面積を増加させることができない。

【 0 1 5 2 】

このような比較例 2 の半導体装置では、 p チャネル型の縦型 M O S F E T における耐圧を確保しつつオン抵抗を十分に低減することができず、半導体装置の性能が低下する。すなわち、 p チャネル型のトレンチゲート型としての縦型 M O S F E T では、スーパー Junction 構造を容易に形成することができないため、耐圧を確保しつつオン抵抗を十分に低減することができず、半導体装置の性能が低下する。

10

20

30

40

50

【 0 1 5 3 】

< エピタキシャル成長を行う工程の工程数について >

次に、エピタキシャル成長を行う工程の工程数について、比較例 3 の半導体装置の製造方法と対比しながら説明する。図 2 5 は、比較例 3 の半導体装置の要部断面図である。図 2 6 および図 2 7 は、比較例 3 の半導体装置の製造工程中における要部断面図である。

【 0 1 5 4 】

図 2 5 に示すように、比較例 3 の半導体装置では、 p^- 型ドリフト層 2 0 2、 n 型ボディ層 4、 p^+ 型ソース層 5、ゲート絶縁膜 G I 1 およびゲート電極 G E 1 により、 p チャネル型の縦型 M O S F E T としての M O S F E T 2 1 3 が形成される。また、M O S F E T 2 1 3 は、 p^- 型ドリフト層 2 0 2 と側壁 S S 2 0 1 を介して隣り合う n^- 型半導体領域 2 0 3 を有し、 p^- 型ドリフト層 2 0 2 と n^- 型半導体領域 2 0 3 とによりスーパー junction 構造が形成される。すなわち比較例 3 の半導体装置も、実施の形態と同様に、スーパー junction 構造を有する p チャネル型のトレンチゲート型としての縦型 M O S F E T を備えた半導体装置である。

10

【 0 1 5 5 】

比較例 3 の半導体装置の製造工程では、実施の形態の半導体装置の製造工程のステップ S 1 およびステップ S 2 と同様の工程を行って、 n 型の半導体膜 S C F をエピタキシャル成長させた後、図 2 6 に示すように、 n 型の半導体膜 S C F 上に、酸化シリコン膜からなる絶縁膜 I F 2 1 0 を形成する。次に、図 2 6 に示すように、フォトリソグラフィ技術およびエッチング技術を用いることにより、 n 型の半導体膜 S C F からなり、柱状形状を有する n^- 型半導体領域 2 0 3 と、 n^- 型半導体領域 2 0 3 上の絶縁膜 I F 2 1 0 からなるキャップ C A 2 1 1 を形成する。

20

【 0 1 5 6 】

次に、 p^+ 型ドレイン層 1 からなる半導体基板 S U B 上に、 n^- 型半導体領域 2 0 3 およびキャップ C A 2 1 1 を覆うように絶縁膜 I F 2 0 0 を形成した後、異方性エッチングを行うことにより、図 2 6 に示すように、 n^- 型半導体領域 2 0 3 の側面上に形成された部分の絶縁膜 I F 2 0 0 からなる側壁 S S 2 0 1 を形成する。このとき、隣り合う 2 つの n^- 型半導体領域 2 0 3 の間に位置する部分の p^+ 型ドレイン層 1 の上面は、露出する。

【 0 1 5 7 】

次に、図 2 7 に示すように、 p^+ 型ドレイン層 1 上に、 n^- 型半導体領域 2 0 3、側壁 S S 2 0 1 およびキャップ C A 2 1 1 を覆うように、 p 型の半導体膜 S C F 2 0 0 をエピタキシャル成長させる。 p 型の半導体膜 S C F 2 0 0 は、後の工程で p^- 型ドリフト層 2 0 2 となる半導体膜である。これにより、図 1 1 を用いて説明した構造と類似した構造が得られる。なお、その後の製造工程については、実施の形態の半導体装置の製造工程と同様にすることができる。

30

【 0 1 5 8 】

このように、比較例 3 の半導体装置の製造工程では、半導体膜のエピタキシャル成長を行う工程数が 2 つである。そのため、半導体装置の製造工程における工程数が増加し、製造コストが増加するおそれがある。

【 0 1 5 9 】

さらに、比較例 3 の半導体装置の製造工程では、 p^- 型ドリフト層 2 0 2 と n^- 型半導体領域 2 0 3 を形成するために、絶縁膜 I F 2 0 0 を形成し、異方性エッチングする工程を行う必要がある。そのため、半導体装置の製造工程における工程数が増加し、製造コストが増加するおそれがある。また、比較例 3 では、絶縁膜 I F 2 0 0 からなる側壁 S S 2 0 1 に欠陥が生成されやすく、生成された欠陥を介して側壁 S S 2 0 1 を横切ってリーク電流が流れやすくなり、耐圧が低下するおそれがある。

40

【 0 1 6 0 】

< 本実施の形態の主要な特徴と効果 >

一方、本実施の形態の半導体装置では、 p^- 型ドリフト層 2 および n^- 型半導体領域 3 は、 p 型の半導体基板 S U B 上にエピタキシャル成長した n 型の半導体膜 S C F の領域 S

50

CF1にp型不純物をイオン注入し、領域SCF1と隣接した領域SCF2にp型不純物をイオン注入しないことにより、形成される。p⁻型ドリフト層2は、p型不純物が導入された領域SCF1からなり、n⁻型半導体領域3は、p型不純物が導入されていない領域SCF2からなる。

【0161】

すなわち、本実施の形態の半導体装置の製造方法では、p型の半導体基板SUB上にエピタキシャル成長したn型の半導体膜SCFの領域SCF1にp型不純物をイオン注入し、n型の半導体膜SCFの領域であって、領域SCF1と隣接した領域SCF2にp型不純物をイオン注入しない。これにより、p型不純物が導入された領域SCF1からなるp⁻型ドリフト層2、および、p型不純物が導入されていない領域SCF2からなるn⁻型半導体領域3を形成する。

10

【0162】

例えばホウ素(B)などのp型の不純物イオンIM1をイオン注入する際の不純物イオンIM1の飛程、すなわち不純物イオンIM1がn型の半導体膜SCFを浸透して停止する深さは、リン(P)またはヒ素(As)などのn型の不純物イオンIM101(図24参照)をイオン注入する際の不純物イオンIM101の飛程よりも深い。そのため、p⁻型ドリフト層2の下面は、p⁺型ドレイン層1の上面と等しい高さに位置し、p⁻型ドリフト層2は、p⁺型ドレイン層1に接触する。一方、n⁻型半導体領域3は、p型不純物が導入されていない領域SCF2からなるため、n⁻型半導体領域3の下面は、p⁺型ドレイン層1の上面と等しい高さに位置し、n⁻型半導体領域3は、p⁺型ドレイン層1に接触する。

20

【0163】

したがって、p⁻型ドリフト層2とn⁻型半導体領域3との界面からなるスーパージャクション構造を、半導体膜SCFの上面から下面に達するように、容易に形成することができる。すなわち、半導体膜SCFの下層部、すなわち半導体膜SCFのうちp⁺型ドレイン層1と接触する部分にもスーパージャクション構造を形成することができ、p⁻型ドリフト層2とn⁻型半導体領域3との界面の面積を増加させることができる。

【0164】

このようなスーパージャクション構造を有する実施の形態の半導体装置では、比較例2の半導体装置に比べ、pチャネル型の縦型MOSFETにおける耐圧を確保しつつオン抵抗を十分低減することができ、半導体装置の性能を向上させることができる。例えば、インバータのハイサイドのMOSFETとして、本実施の形態の半導体装置を用いる場合には、比較例2の半導体装置に比べ、インバータの制御回路が簡単になり、かつ、pチャネル型のMOSFETのオン抵抗を低減することができる。

30

【0165】

また、本実施の形態の半導体装置の製造工程では、半導体膜のエピタキシャル成長を行う工程数が1つである。そのため、本実施の形態の半導体装置の製造工程では、比較例3の半導体装置の製造工程に比べ、半導体装置の製造工程における工程数を低減することができ、製造コストを低減することができる。

【0166】

40

さらに、本実施の形態の半導体装置の製造工程では、p⁻型ドリフト層2とn⁻型半導体領域3を形成するために、絶縁膜IF200(図26参照)を形成し、異方性エッチングする工程を行う必要がない。この点においても、本実施の形態の半導体装置の製造工程では、比較例3の半導体装置の製造工程に比べ、半導体装置の製造工程における工程数を低減することができ、製造コストを低減することができる。また、本実施の形態では、比較例3に比べ、絶縁膜IF200からなる側壁SS201(図26参照)に生成された欠陥により耐圧が低下することを、防止または抑制することができる。

【0167】

p⁺型ドレイン層1上にn型の半導体膜SCFをエピタキシャル成長させる場合、p⁺型ドレイン層1上にp型の半導体膜SCF100(図24参照)をエピタキシャル成長さ

50

せる場合に比べ、エピタキシャル成長後の熱処理などの際に、 p^+ 型ドレイン層1中の例えばホウ素などからなる p 型不純物が n 型の半導体膜SCF中に拡散しやすい。そのため、 p^+ 型ドレイン層1上に n 型の半導体膜SCFをエピタキシャル成長により形成する場合、 p 型不純物が p^+ 型ドレイン層1から n 型の半導体膜SCF中に拡散することを防止または抑制するため、エピタキシャル成長後の熱処理などのプロセス条件が大きく制約される。したがって、 p^+ 型ドレイン層1上に n 型の半導体膜SCFをエピタキシャル成長により形成し、形成された n 型の半導体膜SCFを残してMOSFETの一部として用いることは、プロセス条件が大きく制約される点で、困難であった。

【0168】

一方、本実施の形態では、 n 型の半導体膜SCFのうち主要な部分である領域SCF1に p 型不純物を導入することにより、 p 型不純物が導入された領域SCF1からなる p^- 型ドリフト層2が形成される。そのため、 n 型の半導体膜SCFのうち主要な部分である領域SCF1は、 n 型の半導体膜SCFとしては残らない。

【0169】

また、本実施の形態では、 n 型の半導体膜SCFのうち残された領域SCF2からなる n^- 型半導体領域3が形成される。しかし、 p^+ 型ドレイン層1から n^- 型半導体領域3に p 型不純物が少し拡散したとしても、 p^- 型ドリフト層2と n^- 型半導体領域3との界面に形成されるスーパージャンクション構造に与える影響は、それほど大きくない。

【0170】

すなわち、本願発明者は、 p^+ 型ドレイン層1上の n 型の半導体膜SCFのエピタキシャル成長という、従来困難なエピタキシャル成長を利用し、 n 型の半導体膜SCFのうち、主要な部分以外の部分である領域SCF2を残して n^- 型半導体領域3を形成することにより、良好なスーパージャンクション構造を形成できることを、初めて見出した。

【0171】

なお、比較例3の半導体装置の製造工程では、図27を用いて説明したように、後の工程で p^- 型ドリフト層202となる p 型の半導体膜SCF200をエピタキシャル成長させる際に、 p 型不純物が p^+ 型ドレイン層1から n 型の半導体膜SCF中に拡散するおそれがある。したがって、 p 型の半導体膜SCF200をエピタキシャル成長させる際のプロセス条件が大きく制約されるので、高品質な p 型の半導体膜SCF200をエピタキシャル成長させることができない。

【0172】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0173】

- 1 p^+ 型ドレイン層
- 2 p^- 型ドリフト層
- 3 n^- 型半導体領域
- 4 n 型ボディ層
- 5 p^+ 型ソース層
- 6、7 導体膜
- 10～13 MOSFET
- AR1 セル領域
- AR2 ゲート配線引き出し領域
- AR3 領域
- BAT 電源
- BD1 接着層
- CF1 導体膜
- CHP1 半導体チップ

10

20

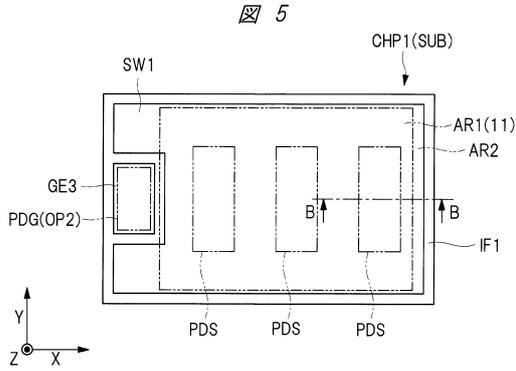
30

40

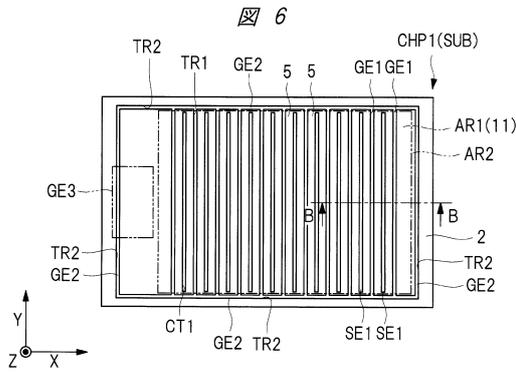
50

CNV	コンバータ	
CT1	コンタクト溝	
CTC1、CTC2	制御回路	
DE1	ドレイン電極	
DI	ダイオード	
DP	ダイパッド	
GE1	ゲート電極	
GE2、GE3	外周ゲート電極	
GI1	ゲート絶縁膜	
GI2	外周ゲート絶縁膜	10
GND	接地電位	
IF1、IL11、IL12	絶縁膜	
IL1	層間絶縁膜	
IM1	不純物イオン	
INV	インバータ	
LD、LD1、LD2	リード	
MOT	モータ	
MR	封止樹脂	
MRa	上面	
MRb	下面	20
MRc	側面	
MSK	マスク膜	
MSP	マスクパターン	
OP1、OP2	開口部	
PDG	ゲート用パッド	
PDS	ソース用パッド	
PH1	U相	
PH2	V相	
PH3	W相	
PKG	半導体パッケージ	30
PMP	ポンプ	
RY	リレー	
SCF	半導体膜	
SCF1、SCF2	領域	
SE1	ソース電極	
SUB	半導体基板	
SW1	ソース配線	
TR1	ゲートトレンチ	
TR2	外周ゲートトレンチ	
VCC	電源電位	40
WA	ワイヤ	

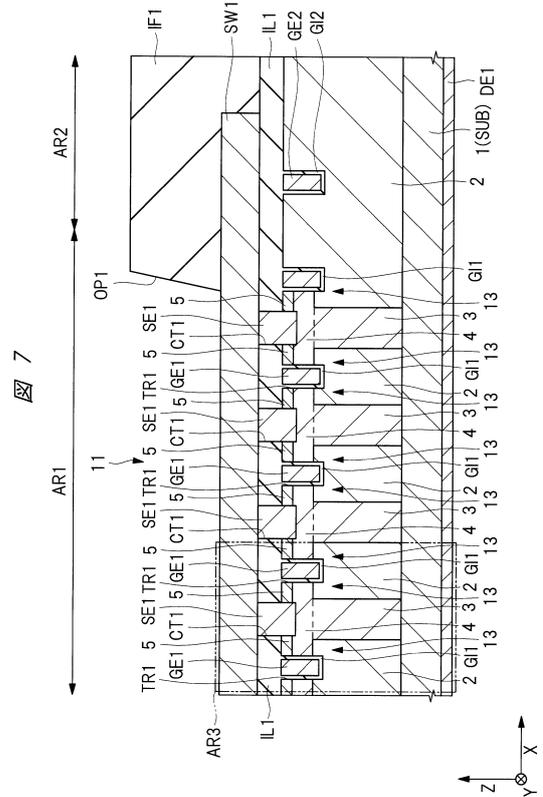
【図5】



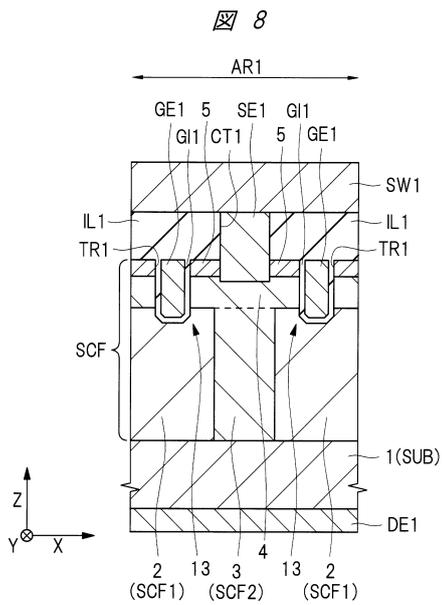
【図6】



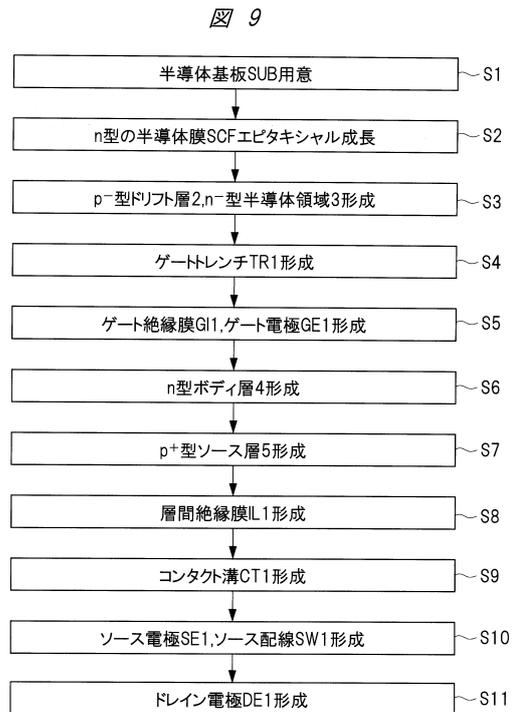
【図7】



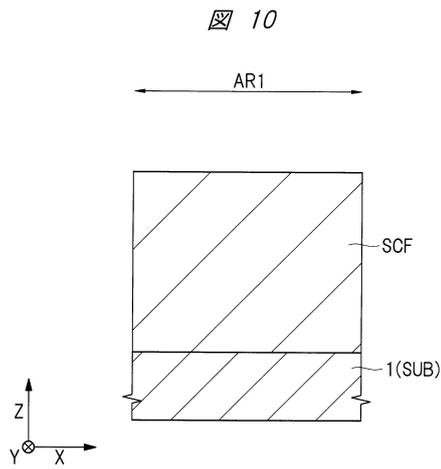
【図8】



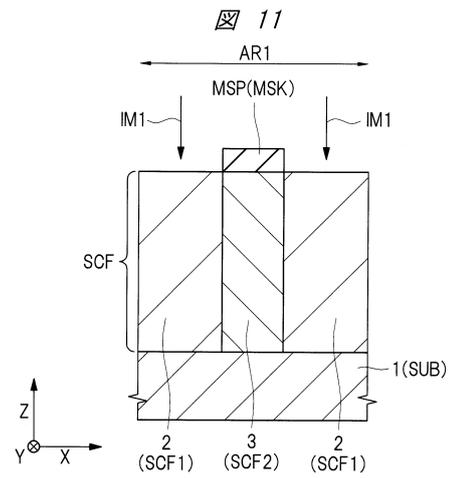
【図9】



【図10】

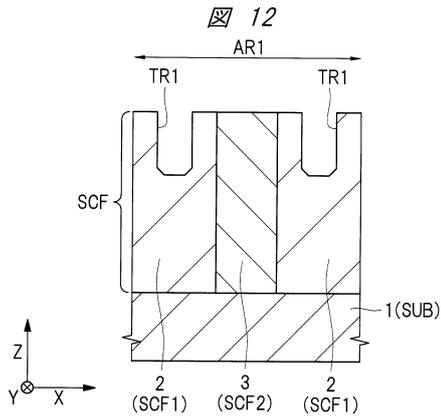


【図11】

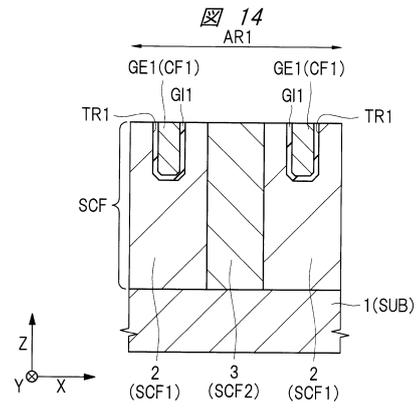


2 : p⁻型ドリフト層
 3 : n⁻型半導体領域
 SCF : 半導体膜
 SCF1, SCF2 : 領域
 SUB : 半導体基板

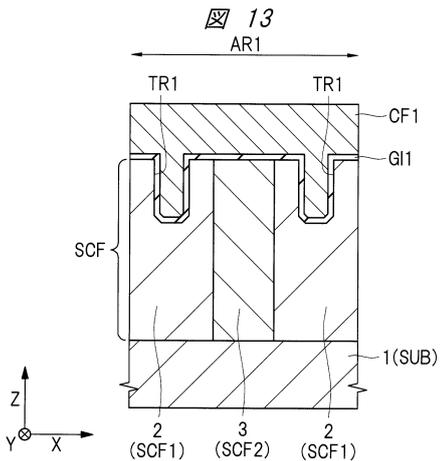
【図12】



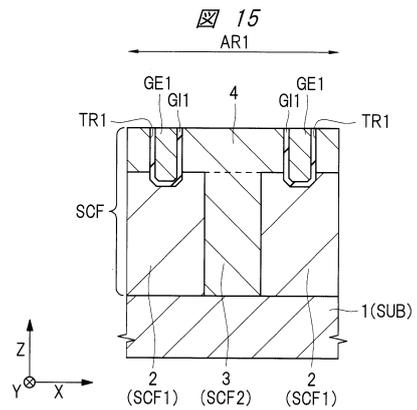
【図14】



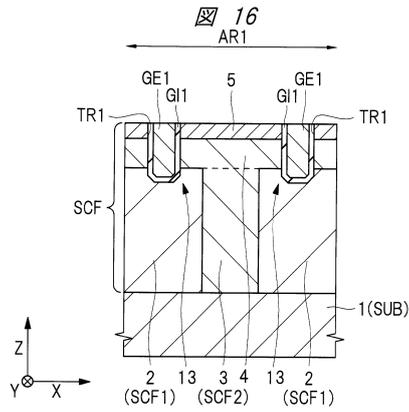
【図13】



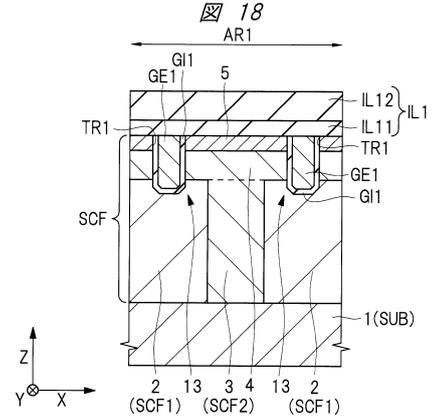
【図15】



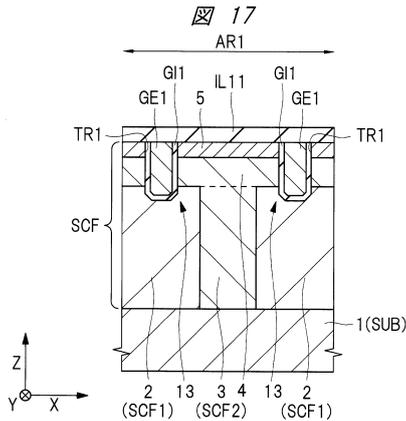
【図 16】



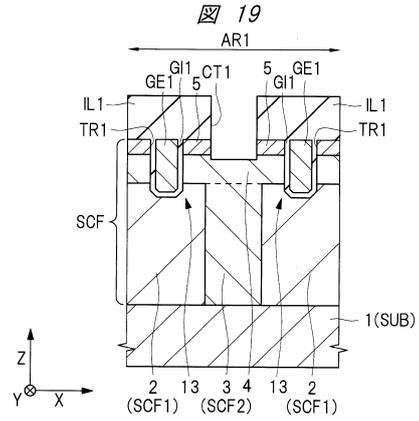
【図 18】



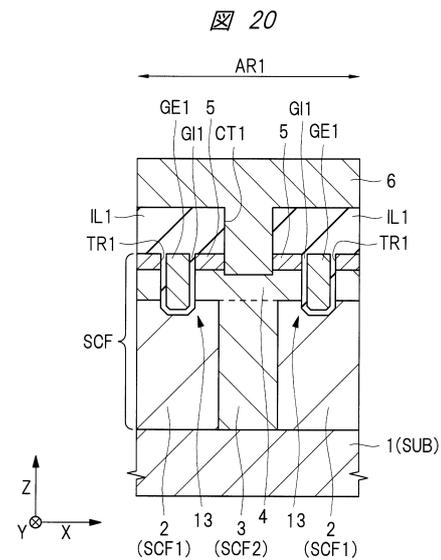
【図 17】



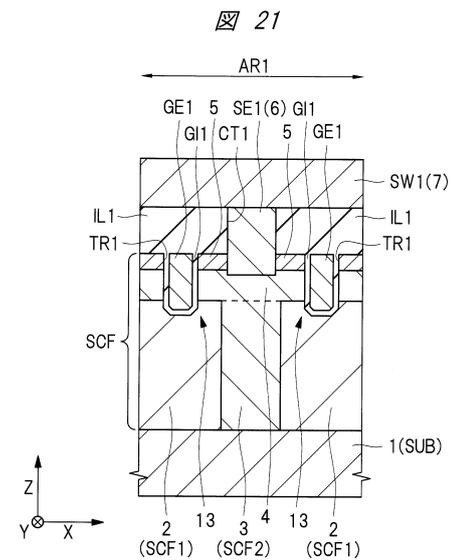
【図 19】



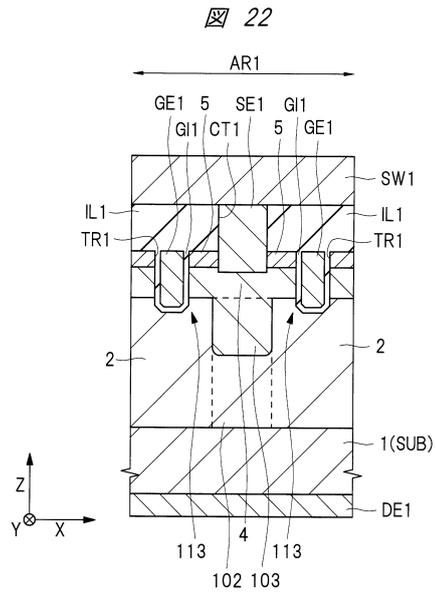
【図 20】



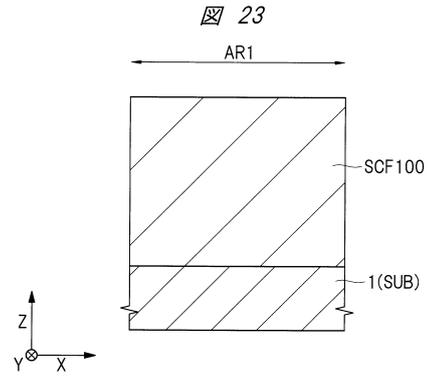
【図 21】



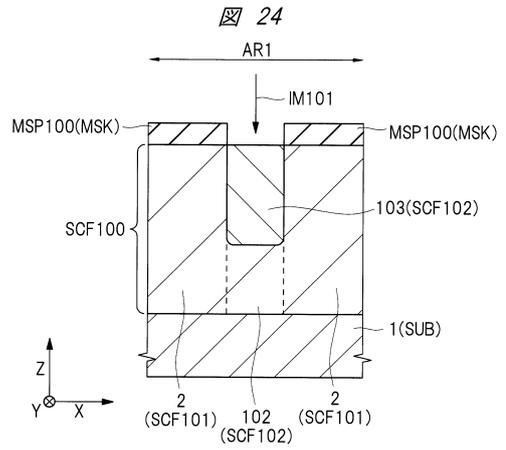
【 図 2 2 】



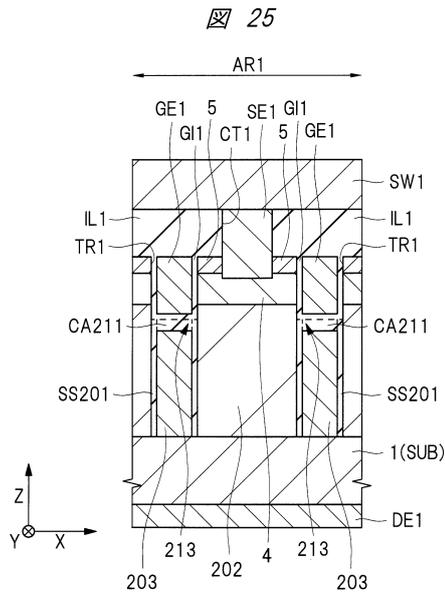
【 図 2 3 】



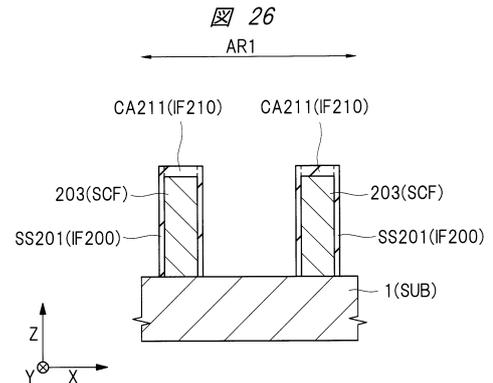
【 図 2 4 】



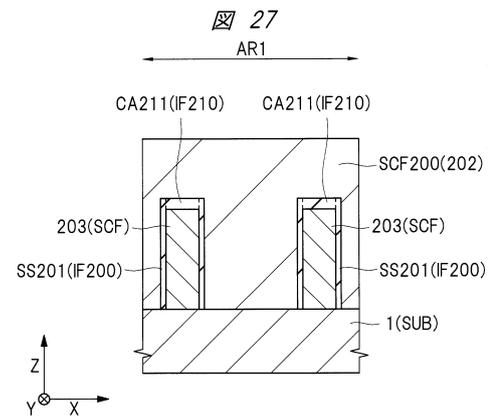
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/06	3 0 1 G
H 0 1 L	29/78	6 5 2 D
H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/78	6 5 8 E
H 0 1 L	29/78	6 5 8 F

(56)参考文献 特開2012-094920(JP,A)
特開2007-013003(JP,A)
特開2007-012858(JP,A)
特開2010-206096(JP,A)
米国特許出願公開第2012/0168856(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 9 / 7 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 0 6