

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-205568
(P2020-205568A)

(43) 公開日 令和2年12月24日(2020.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/52 (2006.01)	H03F 1/52 220	5J500
H03F 3/193 (2006.01)	H03F 3/193	
H03F 1/22 (2006.01)	H03F 1/22	

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号	特願2019-113596 (P2019-113596)	(71) 出願人	000003078
(22) 出願日	令和1年6月19日 (2019.6.19)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(71) 出願人	317011920
			東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100091982
			弁理士 永井 浩之
		(74) 代理人	100091487
			弁理士 中村 行孝
		(74) 代理人	100105153
			弁理士 朝倉 悟
		(74) 代理人	100107582
			弁理士 関根 毅

最終頁に続く

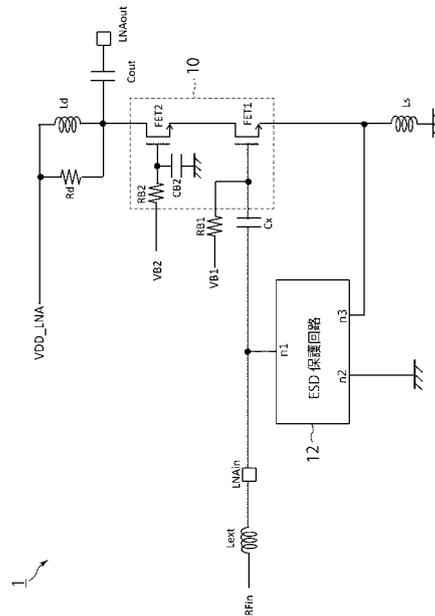
(54) 【発明の名称】 高周波増幅回路

(57) 【要約】

【課題】 ESD耐性を向上させる。

【解決手段】 高周波増幅回路は、第1トランジスタと、第2トランジスタと、ESD保護回路と、を備える。第1トランジスタは、ソースがインダクタを介して接地され、入力信号がキャパシタを介してゲートに印加される。第2トランジスタは、前記第1トランジスタとカスコード接続され、ゲートが接地され、前記第1トランジスタのドレインから出力される信号を増幅した信号をドレインから出力する。ESD保護回路は、複数のPN接合ダイオードを備え、第1端子が前記キャパシタの入力側ノードと接続され、第2端子が接地され、第3端子が前記第1トランジスタのソースと接続される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力ノードに接続されたキャパシタと、

ゲートが前記キャパシタの他端に接続され、ソースがインダクタを介して接地される、第 1 トランジスタと、

前記第 1 トランジスタとカスコード接続され、ゲートが接地され、前記第 1 トランジスタのドレインから出力される信号を増幅した信号をドレインから出力する、第 2 トランジスタと、

複数の PN 接合ダイオードを備え、第 1 端子が前記入力ノードと接続され、第 2 端子が接地され、第 3 端子が前記第 1 トランジスタのソースと接続される、ESD 保護回路と、
を備える、高周波増幅回路。

10

【請求項 2】

前記 ESD 保護回路に備えられる PN 接合ダイオードは、

前記第 2 端子から前記第 1 端子へと順方向電流を流す PN 接合ダイオードの接合面積と、前記第 3 端子から前記第 1 端子へと順方向電流を流す PN 接合ダイオードの接合面積と、の和と、

前記第 1 端子から前記第 3 端子へと順方向電流を流す PN 接合ダイオードの接合面積、が等しい、請求項 1 に記載の高周波増幅回路。

【請求項 3】

前記 ESD 保護回路は、

20

カソードが前記第 1 端子と接続される、第 1 ダイオードと、

カソードが前記第 1 ダイオードのアノードに接続され、アノードが前記第 2 端子と接続される、第 2 ダイオードと、

カソードが前記第 1 端子と接続され、アノードが前記第 1 ダイオードのアノードと接続される、第 3 ダイオードと、

カソードが前記第 3 ダイオードのアノードと接続され、アノードが前記第 3 端子と接続される、第 4 ダイオードと、

アノードが前記第 1 端子と接続される、第 5 ダイオードと、

アノードが前記第 5 ダイオードのカソードと接続され、カソードが前記第 3 端子と接続される、第 6 ダイオードと、

30

を備える、請求項 2 に記載の高周波増幅回路。

【請求項 4】

前記第 1 ダイオードの接合面積と、前記第 2 ダイオードの接合面積が等しく、

前記第 3 ダイオードの接合面積と、前記第 4 ダイオードの接合面積が等しく、

前記第 5 ダイオードの接合面積と、前記第 6 ダイオードの接合面積が等しく、

前記第 1 ダイオードの接合面積と、前記第 3 ダイオードの接合面積との和が、前記第 5 ダイオードの接合面積と等しい、

請求項 3 に記載の高周波増幅回路。

【請求項 5】

前記第 1 トランジスタのドレインと、接地電位との間に接続される、クランプ回路、
をさらに備える、請求項 3 又は請求項 4 に記載の高周波増幅回路。

40

【請求項 6】

前記第 1 トランジスタのゲート - ソース間の電圧が、ゲート破壊を発生させる破壊耐圧に達する電圧である場合に、ゲート - ドレイン間の電圧が、前記破壊耐圧の電圧と等しくなる、

請求項 1 から請求項 5 のいずれかに記載の高周波増幅回路。

【請求項 7】

SOI (Silicon On Insulator) 基板上に形成される、

請求項 1 から請求項 6 のいずれかに記載の高周波増幅回路。

【請求項 8】

50

複数の周波数の信号を選択し、入力信号を出力する、SPnT (Single-Pole / n-Throw) スイッチと、

モード間における前記入力信号の整合を取る、入力整合回路と、

をさらに備える、請求項 1 から請求項 7 のいずれかに記載の高周波増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、高周波増幅回路に関する。

【背景技術】

【0002】

高周波低雑音増幅器 (LNA: Low Noise Amplifier) は、一般に SiGe バイポーラプロセスが用いられてきたが、近年、SOI (Silicon On Insulator) CMOS プロセスによるものが増えてきている。高周波スイッチ FET を LNA に組み込むことにより、高機能な回路を実現できるためである。一般に、信号が入力される FET のゲート酸化膜は、製造プロセスにおいて許容される最小値に設定される。この場合、ゲート - ソース間の電圧及びゲート - ドレイン間の電圧の制限が厳しく、当該制限を超える振幅を有する電圧が印加されるとゲート破壊を招いてしまう。また、当然ながら、ESD (Electro-Static Discharge) 耐性も要求される。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2016 - 171163 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一実施形態は、ESD 耐性を向上させた高周波増幅回路を提供する。

【課題を解決するための手段】

【0005】

一実施形態によれば、高周波増幅回路は、第 1 トランジスタと、第 2 トランジスタと、ESD 保護回路と、を備える。第 1 トランジスタは、ソースがインダクタを介して接地され、入力信号がキャパシタを介してゲートに印加される。第 2 トランジスタは、前記第 1 トランジスタとカスコード接続され、ゲートが接地され、前記第 1 トランジスタのドレインから出力される信号を増幅した信号をドレインから出力する。ESD 保護回路は、複数の PN 接合ダイオードを備え、第 1 端子が前記キャパシタの入力側ノードと接続され、第 2 端子が接地され、第 3 端子が前記第 1 トランジスタのソースと接続される。

【図面の簡単な説明】

【0006】

【図 1】一実施形態に係る LNA の一例を示す回路図。

【図 2】一実施形態に係る LNA の実装例を示す図。

【図 3】一実施形態に係る LNA の一例を示す回路図。

【図 4】図 3 の場合の S パラメータを示す図。

【図 5】図 3 の場合の第 1 トランジスタの端子間の電圧を示す図。

【図 6】一実施形態に係る LNA の一例を示す回路図。

【図 7】図 6 の場合の S パラメータを示す図。

【図 8】図 6 の場合の第 1 トランジスタの端子間の電圧を示す図。

【図 9】比較例に係る S パラメータを示す図。

【図 10】比較例に係る第 1 トランジスタの端子間の電圧を示す図。

【発明を実施するための形態】

【0007】

以下、図面を参照して実施形態について説明する。なお、本件明細書と添付図面におい

10

20

30

40

50

ては、理解のしやすさと図示の便宜上、一部の構成部分を省略、変更又は簡易化して説明及び図示しているが、同様の機能を期待し得る程度の技術内容も、本実施の形態に含めて解釈することとする。また、本件明細書に添付する図面においては、図示と理解のしやすさの便宜上、適宜縮尺及び縦横の寸法比等を、実物から変更し誇張してある。

【0008】

まず、各実施形態に共通するLNAの構成について説明する。

【0009】

図1は、一実施形態に係るLNA1の回路図を示す。図1のLNA1は、例えば、SOI基板上に配置可能である。また、LNA1の周辺回路、例えば、アンテナスイッチとLNA1を同一のSOI基板上に配置してもよい。図1のLNA1は、例えば、携帯電話やスマートフォン等の無線装置で用いられるが、用途や実装場所は問わない。

10

【0010】

LNA1は、入力ポートLNAinと、出力ポートLNAoutと、を備える。LNA1は、外部インダクタLextを経て入力ポートLNAinから入力された信号を増幅し、出力ポートから出力する。以下においては、外部インダクタLextの入力RFinをポート1、出力ポートLNAoutをポート2とも記載し、ポート間のSパラメータ等の値は、このポート番号に基づいて指定される。

【0011】

LNA1は、第1トランジスタFET1及び第2トランジスタFET2を備える増幅回路10と、入力ポートLNAinと第1トランジスタFET1のゲートとの間に接続されたキャパシタCxと、ソースインダクタLsと、出力整合抵抗Rdと、出力整合インダクタLdと、出力整合キャパシタCoutと、を備える。さらに、第1端子n1が入力ポートLNAinと接続され、第2端子n2が接地され、第3端子n3が第1トランジスタFET1のソースと接続される、ESD保護回路12を備える。ESD保護回路12は、入力ポートLNAinに印加する静電気(Electro Static Discharge)による静電破壊を防ぐ回路である。ESD保護回路12は、例えば、複数のPN接合ダイオードを備える。

20

【0012】

高周波信号は外部インダクタLextを経て入力ポートLNAinに入力される。入力された信号は、キャパシタCxを介して第1トランジスタFET1のゲートにバイアス電圧VB1でバイアスを掛けられて入力されソースインダクタLsを介して接地される。キャパシタCx及びソースインダクタは外部インダクタLextと共に、入力整合回路として機能する。また、キャパシタCxには、信号の直流成分を除去する機能もある。入力整合回路は、入力信号を整合する。

30

【0013】

電源電圧VDD_LNAと第2トランジスタFET2のドレインとの間には出力整合抵抗Rdと出力整合インダクタLdが並列に接続され、第2トランジスタFET2のドレインと出力ポートLNAoutとの間には出力整合キャパシタCoutが接続されている。そして出力ポートLNAoutから、入力された高周波信号が増幅されて出力される。すなわち、ソースインダクタLsと、第1トランジスタFET1と、第2トランジスタFET2と、出力整合のための出力整合抵抗Rdと、出力整合インダクタLdと、出力整合キャパシタCoutにより信号が増幅され、さらに、整合されて出力される。この動作は、一般的なソース接地FETとゲート接地FETを接続させたカスコード接続増幅回路によるLNAと同等の動作であるので、詳しい説明は省略する。

40

【0014】

なお、各種出力整合用の回路素子は、一例として示したものであり、以下に説明する実施形態における本質的な点ではない。すなわち、出力整合用の回路素子は、別の構成であっても構わないし、増幅回路の外側、広義では、LNA1の外側において備えられているものであってもよい。

【0015】

図2は、LNA1の実装例である。LNA1は、増幅回路10と、ESD保護回路12と、キャパシタCxと、ソースインダクタLsと、SPnTスイッチ2(Single Pole / n-Throwスイッチ

50

)と、を備える。SPnTスイッチ2は、n個のバンドに対応したn個の入力信号INの中から増幅すべき信号を選択するバンドセレクトスイッチである。例えば、Band7(2620MHz~2690MHz)とBand41(2496MHz~2690MHz)のどちらかを選択して増幅する場合、Band7はBand41に包含されるため、Band41用に設計された増幅回路の前段にSPDT(Single-Pole Double-Throw)スイッチが設けられる。

【0016】

以下で説明するLNA1には、Band41の周波数帯に属する周波数の信号を選択して出力する。増幅回路10以外にも、多数の周波数帯に対応する増幅回路を、LNA1は、備えていてもよいし、SPnTスイッチ2からLNA1の外部の増幅回路に対して出力をしてもよい。この場合複数のLNA等をSPnTスイッチ2と同一のSOI基板上に備えてもよい。

10

【0017】

SPnTスイッチ2から出力された信号は、端子SWoutからいったん外部へと出力され、外部インダクタLextを介して入力信号として、入力ポートLNAINから入力される。外部インダクタLextと並列に、LNA1内に、入力整合回路を備えてもよい。

【0018】

入力された信号は、上述のように、増幅回路10において増幅されて出力される。入力ポートLNAIN側からの静電気からは、ESD保護回路12により保護される。そして、入力された信号は、増幅され、増幅回路10から出力される。必要に応じて、出力整合回路を備えてもよい。

【0019】

なお、図2には示されていないが、各ブロックは、必要に応じて、電源電圧Vdd、Vss(又はGND)と接続され、必要な電力が供給される。また、回路中の各トランジスタには、必要に応じてそのゲートにバイアス電圧が外部から印加される。LNA1は、これらの電源電圧、バイアス電圧等の入力を受け付ける入力端子が備えられていてもよい。また、ゲートにバイアス電圧を印加する場合には、高周波雑音を抑制する抵抗と接地キャパシタ等を必要に応じて備えてもよい。

20

【0020】

以下、これらの回路について、より具体的な実施形態を示し、説明する。以下の実施形態においては、上述のようにBand41の周波数帯について説明するが、これに限られるものではない。例えば、他の周波数帯に対しては、回路定数を変更した回路素子を用いることにより同様の回路構成により性能を向上させる。

30

【0021】

(第1実施形態)

図1に戻り、第1実施形態の説明をする。出力整合抵抗Rdと出力整合キャパシタCoutは、利得調整を行うべく、それぞれ、可変抵抗、可変キャパシタとしてもよい。また、それぞれのトランジスタのゲートに印加する電圧を制御するバイアス制御回路を別途備えていてもよい。

【0022】

LNA1は、図に示すように、第1トランジスタFET1のゲート、ソース及び接地点との間にESD保護回路12を備える。ESD保護回路12は、例えば、第1端子n1と第2端子n2との間、及び、第1端子n1と第3端子n3との間に、1以上のPN接合ダイオードが直列接続される。これらのPN接合ダイオードは、第1端子n1と第2端子n2との間を逆方向に接続するダイオードの接合面積と、第1端子n1と第3端子n3との間を逆方向に接続するダイオードの接合面積との和が、第1端子n1と第2端子n2との間を順方向に接続するダイオードの接合面積に等しい。ここで、接合面積とは、半導体中においてPN接合ダイオードを構成するP領域とN領域とが接合する領域の面積のことを言う。

40

【0023】

以上のように、本実施形態によれば、PN接合ダイオードを条件に基づいて入力ノード、接地ノード及びソースインダクタと第1トランジスタのソースとの間のノードに接続されるESD保護回路12を備えることにより、ESD耐性の高いLNA1を提供することが可能とな

50

る。また、SOI基板上にLNA 1を形成することにより、ESD保護回路12に備えられるPN接合ダイオードを容易に精度よく形成することが可能となる。

【0024】

上述したように、一般に第1トランジスタFET1のゲート酸化膜 T_{ox} は、製造プロセスにおいて最小値に設定される。例えば、 $T_{ox} = 2.5\text{nm}$ とすると、ゲート-ソース間電圧 V_{gs} 、及び、ゲート-ドレイン間電圧 V_{gd} の絶対値の最大値は4Vを超えてはならない。これ以上の電圧振幅が印加されると、ゲート破壊を発生させてしまう。そこで、さらに、第1トランジスタFET1のゲート-ソース間電圧が破壊耐圧(V_{gs_max})に達する入力電力となるタイミングにおいて、第1トランジスタFET1のゲート-ドレイン間電圧 V_{gd} がこの破壊耐圧 V_{gs_max} に等しくなるように設計することにより、過入力耐性をも向上させたLNA 1を提供することが可能となる。

10

【0025】

(第2実施形態)

図3は、第1実施形態のより具体的なESD保護回路12の実装例を示すLNA 1の回路図である。ESD保護回路12は、第1ダイオードD11Bと、第2ダイオードD12Bと、第3ダイオードD21Bと第4ダイオードD22Bと、第5ダイオードD21Aと、第6ダイオードD22Aと、を備える。第1ダイオードD11Bから第6ダイオードD22Aは、それぞれがPN接合ダイオードで構成される。

【0026】

第1ダイオードD11Bは、カソードが第1端子 $n1$ と接続され、アノードが第2ダイオードD12Bのカソード、第3ダイオードD21Bのアノード及び第4ダイオードD22Bのカソードと接続される。第2ダイオードD12Bは、カソードが第1ダイオードD11Bのアノード、第3ダイオードD21Bのアノード及び第4ダイオードD22Bのカソードと接続され、アノードが第2端子 $n2$ と接続される。

20

【0027】

第3ダイオードD21Bは、カソードが第1端子 $n1$ と接続され、アノードが第1ダイオードD11Bのアノード、第2ダイオードD12Bのカソード及び第4ダイオードD22Bのカソードと接続される。第4ダイオードD22Bは、カソードが第1ダイオードD11Bのアノード、第2ダイオードD12Bのカソード及び第3ダイオードD21Bのアノードと接続され、アノードが第3端子 $n3$ と接続される。

30

【0028】

第5ダイオードD21Aは、アノードが第1端子 $n1$ と接続され、カソードが第6ダイオードD22Aのアノードと接続される。第6ダイオードD22Aは、アノードが第5ダイオードD21Aのカソードと接続され、カソードが第3端子 $n3$ と接続される。

【0029】

これらのダイオードは、第1ダイオードD11B及び第2ダイオードD12Bが第1端子 $n1$ と第2端子 $n2$ とを逆方向に接続するダイオード、第3ダイオードD21Bと第4ダイオードD22Bが第1端子 $n1$ と第3端子 $n3$ を逆方向に接続するダイオード、第5ダイオードD21Aと第6ダイオードD22Aが第1端子 $n1$ と第3端子 $n3$ を順方向に接続するダイオードを構成する。

40

【0030】

本実施形態においては、上述に説明したように、第1端子 $n1$ と第2端子 $n2$ を接続する第1ダイオードD11Bと第2ダイオードD12Bの間と、第1端子 $n1$ と第3端子 $n3$ を接続する第3ダイオードD21Bと第4ダイオードD22Bとの間において、これら2つの経路が相互に接続される。

【0031】

前述した実施形態の記載に合うようにこれらのダイオードにおける接合面積を設定する。例えば、 $A(Dx)$ をダイオード Dx の接合面積であるとする、まず、一般的になされるように、直列接続された各ダイオードの接合面積は等しくする。

すなわち、

第1ダイオードD11Bの接合面積($A(D11B)$)

50

= 第 2 ダイオードD12Bの接合面積 ($A(D12B)$)、
 第 3 ダイオードD21Bの接合面積 ($A(D21B)$)
 = 第 4 ダイオードD22Bの接合面積 ($A(D22B)$)、
 第 5 ダイオードD21Aの接合面積 ($A(D21A)$)
 = 第 6 ダイオードの接合面積 ($A(D22A)$)

と設定する。さらに、第 1 ダイオードD11Bの接合面積 ($A(D11B)$) と、第 3 ダイオードD21Bの接合面積 ($A(D21B)$) の和 ($A(D11B) + A(D21B)$) を第 5 ダイオードの接合面積 ($A(D21A)$) と等しくする。

【 0 0 3 2 】

このようにPN接合ダイオードを接続したESD保護回路 1 2 は、例えば、入力側において正の静電気が発生した場合には、ダイオードの順方向特性により、第 1 端子n1から第 3 端子n3へと発生した静電気を退避させる。第 3 端子n3から接地面へはソースインダクタLsを介して静電気を退避させる。また、負の静電気が発生した場合には、第 1 端子n1から第 2 端子へ放電する経路と第1端子n1から第 3 端子n3へ放電する経路によって静電気を退避させる。

10

【 0 0 3 3 】

図 4 は、本実施形態に係るSパラメータ (Scattering Parameter) を示す図である。横軸は周波数[GHz]、縦軸はSパラメータの絶対値[dB]を示す。以下の図において、Sパラメータのグラフについては、m3は、周波数2496MHzにおける観測、m4は、周波数2593MHzにおける観測、m5は、周波数2690MHzにおける観測を示す。実線は伝達特性を示すS21を、破線は入力ポートにおける反射特性を示すS11を、点線は出力ポートにおける反射特性を示すS22を表す。図 4 に示されるように、Band41において、18dB程度の利得 (S21) が得られている。S11は、帯域内で-10.4dB以下、S22は、帯域内で-12.4dB以下と良好な値を示している。

20

【 0 0 3 4 】

図 9 は、比較例に係るLNA 1 のSパラメータを示す図である。横軸は周波数[GHz]、縦軸はSパラメータの絶対値[dB]を示す。比較例として用いたLNA 1 は、第 3 端子n3を有しないで、第 1 端子n1と第 2 端子n2を有するESD保護回路を備える。このESD保護回路は、第 1 端子n1から第 2 端子n2へと順方向に第 5 ダイオードD21A及び第 6 ダイオードD22Aと同等のダイオードがそれぞれ直列に接続される。さらに、これらの直列に接続されたダイオードと並列に、第 1 端子n1から第 2 端子n2へと逆方向に、第 1 ダイオードD11Bと第 3 ダイオードD21Bの接合面積の和と同一の接合面積を有するダイオードが直列に 2 段接続される。比較例に係るSパラメータは、利得は本実施形態とほぼ同じではあるが、S11が-10dBを上回り、本実施形態に係るSパラメータよりも劣っている。

30

【 0 0 3 5 】

図 5 は、本実施形態において、入力電力Pinを25.1dBmとした場合の第 1 トランジスタFE T1のゲート - ソース間電圧Vgs及びゲート - ドレイン間電圧Vgdの波形を示す図である。横軸は時間[psec]、縦軸は電圧[V]を示す。実線はゲート - ソース間電圧Vgs、破線はゲート - ドレイン間電圧Vgdをそれぞれ表す。Pinを25.1dBmとした場合に、|Vgs|及び|Vgd|の値の最大値が4Vとなることがわかる。逆に言うと、|Vgs|及び|Vgd|の許容量が4Vであるとすれば、最大許容入力電力は、25.1dBmとなる。

40

【 0 0 3 6 】

図 10 は、比較例に係るLNA 1 において、Pin=21.3dBmとした場合の第 1 トランジスタFE T1のVgs及びVgdの波形を示す図である。|Vgs|及び|Vgd|の値の最大値が4Vであるとき、Pin=21.3dBmであることが分かる。横軸は時間[psec]、縦軸は電圧[V]を示す。実線はゲート - ソース間電圧Vgs、破線はゲート - ドレイン間電圧Vgdをそれぞれ表す。図 9 と図 10 の結果を比較することにより、本実施形態に係るESD保護回路 1 2 を備えたLNA 1 は、比較例に対して、最大許容入力電力が3.8dB高いことが分かる。

【 0 0 3 7 】

以上のように、本実施形態によれば、静電気耐性の高いLNA 1 を示すことができる。こ

50

の静電気耐性は、上記の条件を満たしたPN接合ダイオードを有するESD保護回路12を備えることにより実装することが可能となる。また、Sパラメータ特性、過入力耐性も向上させることが可能となる。

【0038】

(第3実施形態)

前述の各実施形態においては、ESD保護回路12を備えることによりESD耐性及び過入力耐性を向上することができた。本実施形態においては、さらに、第1トランジスタFET1のドレインと接地電位との間にクランプ回路を備えるものである。

【0039】

図6は、本実施形態に係るLNA1の回路図である。この図6に示すように、LNA1は、第1トランジスタFET1のドレインと接地電位との間にクランプ回路14を備える。その他の構成は、前述の第2実施形態と同様の構成である。第2実施形態と同様に、ESD保護回路12は、PN接合ダイオードにより、高い静電気耐性を有する。本図においてクランプ回路14は、2つのp型MOSFETが2段直列に接続されたものであるが、本構成には限られない。すなわち、クランプ電圧が適切な値に調整され、かつ、高周波特性を劣化させないものであればよい。

10

【0040】

図7は、本実施形態に係るSパラメータ(Scattering Parameter)を示す図である。横軸は周波数[GHz]、縦軸はSパラメータの絶対値[dB]を示す。実線は伝達特性を示すS21を、破線は入力ポートにおける反射特性を示すS11を、点線は出力ポートにおける反射特性を示すS22を表す。図7に示されるように、Band41において、18dB程度の利得(S21)が得られている。S11は、帯域内で-10.7dB以下、S22は、帯域内で-12.6dB以下と良好な値を示している。

20

【0041】

図8は、本実施形態において、入力電力Pinを25.8dBmとした場合の第1トランジスタFET1のゲート-ソース間電圧Vgs及びゲート-ドレイン間電圧Vgdの波形を示す図である。横軸は時間[psec]、縦軸は電圧[V]を示す。実線はゲート-ソース間電圧Vgs、破線はゲート-ドレイン間電圧Vgdをそれぞれ表す。Pinを25.8dBmとした場合に、|Vgs|及び|Vgd|の値の最大値が4Vとなることがわかる。逆に言うと、|Vgs|及び|Vgd|の許容量が4Vであるとすれば、最大許容入力電力は、25.8dBmとなる。これは、図10に示す比較例に対して、最大許容入力電力が4.5dB高いことを示す。

30

【0042】

以上のように、本実施形態によっても、静電気耐性の高いLNA1を示すことができる。この静電気耐性は、上記の条件を満たしたPN接合ダイオードを有するESD保護回路12を備えることにより実装することが可能となる。さらに、クランプ回路14を備えることにより、ESD耐性と併せて、Sパラメータ特性、過入力耐性をもさらに向上させることが可能となる。

【0043】

本明細書に記載されている各実施形態において、同じ回路定数を有するとは、厳密に同一でなくともよく、例えば、同じ回路定数の素子であっても個体差等が生じてもよい範囲で同じであればよい。また、これは、請求項についても同様であり、同じ、とは厳密に同一であることを示すわけではなく、個体差等の微少な誤差があっても構わない。

40

【0044】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【0045】

例えば、前述の全ての実施形態において、n型MOSFETは、状況に応じ、p型のMOSFETとし

50

てもよく、p型のMOSFETは、状況に応じ、n型のMOSFETとしてもよい。さらに、MOSFETは、同様の機能を有する他のトランジスタ、例えば、バイポーラトランジスタ等、電圧、電流又はその他の外部からのスイッチング信号により、スイッチング素子として機能するものを用いてもよい。例えば、バイポーラトランジスタを用いる場合には、本明細書中の説明又は請求項中における、ゲート、ソース、ドレインは、それぞれ、ベース、コレクタ（エミッタ）、エミッタ（コレクタ）と適切な組み合わせに読み替えてもよい。いずれに読み替える場合においても、ゲートに印加する電圧、又は、ベースに加える電流の大きさ等、スイッチングに用いる物理量は、各素子の特性により、適切に上述した機能を有するものと同様の動作を行うように、適宜読み替えることができるものである。

【符号の説明】

【0046】

1 : LNA

10 : 増幅回路

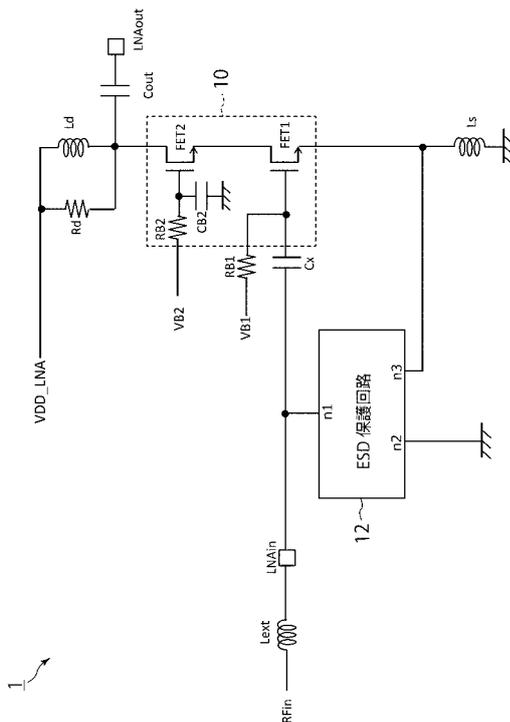
12 : ESD保護回路

14 : クランプ回路

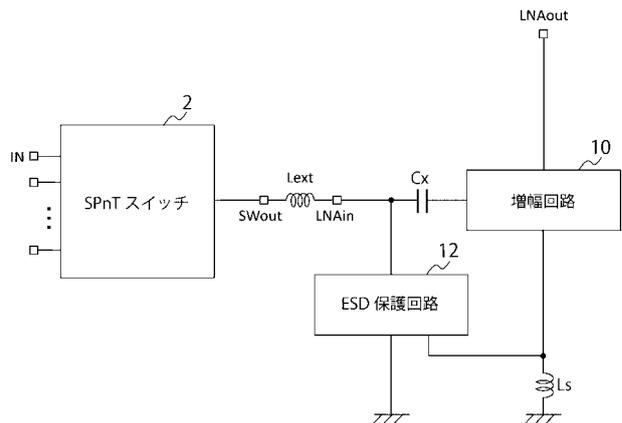
2 : SPnTスイッチ

10

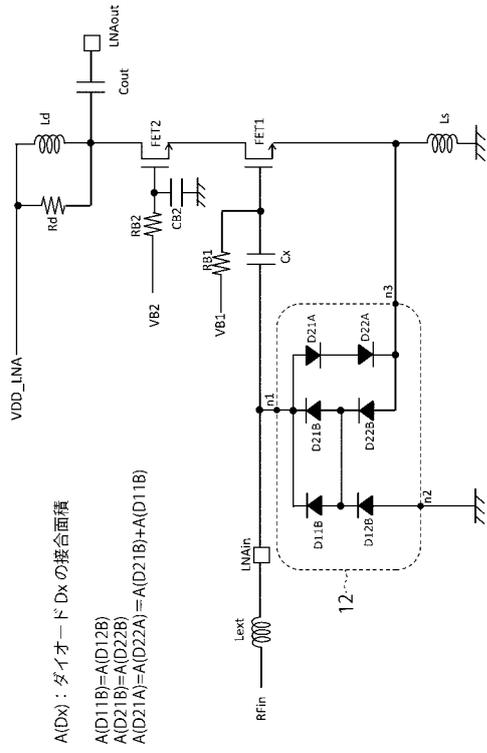
【図1】



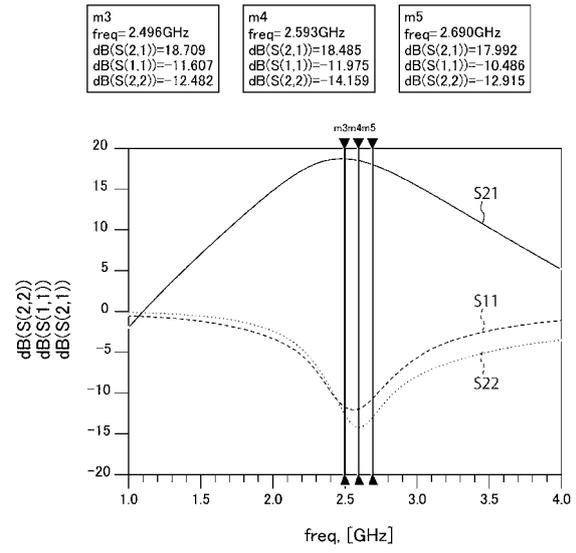
【図2】



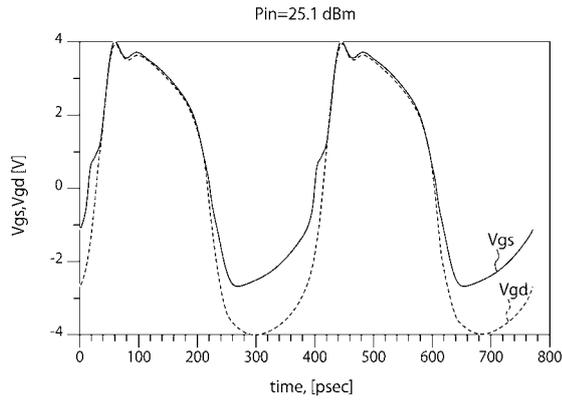
【 図 3 】



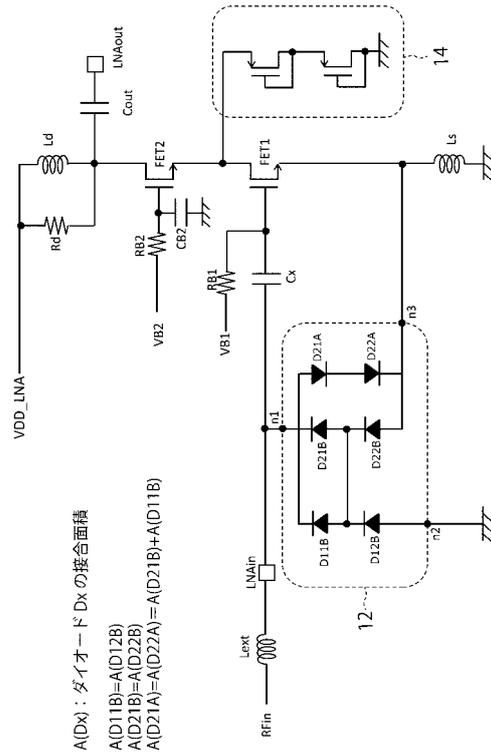
【 図 4 】



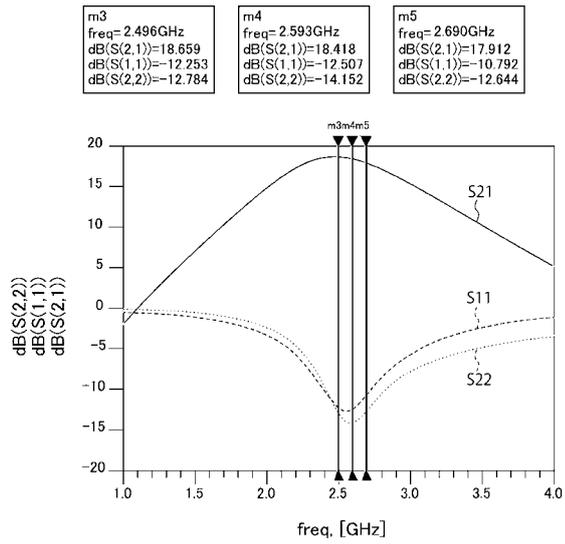
【 図 5 】



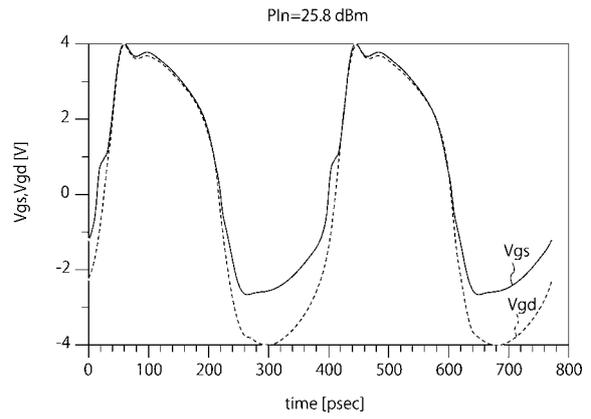
【 図 6 】



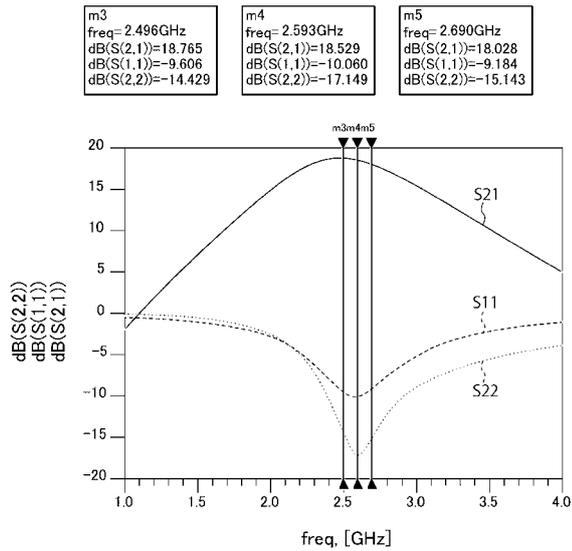
【 図 7 】



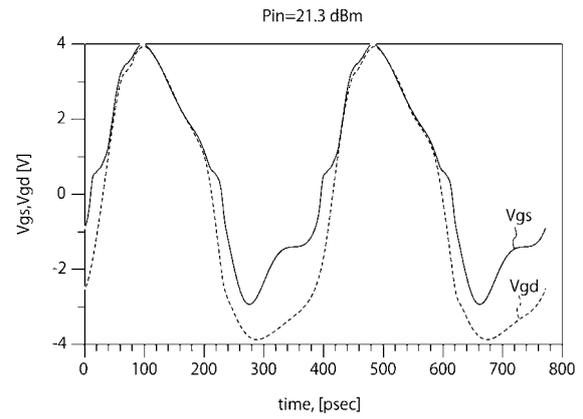
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(74)代理人 100118843

弁理士 赤岡 明

(74)代理人 100202429

弁理士 石原 信人

(72)発明者 瀬下 敏樹

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 栗山 保彦

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

Fターム(参考) 5J500 AA13 AC57 AH10 AH19 AH25 AH29 AH33 AM04 AM17 AT01
AT03 PF01 PF06 PG01 RF02 RU14