

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H01L 27/108	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년10월17일 10-0521416 2005년10월06일
-------------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호 (22) 출원일자	10-2003-0085698 2003년11월28일	(65) 공개번호 (43) 공개일자	10-2005-0052003 2005년06월02일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	길덕신 경기도이천시부발읍아미리753번지현대아파트706-601
(74) 대리인	특허법인 신성

심사관 : 조지은

(54) 하프늄나이트라이드를 하부전극으로 이용하는 캐패시터 및그 제조 방법

요약

본 발명은 HfO<sub>2</sub>를 HfON으로 바꾸기 위한 복잡한 공정에 따른 비용증가를 억제하면서 HfO<sub>2</sub> 증착에 따른 단차피복성이 열악해지는 것을 방지하는데 적합한 캐패시터 및 그 제조 방법을 제공하기 위한 것으로, 본 발명의 캐패시터의 제조 방법은 HfN을 형성하는 단계, 상기 HfN의 표면을 산화시켜 HfN으로 된 하부전극을 형성함과 동시에 상기 하부전극 표면 상에 HfON을 형성하는 단계, 및 상기 HfON 상에 상부전극을 형성하는 단계를 포함하므로써, HfO<sub>2</sub> 캐패시터보다 누설전류 및 유전특성이 우수한 캐패시터를 형성할 수 있으며, HfO<sub>2</sub> 증착공정을 생략하고 단순히 HfN의 표면산화를 통해 HfO<sub>2</sub>보다 유전상수가 큰 HfON을 형성하므로써 제조 비용을 현저히 절감할 수 있다.

대표도

도 2

색인어

캐패시터, HfN, HfON, 표면 산화, 플라즈마처리

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 캐패시터의 구조를 도시한 도면,  
도 2는 본 발명의 제1실시예에 따른 캐패시터의 구조를 도시한 도면,

도 3a 내지 도 3d는 도 2에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도,

도 4는 본 발명의 제2실시예에 따른 캐패시터의 구조를 도시한 도면,

도 5는 본 발명의 제3실시예에 따른 캐패시터의 구조를 도시한 도면.

\* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체기판 22 : 층간절연막

23 : 폴리실리콘콘택플러그 26a : HfN 하부전극

26b : HfON 27 : 상부전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 캐패시터의 제조 방법에 관한 것이다.

최근에 DRAM의 집적도가증가함에 따라 캐패시터의 면적이 작아지게 되어 요구되는 유전용량의 확보가 점점 어려워지고 있다. 요구되는 유전용량을 확보하기 위해서는 유전막의 두께를 낮추거나 유전상수가 큰 물질을 적용해야만 한다. 유전상수가 큰 물질로는  $Al_2O_3$ ,  $HfO_2$ ,  $Ta_2O_5$  등이 제안되었다.

유전상수가 큰 물질중에서  $HfO_2$ 는 유전상수값이 25 정도로 매우 커서 요구되는 유전용량의 확보가 용이한 것으로 알려져 있다. 뿐만 아니라,  $HfO_2$ 는 밴드갭에너지(Band gap energy)가 6.0eV이며, 실리콘을 전극으로 하는 경우, 실리콘과의 전도밴드오프셋(conduction band off-set) 값이 1.5eV로 상대적으로 큰 값을 갖는 장점을 가지고 있다.

그러나,  $HfO_2$ 는 비교적 낮은 온도에서 상변태가 쉽게 일어나는 특성이 있으며, 예컨대 300°C 정도의 온도에서 다결정 박막을 형성하기 때문에 캐패시터유전막으로 적용할 경우 누설전류가 매우 큰 단점을 가지고 있다.

따라서,  $HfO_2$ 는 유전상수가 높은 물질임에도 불구하고 유효산화막두께( $T_{ox}$ )를 낮추는데에는 한계가 있다.

$HfO_2$ 의 한계를 극복하기 위해 종래에는  $HfO_2$ 보다 유전상수가 큰 HfON이 제안되었다.

도 1은 종래 기술에 따른 캐패시터의 구조를 도시한 도면이다.

도 1에 도시된 바와 같이, 트랜지스터 및 비트라인 등이 형성된 반도체기판(11) 상부에 층간절연막(12)이 형성되고, 층간절연막(12)을 관통하는 스토리지노드콘택홀 내부에 콘택플러그(13)가 매립되며, 콘택플러그(13)에 실린더 형태의 하부전극(14)이 연결된다. 그리고, 하부전극(14) 상에 HfON(15)과 상부전극(16)이 형성된다.

도 1과 같은 캐패시터에서, HfON(15)은 하부전극(14)으로 도핑된 폴리실리콘이나 TiN을 사용하는 경우,  $HfO_2$ 를 형성한 후 질화처리를 진행해야하는 복잡한 공정을 거쳐야 하는 단점이 있다. 또한,  $HfO_2$ 를 증착법을 통해 증착해야 하므로 단차피복성이 열악해지는 것을 피할 수 없다. 한편,  $HfO_2$  증착시 단차피복성이 좋은 것으로 알려진 단원자증착법을 이용할 수도 있으나, 단원자증착법을 이용하는 경우에는 생산량(Throughput)이 저하되는 단점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안된 것으로,  $\text{HfO}_2$ 를  $\text{HfON}$ 으로 바꾸기 위한 복잡한 공정에 따른 비용증가를 억제하면서  $\text{HfO}_2$  증착에 따른 단차피복성이 열악해지는 것을 방지하는데 적합한 캐패시터 및 그 제조 방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위한 본 발명의 캐패시터는  $\text{HfN}$ 으로 된 하부전극, 상기 하부전극 표면 상의  $\text{HfON}$ , 및 상기  $\text{HfON}$  상의 상부전극을 포함하는 것을 특징으로 한다.

그리고, 본 발명의 캐패시터의 제조 방법은  $\text{HfN}$ 을 형성하는 단계, 상기  $\text{HfN}$ 의 표면을 산화시켜  $\text{HfON}$ 으로 된 하부전극을 형성함과 동시에 상기 하부전극 표면 상에  $\text{HfON}$ 을 형성하는 단계, 및 상기  $\text{HfON}$  상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하며, 상기  $\text{HfN}$ 의 표면을 산화시키는 단계는 상기 산화분위기에서 열처리 또는 플라즈마처리하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2는 본 발명의 제1실시예에 따른 캐패시터의 구조를 도시한 도면이다.

도 2에 도시된 바와 같이, 트랜지스터 및 비트라인 등이 형성된 반도체기판(21) 상부에 층간절연막(22)이 형성되고, 층간절연막(22)을 관통하는 스토리지노드콘택홀 내부에 폴리실리콘콘택플러그(23)가 매립되며, 폴리실리콘콘택플러그(23)에 실린더 형태의  $\text{HfN}$  하부전극(26a)이 연결된다. 그리고,  $\text{HfN}$  하부전극(26a) 표면 상에  $\text{HfON}$ (26b)이 형성되고,  $\text{HfON}$ (26b) 상에 상부전극(27)이 형성된다.

후술하겠지만, 도 2에서,  $\text{HfN}$  하부전극(26a)과  $\text{HfON}$ (26b)은  $\text{HfN}$ 을 산화시켜 형성한 것으로,  $\text{HfON}$ (26b)은 30Å ~ 200Å 두께이다.

도 3a 내지 도 3e는 도 2에 도시된 캐패시터의 제조 방법을 도시한 공정 단면도이다.

도 2a에 도시된 바와 같이, 트랜지스터 및 비트라인 등 하부구조가 형성된 반도체 기판(21) 상부에 층간절연막(22)을 증착한 후, 층간절연막(22)을 식각하여 반도체 기판(21)의 일부를 노출시키는 스토리지노드콘택홀(도면부호 생략)을 형성한다. 이때, 층간절연막(22)은 고밀도플라즈마(High Density Plasma) 방식의 산화막이다.

다음으로, 스토리지노드콘택홀을 포함한 층간절연막(22) 상에 폴리실리콘을 증착한 후 에치백공정을 진행하여 스토리지노드콘택홀내에 리세스된 폴리실리콘콘택플러그(23)를 형성한다.

다음으로, 폴리실리콘콘택플러그(23)를 포함한 층간절연막(22) 상에 스토리지노드산화막(24)을 형성한다. 이때, 스토리지노드산화막(24)은 PE-TEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass) 또는 USG(Undoped Silicate Glass) 중에서 선택된다.

다음으로, 스토리지노드산화막(24)을 식각하여 폴리실리콘콘택플러그(23) 표면을 노출시키는 콘케이브 형태의 홈(25)을 형성한다.

도 2b에 도시된 바와 같이, 홈(25)을 포함한 스토리지노드산화막(24) 상에 하부전극 물질로 하프늄나이트라이드(26, 이하 'HfN'이라고 약칭함)를 증착한 후, 스토리지노드산화막(24)의 상부에 형성된  $\text{HfN}$ (26)을 화학적기계적 연마나 에치백 등의 방법으로 제거하여 실린더 형태의  $\text{HfN}$ (26)을 형성한다. 여기서,  $\text{HfN}$ (26)을 제거할 때 연마제나 식각된 입자 등의 불순물이 실린더 내부에 부착되는 등의 우려가 있으므로, 단차피복성이 좋은 예컨대, 포토레지스트로 실린더 내부를 모두 채운 후에, 스토리지노드산화막(24)이 노출될 때까지 연마 또는 에치백을 수행하고, 실린더 내부의 포토레지스트를 애싱(ashing)하여 제거하는 것이 좋다.

상기한  $\text{HfN}$ (26) 형성시,  $\text{HfN}$ (26)은 스퍼터링법, 화학기상증착법 또는 단원자증착법으로 형성한다. 예를 들어, 화학기상증착법 또는 단원자증착법으로 증착하는 경우, 케미컬소스로는  $\text{HfCl}_4$ ,  $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ,  $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$ ,

Hf[N(C<sub>2</sub>H<sub>5</sub>(CH<sub>3</sub>))<sub>4</sub>]를 사용하고, 증착시 기판온도를 150℃~350℃로 유지한다. 그리고, 단원자증착법으로 HfN을 형성하기 위한 반응가스로는 NH<sub>3</sub> 또는 N<sub>2</sub>를 사용하고, 아울러 반응을 보조하기 위하여 반응챔버내에 NH<sub>3</sub> 또는 N<sub>2</sub>를 유입시킨 후 직접 플라즈마를 인가하거나 외부에서 NH<sub>3</sub> 또는 N<sub>2</sub>의 플라즈마를 형성한 후 반응챔버내로 유도하는 리모트플라즈마(Remote plasma)의 방법을 이용할 수도 있다.

한편, HfN(26)의 두께는 후속 HfON의 두께가 30Å 이상이 될 수 있도록 조절한다. 예컨대, HfON의 두께가 30Å~200Å임을 감안하면 HfN(26)은 100Å~1000Å 두께로 형성한다.

위에서 증착한 HfN(26)은 TiN과 유사한 전기전도성을 갖는 물질이므로 하부전극으로 사용가능하다.

도 2c에 도시된 바와 같이, HfN(26)의 표면을 산화분위기에서 500℃~650℃의 온도로 열처리하여 HfON(26b)을 형성한다. 이때, 열처리는 퍼니스(Furnace) 또는 급속열처리장치(Rapid Thermal Process)에서 진행하는데, 산소(O<sub>2</sub>), 오존(O<sub>3</sub>) 또는 이들의 가스에 질소 또는 아르곤을 혼합한 산화분위기에서 진행한다. 다른 산화방법으로는, HfN(26)의 표면을 산화시켜 HfON(26b)을 형성할 때 반응의 효율을 증대시키기 위하여 산소(O<sub>2</sub>), 오존(O<sub>3</sub>) 또는 이들의 가스에 질소 또는 아르곤을 혼합한 후 플라즈마를 인가하는 플라즈마처리법을 사용할 수 있다. 이처럼 플라즈마를 사용하는 경우, 반응챔버내에 직접 RF 전력을 인가하여 플라즈마를 발생시키거나 또는 외부에서 플라즈마를 인가한 후 HfN(26)이 증착되어 있는 웨이퍼가 놓여 있는 반응챔버내로 플라즈마를 유도하여 산화반응이 이루어지도록 한다. 그리고, 플라즈마를 이용하여 HfON(26b)을 형성하는 경우, 기판의 온도를 200℃~450℃로 유지한다.

상기한 열처리시에 HfN(26)은 대기중에 노출된 표면이 산화되므로 실질적으로 하부전극 역할을 하는 HfN 하부전극(26a)과 유전막이 되는 HfON(26b)으로 나뉘며, HfON(26b)은 30Å~200Å 두께로 형성된다.

한편, HfON(26b)은 HfO<sub>2</sub>와 달리, 질소(N)가 첨가되어 있으므로 결정화온도가 높아 후속 고온공정에서도 비정질상태를 유지할 수 있고, 이로써 누설전류를 낮게 제어할 수 있다. 또한 HfON(26b)은 종래기술에서 설명한 바와 같이, HfO<sub>2</sub>보다 유전상수가 커서 유전용량을 증가시킨다.

도 2d에 도시된 바와 같이, HfON(26b) 상에 상부전극(27)을 형성한다. 이때, 상부전극(27)은 폴리실리콘, TiN, HfN, TaN, Pt, Ru 또는 Ir 중에서 선택되며, 스퍼터링법, 화학기상증착법, 단원자증착법 또는 전기화학증착법(Electro plating deposition)으로 형성한다.

상술한 실시예에 따르면, 외부로부터 소스물질을 공급하여 HfON(26b)을 형성하는 것이 아니라, 표면 산화반응에 의하여 HfON(26b)을 형성하는 것이기 때문에 디자인롤이 작아져 셀크기가 작아지더라도 단차피복성이 열악해지는 것을 최소화할 수 있다. 뿐만 아니라 퍼니스(Furnace)를 이용한 배치(Batch) 공정을 적용하여 HfON을 형성할 수 있으므로 단원자증착법을 사용할 때 나타나는 낮은 생산량의 문제를 획기적으로 해결할 수 있다.

그리고, HfO<sub>2</sub> 증착을 위한 고가의 Hf 화학소스를 사용하지 않아도 되므로 비용이 절감된다.

또한, HfN 하부전극(26a)은 TiN에 비해 산소의 확산에 대한 저항성이 매우 강하기 때문에 HfN 하부전극(26a)과 연결되는 콘택플러그로서 폴리실리콘콘택플러그(23)를 사용하더라도 HfON 형성을 위한 산화분위기에서의 열처리 및 증착후 열처리에서 HfN 하부전극(26a)과 폴리실리콘콘택플러그(23) 계면의 산화에 의한 유전용량의 감소를 최소화한다.

상술한 실시예에서는 실린더 형태의 캐패시터에 대해 설명하였으나, 본 발명은 콘케이브(concave), 적층(stack) 구조의 캐패시터에도 적용가능하다.

도 4는 본 발명의 제2실시예에 따른 캐패시터의 구조를 도시한 도면이다.

도 4를 참조하면, 트랜지스터 및 비트라인 등이 형성된 반도체기판(31) 상부에 층간절연막(32)이 형성되고, 층간절연막(32)을 관통하는 스토리지노드콘택홀 내부에 폴리실리콘콘택플러그(33)가 매립되며, 폴리실리콘콘택플러그(33)에 스토리지노드산화막(34)에 의해 지지되는 콘케이브 형태의 HfN 하부전극(35)이 연결된다. 그리고, HfN 하부전극(35) 표면 상에 HfON(36)이 형성되고, HfON(36) 상에 상부전극(37)이 형성된다.

도 5는 본 발명의 제3실시예에 따른 캐패시터의 구조를 도시한 도면이다.

도 5에 도시된 바와 같이, 트랜지스터 및 비트라인 등이 형성된 반도체기판(41) 상부에 층간절연막(42)이 형성되고, 층간절연막(42)을 관통하는 스토리지노드콘택홀 내부에 폴리실리콘콘택플러그(43)가 매립된다.

그리고, 폴리실리콘콘택플러그(43)에 연결되는 HfN 하부전극(44), HfN 하부전극(44)의 표면 상의 HfON(45) 및 HfON(45) 상의 상부전극(46)이 적층된다.

제2실시예 및 제3실시예에서, HfN 하부전극(35, 44)과 HfON(36, 45)은 제1실시예와 같이, HfN의 표면을 산화시켜 형성한 것이다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 발명의 효과

상술한 본 발명은 100nm 이하의 디자인룰을 갖는 DRAM 소자에서 HfON/HfN 구조의 캐패시터를 형성하므로써 HfO<sub>2</sub> 캐패시터보다 누설전류 및 유전특성이 우수한 캐패시터를 형성할 수 있는 효과가 있다.

또한, HfO<sub>2</sub> 증착공정을 생략하고 단순히 HfN의 표면산화를 통해 HfO<sub>2</sub>보다 유전상수가 큰 HfON을 형성하므로써 제조 비용을 현저히 절감할 수 있는 효과가 있다.

또한, HfO<sub>2</sub>의 증착공정대신 퍼니스 등의 배치공정이 적용가능하므로써 단원자증착공정과는 비교되지 않을 정도의 우수한 생산량을 갖는 공정이 가능해져 양산성을 극대화시킬 수 있는 효과가 있다.

### (57) 청구의 범위

#### 청구항 1.

HfN으로 된 하부전극;

상기 하부전극 표면 상의 HfON; 및

상기 HfON 상의 상부전극

을 포함하는 캐패시터.

#### 청구항 2.

제1항에 있어서,

상기 HfON은,

상기 HfN으로 된 하부전극 표면을 산화시킨 것임을 특징으로 하는 캐패시터.

#### 청구항 3.

제1항에 있어서,

상기 HfON의 두께는,

30Å ~ 200Å인 것을 특징으로 하는 캐패시터.

#### 청구항 4.

HfN을 형성하는 단계;

상기 HfN의 표면을 산화시켜 HfN으로 된 하부전극을 형성함과 동시에 상기 하부전극 표면 상에 HfON을 형성하는 단계;  
및

상기 HfON 상에 상부전극을 형성하는 단계

를 포함하는 캐패시터의 제조 방법.

#### 청구항 5.

제4항에 있어서,

상기 HfN의 표면을 산화시키는 단계는,

산화분위기에서 열처리 또는 플라즈마처리하는 것을 특징으로 하는 캐패시터의 제조 방법.

#### 청구항 6.

제5항에 있어서,

상기 열처리는,

퍼니스 또는 급속열처리장치에서 500°C ~ 650°C의 온도로 산소(O<sub>2</sub>), 오존(O<sub>3</sub>) 또는 이들의 가스에 질소 또는 아르곤을 혼합한 산화분위기에서 진행하는 것을 특징으로 하는 캐패시터의 제조 방법.

#### 청구항 7.

제5항에 있어서,

상기 플라즈마처리는,

산소(O<sub>2</sub>), 오존(O<sub>3</sub>) 또는 이들의 가스에 질소 또는 아르곤을 혼합한 후 200°C ~ 450°C의 기판온도에서 플라즈마를 인가하여 진행하는 것을 특징으로 하는 캐패시터의 제조 방법.

#### 청구항 8.

제7항에 있어서,

상기 플라즈마처리는,

반응챔버내에 직접 RF 전력을 인가하여 플라즈마를 발생시키거나 또는 외부에서 플라즈마를 인가한 후 반응챔버내로 플라즈마를 유도하여 진행하는 것을 특징으로 하는 캐패시터의 제조 방법.

**청구항 9.**

제5항에 있어서,

상기 HfN은,

스퍼터링법, 화학기상증착법 또는 단원자증착법으로 형성하는 것을 특징으로 하는 캐패시터의 제조 방법.

**청구항 10.**

제9항에 있어서,

상기 HfN은,

100Å ~ 1000Å 두께로 형성되는 것을 특징으로 하는 캐패시터의 제조 방법.

**청구항 11.**

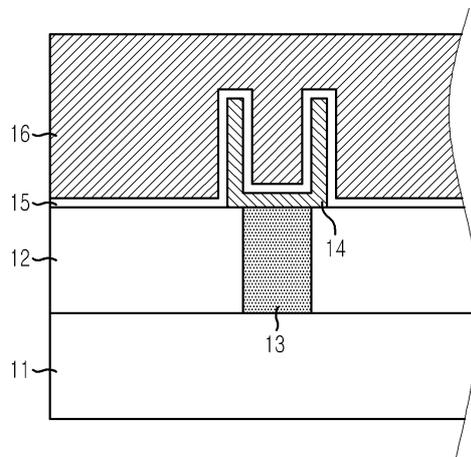
제5항에 있어서,

상기 HfON은,

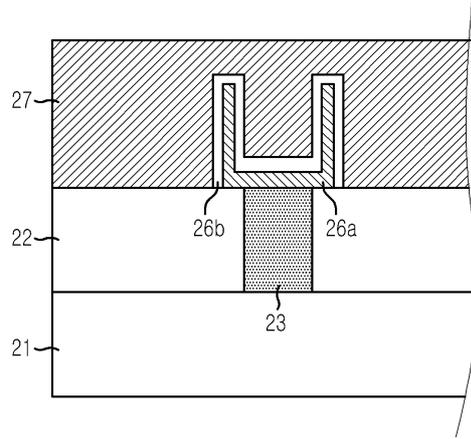
30Å ~ 200Å 두께로 형성되는 것을 특징으로 하는 캐패시터의 제조 방법.

**도면**

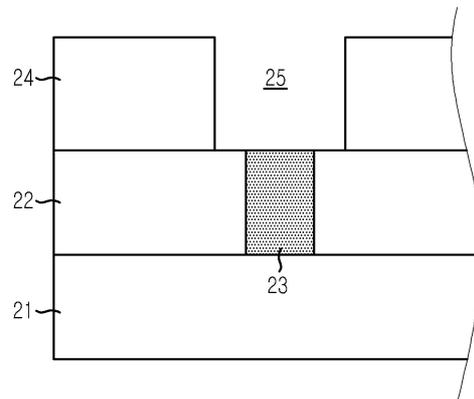
도면1



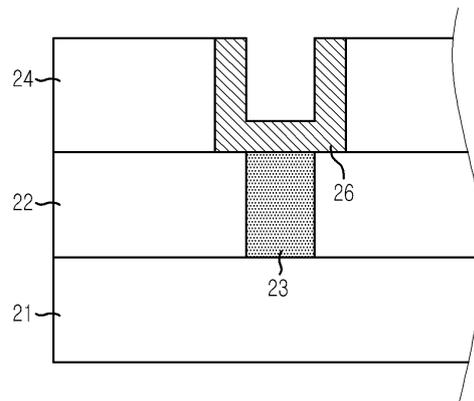
도면2



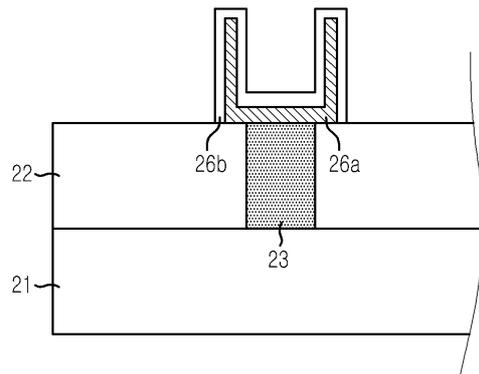
도면3a



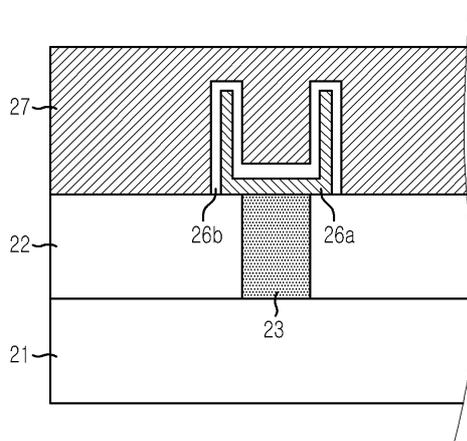
도면3b



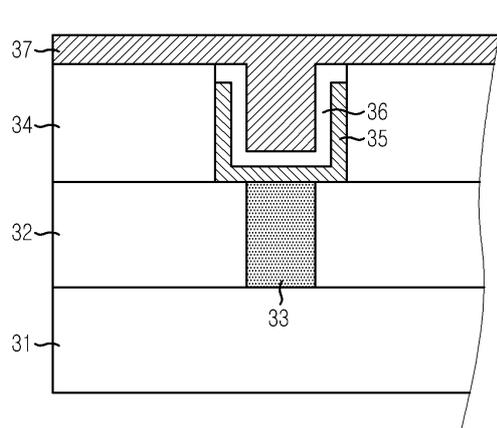
도면3c



도면3d



도면4



도면5

