



República Federativa do Brasil
Ministério da Economia
Instituto Nacional da Propriedade Industrial

(11) BR 112015030050-2 B1



(22) Data do Depósito: 01/07/2014

(45) Data de Concessão: 09/02/2021

(54) Título: DISPOSITIVO DE MEMÓRIA E CONTROLADOR DE MEMÓRIA PARA CONTROLE DE TEMPORIZAÇÃO PARA RECEPTOR DE SINAL NÃO CORRESPONDIDO

(51) Int.Cl.: G11C 7/10; G11C 7/22.

(30) Prioridade Unionista: 01/07/2013 US 61/841,857; 26/09/2013 US 14/038,537.

(73) Titular(es): INTEL CORPORATION.

(72) Inventor(es): CHRISTOPHER P. MOZAK.

(86) Pedido PCT: PCT US2014045091 de 01/07/2014

(87) Publicação PCT: WO 2015/002973 de 08/01/2015

(85) Data do Início da Fase Nacional: 30/11/2015

(57) Resumo: CONTROLE DE TEMPORIZAÇÃO PARA RECEPTOR DE SINAL NÃO CORRESPONDIDO. Trata-se de um dispositivo com uma interface de I/O que inclui uma réplica de um trajeto de distribuição de relógio correspondido a um trajeto de distribuição de relógio de um circuito receptor sem correspondência. O dispositivo pode monitorar mudanças no atraso na réplica de um trajeto, e ajustar o atraso no trajeto de distribuição de relógio real em resposta às mudanças de atraso detectadas na réplica de um trajeto. O circuito receptor inclui um trajeto de dados e uma rede de distribuição de relógio em uma configuração sem correspondência. Um circuito de oscilador de anel inclui uma réplica de rede de distribuição de relógio correspondida à rede de distribuição de relógio real. Portanto, as mudanças de atraso detectadas para a réplica de rede de distribuição de relógio indicam uma mudança no atraso na rede de distribuição de relógio real, que pode ser compensada em conformidade.

Relatório Descritivo da Patente de Invenção para
**"DISPOSITIVO DE MEMÓRIA E CONTROLADOR DE MEMÓRIA
PARA CONTROLE DE TEMPORIZAÇÃO PARA RECEPTOR DE
SINAL NÃO CORRESPONDIDO".**

PEDIDOS RELACIONADOS

[0001] Este pedido é um pedido não provisório com base no Pedido de Patente Provisório nº U.S. 61/841.857, depositado em 01 de julho de 2013, e reivindica o benefício de prioridade daquele pedido provisório. O Pedido Provisório nº 61/841.857 é incorporado aqui a título de referência.

CAMPO

[0002] As modalidades da invenção são, de modo geral, relacionadas a gravações de dispositivo de memória, e mais particularmente ao controle de temporização para gravações de dispositivo de memória em uma arquitetura sem correspondência.

AVISO DE DIREITOS AUTORAIS/PERMISSÃO

[0003] Partes da revelação deste documento de patente podem conter material que é sujeito à proteção de direitos autorais. O proprietário dos direitos autorais não tem nenhuma objeção à reprodução por qualquer um dentro o documento e patente ou a revelação de patente como aparece nos registros ou arquivo de patente do Escritório de Patente e Marca Registrada, mas de outra reserva todos os direitos autorais de qualquer natureza. O aviso de direitos autorais se aplica a todos os dados conforme descrito abaixo, e nos desenhos anexos aos mesmos, bem como a qualquer software descrito abaixo: Copyright © 2013, Intel Corporation, Todos os direitos reservados.

ANTECEDENTES

[0004] A comunicação entre os componentes em uma plataforma do hospedeiro é necessária para a operação de um dispositivo

eletrônico. Entretanto, várias condições afetam a temporização de comunicação de alta velocidade entre os componentes, como mudança de temperatura e variação de tensão. Em geral, a comunicação dentre componentes diferentes pode ser chamada de I/O (entrada/saída), e é, com frequência, governada por padrões (por exemplo, entre componentes de um subsistema de memória). Os padrões de I/O podem se referir a características de desempenho para potência de I/O, latência de I/O e frequência de I/O. Os padrões e valores nominais das definições de desempenho de I/O são definidos para valores que podem ser alcançados através de sistemas diferentes para compatibilidade e interoperabilidade. Tipicamente, existem concessões entre potência e latência. Portanto, o uso de parâmetros de temporização compactos pode reduzir potência, mas faz com que a latência de I/O seja afetada de forma mais negativa pela variação de temperatura, tensão e processo.

[0005] Em subsistemas de memória, é comum usar uma arquitetura correspondida, quando tanto um trajeto de dados (DQ) quanto um trajeto de estrobo de dados (DQS) são amplificados por amplificadores de tempo contínuo correspondidos. A Figura 1A é um diagrama de blocos de um circuito receptor correspondido conhecido. Na arquitetura correspondida 102, o amplificador 124 do trajeto de estrobo é correspondido ao amplificador 122 do trajeto de dados. O trajeto de dados inclui a entrada de dados DQ[7:0] inserida no amplificador 122 com sinal de Vref interna 110. O trajeto de estrobo de dados inclui entradas para um receptor de diferencial, em que DQS_P representa o sinal de diferencial positivo, e DQS_N representa o sinal de diferencial negativo. O amplificador 124 alimenta a rede de distribuição de relógio 130, o que fornece uma rede para distribuir o sinal de relógio para múltiplos dispositivos receptores ao mesmo tempo. É especialmente mostrado um sinal indo para os elementos

142 e 144 do circuito de amostragem 140.

[0006] O uso de uma arquitetura sem correspondência pode aprimorar a potência e desempenho do receptor em comparação ao uso de uma arquitetura correspondida. A Figura 1B é um diagrama de blocos de um circuito receptor sem correspondência conhecido. Na arquitetura sem correspondência 104, a tensão dos dados (DQ) é amostrada diretamente no bloco. Após ser amostrado, o sistema pode amplificar o sinal sem as restrições de temporização compactas necessárias para a arquitetura correspondida 102. A saber, a amplificação pode ocorrer através de um UI inteiro (intervalo unitário) ou possivelmente mais. Portanto, os requisitos de ganho/largura de banda do receptor sem correspondência são menores do que aqueles do receptor correspondido. Conforme ilustrado, DQ[7:0] e Vref interna 110 são alimentados diretamente aos elementos 162 e 164 do circuito de amostragem 160. O trajeto de DQS ainda requer um amplificador de tempo contínuo, o amplificador 126, mas a oscilação no DQS é tipicamente maior do que a oscilação no DQ, o que significa que um amplificador de ganho inferior 126 pode ser usado, já que não precisa ser correspondido a um amplificador de ganho alto no trajeto de dados.

[0007] A arquitetura sem correspondência 104 aprimora determinadas sensibilidades de tensão e largura de banda de receptor em relação à arquitetura correspondida 102, mas degrada o controle de temporização. O atraso nos trajetos DQS e DQ não são autocompensadores na arquitetura sem correspondência 104. Portanto, qualquer mudança no TDQS, ou o tempo para propagar um sinal de estrobo através de do amplificador 124 ou rede de distribuição de relógio 130, degradará diretamente a cota de temporização de receptor. O treinamento existente pode corrigir a temporização uma vez, mas qualquer deriva da posição treinada afetará diretamente a

margem de temporização. A deriva pode ocorrer através da tensão, temperatura e/ou envelhecimento, o que degradará as margens de temporização e possivelmente criar falhas de enlace.

[0008] O treinamento periódico é conhecido no qual os dados de treinamento são escritos através do enlace (por exemplo, a partir de um controlador de memória para uma DRAM (memória de acesso aleatório dinâmica)) e verificados por erros. Entretanto, o treinamento periódico sofre de complexidade e carga na largura de banda do barramento. Adicionalmente, o treinamento seria mais eficaz se um número grande de amostras fosse ponderado, mas ponderar mais amostras entra diretamente em conflito com o desejo por um enlace de dados de largura de banda alta que é usado para operações de dados reais. Ademais, tal treinamento periódico é inerentemente lento por conta da natureza iterativa do laço de retroalimentação, que busca múltiplas definições para encontrar um valor ótimo.

BREVE DESCRIÇÃO DOS DESENHOS

[0009] A descrição a seguir inclui a discussão das figuras que têm ilustrações dadas a título de exemplo das implantações das modalidades da invenção. Os desenhos deveriam ser compreendidos a título de exemplo, e não a título de limitação. Conforme usado no presente documento, as referências a uma ou mais "modalidades" devem ser compreendidas como descrevendo um recurso, estrutura e/ou característica particular incluída em pelo menos uma implantação da invenção. Portanto, as frases como "em uma modalidade" ou "em uma modalidade alternativa" que aparecem no presente documento descrevem várias modalidades e implantações da invenção, e nem todas necessariamente se referem à mesma modalidade. Entretanto, as mesmas não são necessariamente mutuamente exclusivas.

[0010] A Figura 1A é um diagrama de blocos de um circuito de receptor correspondido conhecido.

[0011] A Figura 1B é um diagrama de blocos de um circuito de receptor sem correspondência conhecido.

[0012] A Figura 2 é um diagrama de blocos de uma modalidade de um sistema que tem um circuito de receptor sem correspondência e uma réplica de trajeto de distribuição de relógio.

[0013] A Figura 3 é um diagrama de blocos de uma modalidade de um sistema que tem uma réplica de rede para uma réplica de trajeto de distribuição de relógio para um circuito de receptor sem correspondência.

[0014] A Figura 4A é um diagrama de blocos de uma modalidade de um circuito de receptor sem correspondência.

[0015] A Figura 4B é um diagrama de blocos de uma modalidade de um circuito de oscilador com uma réplica de um trajeto de distribuição de relógio para o circuito de receptor sem correspondência da Figura 4A.

[0016] A Figura 5 é um diagrama de temporização de uma modalidade de temporização de operação para um circuito de oscilador com uma réplica de um trajeto de distribuição de relógio.

[0017] A Figura 6 é um diagrama de fluxo de uma modalidade de um processo para ajustar o atraso em uma rede de distribuição de relógio com base nas mudanças de atraso detectadas em uma réplica de rede de distribuição de relógio.

[0018] A Figura 7 é um diagrama de blocos de uma modalidade de um sistema de computação em que uma réplica de um trajeto de distribuição de relógio pode ser implantada.

[0019] A Figura 8 é um diagrama de blocos de uma modalidade de um dispositivo móvel em que uma réplica de um trajeto de distribuição de relógio pode ser implantada.

[0020] As descrições de determinados detalhes e implantações seguem, incluindo uma descrição das figuras, que podem retratar

algumas ou todas as modalidades descritas abaixo, bem como discutir outras modalidades potenciais ou implantações dos conceitos inventivos apresentados no presente documento.

DESCRIÇÃO DETALHADA

[0021] Conforme descrito no presente documento, uma interface de I/O de componente para componente usa um circuito de receptor sem correspondência. O receptor sem correspondência inclui uma réplica de um trajeto de distribuição de relógio correspondido a um trajeto de distribuição de relógio que controla o conjunto de circuitos de amostragem. Na descrição, o "trajeto de distribuição de relógio" se refere a qualquer uma ou todas as partes do trajeto, incluindo o próprio trajeto de distribuição de relógio, o amplificador, ou outras partes do trajeto. O dispositivo pode monitorar mudanças no atraso na réplica de trajeto, e ajustar o atraso no trajeto de distribuição de relógio real em resposta às mudanças de atraso detectadas na réplica de trajeto. O circuito receptor inclui um trajeto de dados e uma rede de distribuição de relógio em uma configuração sem correspondência. Um circuito de oscilador de anel inclui uma réplica de rede de distribuição de relógio correspondida à rede de distribuição de relógio real. Portanto, as mudanças de atraso detectadas para a réplica de rede de distribuição de relógio indicam uma mudança no atraso na rede de distribuição de relógio real, que pode ser compensada em conformidade.

[0022] Em uma modalidade, um sistema de teste ou mecanismo de teste descrito pode ser usado para testar subsistemas de memória, e mais especificamente, a I/O (entrada/saída) ou comunicação entre um componente de plataforma (por exemplo, um processador, um controlador de memória) e um dispositivo de memória. Qualquer subsistema de memória que usa um controlador de memória com um agendador ou lógica equivalente pode implantar pelo menos uma modalidade de um mecanismo de teste. A referência feita no presente

documento a dispositivos de memória pode incluir tipos de memória diferentes. Por exemplo, os subsistemas de memória usam geralmente DRAM, que é um exemplo de um dispositivo de memória conforme descrito no presente documento. Portanto, o mecanismo de teste descrito no presente documento é compatível com qualquer uma dentre várias tecnologias de memória, como DDR3 (taxa de transferência dobrada versão 3, liberação original pela JEDEC (Conselho Conjunto de Engenharia de Dispositivo Eletrônico) em 27 de junho de 2007, atualmente na versão 21), DDR4 (DDR versão 4, especificação inicial publicada em setembro de 2012 pela JEDEC), LPDDR4 (taxa de transferência dobrada versão 4 de baixa potência, especificação em desenvolvimento pela JEDEC a partir do depósito deste pedido), WIDEIO (especificação em desenvolvimento pela JEDEC a partir do depósito deste pedido), e/ou outros, e tecnologias com base nos derivados ou extensões dessas especificações.

[0023] Em uma modalidade, a operação de um circuito de interface de I/O pode ser controlada adicionalmente por meio do uso do teste empírico. Com base nas mudanças em atraso detectadas por uma réplica de um trajeto de distribuição de relógio, um sistema pode testar empiricamente os parâmetros de desempenho da I/O de dispositivo (entrada/saída) para determinar qual(ais) parâmetro(s) se deve modificar para ajustar para o atraso detectado. Com base no teste empírico por meio de um sistema de teste, o sistema pode ajustar os parâmetros de desempenho específicos para o sistema ou dispositivo no qual a comunicação interdispositivo acontece. Para cada uma dentre as múltiplas definições diferentes para múltiplos parâmetros de circuito de I/O diferentes, o sistema de teste pode definir um valor para cada parâmetro de circuito de I/O, gerar tráfego de teste para fazer o teste de estresse na comunicação com o(s) valor(es) de parâmetro e medir uma margem operacional para a

característica de desempenho de I/O. O sistema de teste pode, adicionalmente, executar uma função de busca para determinar valores para cada parâmetro de circuito de I/O em que o atraso é compensado. Em uma modalidade, o sistema define valores de tempo de execução parâmetros de circuito de I/O com base na função de busca. As definições podem ser alteradas dinamicamente para componentes específicos de sistemas específicos com base em testes.

[0024] Conforme declarado acima, arquiteturas sem correspondência podem fornecer aprimoramentos significativos em largura de banda e frequência em relação a uma arquitetura correspondida. Entretanto, as arquiteturas sem correspondência tradicionais sofrem de controle de temporização degradado. Conforme descrito em maiores detalhes abaixo, uma arquitetura de receptor sem correspondência pode ter controle de temporização aprimorado através do uso de uma réplica de um trajeto de distribuição de relógio correspondida usada para prever mudanças na temporização para o trajeto de distribuição de relógio real. Em uma modalidade, o sistema pode ajustar o comportamento de temporização do trajeto de distribuição de relógio real com base nas mudanças de temporização detectadas na réplica de um trajeto. Mais especificamente, pode-se presumir que as mudanças em temporização detectadas para a réplica de trajeto têm um efeito igual sobre a(s) borda(s) do olho de dados (data eye) para o trajeto de dados real. Portanto, acompanhando-se as mudanças à temporização na réplica de trajeto, as mudanças na(s) borda(s) do olho de dados podem ser compensadas.

[0025] Em uma modalidade, o circuito de receptor fornece informações de volta a um transmissor para fazer com que o transmissor ajuste sua operação com base nas mudanças de atraso detectadas. Portanto, as mudanças de atraso podem ser

compensadas alterando-se o comportamento de transmissão do dispositivo transmissor. Em uma modalidade, o dispositivo receptor pode computar o ajuste de atraso necessário e /ou ajustar o atraso de receptor para compensar pela mudança de atraso. Em uma modalidade, o dispositivo receptor simplesmente envia dados brutos na forma de uma contagem de oscilador para o transmissor, que pode, então, computar um ajuste de temporização com base nas mudanças detectadas.

[0026] A Figura 2 é um diagrama de blocos de uma modalidade de um sistema que tem um circuito de receptor sem correspondência e uma réplica de trajeto de distribuição de relógio. O sistema 200 inclui o dispositivo 210, que é mostrado com hardware de transmissão TX 212, e o dispositivo 220, que é mostrado com o hardware de recebimento 222. Será compreendido que em uma modalidade o dispositivo 220 também poderia enviar uma transmissão para o dispositivo 210; então o dispositivo 220 pode incluir transmitir o hardware que não é explicitamente mostrado, e o dispositivo 210 pode incluir o recebimento de hardware que não é mostrado explicitamente. Em uma modalidade, o hardware de transmissão e recebimento é o hardware transceptor, que permite a realização de interface tanto pela transmissão quanto pelo recebimento. Os dispositivos são conectados por meio de uma ou mais linhas de transmissão, que são acionadas por uma unidade de transmissão. A linha de transmissão pode ser qualquer tipo de linha de sinal (por exemplo, traço, fio) que conecta os pinos de I/O do dispositivo 210 com o dispositivo 220.

[0027] O dispositivo 220 inclui o controlador de recebimento 230, que representa hardware e outra lógica que realiza as operações de recebimento para o dispositivo 220. O controlador de recebimento 230 pode incluir o conjunto de circuitos de amostragem 232 para amostrar os níveis de tensão do sinal recebido. O conjunto de circuitos de

amostragem 232 é controlado pelo estrobo de amostra 234 ou outro sinal de controle, que indica quando deve amostrar o sinal de entrada ou recebido. O estrobo de amostra 234 é gerado como um sinal separado pelo controlador de recebimento 230. O controlador de recebimento 230 inclui o controle de temporização 236 para controlar a geração de estrobo de amostra 234.

[0028] Em uma modalidade, controlador de recebimento 230 inclui réplica de estrobo 238, que é uma réplica de trajeto do estrobo de amostra 234. A deriva (positiva ou negativa) na temporização do estrobo de amostra 234 pode afetar negativamente a capacidade do dispositivo 230 de receber com sucesso o sinal de entrada. A réplica de estrobo 238 é um trajeto que é correspondido ao trajeto do estrobo de amostra 234. Portanto, a mesma deriva que ocorre no estrobo de amostra 234 deveria ocorrer de forma eficaz na réplica de estrobo 238. Com base na deriva, ou na mudança em atraso do sinal de estrobo ou sinal de controle, o controle de temporização 236 pode se ajustar à mudança. Em uma modalidade, o controle de temporização 236 se ajuste ao atraso sinalizando-se o dispositivo 210 para mudar seus parâmetros de transmissão para corresponder melhor à temporização de amostragem do conjunto de circuitos de amostragem 232. Portanto, o controle de temporização 214 do dispositivo 210 pode ajustar a operação de TX 212. Em uma modalidade, o controle de temporização 236 ajusta a temporização do estrobo de amostra 234 para ajustar a temporização do conjunto de circuitos de amostragem 232. Portanto, o sistema 200 controla a temporização do conjunto de circuitos de recebimento do dispositivo 220 em relação ao conjunto de circuitos de transmissão do dispositivo 210.

[0029] Tendo como um exemplo que o dispositivo 210 é um controlador de memória ou processador e que o dispositivo 220 é um dispositivo de memória, poderia ser dito que o sistema 200 se refere a

como medir o atraso de tDQS (o atraso de propagação do sinal de estrobo de dados), e ajustar a temporização de transmissor de controlador/processador para compensar pelas mudanças no atraso. Com o uso da réplica de estrobo 238 como um circuito separado, o sistema 200 pode medir a deriva no sinal de estrobo sem impactar a operação normal. Portanto, o sistema de medição pode fornecer retroalimentação sobre, exatamente quanto o atraso de estrobo moveu, fornecendo tanto magnitude e sinal da deriva. Além disso, porque a réplica de estrobo 238 é um circuito separado que não afeta o desempenho do trajeto de dados real, o sistema 200 tem a capacidade de gerar muitas amostras de medições de atraso para ponderar em conjunto, o que pode aprimorar de forma significativa a resolução e precisão através de um sistema que usa o próprio trajeto de dados para medição.

[0030] Será compreendido que o trajeto de circuito de estrobo de amostra 234 não é correspondido ao conjunto de circuitos de amostragem 232. Portanto, o controlador de recebimento 230 emprega um circuito de arquitetura de receptor sem correspondência. As arquiteturas sem correspondência são, tipicamente, sensíveis a mudanças de tensão e temperatura, então o comportamento do circuito (e especificamente o atraso) muda ao longo do tempo. Entretanto, o monitoramento da mudança no atraso com réplica de estrobo 238 permite que o sistema 200 ajuste o atraso de sinal de estrobo, que, por sua vez, ajusta o ponto de amostragem. De outra forma, o ponto de amostragem derivaria causando amostra na parte errada do sinal e resultado no recebimento de erros.

[0031] Em uma modalidade, o sistema 200 usa as medições de atraso como entrada para realizar uma busca que determina especificamente as definições para o sistema de tempo de execução aprimorar a I/O. Com base no atraso medido e possivelmente outros

parâmetros de I/O medidos, a lógica de busca (que pode ser parte da lógica de teste, ou pode ser lógica separada) determinar a partir dos valores medidos quais definições usar para o I/O entre os dispositivos. Em uma modalidade, a lógica de busca pode usar as medições para gerar uma ou mais curvas de desempenho representativas para I/O. Com base nas curvas representativas, a lógica de busca pode realizar uma função de busca para determinar quais definições usar para satisfazer melhor o desempenho para pelo menos um parâmetro, enquanto pelo menos mantém o desempenho necessário (por padrão ou configuração) para os outros. A lógica de busca pode incluir qualquer uma dentre lógica de busca n-dimensional, lógica de busca monodimensional (para realizar n buscas monodimensionais), lógica de busca de ajuste linear, lógica de busca de ajuste quadrático, lógica de busca de descida mais íngreme, lógica de busca de ajuste de curvas, ou outras. Será compreendido que n representa um número inteiro que indica o número de combinações para buscar. Em uma modalidade, a lógica de busca também pode combinar múltiplas medições juntas para reduzir o ruído de repetibilidade ou extrapolar para as condições de pior caso.

[0032] A Figura 3 é um diagrama de blocos de uma modalidade de um sistema que tem uma réplica de rede para uma réplica de trajeto de distribuição de relógio para um circuito de receptor sem correspondência. O dispositivo 300 é um exemplo de uma modalidade do sistema 200 da Figura 2. O dispositivo 300 inclui o conjunto de circuitos de amostragem 310 para amostrar um sinal de entrada ou recebido a partir de um dispositivo de transmissão (não mostrado). A temporização de amostragem do circuito de amostragem 312 é controlada pelo trajeto de estrobo 322, que é parte da rede de distribuição 320. Conforme ilustrado, o circuito de amostragem 312 pode ser um dentre múltiplos circuitos de amostragem do conjunto de

circuitos de amostragem 310 do dispositivo 300. Tipicamente, a temporização de um trajeto de estrobo 322 indicaria a temporização para todos os trajetos de estrobo da rede de distribuição 320, e, portanto, a temporização para todo o conjunto de circuitos de amostragem 310.

[0033] A réplica de trajeto 342 é correspondida ao trajeto de estrobo 322. De forma semelhante a como a temporização do trajeto de estrobo 322 é indicativa da temporização de toda a rede de distribuição 320, a temporização da réplica de trajeto 342 é indicativa do trajeto de estrobo 322, e, portanto, da rede de distribuição 320. A réplica de trajeto 342 é ilustrada como parte da réplica de rede 340. Em uma modalidade, a réplica de rede 340 é um circuito equivalente da rede de distribuição 320, ao invés de uma rede inteira. Portanto, a réplica de trajeto 342 e a réplica de rede 340 poderiam ser consideradas iguais em determinadas implantações.

[0034] Em uma modalidade, a réplica de trajeto 342 é ou inclui um circuito de oscilador, que retroalimenta um sinal para um amplificador na frente do trajeto. O número de oscilações em um dado período de tempo pode fornecer um valor que indica a temporização de réplica de trajeto 342. Comparando-se o número de oscilações de um teste com um valor armazenado anteriormente, o dispositivo 300 pode determinar uma magnitude e um sinal de uma mudança no atraso através do trajeto. Em uma modalidade, o controle de temporização 330 inclui o contador 332 para contar as oscilações de uma modalidade de réplica de trajeto 342 que inclui um oscilador ou um oscilador do anel. Em uma modalidade, o controle de temporização 330 (ou um dispositivo transmissor para o qual o controle de temporização 330 envia o valor do contador 332) inclui ou tem acesso a um dispositivo de armazenamento (por exemplo, um registrador–não mostrado), para armazenar uma contagem de oscilado para

comparar a uma contagem mais recente.

[0035] Em uma modalidade, a réplica de rede 340 e a rede de distribuição 320 são integradas no mesmo circuito integrado assim como são circuitos equivalentes. Portanto, os circuitos seriam correspondidos no processo e seria esperado que se comportassem da mesma forma em operação. A réplica de rede 340 pode, adicionalmente, ser colocada próxima no mesmo substrato que a rede de distribuição 320, o que asseguraria adicionalmente que as mudanças de temperatura e pontos críticos de temperatura afetassem a réplica de rede 340 e a rede de distribuição 320 da mesma forma.

[0036] O ajuste de atraso no transmissor e/ou um ajuste à temporização do sinal de estrobo pode ser baseado na contagem do contador 332. Em uma modalidade, o controle de temporização 330 realiza as computações para determinar um ajuste de atraso. Em uma modalidade, o controle de temporização 330 envia a contagem do contador 332 para o transmissor, que realiza as computações. Seja no dispositivo de memória ou no controlador ou processador, as computações podem consumir muito dos recursos de processamento. Ao invés de realizar divisões nas computações, os recursos de processamento de computação podem usar as expansões de Taylor para obter uma aproximação funcional. Tal abordagem é descrita em maiores detalhes abaixo em relação à Figura 4B. O uso das expansões de Taylor e/ou o pré-cálculo de determinados valores pode reduzir os requisitos computacionais de tempo de execução, reduzindo-se a necessidade de realizar operações de divisão em tempo real/tempo de execução e/ou outras computações à base de hardware. Portanto, a carga de computação de hardware geral pode ser reduzida. O pré-cálculo pode ser realizado para qualquer valor conhecido antes da medição da contagem de oscilador. Tais computações podem ser realizadas por firmware antes das medições

de temporização/contagem de oscilador. Os resultados dos pré-cálculos podem ser armazenados em registros ou outro armazenamento para ser acessado para comutar um ajuste de atraso.

[0037] A Figura 4A é um diagrama de blocos de uma modalidade de um circuito de receptor sem correspondência. O circuito 402 é um circuito de receptor sem correspondência, que inclui o circuito de amostragem 410, amplificador sem correspondência 430, e rede de distribuição de relógio 440. O circuito de amostragem 410 amostra um sinal de dados recebido DQ[7:0] em relação a uma tensão de referência interna Vref 420. Será compreendido que o sinal de dados pode ser maior ou menor do que 8 bits, dependendo da configuração do sistema em que o circuito 402 é uma parte. O circuito de amostragem 410 inclui o elemento 412 para fornecer uma amostra do sinal de entrada, e elemento 414 para fornecer uma amostra complementar do sinal de entrada para o caso de sistemas de taxa de transferência duplicada em que ambas as bordas do relógio são usadas para transmitir dados. Portanto, o trajeto complementar pode não ser necessário em configurações de taxa de transferência única. Outras configurações são possíveis. Os elementos 412 e 414 são amplificadores de amostragem, que amostra o sinal recebido real, e amplificam a amostra. Portanto, a amplificação pode ser realizada por um amplificador de velocidade inferior em comparação à amplificação antes da amostragem, como com uma configuração correspondida.

[0038] O amplificador 430 recebe como entradas um sinal de estrobo de pull-up e um sinal de estrobo de pull-down. A rede de distribuição de relógio 440 distribui o estrobo ou sinal de amostra para múltiplos elementos diferentes, por exemplo, múltiplos elementos de amostragem diferentes (não mostrados). O número exato de níveis de rede de distribuição 440 variará por implantação. Será compreendido que uma rede de distribuição de árvore binária é mostrada para

simplicidade. Comumente, e a árvore H (em que cada nível adicional inclui quatro ramificações ao invés de somente duas, e, por conseguinte, parece um "H") é usada. Seja qual for a configuração de rede de distribuição 440 usada, e independentemente de quantos níveis forem usados, há um trajeto de estrobo ou um trajeto de atraso do amplificador 430 para os elementos de amostragem 412 e 414.

[0039] O atraso através do trajeto de estrobo 450 muda ao longo do tempo com base na operação do dispositivo, através do envelhecimento, níveis de tensão alterantes, mudanças na temperatura, ou possivelmente outras condições operacionais. Será compreendido que a temporização através do trajeto de estrobo 450 não é correspondida ao atraso para o sinal de dados (o que poderia ser expresso como $tDQ \neq tDQS$). A diferença de temporização pode ser compensada através da mudança da temporização do sinal transmitido, ou mudança quando o estrobo de dados for gerado. Será compreendido que as linhas de transmissão (traço ou fios) ao longo dos níveis diferentes de rede de distribuição de relógio são ilustradas como tendo resistência e capacitância, como é geralmente mostrado na indústria. Outra ilustração comum inclui uma representação de um indutor em cada linha de transmissão, indicando que o atraso de cada linha é criado por uma impedância completa devido à resistência, capacitância e indutância inerentes nas linhas. Também será compreendido que cada triângulo representa um armazenamento temporário para evitar a perda do sinal conforme o mesmo se propaga através do trajeto de estrobo 450.

[0040] A Figura 4B é um diagrama de blocos de uma modalidade de um circuito de oscilador com uma réplica de trajeto de distribuição de relógio para o circuito de receptor sem correspondência da Figura 4A. A réplica de circuito 404 pode ser integrada no mesmo substrato que o circuito 402 com o uso das mesmas etapas de processamento.

Em uma modalidade, a réplica de circuito 404 é colocada próxima ao circuito 402 no substrato. Portanto, os comportamentos dos dois circuitos deveriam ser semelhantes em relação às mudanças no atraso devido às condições ambientais. A réplica de circuito 404 é paralela ao circuito 402, e funciona independentemente de e no segundo plano em relação ao circuito 402. Como uma réplica, a réplica de rede 442 tem a mesma estrutura que a rede de distribuição 440. Portanto, a réplica de trajeto 452 tem o mesmo atraso que o trajeto de estrobo 450.

[0041] Conforme mostrado, a réplica de circuito 404 é configurada como ou inclui um oscilador do anel. O oscilador do anel gerará oscilações por um período de N ciclos (em que N é um número de ciclos para o qual o sinal de habilitação inserido ao amplificador 432 está ativo). Portanto, N é um número de ciclos para os quais a réplica de trajeto 452 da réplica de circuito 450 é habilitada. Em uma modalidade, não é considerado que a réplica de circuito 404 inclui o contador 460, mas ao invés disso fornece entrada ao contador 460. Em outra modalidade, o contador 460 é considerado parte da réplica de circuito 404. O contador 460 acompanha o número de oscilações por período de ciclos para a réplica de trajeto 452. Portanto, um sistema ao qual o circuito 402 e 404 pertence pode computar o atraso através da rede de distribuição, e em particular, pode identificar variações no atraso. O atraso pode ser computado como ou com base em 1 sobrecontagem, em que a contagem é o valor de contagem final armazenado no contador 460 após N ciclos. O contador 460 pode ser implantado com, por exemplo, 8 a 16 bits na maioria dos casos para precisão suficiente.

[0042] A réplica de trajeto 452 pode ser chamada de "trajeto falso" em relação ao trajeto de dados real ou trajeto de estrobo real do circuito 402. A réplica de circuito 404 pode medir diretamente o atraso de trajeto de tDQS com a configuração de oscilador do anel sem

impactar a operação normal do receptor. Em uma modalidade, a réplica de circuito 404 opera continuamente, ou quase continuamente, gerando um número grande de amostras para reduzir o ruído enquanto ainda alcança largura de banda muito maior do que abordagens de treinamento periódico conhecidas. Matematicamente, a frequência de oscilador do anel pode ser expressa como uma função da frequência de relógio de sistema, em que a frequência de relógio de sistema poderia ser derivada a partir de uma variedade de fontes potenciais. A expressão pode ser: Equação 1: $FRingOsc = FSystemClk * ROCount / N$, em que $FRingOsc$ é a frequência do circuito de oscilador de anel, $FSystemClk$ é a frequência do relógio de sistema, $ROCount$ é a contagem final do oscilador do anel (conforme gravado pelo contador 460), e N é um número de ciclos de relógio de sistema para o qual o oscilador do anel é habilitado ou ativo.

[0043] Tornando N grande, é possível obter uma medição muito precisa do atraso, e qualquer ruído no sistema será automaticamente ponderado dentro do oscilador do anel com zero sobrecarga adicional. Por exemplo, permitir que o circuito 404 execute por 1 us, em que um valor típico de $tDQS$ é 0,5 ns, forneceria um $ROCount$ de aproximadamente 2.000. Qualquer instabilidade de relógio ou ruído de suprimento terá sido ponderado através das 2.000 oscilações, fornecendo uma medição para $tDQS$ que tem uma exatidão menor do que 1%.

[0044] Para calcular a deriva no atraso de $tDQS$ ao longo do tempo, o sistema pode armazenar pelo menos um valor para $ROCount$ a partir de uma medição anterior, e comparar um novo valor de $ROCount$ em relação ao valor armazenado. Em uma modalidade, um valor inicial para $ROCount$ pode ser gerado durante o treinamento de BIOS (sistema de entrada/saída básico) quando DQ está centralizado ao redor de DQS. Portanto, uma medição do sistema real pode ser

feita, e um novo valor de atraso calculado com base na medição armazenada, em oposição à natureza iterativa de uma abordagem de treinamento periódico. Em uma modalidade, a deriva pode ser expressa matematicamente como Equação 2: $\Delta t_{DQS} = N / F_{SystemClk} * (1 / ROCount_{NEW} - 1 / ROCount_{OLD})$, em que a Δt_{DQS} é a mudança no atraso de trajeto de estrobo, N é o número de ciclos de relógio de sistema para o qual o teste/medição é habilitado, $F_{SystemClk}$ é a frequência do relógio de sistema, $ROCount_{NEW}$ é o valor da medição atual de $ROCount$, e $ROCount_{OLD}$ é o valor armazenado de $ROCount$.

[0045] Será compreendido que a expressão matemática para o cálculo de deriva requer uma operação de divisão, que é uma operação razoavelmente dispendiosa para implantar no hardware digital. A Equação 2 pode ser estimada adicionalmente pelas expansões de Taylor para: Equação 3: $\Delta t_{DQS} \approx (N / F_{SystemClk}) - (N / (F_{SystemClk} / ROCount_{OLD})) * ROCount_{NEW}$, e Equação 4: $\Delta t_{DQS} \approx (N / (F_{SystemClk} / ROCount_{OLD}^2)) * ROCount_{NEW}^2 - (3 * N / (F_{SystemClk} / ROCount_{OLD})) * ROCount_{NEW} + (2 * N / F_{SystemClk})$, em que a Equação 3 é uma expansão de Taylor de primeira ordem da Equação 2, e Equação 4 é uma expansão de Taylor de segunda ordem da Equação 2. Nota-se que o número de ciclos, N, para medir, a frequência de relógio de sistema, $F_{SystemClk}$, e a contagem de oscilador do anel armazenada, $ROCount_{OLD}$, são todos valores conhecidos. Portanto, cada uma das operações de divisão necessárias para as equações 3 e 4 podem não ser realizadas, armazenadas e acessadas em tempo real para uso em multiplicação em tempo real. Portanto, a Equação 3 e a Equação 4 somente exigem multiplicação em tempo real com operações de divisão pré computadas. Será compreendido que as expansões de Taylor de ordem superior e/ou outros conjuntos de procedimentos de estimação poderiam ser

usados.

[0046] O circuito 404 alcança a inversão necessária para a oscilação conectando-se a retroalimentação da saída da réplica de rede 442 ao terminal de inversão do amplificador 432, e a Vref para o outro terminal. Outras implantações também podem alcançar a inversão de formas diferentes, e outras implantações poderiam usar uma retroalimentação de DQS diferencial, ao invés da versão de terminação simples mostrada na Figura 4B. Será compreendido que a réplica de rede 442 pode ser implantada como um circuito equivalente à rede de distribuição 440. Portanto, cada segmento da rede pode ser terminado no armazenamento temporário sem afetar o atraso ao longo da réplica de trajeto 452. Portanto, a réplica de rede 442 pode ter uma ou múltiplas réplicas de trajeto completas, em que qualquer trajeto é indicativo do atraso para cada um dos trajetos.

[0047] Em uma modalidade, o circuito 404 realiza o acoplamento CA ao receptor. O acoplamento CA pode permitir a tensão de modo comum, oscilação de tensão e transcondutância sejam ajustadas com impacto mínimo à correspondência de atraso. Portanto, a oscilação de entrada, tensão de modo comum, e transcondutância do circuito 404 podem ser ajustadas para corresponder o sinal de bloco de DQS real. Em uma modalidade, o capacitor de acoplamento, C474 é ajustável ou variável para permitir o ajuste do circuito. Em uma modalidade, o trajeto de retroalimentação também inclui o resistor R476 para permitir o ajuste na transcondutância de receptor. O resistor R476 também pode ser ajustável ou variável para permitir o ajuste da resposta de circuito. Portanto, a resposta de temporização de retroalimentação pode ser ajustada com base no comportamento do trajeto de dados real no circuito 402. O tempo de resposta de retroalimentação pode ser modificado com base nas condições ambientais, como envelhecimento do dispositivo. Em uma modalidade, tal ajuste de CA

para a retroalimentação poderia exigir conjunto de circuitos de inicialização adicional (não mostrado) para definir a condição de inicialização inicial para a retroalimentação. O acoplamento CA também pode exigir algum tempo para estabilizar o modo comum, dependendo das condições iniciais, o que poderia estender o período de medição ou ponderação desejado (por exemplo, N maior), ou um período de aquecimento no oscilador do anel antes de habilitar a contagem (por exemplo, habilitar para N+X ciclos, em que o contador 460 é ligado após X ciclos).

[0048] Será compreendido que enquanto o amplificador 430 não é correspondido aos amplificadores dos elementos 412 e 414, o amplificador 432 é correspondido ao amplificador 430. Adicionalmente, a réplica de trajeto 452 é correspondida ao trajeto de estrobo 450.

[0049] A Figura 5 é um diagrama de temporização de uma modalidade de temporização de operação para um circuito de oscilador com uma réplica de trajeto de distribuição de relógio. A Figura 5 ilustra uma modalidade de um fluxo de comandos para um dispositivo de DRAM. O sinal de relógio 510 é o relógio de sistema. CMD 520 é o sinal de comando de DRAM. PRE ALL representa um comando de inicialização. Existe um atraso do tRPab entre quando o comando PRE ALL é emitido e a emissão do comando de Início de MRW. Início de MRW (escrita de registro de modo) representa um comando para iniciar a oscilação. O sinal de oscilador do anel 530 começa a oscilar após um atraso de tRODelay a partir de quando o Início de MRW for emitido.

[0050] Uma vez que o RO 530 começa a oscilar, a contagem 540 começa a contar as oscilações. Há um período de oscilação conforme mostrado pelas linhas de interrupção verticais, após o qual o controlador emite um comando de Parada de MRW, que para as oscilações. Após um atraso de tRODelay, o oscilador do anel para, e o

contador estabelece uma contagem de X . Após um atraso de t_{Wait} , o controlador emite um comando de Resultado de MRR (leitura de registro de modo), que solicita os resultados do contador. Após um período de $RL+t_{DQSCK}$, o dispositivo de memória retorna o valor X em DQ 550.

[0051] Portanto, a partir de uma perspectiva de um protocolo de DRAM, o oscilador do anel pode ser acessado através de comandos de MRW/MRR, sinais explícitos, ou comunicado de alguma outra forma. Em uma modalidade, o valor de N (o número de ciclos de relógio 510 para oscilar) pode ser implantado no controlador de memória, que necessitaria de um comando de oscilador de parada separado, ou na DRAM com o uso de um contador. Em uma modalidade, o contador que conta as oscilações está incluído no controlador de memória. Nessa implantação, o controlador de memória e o dispositivo de memória precisariam de um sinal para retroalimentar o resultado, o que consumiria a largura de banda entre os mesmos. Em uma modalidade, o contador que conta as oscilações está incluído no dispositivo de memória, e uma contagem final é tudo que é retroalimentado para o controlador de memória. Essa implantação exigiria um comando de MRR separado para a releitura da contagem de oscilador. Será compreendido que o exemplo na Figura 5 somente é um exemplo em um contexto de memória, e não é limitador. Outros métodos de comunicação explícitos e implícitos são possíveis.

[0052] Em uma modalidade, o método de oscilação pode ser usado para obter uma estimativa aproximada de um ou mais atrasos de temporização de DRAM críticos, como t_{DQSCK} , e como os mesmos mudam com a temperatura e/ou tensão de DRAM. Será compreendido que tal uso não seria provavelmente tão preciso quanto uma medição dedicada; entretanto, pode fornecer percepção sobre determinados atrasos de temporização e, portanto, fornecer múltiplos

pedaços de informações com um único conjunto de procedimentos.

[0053] A Figura 6 é um diagrama de fluxo de uma modalidade de um processo para ajustar o atraso em uma rede de distribuição de relógio com base nas mudanças de atraso detectadas em uma réplica de rede de distribuição de relógio. Em uma modalidade, o fabricante de dispositivo fabrica um circuito de receptor para I/O em um componente. O circuito de receptor inclui um amplificador, circuito de amostragem, e rede de distribuição de relógio, 602. O circuito de amostragem e amplificador podem ser parte do mesmo elemento. O fabricante também fabrica uma réplica de circuito no componente. A réplica de circuito inclui um amplificador correspondido (correspondido a um amplificador da rede de distribuição de relógio do circuito de receptor), e uma réplica de trajeto de rede de distribuição de relógio, 604.

[0054] Em operação, o circuito de receptor recebe uma comunicação para processar a partir de um dispositivo de transmissão, 606. O circuito de receptor processa o sinal de entrada. O circuito de receptor pode processar muitos desses sinais de entrada. Em paralelo, e independentemente do circuito de receptor (por exemplo, a operação da réplica de circuito não afeta diretamente a operação do circuito de receptor, e vice-versa), o dispositivo de recebimento gera um sinal de habilitação. Uma réplica de amplificador de uma réplica de circuito recebe a entrada ou sinal de habilitação, 608.

[0055] A réplica de amplificador emite um sinal através de uma réplica de trajeto de rede de distribuição de relógio, 610. A réplica de trajeto é correspondida a um trajeto de rede de distribuição de relógio do circuito de receptor. Em uma modalidade, a réplica de trajeto é simplesmente um único trajeto, ao invés de uma réplica de rede de distribuição de relógio inteira. Portanto, a réplica de trajeto pode ser implantada como um circuito equivalente da rede de distribuição de

relógio do circuito de receptor. A réplica de circuito retroalimenta a saída da réplica de trajeto ou retroalimenta a partir da terminação da réplica de trajeto para a entrada da réplica de amplificador, 612. O trajeto de retroalimentação faz com que o circuito oscile.

[0056] Um contador na terminação da réplica de trajeto conta as oscilações, 614. O contador pode fornecer a contagem para um registro ou para um dispositivo controlador. Com base na contagem, o sistema computa um atraso da réplica de trajeto, e em particular determinar se o atraso mudou, 616. A computação pode ser realizada através do dispositivo de recebimento ou através do dispositivo de transmissão. O dispositivo que realiza a computação pode comparar os atrasos atuais ao atraso anterior para a réplica de trajeto, 618. Em uma modalidade, a computação envolve comparar a contagem de oscilador atual a um valor de contagem de oscilador anterior.

[0057] Se os atrasos forem os mesmos, 620 ramificação SIM, não há o que ajustar, e o circuito de receptor continua a operar como estava. O circuito de oscilador reiniciará em certo momento no futuro quando estiver novamente habilitado, 608. Se os atrasos forem diferentes, 620 ramificação NÃO, o sistema ajusta o atraso da I/O em relação à rede de distribuição de relógio do circuito de receptor com base na diferença em atraso na réplica de circuito, 622. Em geral, o sistema pode ajustar o atraso entre um relógio de origem de transmissor e o circuito receptor não correspondido com base no atraso na réplica de rede de distribuição de relógio. Em uma modalidade, o ajuste inclui um ajuste na operação do transmissor. Em uma modalidade, o ajuste inclui um ajuste para receber as definições que controlam a operação do receptor. Em uma modalidade, o ajuste inclui um ajuste na operação da rede de distribuição de relógio. Os ajustes podem ser implantados através dos ajustes de parâmetros de I/O elétricos dos vários circuitos de transmissão e/ou recebimento. Em

uma modalidade, a lógica de busca implanta uma busca para determinar quais parâmetros operacionais de I/O deve ajustar.

[0058] A Figura 7 é um diagrama de blocos de uma modalidade de um sistema de computação em que uma réplica de trajeto de distribuição de relógio pode ser implantada. O sistema 700 representa um dispositivo de computação de acordo com qualquer modalidade descrita no presente documento, e pode ser um computador do tipo laptop, um computador do tipo desktop, um servidor, um sistema de controle de jogos ou entretenimento, um dispositivo de varredura, copiadora, impressora, dispositivo de roteamento ou comutação, ou outro dispositivo eletrônico. O sistema 700 inclui processador 720, que fornece processamento, gerenciamento de operação e execução das instruções para o sistema 700. O processador 720 pode incluir qualquer tipo de microprocessador, unidade de processamento central (CPU), núcleo de processamento, ou outro hardware de processamento para fornecer processamento para o sistema 700. O processador 720 controla a operação geral do sistema 700, e pode ser incluir, um ou mais microprocessadores de propósito especial ou propósito geral programáveis, processadores de sinal digital (DSPs), controladores programáveis, circuitos integrados específicos de aplicação (ASICs), dispositivos de lógica programável (PLDs), ou similares, ou uma combinação desses dispositivos.

[0059] O subsistema de memória 730 representa a memória principal do sistema 700, e fornece armazenamento para código a ser executado pelo processador 720, ou valores de dados a serem usados na execução de uma rotina. O subsistema de memória 730 pode incluir um ou mais dispositivos de memória como memória de somente leitura (ROM), memória flash, uma ou mais variedades de memória de acesso aleatório (RAM), ou outros dispositivos de memória, ou uma combinação desses dispositivos. O subsistema de memória 730

armazena e hospeda, dentre outras coisas, o sistema operacional (OS) 736 para fornecer uma plataforma de software para a execução das instruções no sistema 700. Adicionalmente, outras instruções 738 são armazenadas e executadas a partir do subsistema de memória 730 para fornecer a lógica e o processamento do sistema 700. O OS 736 e as instruções 738 são executados pelo processador 720.

[0060] O subsistema de memória 730 inclui o dispositivo de memória 732 em que armazena dados, instruções, programas, ou outros itens. Em uma modalidade, o subsistema de memória inclui o controlador de memória 734, que é um controlador de memória de acordo com qualquer modalidade descrita no presente documento, e que inclui um agendador para gerar e emitir comandos para o dispositivo de memória 732.

[0061] Em uma modalidade, o subsistema de memória 730 e dispositivo de memória 732 implantam a retroalimentação gerada a partir de uma réplica de trajeto de distribuição de relógio para aprimorar a temporização e precisão da comunicação a partir do controlador de memória para o dispositivo de memória. Em uma modalidade, dispositivo de memória 732 inclui uma réplica de rede de distribuição correspondida a uma rede de distribuição de estrobo. O dispositivo de memória determina a magnitude e direção de deslocamento de atraso por um oscilador do anel na réplica de rede. O sistema usa uma contagem das oscilações para computar o deslocamento de atraso e ajustar a operação de um ou mais parâmetros de I/O para levar em conta o deslocamento de atraso.

[0062] O processador 720 e subsistema de memória 730 são acoplados ao barramento/sistema de barramento 710. O barramento 710 é uma abstração que representa qualquer um ou mais barramentos físicos separados, interfaces/linhas de comunicação e/ou conexões ponto a ponto, conectados por pontes apropriadas,

adaptadores e/ou controles. Portanto, o barramento 710 pode incluir, por exemplo, um ou mais dentre um barramento de sistema, um barramento de Interconexão de Componente Periférico (PCI), um barramento de arquitetura padrão de indústria ou HiperTransporte (ISA), um barramento de interface de sistema de computador pequeno (SCSI), um barramento serial universal (USB), ou um barramento de padrão de Instituto de Engenheiros de Eletricistas e Eletrônicos (IEEE) 1394 (chamado comumente de "Firewire"). Os barramentos do barramento 710 também podem corresponder a interfaces na interface de rede 750.

[0063] O sistema 700 também inclui uma ou mais interface(s) de entrada/saída (I/O) 740, interface de rede 750, um ou mais dispositivo(s) de armazenamento em massa interno(s) 760, e interface de periférico 770 acoplada ao barramento 710. A interface de I/O 740 pode incluir um ou mais componentes de interface através dos quais um usuário interage com o sistema 700 (por exemplo, vídeo, áudio e/ou realização de interface alfanumérica). A interface de rede 750 fornece ao sistema 700 a capacidade de se comunicar com dispositivos remotos (por exemplo, servidores, outros dispositivos de computação) através de uma ou mais redes. Uma interface de rede 750 pode incluir um adaptador de Ethernet, componentes de interconexão sem fio, USB (barramento serial universal), ou outras interfaces de proprietárias ou à base de padrões sem fio ou com fio.

[0064] O armazenamento 760 pode ser ou incluir qualquer meio convencional para armazenar quantidades grandes de dados de forma não volátil, como um ou mais discos magnéticos, de estado sólido, ou à base óptica, ou uma combinação. O armazenamento 760 retém código ou instruções e dados 762 em um estado persistente (isto é, o valor é retido apesar da interrupção de potência ao sistema 700). O armazenamento 760 pode ser genericamente considerado como uma

"memória", embora a memória 730 seja a memória em execução ou operacional para fornecer instruções ao processador 720. Enquanto que o armazenamento 760 é não volátil, a memória 730 pode incluir memória volátil (isto é, o valor ou estado dos dados é indeterminado se a potência for interrompida para o sistema 700).

[0065] A interface de periférico 770 pode incluir qualquer interface de hardware não especificamente mencionado. Os periféricos se referem, de modo geral, a dispositivos que se conectam de forma dependente ao sistema 700. Uma conexão dependente é uma em que o sistema 700 fornece o software e/ou plataforma de hardware em que a operação executa, e com a qual um usuário interage.

[0066] A Figura 8 é um diagrama de blocos de uma modalidade de um dispositivo móvel em que uma réplica de trajeto de distribuição de relógio pode ser implantada. O dispositivo 800 representa um dispositivo de computação móvel, com um tablet de computação, um telefone móvel ou telefone inteligente, um leitor eletrônico habilitado para sem fio, ou outro dispositivo móvel. Será compreendido que determinados componentes são mostrados de forma geral, e nem todos os componentes desse dispositivo são mostrados no dispositivo 800.

[0067] O dispositivo 800 inclui processador 810, que realiza as operações de processamento primárias de dispositivo 800. O processador 810 pode incluir um ou mais dispositivos físicos, como microprocessadores, processadores de aplicação, microcontroladores, dispositivos de lógica programável, ou outros meios de processamento. Em uma modalidade, o processador 810 inclui componentes de interface óptica além de uma pastilha de processador. Portanto, a pastilha de processador e componentes fotônicos estão no mesmo pacote. Tal pacote de processador pode realizar interface opticamente com um conector óptico de acordo com

qualquer modalidade descrita no presente documento.

[0068] As operações de processamento realizadas pelo processador 810 incluem a execução de uma plataforma operacional ou sistema operacional no qual as aplicações e/ou funções de dispositivo são executadas. As operações de processamento incluem operações relacionadas a I/O (entrada/saída) com um usuário humano ou com outros dispositivos, operações relacionadas a gerenciamento de potência e/ou operações relacionadas a conectar o dispositivo 800 a outro dispositivo. As operações de processamento também podem incluir operações relacionadas a I/O de áudio e/ou I/O de exibição.

[0069] Em uma modalidade, o dispositivo 800 inclui subsistema de áudio 820, que representa hardware (por exemplo, hardware de áudio e circuitos de áudio) e componentes de software (por exemplo, drivers, codecs) associados ao fornecimento de funções de áudio ao dispositivo de computação. As funções de áudio podem incluir saída de alto-falante e/ou fone de ouvido, bem como entrada de microfone. Os dispositivos para essas funções podem ser integrados no dispositivo 800, ou conectados ao dispositivo 800. Em uma modalidade, um usuário interage com o dispositivo 800 fornecendo-se comandos de áudio que são recebidos e processados pelo processador 810.

[0070] O subsistema de exibição 830 representa hardware (por exemplo, dispositivos de exibição) e componentes de software (por exemplo, drivers) que fornecem uma exibição visual e/ou tátil para um usuário interagir com o dispositivo de computação. O subsistema de exibição 830 inclui interface de exibição 832, que inclui a tela particular ou dispositivo de hardware usado para fornecer uma exibição a um usuário. Em uma modalidade, a interface de exibição 832 inclui lógica separada do processador 810 para realizar pelo menos algum processamento relacionado à exibição. Em uma modalidade, o

subsistema de exibição 830 inclui um dispositivo de tela sensível ao toque que fornece tanto a saída quanto a entrada a um usuário.

[0071] O controlador de I/O 840 representa dispositivos de hardware e componentes de software relacionados à interação com um usuário. O controlador de I/O 840 pode operar para gerenciar hardware que é parte de um subsistema de áudio 820 e/ou subsistema de exibição 830. Adicionalmente, o controlador de I/O 840 ilustra um ponto de conexão para dispositivos adicionais que se conectam ao dispositivo 800 através dos quais um usuário pode interagir com o sistema. Por exemplo, os dispositivos que podem ser fixados ao dispositivo 800 podem incluir dispositivos de microfone, sistemas de alto-falante ou estéreo, sistemas de vídeo ou outro dispositivo de exibição, dispositivos de teclado ou teclado numérico, ou outros dispositivos de I/O para uso com aplicações específicas como leitores de cartão ou outros dispositivos.

[0072] Conforme mencionado acima, o controlador de I/O 840 pode interagir com o subsistema de áudio 820 e/ou subsistema de exibição 830. Por exemplo, a entrada através de um microfone ou outro dispositivo de áudio pode fornecer entrada ou comandos para uma ou mais aplicações ou funções de dispositivo 800. Adicionalmente, a saída de áudio pode ser fornecida ao invés de ou além da saída de exibição. Em outro exemplo, se a subsistema de exibição inclui uma tela sensível ao toque, a dispositivo de exibição também como um dispositivo de entrada, que pode ser gerenciado pelo menos parcialmente pelo controlador de I/O 840. Também podem haver botões ou comutadores adicionais no dispositivo 800 para fornecer funções de I/O gerenciadas pelo controlador de I/O 840.

[0073] Em uma modalidade, o controlador de I/O 840 gerencia os dispositivos como acelerômetros, câmeras, sensores de luz ou outros sensores ambientais, giroscópios, sistema de posicionamento global

(GPS), ou outro hardware que pode ser incluído no dispositivo 800. A entrada pode ser parte da interação de usuário direta, bem como fornecer entrada ambiental ao sistema para influenciar suas operações (como filtração para ruído, ajustar exibições para detecção de brilho, aplicar um lampejo para uma câmera, ou outros recursos). Em uma modalidade, o dispositivo 800 inclui gerenciamento de potência 850 que gerencia o uso de potência de bateria, carregamento da bateria, e recursos relacionados à operação de economia de potência.

[0074] O subsistema de memória 860 inclui dispositivo(s) de memória 862 para armazenar informações no dispositivo 800. O subsistema de memória 860 pode incluir dispositivos de memória não volátil (estado não muda se a potência para o dispositivo de memória for interrompida) e/ou volátil (estado é indeterminado se a potência para o dispositivo de memória for interrompida). A memória 860 pode armazenar dados de aplicação, dados de usuário, música, fotografias, documentos, ou outros dados, bem como dados de sistema (seja de longo prazo ou temporária) relacionados à execução das aplicações e funções de sistema 800. Em uma modalidade, o subsistema de memória 860 inclui o controlador de memória 864 (que também poderia ser considerado parte do controle do sistema 800, e poderia ser considerado, potencialmente, parte do processador 810). O controlador de memória 864 inclui um agendador para gerar e emitir comandos para o dispositivo de memória 862.

[0075] A conectividade 870 inclui dispositivos de hardware (por exemplo, conectores sem fio e/ou com fio e hardware de comunicação) e componentes de software (por exemplo, drivers, pilhas de protocolo) para habilitar o dispositivo 800 para se comunicar com dispositivos externos. O dispositivo poderia ser dispositivos separados, como outros dispositivos de computação, pontos de acesso sem fio ou estações-base, bem como periféricos como fones

de ouvido com microfone, impressoras, ou outros dispositivos.

[0076] A conectividade 870 pode incluir múltiplos tipos diferentes de conectividade. Para generalizar, o dispositivo 800 é ilustrado com conectividade de celular 872 e conectividade sem fio 874. A conectividade de celular 872 se refere, de modo geral, à conectividade de rede de celular fornecida por portadoras sem fio, como fornecida por meio de GSM (sistema global para comunicações móveis) ou variações ou derivados, CDMA (acesso múltiplo por divisão de código) ou variações ou derivados, TDM (multiplexação por divisão de tempo) ou variações ou derivados, LTE (evolução a longo prazo – chamado de "4G"), ou outros padrões de serviço celular. A conectividade sem fio 874 se refere a conectividade sem fio que não é celular, e pode incluir redes de área pessoal (como Bluetooth), redes de área local (como WiFi) e/ou redes de área ampla (como WiMax), ou outra comunicação sem fio. A comunicação sem fio se refere à transferência de dados através do uso de radiação eletromagnética modulada através de um meio não sólido. A comunicação com fio ocorre através de um meio de comunicação sólido.

[0077] As conexões periféricas 880 incluem interfaces de hardware e conectores, bem como componentes de software (por exemplo, drivers, pilhas de protocolo) para fazer conexões periféricas. Será compreendido que o dispositivo 800 pode ser tanto um dispositivo periférico ("para" 882) para outros dispositivos, bem como ter dispositivos periféricos ("a partir de" 884) conectados ao mesmo. O dispositivo 800 tem, comumente, um conector de "encaixe" para se conectar a outros dispositivos de computação para propósitos como gerenciamento (por exemplo, transferência por download e/ou upload, alteração, sincronização) de conteúdo no dispositivo 800. Adicionalmente, um conector de encaixe pode permitir que o dispositivo 800 se conecte a determinados periféricos que permitem

que o dispositivo 800 controle a saída de conteúdo, por exemplo, para sistemas audiovisuais ou outros sistemas.

[0078] Além de um conector de encaixe proprietário ou outro hardware de conexão proprietário, o dispositivo 800 pode fazer conexões periféricas 880 por meio de conectores à base de padrões ou comuns. Os tipos comuns podem incluir um conector de Barramento Serial Universal (USB) (que pode incluir qualquer um dentre várias interfaces de hardware diferentes), Porta de exibição que inclui Mini Porta de Exibição (MDP), Interface de Multimídia de Alta Definição (HDMI), Firewire, ou outro tipo.

[0079] Em uma modalidade, um ou mais componentes de sistema 800 implantam retroalimentação gerada a partir de uma réplica de trajeto de distribuição de relógio para aprimorar a temporização e precisão da comunicação entre os componentes. Em uma modalidade, um componente de recebimento inclui uma réplica de rede de distribuição correspondida a uma rede de distribuição de estrobo. O dispositivo de recebimento determina a magnitude e direção de deslocamento de atraso por um oscilador do anel na réplica de rede. O sistema usa uma contagem das oscilações para computar o deslocamento de atraso e ajustar a operação de um ou mais parâmetros de I/O para levar em conta o deslocamento de atraso.

[0080] Em um aspecto, um aparelho que tem uma arquitetura de comunicação sem correspondência inclui um circuito de receptor sem correspondência, que inclui um trajeto de dados que inclui um primeiro amplificador e um circuito de amostragem; e uma rede de distribuição de relógio acoplada a partir de um segundo amplificador ao circuito de amostragem para fornecer um sinal de estrobo para o circuito de amostragem, em que o segundo amplificador não é correspondido ao primeiro amplificador; e um circuito de oscilador de anel, que inclui um terceiro amplificador correspondido ao segundo amplificador; um

contador para contar as oscilações por um período de tempo; uma réplica de rede de distribuição de relógio acoplada a partir do terceiro amplificador ao contador, em que a réplica de rede de distribuição de relógio é uma réplica da rede de distribuição de relógio do circuito de receptor sem correspondência; e um trajeto de retroalimentação a partir do circuito de distribuição de relógio para o terceiro amplificador.

[0081] Em uma modalidade, o trajeto de dados inclui um amplificador de amostragem, que inclui o primeiro amplificador e o circuito de amostragem. Em uma modalidade, a rede de distribuição de relógio compreende uma rede de distribuição de relógio de árvore H. Em uma modalidade, o circuito de receptor sem correspondência e o circuito de oscilador de anel são integrados em uma única pastilha de circuito integrado. Em uma modalidade a réplica de rede de distribuição de relógio é um circuito equivalente à rede de distribuição de relógio do circuito receptor não correspondido. Em uma modalidade, o trajeto de retroalimentação inclui um circuito de RC sintonizável para ajustar um tempo de resposta do circuito de oscilador de anel.

[0082] Em uma modalidade, o aparelho inclui adicionalmente lógica para computar um ajuste de atraso para a rede de distribuição de relógio do circuito receptor sem correspondência com base em várias oscilações contadas pelo contador no circuito de oscilador de anel. Em uma modalidade, o aparelho inclui adicionalmente um dispositivo de memória para armazenar um valor que representa uma divisão de números pré-computada, em que a lógica computa o ajuste de atraso com o valor sem realizar divisão em tempo real. Em uma modalidade, o aparelho inclui adicionalmente lógica para comunicar o número de oscilações contadas pelo contador para um dispositivo de transmissão para fazer com que o dispositivo de transmissão ajuste uma temporização de seu sinal de saída para o circuito receptor. Em

uma modalidade, o aparelho inclui adicionalmente lógica para comunicar o número de oscilações contadas pelo contador para um dispositivo receptor para fazer com que o dispositivo receptor ajuste uma temporização de seus parâmetros de processamento de sinal para receber sinais de um circuito transmissor.

[0083] Em um aspecto, um dispositivo eletrônico com um dispositivo de memória que tem um circuito de receptor sem correspondência que inclui uma plataforma de hardware que inclui um processador; um dispositivo de memória na plataforma de hardware para receber comunicação a partir de um dispositivo controlador de memória na plataforma de hardware, sendo que o dispositivo de memória inclui um circuito de receptor sem correspondência, que inclui um trajeto de dados que inclui um primeiro amplificador e um circuito de amostragem; e uma rede de distribuição de relógio acoplada a partir de um segundo amplificador ao circuito de amostragem para fornecer um sinal de estrobo ao circuito de amostragem, em que o segundo amplificador não tem correspondência ao primeiro amplificador; e um circuito de oscilador de anel, que inclui um terceiro amplificador correspondido ao segundo amplificador; um contador para contar as oscilações por um período de tempo; e uma réplica de rede de distribuição de relógio acoplada a partir do terceiro amplificador ao contador, em que a réplica de rede de distribuição de relógio é um circuito equivalente da rede de distribuição de relógio do circuito de receptor sem correspondência; e um visor de tela sensível ao toque acoplado para gerar uma exibição com base nos dados acessados a partir do dispositivo de memória.

[0084] Em uma modalidade, o trajeto de dados inclui um amplificador de amostragem, que inclui o primeiro amplificador e o circuito de amostragem. Em uma modalidade, a rede de distribuição de relógio compreende uma rede de distribuição de relógio de árvore

H. Em uma modalidade, o circuito de receptor sem correspondência e o circuito de oscilador de anel são integrados em uma única pastilha de circuito integrado. Em uma modalidade a réplica de rede de distribuição de relógio é um circuito equivalente à rede de distribuição de relógio do circuito receptor não correspondido. Em uma modalidade, o trajeto de retroalimentação inclui um circuito de RC sintonizável para ajustar um tempo de resposta do circuito de oscilador de anel.

[0085] Em uma modalidade, o dispositivo de memória inclui adicionalmente lógica para computar um ajuste de atraso para a rede de distribuição de relógio do circuito receptor sem correspondência com base em várias oscilações contadas pelo contador no circuito de oscilador de anel. Em uma modalidade, o dispositivo de memória inclui adicionalmente um componente de memória para armazenar um valor que representa uma divisão de números pré-computada, em que a lógica computa o ajuste de atraso com o valor sem realizar divisão em tempo real. Em uma modalidade, o dispositivo de memória inclui adicionalmente lógica para comunicar o número de oscilações contadas pelo contador para um dispositivo de transmissão para fazer com que o dispositivo de transmissão ajuste uma temporização de seu sinal de saída para o circuito receptor. Em uma modalidade, o dispositivo de memória inclui adicionalmente lógica para comunicar o número de oscilações contadas pelo contador para um dispositivo receptor para fazer com que o dispositivo receptor ajuste uma temporização de seus parâmetros de processamento de sinal para receber sinais de um circuito transmissor.

[0086] Em um aspecto, um método para se comunicar com um circuito de receptor sem correspondência inclui retroalimentar um sinal a partir de uma saída de uma réplica de rede de distribuição de relógio para uma entrada de uma réplica de amplificador para causar

oscilação através da réplica de rede de distribuição de relógio, em que a réplica de rede de distribuição de relógio é uma réplica de uma rede de distribuição de relógio de um circuito de receptor sem correspondência, e a réplica de amplificador é uma réplica de um amplificador de amostragem do circuito de receptor sem correspondência, em que uma saída da réplica de amplificador é inserida na rede de distribuição de relógio; contar um número de oscilações através da réplica de rede de distribuição de relógio com um contador por um período de tempo; computar uma mudança em um atraso através da réplica de rede de distribuição de relógio; e ajustar um atraso entre um relógio de origem de transmissor e o circuito de receptor sem correspondência com base no atraso através da réplica de rede de distribuição de relógio.

[0087] Em uma modalidade, a retroalimentação do sinal a partir da saída da réplica de rede de distribuição de relógio compreende retroalimentar o sinal a partir de uma rede de distribuição de relógio que replica um trajeto de dados que inclui um primeiro amplificador e um circuito de amostragem. Em uma modalidade, a retroalimentação do sinal a partir da saída da réplica de rede de distribuição de relógio compreende retroalimentar o sinal a partir de uma rede de distribuição de relógio que replica uma rede de distribuição de relógio de árvore H. Em uma modalidade, a contagem do número de oscilações é realizada com um circuito de oscilador de anel integrado em uma única pastilha de circuito integrado com o circuito receptor não correspondido. Em uma modalidade, a retroalimentação do sinal através da réplica de rede de distribuição de relógio compreende retroalimentar o sinal através de um circuito equivalente da rede de distribuição de relógio do circuito receptor não correspondido.

[0088] Em uma modalidade, o método compreende adicionalmente sintonizar um circuito de RC em um trajeto que

retroalimente a partir da saída da réplica de rede de distribuição de relógio para a entrada da réplica de amplificador para ajustar uma resposta da retroalimentação com base nas condições ambientais alternantes do circuito receptor não correspondido. Em uma modalidade, o método compreende adicionalmente computar um ajuste de atraso para a rede de distribuição de relógio do circuito receptor sem correspondência com base em várias oscilações contadas pelo contador no circuito de oscilador de anel. Em uma modalidade, o método compreende adicionalmente armazenar um valor que representa uma divisão de números pré-computada e computar o ajuste de atraso com o valor sem realizar divisão em tempo real. Em uma modalidade, o método compreende adicionalmente comunicar o número de oscilações contadas pelo contador para um dispositivo de transmissão para fazer com que o dispositivo de transmissão ajuste uma temporização de seu sinal de saída para o circuito receptor. Em uma modalidade, o método compreende adicionalmente comunicar o número de oscilações contadas pelo contador para um dispositivo receptor para fazer com que o dispositivo receptor ajuste uma temporização de seus parâmetros de processamento de sinal para receber sinais de um circuito transmissor.

[0089] Em um aspecto, um aparelho para se comunicar com um circuito de receptor sem correspondência inclui meios para retroalimentar um sinal a partir de uma saída de uma réplica de rede de distribuição de relógio para uma entrada de uma réplica de amplificador para causar oscilação através da réplica de rede de distribuição de relógio, em que a réplica de rede de distribuição de relógio é uma réplica de uma rede de distribuição de relógio de um circuito de receptor sem correspondência, e a réplica de amplificador é uma réplica de um amplificador de amostragem do circuito de receptor

sem correspondência, em que uma saída da réplica de amplificador é inserida na rede de distribuição de relógio; meios para contar um número de oscilações através da réplica de rede de distribuição de relógio com um contador por um período de tempo; meios para computar uma mudança em um atraso através da réplica de rede de distribuição de relógio; e meios para ajustar um atraso entre um relógio de origem de transmissor e o circuito de receptor sem correspondência com base no atraso através da réplica de rede de distribuição de relógio.

[0090] Em uma modalidade, os meios para retroalimentar o sinal a partir da saída da réplica de rede de distribuição de relógio compreendem meios para retroalimentar o sinal a partir de uma rede de distribuição de relógio que replica um trajeto de dados que inclui um primeiro amplificador e um circuito de amostragem. Em uma modalidade, os meios para retroalimentar o sinal a partir da saída da réplica de rede de distribuição de relógio compreendem meios para retroalimentar o sinal a partir de uma rede de distribuição de relógio que replica uma rede de distribuição de relógio de árvore H. Em uma modalidade, os meios para contar o número de oscilações incluem meios integrados em uma única pastilha de circuito integrado com o circuito de receptor sem correspondência. Em uma modalidade, os meios para retroalimentar o sinal através da réplica de rede de distribuição de relógio compreendem meios para retroalimentar o sinal através de um circuito equivalente da rede de distribuição de relógio do circuito receptor não correspondido.

[0091] Em uma modalidade, o aparelho compreende adicionalmente meios para sintonizar um circuito de RC em um trajeto que retroalimente a partir da saída da réplica de rede de distribuição de relógio para a entrada da réplica de amplificador para ajustar uma resposta da retroalimentação com base nas condições ambientais

alternantes do circuito receptor não correspondido. Em uma modalidade, o aparelho compreende adicionalmente meios para computar um ajuste de atraso para a rede de distribuição de relógio do circuito receptor sem correspondência com base em várias oscilações contadas pelo contador no circuito de oscilador de anel. Em uma modalidade, o aparelho compreende adicionalmente meios para armazenar um valor que representa uma divisão de números pré-computada e meios para computar o ajuste de atraso com o valor sem realizar divisão em tempo real. Em uma modalidade, o aparelho compreende adicionalmente meios para comunicar o número de oscilações contadas pelo contador para um dispositivo de transmissão para fazer com que o dispositivo de transmissão ajuste uma temporização de seu sinal de saída para o circuito receptor. Em uma modalidade, o aparelho compreende adicionalmente meios para comunicar o número de oscilações contadas pelo contador para um dispositivo receptor para fazer com que o dispositivo receptor ajuste uma temporização de seus parâmetros de processamento de sinal para receber sinais de um circuito transmissor.

[0092] Em um aspecto, um meio de armazenamento legível por computador que tem conteúdo armazenado no mesmo, que quando executado por um dispositivo de computação realiza a operação que inclui retroalimentar um sinal a partir de uma saída de uma réplica de rede de distribuição de relógio para uma entrada de uma réplica de amplificador para causar oscilação através da réplica de rede de distribuição de relógio, em que a réplica de rede de distribuição de relógio é uma réplica de uma rede de distribuição de relógio de um circuito de receptor sem correspondência, e a réplica de amplificador é uma réplica de um amplificador de amostragem do circuito de receptor sem correspondência, em que uma saída da réplica de amplificador é inserida na rede de distribuição de relógio; contar um número de

oscilações através da réplica de rede de distribuição de relógio com um contador por um período de tempo; computar uma mudança em um atraso através da réplica de rede de distribuição de relógio; e ajustar um atraso entre um relógio de origem de transmissor e o circuito de receptor sem correspondência com base no atraso através da réplica de rede de distribuição de relógio.

[0093] Em uma modalidade, o conteúdo para retroalimentar o sinal a partir da saída da réplica de rede de distribuição de relógio compreende conteúdo para retroalimentar o sinal a partir de uma rede de distribuição de relógio que replica um trajeto de dados que inclui um primeiro amplificador e um circuito de amostragem. Em uma modalidade, o conteúdo para retroalimentar o sinal a partir da saída da réplica de rede de distribuição de relógio compreende conteúdo para retroalimentar o sinal a partir de uma rede de distribuição de relógio que replica uma rede de distribuição de relógio de árvore H. Em uma modalidade, o conteúdo para contar o número de oscilações inclui meios integrados em uma única pastilha de circuito integrado com o circuito de receptor sem correspondência. Em uma modalidade, o conteúdo meios para retroalimentar o sinal através da réplica de rede de distribuição de relógio compreende conteúdo para retroalimentar o sinal através de um circuito equivalente da rede de distribuição de relógio do circuito receptor não correspondido.

[0094] Em uma modalidade, o artigo de fabricação compreende adicionalmente conteúdo para sintonizar um circuito de RC em um trajeto que retroalimente a partir da saída da réplica de rede de distribuição de relógio para a entrada da réplica de amplificador para ajustar uma resposta da retroalimentação com base nas condições ambientais alternantes do circuito receptor não correspondido. Em uma modalidade, o artigo de fabricação compreende adicionalmente conteúdo para computar um ajuste de atraso para a rede de

distribuição de relógio do circuito receptor sem correspondência com base em várias oscilações contadas pelo contador no circuito de oscilador de anel. Em uma modalidade, o artigo de fabricação compreende adicionalmente conteúdo para armazenar um valor que representa uma divisão de números pré-computada e computar o ajuste de atraso com o valor sem realizar divisão em tempo real. Em uma modalidade, o artigo de fabricação compreende adicionalmente conteúdo para comunicar o número de oscilações contadas pelo contador para um dispositivo de transmissão para fazer com que o dispositivo de transmissão ajuste uma temporização de seu sinal de saída para o circuito receptor. Em uma modalidade, o artigo de fabricação compreende adicionalmente conteúdo para comunicar o número de oscilações contadas pelo contador para um dispositivo receptor para fazer com que o dispositivo receptor ajuste uma temporização de seus parâmetros de processamento de sinal para receber sinais de um circuito transmissor.

[0095] Os diagramas de fluxo conforme ilustrados no presente documento fornecem exemplos de sequências de várias ações de processo. Embora mostrado em uma sequência ou ordem particular, a menos que especificado de outra forma, a ordem das ações pode ser modificada. Portanto, as modalidades ilustradas deveriam ser compreendidas somente como um exemplo, e o processo pode ser realizado em uma ordem diferente, e algumas ações podem ser realizadas em paralelo. Adicionalmente, uma ou mais ações podem ser omitidas em várias modalidades; portanto, nem todas as ações são necessárias em toda modalidade. Outros fluxos de processo são possíveis.

[0096] Na medida em que várias operações ou funções são descritas no presente documento, as mesmas podem ser descritas ou definidas como código de software, instruções, configuração e/ou

dados. O conteúdo pode ser diretamente executável (forma de "objeto" ou "executável"), código-fonte, ou código de diferença (código "delta" ou "atualização"). O conteúdo de software das modalidades descritas no presente documento pode ser fornecido por meio de um artigo de fabricação com o conteúdo armazenado na mesma, ou por meio de um método de operação de uma interface de comunicação para enviar dados por meio da interface de comunicação. Um meio de armazenamento legível por máquina pode fazer com que uma máquina realize as funções ou operações descritas, e inclui qualquer mecanismo que armazena informações em uma forma acessível por uma máquina (por exemplo, dispositivo de computação, sistema eletrônico, etc.), como mídia gravável/não gravável (por exemplo, memória de somente leitura (ROM), memória de acesso aleatório (RAM), mídia de armazenamento de disco magnético, mídia de armazenamento de óptica, dispositivos de memória flash, etc.). Uma interface de comunicação inclui qualquer mecanismo que realiza interface a qualquer um dentre um meios com fio, sem fio, óptico, etc., para se comunicar a outro dispositivo, como uma interface de barramento de memória, uma interface de barramento de processador, uma conexão de Internet, um controlador de disco, etc. A interface de comunicação pode ser configurada fornecendo-se parâmetros de configuração e/ou enviando sinais para preparar a interface de comunicação para fornecer um sinal de dados que descreve o conteúdo de software. A interface de comunicação pode ser acessada por meio de um ou mais comandos ou sinais enviados à interface de comunicação.

[0097] Vários componentes descritos no presente documento podem ser um meio para realizar as operações ou funções descritas. Cada componente descrito no presente documento inclui software, hardware, ou uma combinação dos mesmos. Os componentes podem

ser implantados como módulos de software, módulos de hardware, hardware de propósito especial (por exemplo, hardware específico de aplicação, circuitos integrados específicos de aplicação (ASICs), processadores de sinal digital (DSPs), etc.), controladores incorporados, conjunto de circuitos com fio, etc.

[0098] Além do que é descrito no presente documento, várias modificações podem ser feitas às modalidades e implantações reveladas da invenção sem se afastar de seu escopo. Portanto, as ilustrações e exemplos no presente documento deveriam ser interpretados em um sentido ilustrativo e não restritivo. O escopo da invenção deveria ser medido somente a título de referência às reivindicações a seguir.

REIVINDICAÇÕES

1. Dispositivo de memória **caracterizado pelo fato de que** compreende:

um circuito receptor para receber um sinal de dados (DQ) e um sinal de estrobo de dados (DQS);

conjunto de circuitos incluindo um oscilador de anel e uma cópia de uma árvore de relógio de estrobo de dados (DQS), o conjunto de circuitos para:

iniciar o oscilador de anel em resposta a um comando de um controlador de memória (734, 864),

contar um número de vezes que o sinal DQS se propaga através da cópia da árvore de relógio DQS, e

parar o oscilador de anel em resposta a um segundo comando do controlador de memória; e

um ou mais registros de modo para armazenar uma contagem do oscilador de anel.

2. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** o conjunto de circuitos para iniciar o oscilador de anel em resposta ao comando compreende:

conjunto de circuitos para iniciar o oscilador de anel em resposta a um comando para iniciar a oscilação.

3. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** o conjunto de circuitos para parar o oscilador de anel em resposta ao segundo comando compreende:

conjunto de circuitos para parar o oscilador de anel em resposta a um comando para parar a oscilação.

4. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** o conjunto de circuitos é para:

armazenar a contagem em um ou mais registros pelo menos em parte em resposta ao recebimento do segundo comando.

5. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** o circuito receptor é para amostrar uma tensão DQ (de dados) do sinal DQ em um bloco DQ.

6. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** a árvore de relógio DQS compreende uma rede de distribuição de relógio.

7. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** a árvore de relógio DQS compreende uma árvore binária.

8. Dispositivo de memória, de acordo com a reivindicação 7, **caracterizado pelo fato de que** a árvore binária compreende uma árvore H.

9. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** a cópia da árvore de relógio DQS compreende um circuito equivalente à árvore de relógio DQS.

10. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** um trajeto de dados (DQ) através do qual o sinal DQ deve ser recebido compreende um amplificador que é não correspondente a um amplificador da árvore de relógio DQS.

11. Dispositivo de memória, de acordo com a reivindicação 10, **caracterizado pelo fato de que** a cópia da árvore de relógio DQS compreende um amplificador que é correspondente ao amplificador da árvore de relógio DQS.

12. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** o circuito receptor é ainda para receber sinais de comando, incluindo:

receber um ou mais comandos de leitura de registro de modo (MRR) para ler a contagem do oscilador de anel a partir de um ou mais registros de modo.

13. Dispositivo de memória **caracterizado pelo fato de**

que compreende:

um circuito receptor para receber um sinal de dados (DQ) e para receber um sinal de relógio;

conjunto de circuitos incluindo um oscilador de anel e uma cópia de uma árvore de relógio, o conjunto de circuitos para:

iniciar o oscilador de anel em resposta a um comando de um controlador de memória (734, 864),

contar um número de vezes que o sinal de relógio se propaga através da cópia da árvore de relógio, e

parar o oscilador de anel em resposta a um segundo comando do controlador de memória (734, 864); e

um ou mais registros para armazenar uma contagem do oscilador de anel.

14. Dispositivo de memória, de acordo com a reivindicação 13, **caracterizado pelo fato de que** o sinal de relógio compreende um sinal de estrobo de dados (DQS), e a árvore de relógio compreende uma árvore de relógio DQS.

15. Dispositivo de memória, de acordo com a reivindicação 13, **caracterizado pelo fato de que** um trajeto DQ através do qual o sinal DQ deve ser recebido compreende um amplificador que é não correspondente a um amplificador da árvore de relógio.

16. Dispositivo de memória, de acordo com a reivindicação 15, **caracterizado pelo fato de que** a cópia da árvore de relógio compreende um amplificador que é correspondente ao amplificador da árvore de relógio.

17. Controlador de memória (734, 864) **caracterizado pelo fato de que** compreende:

um circuito transmissor para:

transmitir um comando a um dispositivo de memória para iniciar um oscilador de anel de estrobo de dados (DQS),

transmitir um segundo comando ao dispositivo de memória para parar o oscilador de anel DQS, e

transmitir um ou mais comandos para o dispositivo de memória para ler um ou mais registros de modo, o um ou mais registros de modo para armazenar um resultado de um contador de oscilador de anel DQS; e

conjunto de circuitos para atrasar um sinal de dados (DQ) em relação a um sinal de estrobo de dados (DQS) para o dispositivo de memória com base na contagem do oscilador de anel DQS.

18. Controlador de memória (734, 864), de acordo com a reivindicação 17, **caracterizado pelo fato de que** o conjunto de circuitos é para:

comparar o resultado do contador de oscilador de anel DQS com um resultado anterior e atrasar o sinal DQ com base na comparação.

19. Controlador de memória (734, 864), de acordo com a reivindicação 17, **caracterizado pelo fato de que** o conjunto de circuitos é para:

atrasar o sinal DQ através de um ajuste na operação do circuito transmissor.

20. Controlador de memória (734, 864), de acordo com a reivindicação 17, **caracterizado pelo fato de que:**

o conjunto de circuitos é para determinar uma duração para executar o oscilador de anel DQS; e

o circuito transmissor é para transmitir o segundo comando para parar o oscilador de anel DQS após um atraso conforme a duração.

21. Controlador de memória (734, 864) **caracterizado pelo fato de que** compreende:

um circuito transmissor para:

transmitir um comando a um dispositivo de memória para iniciar um oscilador de anel,

transmitir um segundo comando ao dispositivo de memória para parar o oscilador de anel, e

transmitir um ou mais comandos ao dispositivo de memória para ler um ou mais registros de modo, o um ou mais registros de modo para armazenar um resultado de um contador de oscilador; e

conjunto de circuitos para atrasar um sinal de dados (DQ) em relação a um sinal de relógio para o dispositivo de memória com base na contagem do oscilador de anel.

22. Controlador de memória (734, 864), de acordo com a reivindicação 21, **caracterizado pelo fato de que** o sinal de relógio compreende um sinal de estrobo de dados (DQS).

23. Controlador de memória (734, 864), de acordo com a reivindicação 21, **caracterizado pelo fato de que** o conjunto de circuitos é para:

comparar a contagem com uma contagem anterior e atrasar o sinal DQ com base na comparação.

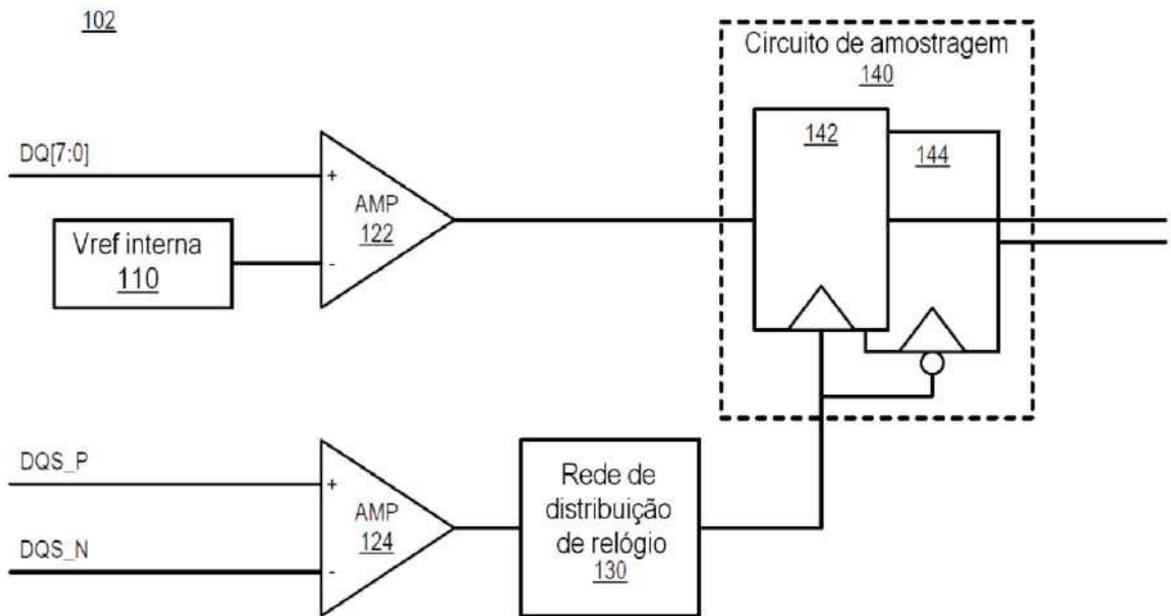


FIG. 1A – Técnica anterior

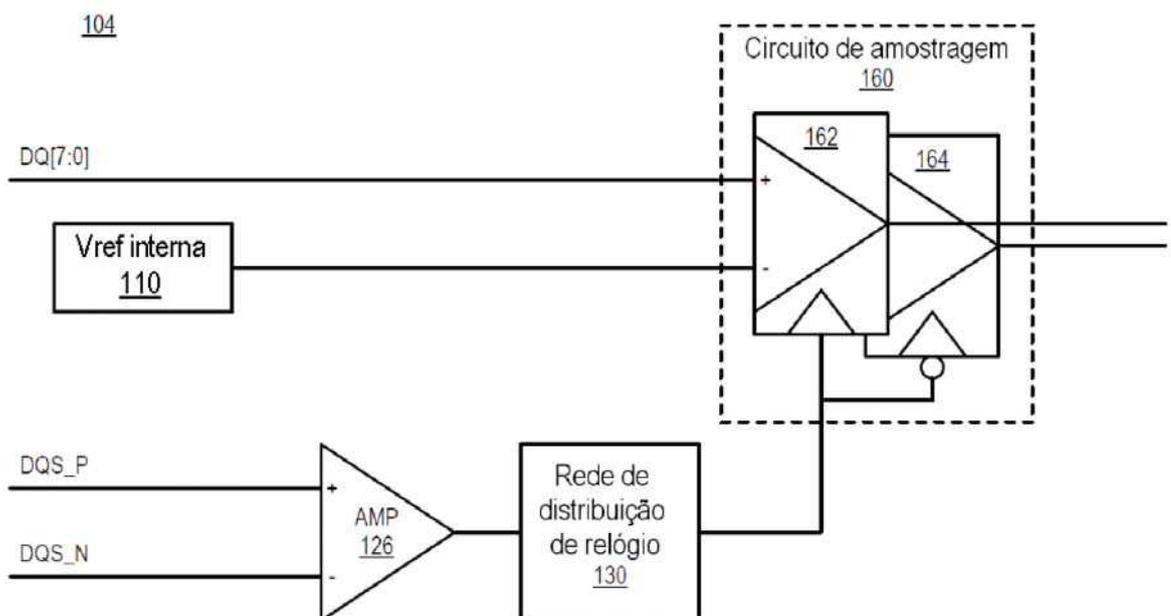


FIG. 1B – Técnica anterior

200

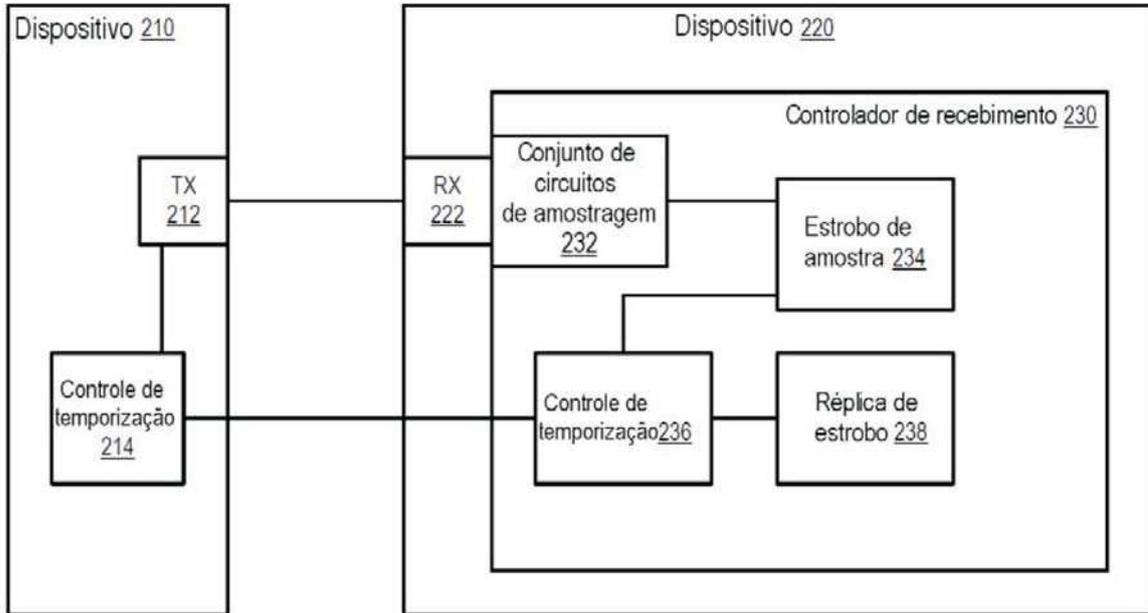


FIG. 2

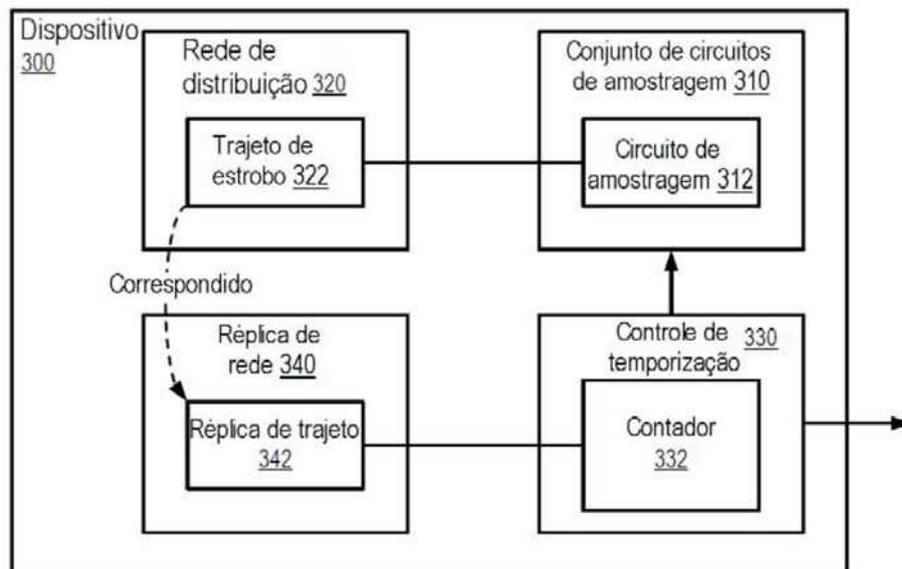


FIG. 3

402

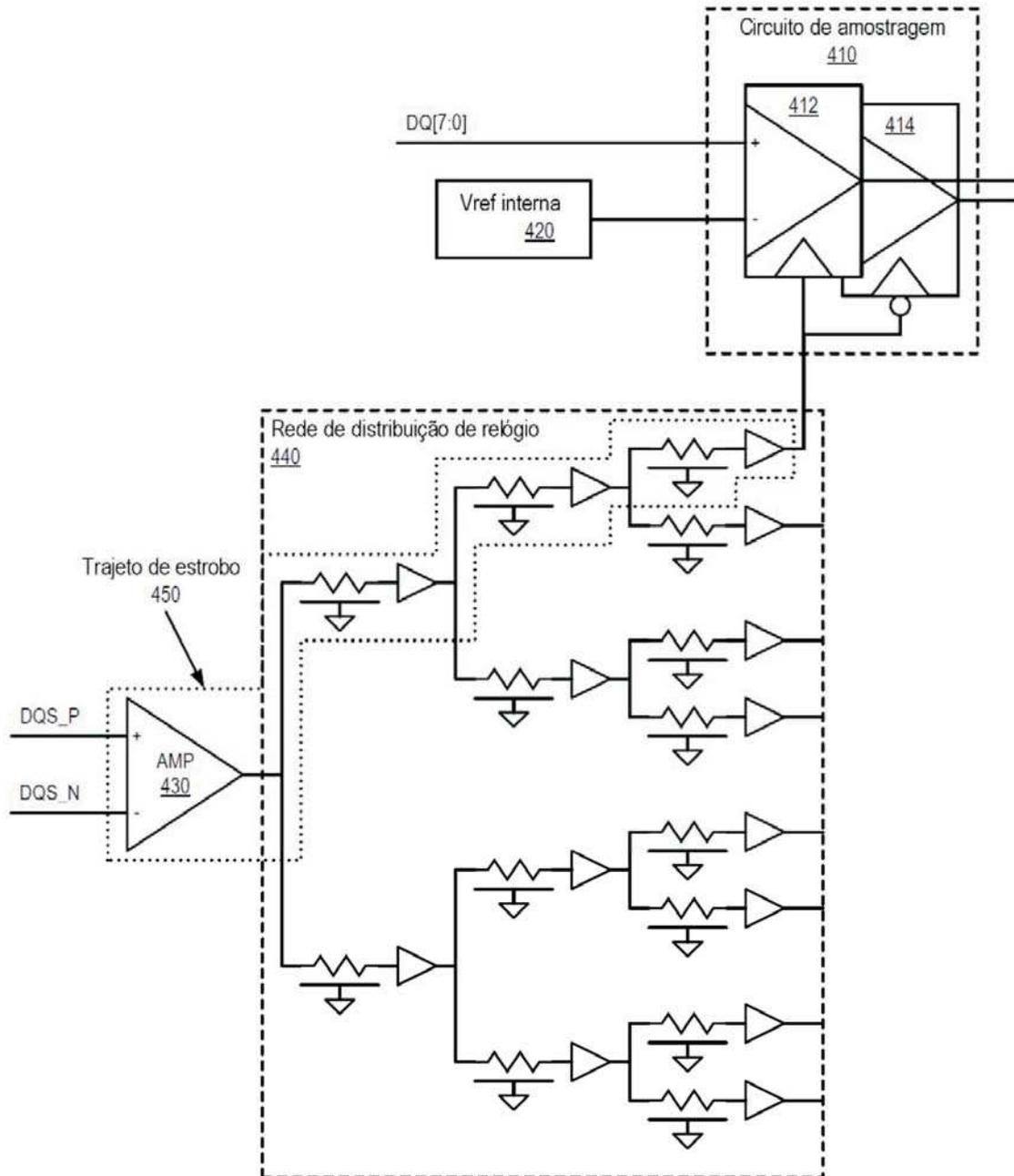


FIG. 4A

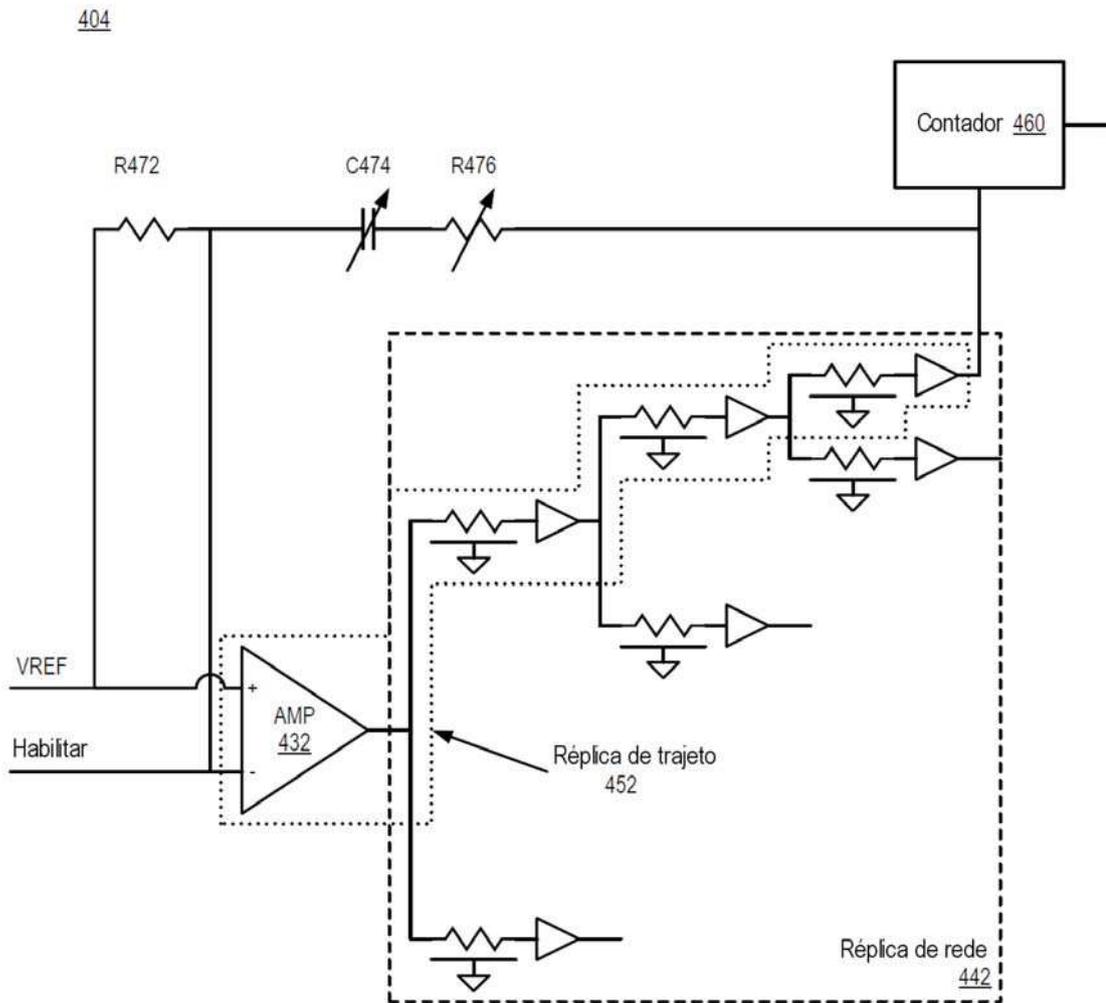


FIG. 4B

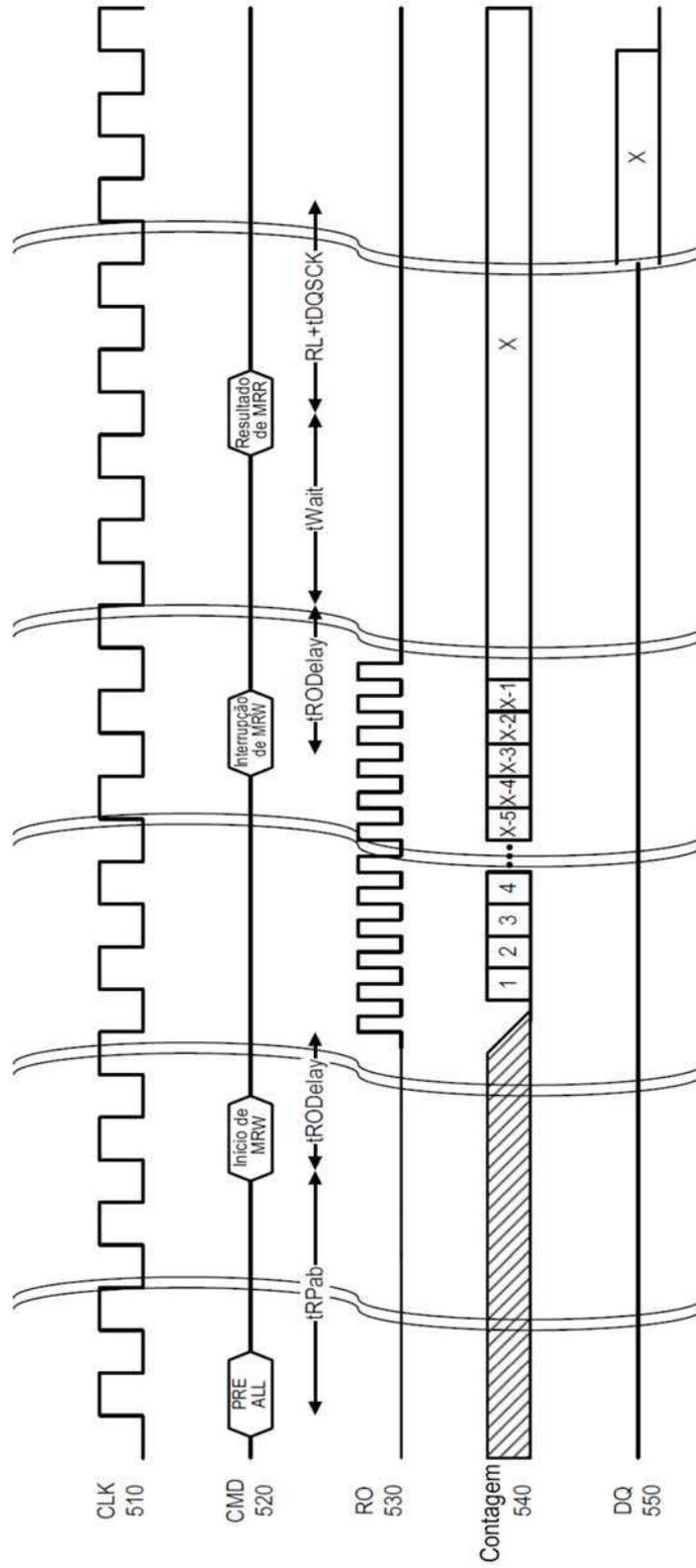


FIG. 5

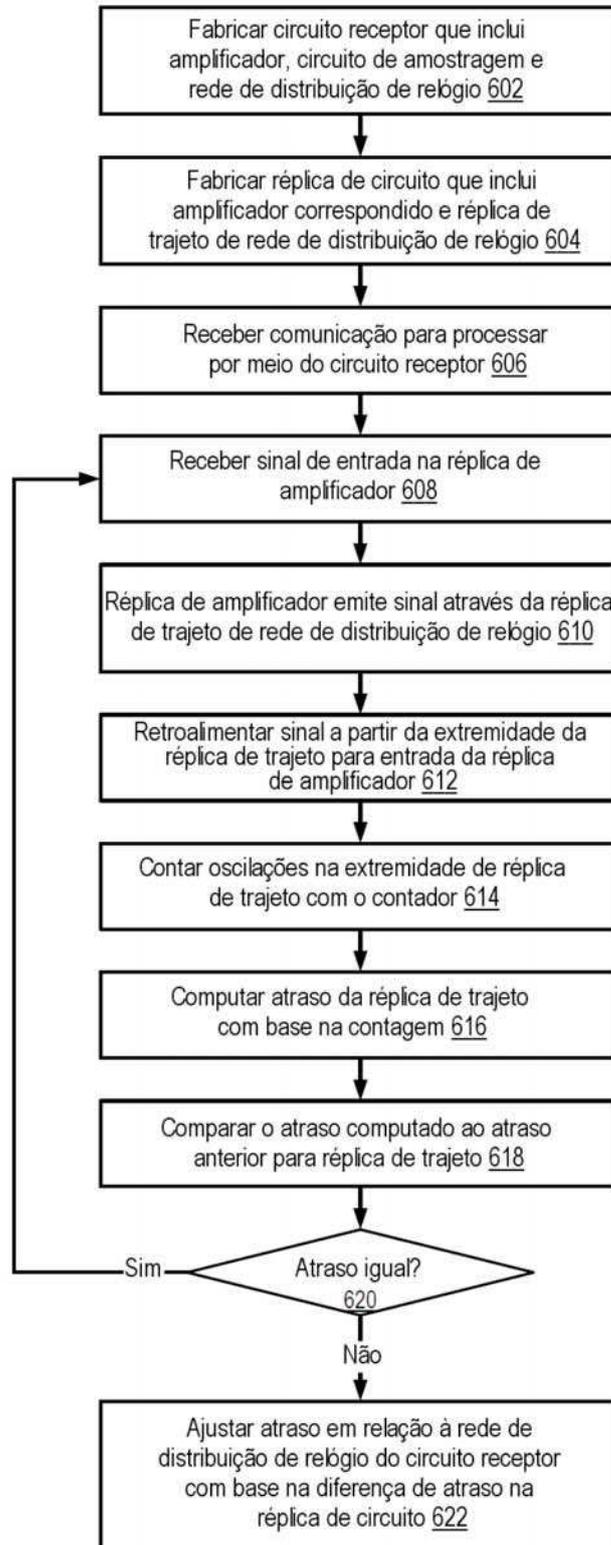


FIG. 6

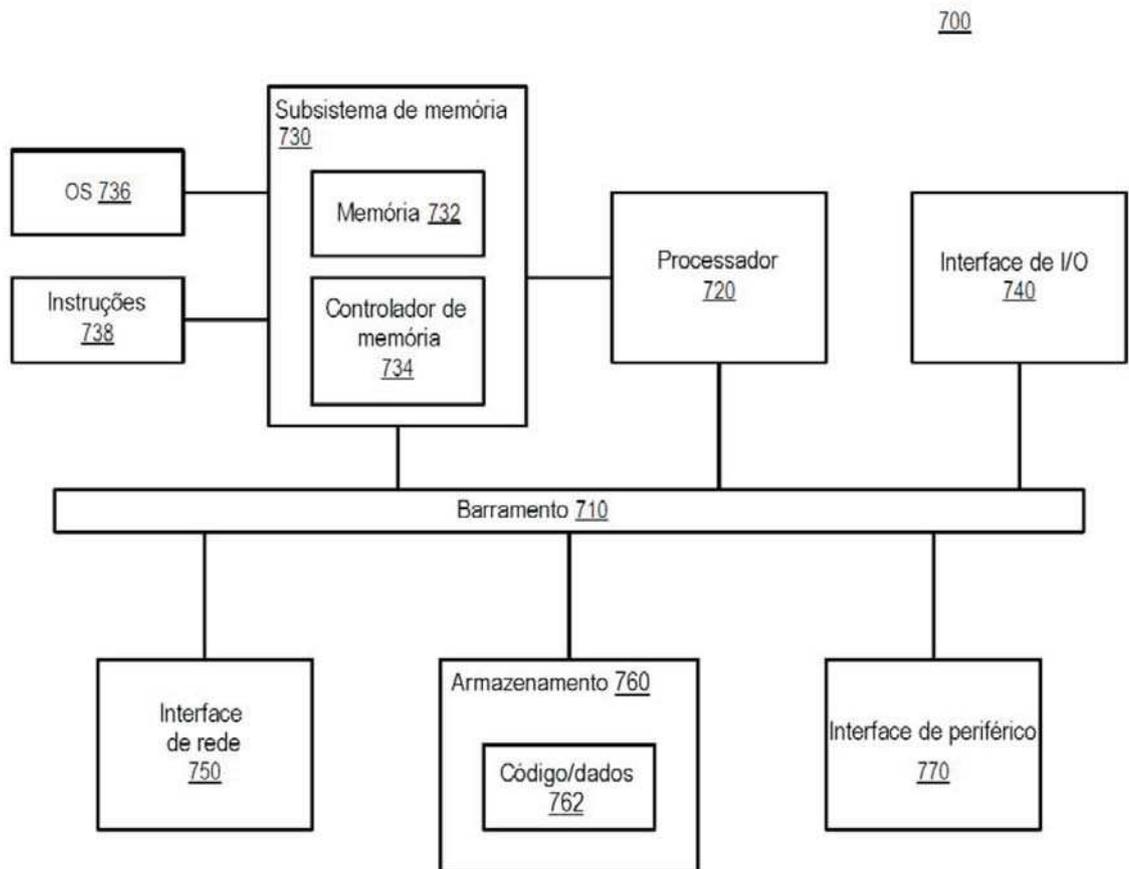


FIG. 7

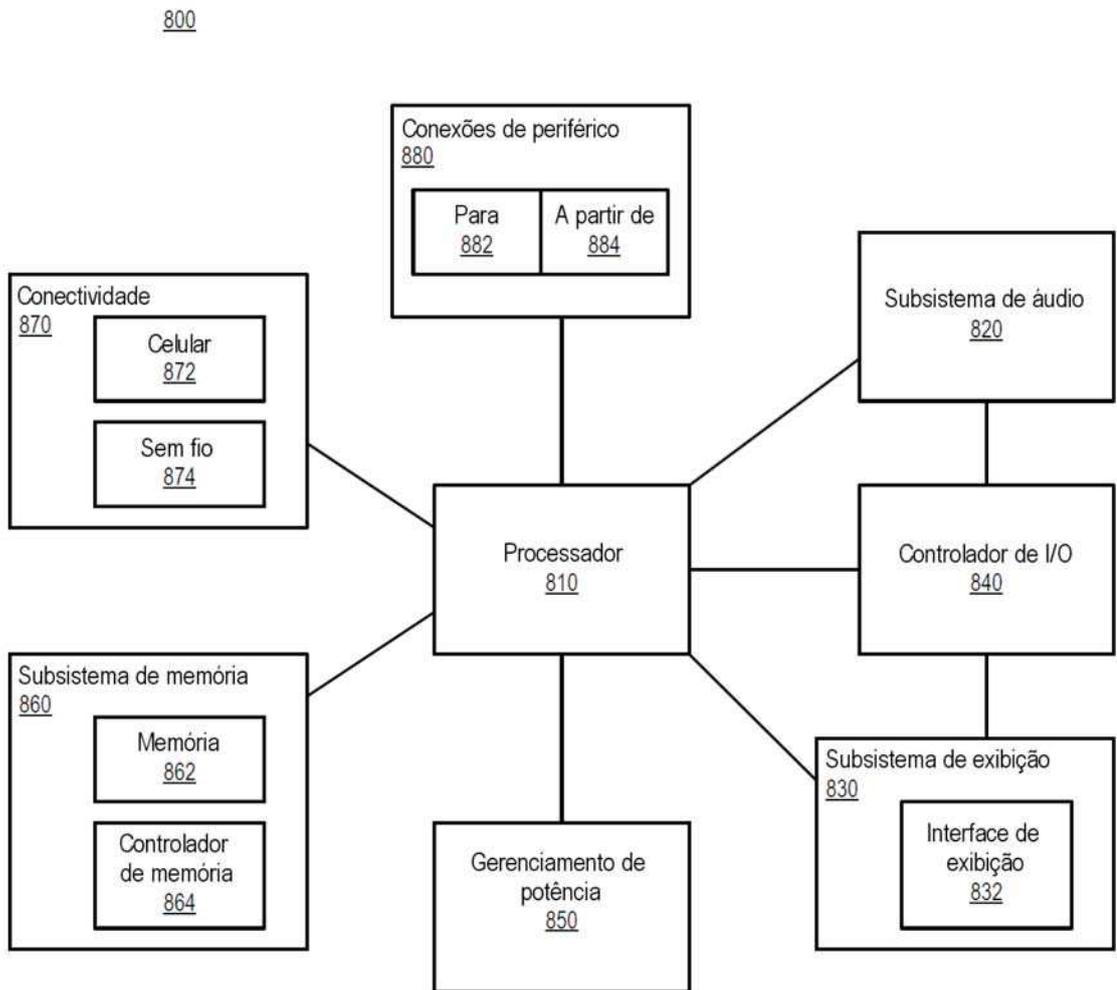


FIG. 8