



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I774186 B

(45)公告日：中華民國 111 (2022) 年 08 月 11 日

(21)申請案號：110101269 (22)申請日：中華民國 110 (2021) 年 01 月 13 日

(51)Int. Cl. : *H01L21/033 (2006.01)* *H01L21/308 (2006.01)*
H01L21/311 (2006.01) *H01L21/768 (2006.01)*

(30)優先權：2020/01/17 美國 16/746,544

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING COMPANY, LTD. (TW)
 新竹市力行六路八號

(72)發明人：黃玉蓮 HUANG, YU-LIEN (TW)

(74)代理人：洪澄文

(56)參考文獻：
 TW 201814832A US 2017/0288031A1

審查人員：湯欽全

申請專利範圍項數：10 項 圖式數：31 共 73 頁

(54)名稱

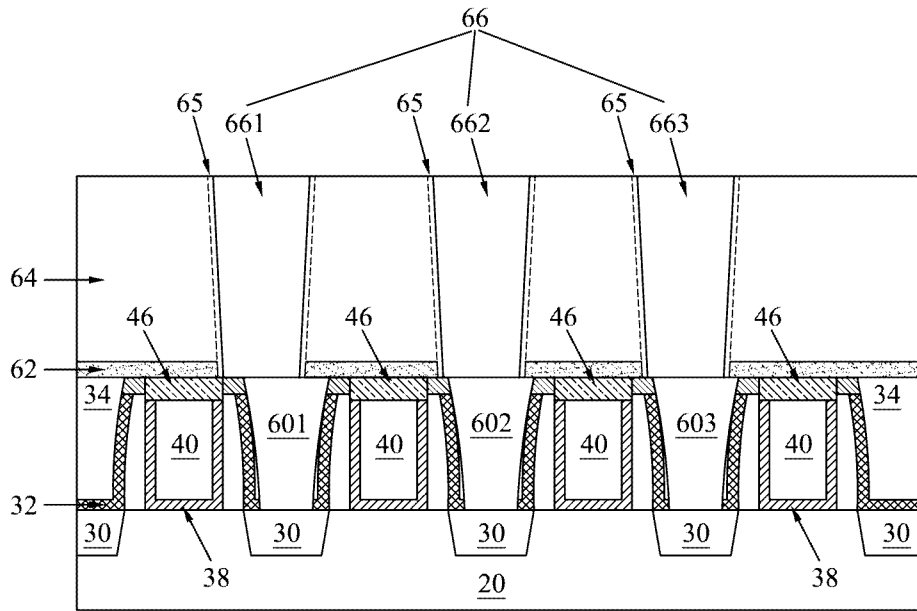
半導體裝置及其製造方法

(57)摘要

提供一種方法，包括在一閘極堆疊上形成一第二硬質遮罩層，以於蝕刻自對準接觸件之期間保護閘極。前述第二硬質遮罩層形成於第一硬質遮罩層的上方，其中前述第一硬質遮罩層具有比前述第二硬質遮罩層更低的蝕刻選擇性。

A method includes using a second hard mask layer over a gate stack to protect the gate electrode during etching a self-aligned contact. The second hard mask is formed over a first hard mask layer, where the first hard mask layer has a lower etch selectivity than the second hard mask layer.

指定代表圖：



符號簡單說明：

20:基底

30:源極/汲極區

32,62:蝕刻停止層

34,64:層間介電質

38:閘極介電層

40:閘極電極

46:第一硬質遮罩層

66:導電層

601,602,603:導電部件

65:襯層

661,662,663:接觸件

第 24 圖



I774186

【發明摘要】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF
FABRICATING THE SAME

【中文】

提供一種方法，包括在一閘極堆疊上形成一第二硬質遮罩層，以於蝕刻自對準接觸件之期間保護閘極。前述第二硬質遮罩層形成於第一硬質遮罩層的上方，其中前述第一硬質遮罩層具有比前述第二硬質遮罩層更低的蝕刻選擇性。

【英文】

A method includes using a second hard mask layer over a gate stack to protect the gate electrode during etching a self-aligned contact. The second hard mask is formed over a first hard mask layer, where the first hard mask layer has a lower etch selectivity than the second hard mask layer.

【指定代表圖】 第24圖

【代表圖之符號簡單說明】

20:基底

30:源極/汲極區

32,62:蝕刻停止層

34,64:層間介電質

38:閘極介電層

40:閘極電極

46:第一硬質遮罩層

66:導電層

601,602,603:導電部件

65:襯層

661,662,663:接觸件

【特徵化學式】無。

【發明說明書】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF
FABRICATING THE SAME

【技術領域】

【0001】 本發明實施例內容是有關於一種半導體裝置及其製造方法，特別是有關於一種在閘極堆疊上方形成硬質遮罩層的半導體裝置的製造方法，以於蝕刻自對準接觸件之期間保護閘極，進而增進所製得的半導體裝置的性能。

【先前技術】

【0002】 半導體裝置係使用於各種不同的電子產品應用中，例如個人電腦、手機、數位相機及其他電子設備(electronic equipment)。半導體裝置的製造通常依序透過沉積絕緣層或介電層、導電層及半導體層材料於一半導體基底上方，並利用微影製程(lithography)來對各種不同的材料層進行圖案化，以在半導體基底的上方形成電路部件及元件。

【0003】 半導體工業經由不斷縮小最小特徵部件尺寸(minimum feature size)，而可不斷地改進各種不同電子部件(例如，電晶體、二極體、電阻器、電容器等等)的積體密度，以容許更多的部件整合於一給定區域。

【0004】 特別是，隨著設計縮小，如果導電特徵部件未對準(misaligned)，則連接到上方的材料層和下方的材料層的導電特徵部件可能會短路。通常而言，這種情況會發生在用來穿過材料層的蝕刻過程沒有對準，以致導電特徵部件暴露出在下方材料層上的一相鄰導電特徵部件的部分。

【發明內容】

【0005】 本發明的一些實施例提供一種半導體裝置的製造方法。此製造方法包括：在一基底上方形成一第一閘極(first gate)，在基底上方形成一第一介電層(first dielectric layer)且此第一介電層圍繞第一閘極，以及在第一閘極上方形成一第一硬質遮罩層(first hard mask layer)。第一硬質遮罩層具有第一蝕刻選擇性(first etch selectivity)。在第一硬質遮罩層上方形成一第二硬質遮罩層(second hard mask layer)，此第二硬質遮罩層具有第二蝕刻選擇性(second etch selectivity)，且第二蝕刻選擇性大於第一蝕刻選擇性。在第一閘極及第一介電層上方形成一第二介電層(second dielectric layer)。蝕刻出穿過第二介電層及第一介電層的一第一開口(first opening)，以暴露出相鄰於第一閘極的第一源極/汲極區(first source/drain region)以及相鄰於第一閘極的第二源極/汲極區(second source/drain region)，第二硬質遮罩層的第二蝕刻選擇性可保護第一硬質遮罩層免於被蝕刻。以一導電材料填充第一開口。下凹第二硬質遮罩層、導電材料以及第二介電層，以使第一硬質遮罩層、導電材料以及第一介電層的頂表面齊平，凹陷的導電材料係形成一第一導電接觸件(first conductive contact)至第一源極/汲極區以及一第二導電接觸件(second conductive contact)至第二源極/汲極區。

【0006】 本發明的一些實施例又提供一種半導體裝置的製造方法。此製造方法包括：在一基底上方形成一第一金屬閘極(first metal gate)，前述第一金屬閘極具有第一閘極間隔物於前述第一金屬閘極的相對側壁。在前述基底上方形成第一介電層，且此第一介電層鄰近前述第一金屬閘極。下凹前述第一金屬閘極，以使下凹後的第一金屬閘極具有一頂表面其低於前述第一介電層的頂表面。在前述第一金屬閘極的凹陷的頂表面上方形成一第一硬質遮罩層。下凹此第一硬

質遮罩層以及前述第一閘極間隔物，以使下凹後的前述第一硬質遮罩層以及前述第一閘極間隔物具有頂表面其低於第一介電層的頂表面。下凹前述第一閘極間隔物，以使下凹後的前述第一閘極間隔物具有頂表面其低於前述第一硬質遮罩層的頂表面。在前述第一硬質遮罩層與前述第一閘極間隔物的凹陷的頂表面上沉積一第二硬質遮罩層，此第二硬質遮罩層向下延伸至前述第一硬質遮罩層的側壁。

【0007】 本發明的一些實施例提供一種半導體裝置，包括：一第一閘極，此第一閘極包括一閘極介電質(gate dielectric)、一閘極電極(gate electrode)、以及位於前述閘極電極的相對側的第一閘極間隔物(first gate spacers)。半導體裝置還包括一第一硬質遮罩層位於前述閘極電極的上方，前述第一閘極間隔物係沿著前述第一硬質遮罩層之側壁的第一部份延伸。半導體裝置更包括一第二硬質遮罩層位於前述第一閘極間隔物的上方，第二硬質遮罩層是與第一硬質遮罩層的材料不同的一種材料，前述第二硬質遮罩層係沿著前述第一硬質遮罩層之側壁的第二部份延伸。半導體裝置還包括一第一源極/汲極接觸件(first source/drain contact)相鄰於前述第一閘極間隔物。

【圖式簡單說明】

【0008】 藉由以下的詳細描述配合所附圖式，可以更加理解本發明實施例的內容。需強調的是，根據產業上的標準慣例，許多部件(feature)並未按照比例繪製。事實上，為了能清楚地討論，各種部件的尺寸可能被任意地增加或減少。

第1圖是根據本發明一些實施例的鰭式場效電晶體(FinFET)的立體圖。

第2圖至第16圖是根據本發明一些實施例的製造鰭式場效電晶體(FinFET)

的多個中間階段的剖面示意圖。

第17圖至第24圖是根據本發明一些實施例的製造鰭式場效電晶體(FinFET)的多個中間階段的剖面示意圖。

第25圖至第31圖是根據本發明一些實施例的製造鰭式場效電晶體(FinFET)的多個中間階段的剖面示意圖。

【實施方式】

【0009】 以下內容提供了很多不同的實施例或範例，用於實現本發明實施例的不同部件。組件和配置的具體範例描述如下，以簡化本發明實施例。當然，這些僅僅是範例，並非用以限定本發明實施例。舉例來說，敘述中若提及一第一部件形成於一第二部件之上方或位於其上，可能包含第一和第二部件直接接觸的實施例，也可能包含額外的部件形成於第一和第二部件之間，使得第一和第二部件不直接接觸的實施例。另外，本發明實施例可能在許多範例中重複元件符號及/或字母。這些重複是為了簡化和清楚的目的，其本身並非代表所討論各種實施例及/或配置之間有特定的關係。

【0010】 此外，此處可能使用空間上的相關用語，例如「在...之下」、「在...下方」、「下方的」、「在...上方」、「上方的」及其他類似的用語可用於此，以便描述如圖所示之一元件或部件與其他元件或部件之間的關係。此空間上的相關用語除了包含圖式繪示的方位外，也包含使用或操作中的裝置的不同方位。裝置可以被轉至其他方位(旋轉90度或其他方位)，則在此所使用的空間相對描述可同樣依旋轉後的方位來解讀。

【0011】 以下針對特定內容(即，自對準方案)來描述實施例。自對準方案

(self-alignment scheme)利用覆蓋下方材料層的導電特徵部件(conductive features)的多個遮罩層(mask layers)來保護導電特徵部件免於在接觸開口(contact opening)蝕刻製程期間意外的暴露。

【0012】 本文提出的一些實施例是以使用一閘極後製製程(gate-last process)形成的場效電晶體(field-effect transistors, FETs)進行討論。在其他實施例中，可以使用閘極先製製程(gate-first process)。再者，一些實施例考慮了使用於平面裝置例如平面場效電晶體(planar FETs)的方面，或者使用於鰭式裝置例如鰭式場效電晶體(FinFET)的方面。

【0013】 第1圖是根據本發明一些實施例的鰭式場效電晶體(FinFET)的立體圖。鰭式場效電晶體包括在基底20(例如半導體基底)上的鰭片21。隔離區(isolation regions)23設置在基底20中，且鰭片21突出於隔離區23的上方且形成於相鄰的隔離區23之間。雖然本文中是將隔離區23描述/示出為與基底20分離，但是在本文中所使用的「基底」一詞可以僅指半導體基底或是包括了隔離區半導體基底。另外，雖然所繪示的鰭片21和基底20是包含單一連續材料，但是鰭片21以及/或基底20也可以包含單一材料或者多種材料。在本文中，鰭片21是指在相鄰的隔離區23之間延伸的部分。

【0014】 一閘極介電層(gate dielectric layer)22沿著鰭片21的側壁並位於鰭片21的頂表面上方設置，且閘極電極(gate electrode)24位於閘極介電層22的上方。源極/汲極區(source/drain regions)30設置在鰭片21之相應於閘極介電層22和閘極電極24的相對兩側。第1圖還示出了在後面的圖式中所參照的剖面。參考剖面A-A是沿著閘極電極24的縱軸，並且在例如垂直於FinFET的源極/汲極區30之間的電流方向的方向上延伸。參考剖面B-B則垂直於參考剖面A-A，且參考剖面

B-B是沿著鱗片21的縱軸，並且在例如FinFET的源極/汲極區30之間的電流方向的方向上延伸。參考剖面C-C係平行於參考剖面A-A且延伸通過FinFET的一個源極/汲極區30。為清楚說明，後續圖式係參照這些剖面進行敘述。

【0015】 以下根據一些實施例提出使用一閘極後製製程(gate-last process)所形成的鱗式場效電晶體。在一些其他實施例中，可以使用一閘極先製製程(gate-first process)形成鱗式場效電晶體。再者，一些實施例考慮了使用於平面裝置中，例如平面場效電晶體(planar FETs)中的許多方面。

【0016】 參照第2圖，其繪示一基底20、虛置閘極堆疊(dummy gate stacks)28A和28B、以及源極/汲極區30。基底20可以是一半導體基底(semiconductor substrate)，例如一塊狀半導體(bulk semiconductor)、一絕緣層上覆半導體(Semiconductor-On-Insulator；SOI)基底、或其類似物，其可以是已摻雜(例如摻雜有p型或n型摻雜物)或未摻雜的基底。基底20可以是一晶圓，例如一矽晶圓。一般而言，一絕緣層上覆半導體(SOI)基底包含形成在一絕緣層上的一層半導體材料。此絕緣層可例如為一埋入式的氧化物(buried oxide，BOX)層、一氧化矽層、或類似物。將上述絕緣層形成於一基底上，上述基底通常是一矽基底或一玻璃基底。亦可使用其他基底，例如多層基底(multi-layered substrate)或漸變基底(gradient substrate)。在一些實施例中，基底20的半導體材料可包含：矽；鍺；一化合物半導體(compound semiconductor)，包含碳化矽、砷化鎵、磷化鎵、磷化銻、砷化銻及/或銻化銻；一合金半導體(alloy semiconductor)，包含SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP及/或GaInAsP；或上述之組合。

【0017】 可以在基底20中形成適當的井(wells)。例如，一P型井可以形成於基底20的第一區域，而一N型井可以形成於基底20的第二區域。

【0018】 可以使用光阻或其他遮罩(未繪示)來對不同的井類型實施不同佈植步驟。舉例來說，可以形成一光阻且圖案化光阻以露出欲被佈植的基底20的區域。可以使用一旋塗技術(*spin-on technique*)來形成光阻，並且可以使用合適的光學微影技術將光阻圖案化。當光阻圖案化後，可在露出的區域進行n型雜質及/或p型雜質之佈植，而此光阻可以作為一遮罩，以大致上防止這些雜質被佈植到遮住的區域中。n型雜質可以是磷、砷或類似的雜質佈植到第二區域中，其濃度等於或小於約 10^{18}cm^{-3} ，例如約 10^{17}cm^{-3} 至約 10^{18}cm^{-3} 。p型雜質可以是硼、 BF_2 或類似的雜質，佈植到第一區域中的濃度等於或小於約 10^{18}cm^{-3} ，例如約 10^{17}cm^{-3} 至約 10^{18}cm^{-3} 。在佈植之後，例如藉由一合適的灰化(*ashing*)製程移除光阻。

【0019】 在佈植井之後，可實施退火(*anneal*)來活化已經植入的p型雜質及/或n型雜質。在一些實施例中，基底20可包括磊晶成長區域(*epitaxially grown regions*)，此可以是成長期間以原位摻雜(*in situ doped*)而形成，而可免除佈植(*implantations*)，而原位摻雜和植入摻雜也可以一起使用。

【0020】 基底20可以包括主動裝置和被動裝置(未於第2圖中示出)。如本領域具有通常知識者可知，可以使用各種不同裝置例如電晶體、電容、電阻、前述之組合、及其類似物，以產生和符合半導體裝置在結構上和功能上的需求。這些主動裝置和被動裝置可以使用任何合適的方法形成。圖式中僅繪示基底20的一部分，因為如此足以完全的描述這些示例性之實施例。

【0021】 基底20還可包括金屬層(*metallization layers*)(未示出)。金屬層可以形成在主動和被動裝置之上，並且被設計為連接各種裝置以形成功能性電路。金屬層可以由介電質(例如低介電常數之介電材料)和導電材料(例如銅)的交替層形成，並且可以通過任何合適的製程(例如沉積、鑲嵌(*damascene*)、雙鑲嵌

(dual damascene)、或類似製程)而形成。

【0022】 在一些實施例中，基底20可具有一或多個鰭片自相鄰的隔離區之間突出且突出於隔離區的上方。例如，第2圖的剖面可以是沿著一鰭片的縱軸，例如沿著第1圖的參考剖面B-B。前述一或多個鰭片可以是以各種不同製程而形成。在一示例中，鰭片的形成可包括在基底20中蝕刻多個溝槽(trenches)以形成半導體條(semiconductor strips)；以一介電層填滿這些溝槽；以及下凹介電層使半導體條突出於介電層，而形成多個鰭片。在另一示例中，一介電層可形成於一基底的一頂表面；可以蝕刻介電層而形成複數個穿過介電層的溝槽；可以在上述溝槽內磊晶成長而形成複數個同質磊晶結構(homoepitaxial structures)；以及可以使上述介電層下凹而使上述同質磊晶結構從介電層突出，而形成多個鰭片。在另外的示例中，可以使用異質磊晶結構(heteroepitaxial structures)形成鰭片。例如，可以使半導體條下凹，然後可以在凹陷的位置上磊晶成長不同於半導體條的材料。在又一另外的示例中，可以在基底的一頂表面的上方形成一介電層；可以蝕穿上述介電層而蝕刻出複數個溝槽；可以使用不同於基底的材料以在上述溝槽內作磊晶成長而形成複數個異質磊晶結構，以及可以使上述介電層下凹而使得此些異質磊晶結構從介電層突出，以形成多個鰭片。在一些實施例中，在磊晶成長同質磊晶結構或異質磊晶結構時，所磊晶成長的材料可在成長過程進行原位摻雜(in situ doped)，如此可免除之前或之後的佈植步驟，雖然原位摻雜與佈植摻雜也可以一起進行。再者，在一NMOS區域與在一PMOS區域磊晶成長不同的材料，可帶來一些優點。在各種實施例中，鰭片21可包含矽鍺($\text{Si}_x\text{Ge}_{1-x}$ ，其中x可為約0至1)、碳化矽、純鍺或實質上的純鍺、一III-V族化合物半導體、一II-VI族化合物半導體、或類似材料。例如，用以形成III-V族化合物

半導體的可取得材料包含，但不限於，InAs、AlAs、GaAs、InP、GaN、InGaAs、InAlAs、GaSb、AlSb、AlP、GaP、及類似材料。

【0023】 閘極堆疊(gate stack)28(包括28A及28B)形成於基底20上。閘極堆疊28可包括一虛置閘極介電質(dummy gate dielectric)22、一硬質遮罩(hard mask，未示出)、以及一虛置閘極電極(dummy gate electrode)24。虛置閘極介電層(未示出)可通過熱氧化、化學氣相沉積法(CVD)、濺鍍(sputtering)、或是任何已知且在本領域中使用的其他方式，以形成一閘極介電質。在一些實施例中，虛置閘極介電層包括具有一高介電常數(k值)之介電材料，例如大於3.9。虛置閘極介電材料例如包括氮化矽、氮氧化物、金屬氧化物例如HfO₂、HfZrO_x、HfSiO_x、HfTiO_x、HfAlO_x、其類似物、或前述之組合和多層的前述材料。

【0024】 虛置閘極電極層(未示出)可以形成於虛置閘極介電層的上方。虛置閘極電極層可包含一導電材料，且可以選自由多晶矽(polysilicon)、多晶矽鍺(poly-SiGe)、金屬氮化物(metallic nitrides)、金屬矽化物(metallic silicides)、金屬氧化物(metallic oxides)和金屬所組成之群組。在一實施例中，可沉積非晶矽並進行再結晶，以形成多晶矽。可以使用物理氣相沉積法(physical vapor deposition；PVD)、化學氣相沉積法、濺鍍、或其他已知或已用來沉積導電材料的技術，而形成虛置閘極電極層。在沉積之後，虛置閘極電極層的頂表面通常具有一非平面的頂表面，並且可以平坦化此非平面的頂表面，例如在圖案化虛置閘極電極層或進行閘極蝕刻之前，通過一化學機械研磨(CMP)製程使虛置閘極電極層的頂表面平坦化。此時，離子可以被植入或可以不被植入到虛置閘極電極層中。可以通過例如離子佈植技術植入離子。

【0025】 一硬質遮罩層(未示出)可沉積在虛置閘極電極層的上方。硬質遮

罩層可由SiN、SiON、SiO₂、類似材料、或前述之組合所製得。然後對硬質遮罩層進行圖案化。可以通過在硬質遮罩層上沉積例如光阻的遮罩材料(未示出)來完成硬質遮罩層的圖案化。然後，對遮罩材料進行圖案化，且並根據此圖案而對硬質遮罩層進行圖案化，而形成硬質遮罩(hard masks)。虛置閘極電極層和虛置閘極介電質可以被圖案化而分別形成虛置閘極電極24和虛置閘極介電質22。可以通過使用前述硬質遮罩作為一圖案並蝕刻虛置閘極電極層和虛置閘極電介層以形成閘極堆疊28，以完成閘極圖案化製程。

【0026】 在形成閘極堆疊28後，可於基底20內形成源極/汲極區(source/drain regions)30。可以通過進行一佈植製程而對源極/汲極區30進行摻雜，以植入適當的摻質。在另外的實施例中，源極/汲極區30可以通過在基底20中形成凹陷(未示出)，以及在這些凹陷中磊晶成長材料而形成。磊晶源極/汲極區30可以是通過如上討論的一佈植方法、或者是在材料成長期間進行原位摻雜(in situ doped)而形成。在此實施例中，磊晶源極/汲極區30可包含任何可接受的材料，例如適用於n型鰭式場效電晶體及/或p型鰭式場效電晶體的材料。舉例來說，在一n型鰭式場效電晶體之結構中，若基底20的材料是矽，則磊晶源極/汲極區30可包含矽、SiC、SiCP、SiP、或其類似物質。舉例來說，在一p型鰭式場效電晶體之結構中，若基底20的材料是矽，則磊晶源極/汲極區30可包含SiGe、SiGeB、Ge、GeSn、或其類似物質。磊晶源極/汲極區30的表面係可分別高於基底之頂表面，且具有刻面(facets)。

【0027】 在一實施例中，閘極堆疊28及源極/汲極區30可形成電晶體，例如金屬氧化物半導體場效電晶體(metal-oxide-semiconductor FETs，MOSFETs)。在這些實施例中，MOSFETs可以用來形成一p型金屬氧化物半導體(PMOS)結構

或者一n型金屬氧化物半導體(NMOS)結構。在一PMOS結構中，基底20係摻雜有n型摻質，而源極/汲極區30則摻雜有p型摻質。在一NMOS結構中，基底20係摻雜有p型摻質，而源極/汲極區30則摻雜有n型摻質。

【0028】 閘極間隔物(gate spacers)26形成在閘極堆疊28的相對側上。通過在先前形成的閘極堆疊28上毯覆式的沉積一間隔物層(spacer layer)(未示出)，可形成閘極間隔物26。在一實施例中，閘極間隔物26包括一間隔物襯層(spacer liner)，或是稱為閘極密封間隔物(gate seal spacer)。間隔物襯層可以由SiN、SiC、SiGe、氮氧化物、氧化物、其類似物、或前述之組合而製成。間隔物層可包括SiN、氧氮化物、SiC、SiON、氧化物、前述之組合、或其類似物，並且可以通過例如化學氣相沉積(chemical vapor deposition，CVD)、電漿輔助化學氣相沉積(plasma enhanced CVD，PECVD)、低壓化學氣相沉積(LPCVD)、原子層沉積(atomic layer deposition，ALD)、濺鍍、類似製程、或前述之組合而形成。然後，例如通過一非等向性蝕刻(anisotropic etch)來圖案化閘極間隔物26，以從水平表面(例如，閘極堆疊28的頂表面和基底20的頂表面)去除間隔物層。

【0029】 在另一實施例中，源極/汲極區30(source/drain regions 30)可包括一輕摻雜區(lightly doped region)(有時稱為一LDD區)以及一重摻雜區。在此實施例中，在形成閘極間隔物26之前，可使用閘極堆疊28作為遮罩，並以一佈植製程對源極/汲極區進行輕摻雜。在形成閘極間隔物26之後，可使用閘極堆疊28以及閘極間隔物26作為遮罩，並以一佈植製程對源極/汲極區30進行重摻雜。如此可形成輕摻雜區及重摻雜區。輕摻雜區主要是位於閘極間隔物26的下方，而重摻雜區則位於閘極間隔物26之外並沿著基底20設置。

【0030】 如第2圖所示，閘極堆疊28B的寬度大於虛置閘極堆疊28A的寬

度。另外，虛置閘極堆疊28B與最接近的虛置閘極堆疊28A之間的節距(pitch)大於虛置閘極堆疊28A之間的節距。這些不同類型的閘極堆疊28的位置係用於示出所揭露的實施例的多種配置，而各種閘極堆疊的位置並不限於這些確切繪製的位置。

【0031】 第3圖示出了在基底20、閘極堆疊28、閘極間隔物26和源極/汲極區30上方形成一蝕刻停止層(etch stop layer)32。蝕刻停止層32可以順應性地沉積於基底20上的部件上方。在一些實施例中，蝕刻停止層32可以是氮化矽、碳化矽、氧化矽、低介電常數介電質例如碳摻雜的氧化物、極低介電常數介電質例如多孔碳摻雜二氧化矽、其類似物、或前述材料之組合。再者，可通過CVD、PVD、ALD、旋塗式介電質製程(spin-on-dielectric process)、其類似製程、或前述製程之組合沉積介電材料，而形成蝕刻停止層32。

【0032】 在第4圖中，一層間介電質(interlayer dielectric, ILD)34沉積在如第2圖所示的結構上。在一個實施例中，層間介電質34是通過流動式化學氣相沉積形成的一可流動膜。在一些實施例中，層間介電質34由例如氧化矽、磷矽玻璃(PSG)、硼矽玻璃(BSG)、硼摻雜磷矽玻璃(BPSG)、未摻雜矽酸鹽玻璃(USG)、低介電常數介電質例如碳摻雜氧化物、極低介電常數介電質例如多孔碳摻雜二氧化矽、聚合物例如聚醯亞胺(polyimide)、其類似材料、或前述材料之組合。低介電常數介電質材料可以具有小於3.9的k值。可以通過任何合適的方法來沉積層間介電質34，例如通過化學氣相沉積(CVD)、原子層沉積(ALD)、旋塗式介電質(spin-on-dielectric, SOD)製程、其類似方法、或前述方法之組合。

【0033】 再者，在第4圖中，可以進行例如化學機械研磨(CMP)製程的平坦化製程，以使層間介電質34的頂表面34S與虛置閘極電極24的頂表面24S和蝕

刻停止層32的頂表面32S齊平。如果有硬質遮罩存在於虛置閘極電極24之上，則化學機械研磨(CMP)製程也可以去除硬質遮罩，因此，虛置閘極電極24的頂表面24S通過層間介電質34而露出。

【0034】 在第5圖中，可通過一或多個蝕刻步驟以去除虛置閘極電極24和位於虛置閘極電極24下方的虛置閘極介電質22，從而形成了凹部36。在形成MOSFET的實施例中，每個凹部36係露出相應的場效電晶體的通道區(channel region)。每個通道區設置在相鄰的一對源極/汲極區30之間。在去除期間，當蝕刻虛置閘極電極24時，虛置閘極介電質22可以作為一蝕刻停止層。然後可以在去除虛置閘極電極24之後去除虛置閘極介電質22。凹部36是由基底20的露出表面20S和閘極間隔物26露出的內側表面(exposed inner surfaces)26S所定義。

【0035】 第6圖中，閘極介電層38及閘極電極40係形成替換閘極(replacement gates)。閘極介電層38是順應性地沉積於凹部36內，例如沉積在基底的頂面與閘極間隔物26的側壁上，以及沉積在層間介電質34的頂面上。根據一些實施例，閘極介電層38包括氧化矽、氮化矽或如上述材料構成的多層結構。在其他實施例中，閘極介電層38包含一高介電常數介電材料(high-k dielectric material)，而且在這些實施例中，閘極介電層38可具有大於約7.0的介電常數(k)值，且可包含一金屬氧化物、或者包含鈰(Hf)、鋁(Al)、鋯(Zr)、鏷(La)、鎂(Mg)、鋇(Ba)、鈦(Ti)、鉛(Pb)、或上述之組合的矽酸鹽。閘極介電層38的形成方法可包含分子束沉積(Molecular-Beam Deposition, MBD)、原子層沉積(ALD)、電漿輔助化學氣相沉積(PECVD)、及類似之沉積方式。

【0036】 接著，分別在閘極介電層38的上方沉積閘極電極40，並填充凹部36的剩餘部分。閘極電極40可由一含金屬材料(metal-containing material)製成，

例如氮化鈦(TiN)、氮化鉭(TaN)、碳化鉭(TaC)、鈷(Co)、鈳(Ru)、鋁(Al)、上述材料之組合、或上述材料之多層結構。在填充閘極電極40之後，可進行一平坦化製程(planarization process)，例如一化學機械研磨(CMP)製程，以去除閘極介電層38及閘極電極40的材料的多餘部分，此多餘的部分是指在層間介電質34的頂面上方的部分。閘極電極40及閘極介電層38的材料所留下的部分，則形成替換閘極42。

【0037】 在基底20上具有NMOS和PMOS裝置的一互補式金屬氧化物半導體(CMOS)的實施例中，可以在PMOS區域和NMOS區域中同時形成閘極介電層38，使得在基底中PMOS和NMOS兩個區域的閘極介電層38由相同的材料製成，並且可以在PMOS區域和NMOS區域中同時形成閘極電極40，使得PMOS和NMOS兩個區域中的閘極電極40均由相同的材料製成。然而，在其他實施例中，可以通過不同的製程形成NMOS區域和PMOS區域中的閘極介電層38，使得NMOS區域和PMOS區域中的閘極介電層38可以由不同的材料製成，並且NMOS區域和PMOS區域中的閘極電極40可以通過不同的製程形成，使得NMOS區域和PMOS區域中的閘極電極40可以由不同的材料製成。當使用不同的製程時，可以使用各種遮罩步驟以遮蔽和露出適當的區域。

【0038】 在第7圖中，在蝕刻步驟中使閘極電極40和閘極介電層38下凹，而形成凹部(recesses)44。凹部44可允許隨後在凹部44內形成硬質遮罩(hard masks)以保護替換閘極42。此些凹部44係分別由閘極間隔物26之露出的內側表面26S、以及閘極電極40和閘極介電層38的凹入的頂表面40S和38S所定義。

【0039】 此外，凹部44的底表面可具有如圖所示的平坦表面、凸表面(convex surface)，凹表面(concave surface)(例如凹陷的表面)、或前述狀態之組合。

凹部44的底表面可以通過適當的蝕刻而形成平坦的、凸的、及/或凹的底表面。可以使用可接受的蝕刻製程，例如對閘極電極40和閘極介電層38的材料具有選擇性的蝕刻製程，來使閘極電極40和閘極介電層38凹陷。

【0040】 在第8圖中，在層間介電質34上方以及在閘極電極40和閘極介電質38上方的凹部44內形成一第一硬質遮罩層(first hard mask layer)46。第一硬質遮罩層46可以由SiN、SiON、SiO₂、類似材料、或前述材料之組合所製成。第一硬質遮罩層46可以通過化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋塗式介電質(spin-on-dielectric, SOD)製程、類似製程、或前述製程之組合而形成。

【0041】 第9圖繪示出下凹第一硬質遮罩層46以形成凹部50。下凹第一硬質遮罩層46、蝕刻停止層32和閘極間隔物26，使得第一硬質遮罩層46的頂表面46S、蝕刻停止層32的頂表面32S和閘極間隔物26的頂表面26T皆在層間介電質34的頂表面34S之下。

【0042】 此外，凹部50的底表面可具有如圖所示的平坦表面、凸表面、凹表面(例如凹陷表面)、或前述表面之組合。凹部50的底表面可以通過適當的蝕刻而形成為平坦的、凸的、及/或凹的表面。通過使用可接受的蝕刻製程，例如是對第一硬質遮罩層46、蝕刻停止層32和閘極間隔物26的材料具有選擇性的蝕刻製程，來使第一硬質遮罩層46凹陷。例如，蝕刻製程可包括使用一電漿，且從蝕刻氣體形成一反應性物質。在一些實施例中，電漿可以是一遠距電漿(remote plasma)。在一些實施例中，蝕刻氣體可以包括碳氟化學物質，例如CH₃F/CH₂F₂/CHF₃/C₄F₆/CF₄/C₄F₈以及 NF₃/O₂/N₂/Ar/H₂/CH₄/CO/CO₂/COS、其類似物、或前述氣體之組合。在一些實施例中，可以以約5 sccm至約1000 sccm的

總氣體流量將蝕刻氣體供應到蝕刻室。在一些實施例中，在蝕刻製程期間，蝕刻室的壓力為約10毫托(mtorr)至約50毫托。在一些實施例中，蝕刻氣體可包含約5%至約95%的氫氣。在一些實施例中，蝕刻氣體可包括約5%至約95%之間的惰性氣體。

【0043】 在另外的實施例中，可以是使用例如磷酸(H_3PO_4)、或類似物質的一合適蝕刻劑進行濕式蝕刻。在這樣的實施例中，可以使用另一圖案化的遮罩(未示出)於層間介電質34之上，以在蝕刻製程期間保護層間介電質34。隨著第一硬質遮罩層46被蝕刻而厚度減少，可能會從閘極電極40上方的第一硬質遮罩層46向外進行側向蝕刻(lateral etch)，而去除閘極間隔物26和蝕刻停止層32的暴露部分。在一些實施例中，側向蝕刻可以部分地繼續進入層間介電質34的側壁。

【0044】 在第10圖中，在第一硬質遮罩層46、閘極間隔物26、蝕刻停止層32和層間介電質34的上方以及凹部50內，形成第二硬質遮罩層(second hard mask layer)52。第二硬質遮罩層52在後續的自對準接觸蝕刻(self-aligned contact etching)(請參見第13圖)期間可以為第一硬質遮罩層46、閘極間隔物26和蝕刻停止層32提供保護，以確保自對準接觸件(self-aligned contact)不會使其中一個閘極電極40與對應的源極/汲極區30短路，並減少自對準接觸件和閘極電極40之間的漏電流。第二硬質遮罩層52可以由氧化矽、氮化矽、金屬、金屬氧化物、金屬氮化物、金屬碳化物、純矽、其類似材料、或前述材料之組合所製成。一些關於金屬氧化物、金屬氮化物和金屬碳化物的例子包括TiO、HfO、AlO、ZrO、ZrN、WC、其類似材料、或前述材料之組合。

【0045】 第二硬質遮罩層52的材料組成與第一硬質遮罩層46的材料不同。當用於自對準接觸件的凹部形成時(參見第13圖)，第一硬質遮罩層46的蝕刻

選擇性是低的。因此，對於蝕刻用來設置自對準接觸件的凹部的期間，選擇具有高蝕刻選擇性的材料形成第二硬質遮罩層52可對於位在閘極電極40上方的保護層造成較少程度的劣化。例如，在一些實施例中，第一硬質遮罩層46的蝕刻選擇性的比值可以小於8，而第二硬質遮罩層52的蝕刻選擇性的比值可以大於15。使用第二硬質遮罩層52可增加對閘極電極40的保護。第二硬質遮罩層52可以通過化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋塗式介電質(spun-on-dielectric, SOD)製程、類似製程、或前述製程之組合而形成。

【0046】 在第11圖中，可以進行例如化學機械研磨(CMP)製程的平坦化製程以使層間介電質34的頂表面34S與第二硬質遮罩層52的頂表面52S齊平。因此，層間介電質34的頂表面34S被暴露出來。在平坦化之後，第二硬質遮罩層52的厚度可以在約0.5 nm與約10 nm之間，例如約5 nm。

【0047】 在第12圖中，層間介電質54沉積在第11圖所示的結構上。在一實施例中，層間介電質54是通過流動式化學氣相沉積而形成的一可流動膜。在一些實施例中，層間介電質54由例如氧化矽、磷矽玻璃(PSG)、硼矽玻璃(BSG)、硼摻雜磷矽玻璃(BPSG)、未摻雜矽酸鹽玻璃(USG)、低介電常數介電質例如碳摻雜氧化物、極低介電常數介電質例如多孔碳摻雜二氧化矽、一聚合物例如聚醯亞胺(polyimide)、其類似材料、或前述材料之組合所製成。低介電常數介電質材料可以具有小於3.9的k值。可以通過任何合適的方法來沉積層間介電質54，例如通過化學氣相沉積(CVD)、原子層沉積(ALD)、旋塗式介電質(spun-on-dielectric, SOD)製程、其類似方法、或前述方法之組合來沉積層間介電質54。在一些實施例中，層間介電質54通過化學機械研磨(CMP)製程或蝕刻製程被平坦化，以形成基本上平坦的頂表面。

【0048】 再者，於第12圖中，係在層間介電質54上方形成一硬質遮罩層56並對其進行圖案化。硬質遮罩層56可以由SiN、SiON、SiO₂、TiN、TaN、WC、金屬氧化物、其類似物、或前述材料之組合製成。可以通過通過化學氣相沉積(CVD)、原子層沉積(ALD)、旋塗式介電質(SOD)製程、其類似方法、或前述方法之組合來形成硬質遮罩層56。然後，對硬質遮罩層56進行圖案化。可以通過在硬質遮罩層56上沉積例如一光阻的遮罩材料(未示出)來完成硬質遮罩層56的圖案化。然後對遮罩材料進行圖案化，並且根據圖案化遮罩材料的圖案而蝕刻硬質遮罩層56，以形成一硬質遮罩層56。

【0049】 第13圖示出了穿過層間介電質54和層間介電質34而形成的開口58，其使用圖案化的硬質遮罩層56作為一遮罩以露出基底20的一部分。在所示的實施例中，開口58露出了源極/汲極區30的部分表面30S。雖然開口58的部分是在閘極堆疊42的頂表面上方延伸，但是第二硬質遮罩層52和蝕刻停止層32將相鄰的閘極堆疊42之間的開口58自對準至基底20。可以通過使用可接受的蝕刻技術而形成開口58。在一實施例中，開口58係通過一非等向性乾式蝕刻製程(anisotropic dry etch process)而形成。例如，蝕刻製程可以包括使用一反應氣體進行乾式蝕刻，而此反應氣體可以選擇性的蝕刻層間介電質54和層間介電質34，但不蝕刻第二硬質遮罩層52。如上所述，第二硬質遮罩層52的蝕刻選擇比(etch selectivity ratio)可以大於15，而第一硬質遮罩層46的蝕刻選擇比可以小於8。如此，若沒有第二硬質遮罩層52，則在形成開口58期間將蝕刻第一硬質遮罩層46，並且可能隨後引起從閘極電極40到之後形成的接觸件之間的漏電流或短路。

【0050】 形成開口58的蝕刻製程可以包括使用一電漿而自一蝕刻氣體形成反應性物質(reactive species)。在一些實施例中，電漿可以是一遠距電漿(remote

plasma)。在一些實施例中，蝕刻氣體可以包括碳氟化學物質，例如 $\text{CH}_3\text{F}/\text{CH}_2\text{F}_2/\text{CHF}_3/\text{C}_4\text{F}_6/\text{CF}_4/\text{C}_4\text{F}_8$ 以及 $\text{NF}_3/\text{O}_2/\text{N}_2/\text{Ar}/\text{H}_2/\text{CH}_4/\text{CO}/\text{CO}_2/\text{COS}$ 、其類似物、或前述氣體之組合。在一些實施例中，可以以約 5 sccm 至約 1000 sccm 的總氣體流量將蝕刻氣體供應到蝕刻室。在一些實施例中，在蝕刻製程期間，蝕刻室的壓力為約 10 毫托 (mtorr) 至約 50 毫托。由於第二硬質遮罩層 52 的高蝕刻選擇性，第二硬質遮罩層 52 可如同一蝕刻停止層的作用，可有利地防止蝕刻製程對下方部件 (例如，閘極間隔物 26、第一硬質遮罩層 46 和閘極堆疊 42) 的損傷。若缺少了第二硬質遮罩層 52，則閘極間隔物 26、第一硬質遮罩層 46 和閘極堆疊 42 可能會由於蝕刻製程而被無意的損壞。在一些實施例中，用於自對準開口 (self-aligned opening) 58 的蝕刻製程可以去除第二硬質遮罩層 52 的一些上方部份，但是沒有完全蝕穿第二硬質遮罩層 52，使得第一硬質遮罩層 46、閘極間隔物 26、和蝕刻停止層 32 的被覆蓋部分，在蝕刻製程中可以得到保護。如第 13 圖所示，第二硬質遮罩層 52 的不在開口 58 中的其他部分則未被蝕刻。因此，在蝕刻製程之後，第二硬質遮罩層 52 可以在閘極電極上方具有不同的高度。

【0051】 第 14 圖繪示出了在開口 58 中形成一導電層 60。開口 58 中的導電層 60 接觸基底 20 的露出表面，且導電層 60 沿著蝕刻停止層 32、層間介電質 34 和層間介電質 54 的露出表面，以及沿著第二硬質遮罩層 52 的頂表面而設置。在所示的實施例中，開口 58 中的導電層 60 係接觸源極/汲極區 30 的露出表面。

【0052】 在一些實施例中，導電層 60 包括一阻障層 (barrier layer) 61。阻障層 61 有助於阻擋後續形成的導電層 60 擴散到相鄰的介電材料例如層間介電質 34 和層間介電質 54 中。阻障層 61 可以由鈦、氮化鈦、鉭、氮化鉭、錳、氧化錳、鈷、氧化鈷、氮化鈷、鎳、氧化鎳、氮化鎳、碳化矽、氧摻雜碳化矽、氮摻雜

碳化矽、氮化矽、氧化鋁、氮化鋁、氮氧化鋁、聚合物(例如聚醯亞胺(polyimide))，聚苯並噁唑(polybenzoxazole，PBO)、其類似物、或前述之組合而製成。阻障層 61 可以通過化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋塗式介電質(SOD)製程、類似製程、或前述製程之組合而形成。在一些實施例中，阻障層 61 係被省略。

【0053】 導電層 60 可以是由鎢、銅、鋁、其類似物、或前述材料之組合而製成。可以通過一沉積製程，例如電化學鍍(electrochemical plating)、物理氣相沉積(PVD)、化學氣相沉積(CVD)、類似製程、或前述製程之組合，而形成導電層 60。在一些實施例中，導電層 60 形成在一含銅晶種層(copper containing seed layer)，例如在 AlCu 之上。

【0054】 在一些實施例中，導電層 60 係形成為具有覆蓋層間介電質 54 的頂表面的過量材料。在這些實施例中，導電層 60 可經由一研磨製程(grinding process) 例如 CMP 製程而被平坦化，而在開口 58 中形成導電部件(conductive features) 601、602 和 603。在一些實施例中，在平坦化製程之後，導電部件 601、602 和 603 的頂表面係與層間介電質 54 的頂表面齊平。

【0055】 第 15 圖繪示可在第一硬質遮罩層 46 的頂表面上方的水平處去除層間介電質 54、第二硬質遮罩層 52、以及層間介電質 34 和導電層 60 的部分。此去除製程係通過一種或多種蝕刻製程以及/或研磨製程例如 CMP 製程而進行。在此去除製程之後，導電層 60 可分離成導電部件 601、602 和 603。此外，在去除製程之後，導電部件 601、602 和 603 的頂表面係與層間介電質 34 和第一硬質遮罩層 46 的頂表面齊平。

【0056】 第 16 圖繪示出在第 15 圖的結構上方形成一蝕刻停止層 62。蝕刻停

止層62形成於層間介電質34、蝕刻停止層32、第一硬質遮罩層46和閘極間隔物的上方。蝕刻停止層62可以順應性的沉積在這些部件上。在一些實施例中，蝕刻停止層62可以是氮化矽、碳化矽、氧化矽、低介電常數介電質例如碳摻雜氧化物、極低介電常數介電質例如多孔碳摻雜二氧化矽、其類似材料、或前述材料之組合。然後通過化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋塗式介電質(SOD)製程、其類似方法、或前述方法之組合來沉積。

【0057】 再者，於第16圖中，一層間介電質64係沉積在蝕刻停止層62上。在一個實施例中，層間介電質64是通過流動式化學氣相沉積而形成的一可流動膜。在一些實施例中，層間介電質64由例如氧化矽、磷矽玻璃(PSG)、硼矽玻璃(BSG)、硼摻雜磷矽玻璃(BPSG)、未摻雜矽酸鹽玻璃(USG)、低介電常數介電質例如碳摻雜氧化物、極低介電常數介電質例如多孔碳摻雜二氧化矽、一聚合物例如聚醯亞胺(polyimide)、其類似材料、或前述材料之組合所製成。低介電常數介電質材料可以具有小於3.9的k值。可以通過任何合適的方法來沉積層間介電質64，例如通過化學氣相沉積(CVD)、原子層沉積(ALD)、旋塗式介電質(spin-on-dielectric, SOD)製程、其類似方法、或前述方法之組合，以沉積層間介電質64。

【0058】 再者，於第16圖中，係穿過層間介電質64和蝕刻停止層62而形成接觸件661、662和663(共同稱為導電層66)，接觸件661、662和663可電性接觸和物理性接觸相應的導電部件601、602和603。可以通過使用可接受的蝕刻技術來形成用來設置接觸件661、662和663的開口。在一實施例中，係以一非等向性乾式蝕刻製程(anisotropic dry etch process)形成這些開口。這些開口填充有導電層66的材料。

【0059】 在一些實施例中，可以沉積一襯層65(liner layer)以襯裡式的位於開口中。襯層65可以提供保護，以避免後續形成閘極接觸(見第30圖)時造成損害。襯層65可以順應性的沉積在層間介電質64上方和導電層66的開口中。在一些實施例中，襯層65可以是氮化矽、碳化矽、氧化矽、低介電常數介電質例如碳摻雜氧化物、極低介電常數介電質例如多孔碳摻雜二氧化矽、其類似材料、或前述材料之組合。並且可以通過化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋塗式介電質(SOD)製程、類似製程、或前述製程之組合來沉積襯層65。在形成襯層65之後，可以使用一非等向性蝕刻製程(anisotropic etching process)去除襯層65的底部，以露出導電部件601、602和603的上表面。

【0060】 在一些實施例中，導電層66包括阻障層(未示出)。阻障層有助於阻擋後續形成的導電層66擴散到相鄰的介電材料中，例如擴散到層間介電質64和蝕刻停止層62中。阻障層可以由鈦、氮化鈦、鈮、氮化鈮、錳、氧化錳、鈷、氧化鈷、氮化鈷、鎳、氧化鎳、氮化鎳、碳化矽、氧摻雜碳化矽、氮摻雜碳化矽、氮化矽、氧化鋁、氮化鋁、氮氧化鋁、聚合物(例如聚醯亞胺(polyimide))，聚苯並噁唑(polybenzoxazole, PBO)、其類似物、或前述之組合而製成。阻障層可以通過化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋塗式介電質(SOD)製程、類似製程、或前述製程之組合而形成。在一些實施例中，阻障層係被省略。

【0061】 導電層66可以是由鎢、銅、鋁、其類似物、或前述材料之組合而製成。可以通過一沉積製程，例如電化學鍍(electrochemical plating)、物理氣相沉積(PVD)、化學氣相沉積(CVD)、類似製程、或前述製程之組合，而形成導電層66。在一些實施例中，導電層66形成在一含銅晶種層(copper containing seed

layer)，例如在AlCu之上。

【0062】 在一些實施例中，導電層66係形成為具有覆蓋層間介電質64的頂表面的過量材料。在這些實施例中，導電層66可經由一研磨製程(grinding process)例如CMP製程而被平坦化，而形成導電部件接觸件661、662和663。在一些實施例中，在平坦化製程之後，導電部件接觸件661、662和663的頂表面在平面化製程之後係與層間介電質64的頂表面齊平。

【0063】 第17圖至第24圖示出了根據一些實施例的形成自對準接觸件的中間步驟。第17圖所示的結構是由上面關於第2圖至第8圖描述的製程，再經過額外的製程而得到的。第17圖示出了使第8圖的第一硬質遮罩層46下凹以形成凹部50。使第一硬質遮罩層46、蝕刻停止層32和閘極間隔物26凹陷，以使得第一硬質遮罩層46、蝕刻停止層32和閘極間隔物26的凹陷的頂表面46S、32S和26T分別在層間介電質34的頂表面34S之下方。

【0064】 此外，凹部50的底表面可具有如圖所示的平坦表面、凸表面、凹表面(例如凹陷表面)、或前述表面之組合。凹部50的底表面可以通過適當的蝕刻而形成為平坦的、凸的、及/或凹的表面。通過使用可接受的蝕刻製程，例如是對第一硬質遮罩層46、蝕刻停止層32和閘極間隔物26的材料具有選擇性的蝕刻製程，來使第一硬質遮罩層46凹陷。例如，蝕刻製程可包括使用一電漿，且從蝕刻氣體形成一反應性物質。在一些實施例中，電漿可以是一遠距電漿(remote plasma)。在一些實施例中，蝕刻氣體可以包括碳氟化學物質，例如CH₃F/CH₂F₂/CHF₃/C₄F₆/CF₄/C₄F₈以及 NF₃/O₂/N₂/Ar/H₂/CH₄/CO/CO₂/COS、其類似物、或前述氣體之組合。在一些實施例中，可以以約5 sccm至約1000 sccm的總氣體流量將蝕刻氣體供應到蝕刻室。在一些實施例中，在蝕刻製程期間，蝕

刻室的壓力為約10毫托(mtorr)至約50毫托。在一些實施例中，蝕刻氣體可包含約5%至約95%的氫氣。在一些實施例中，蝕刻氣體可包括約5%至約95%之間的惰性氣體。

【0065】 在另外的實施例中，可以是使用例如磷酸(H_3PO_4)、或類似物質的一合適蝕刻劑進行濕式蝕刻。在這樣的實施例中，可以使用另一圖案化的遮罩(未示出)於層間介電質34之上，以在蝕刻製程期間保護層間介電質34。隨著第一遮罩層46被蝕刻而厚度減少，可能會從閘極電極40上方的第一遮罩層46向外進行側向蝕刻(lateral etch)，而去除閘極間隔物26和蝕刻停止層32的暴露部分。在一些實施例中，側向蝕刻可以部分地繼續進入層間介電質34的側壁。

【0066】 此外，可以通過延長對這些閘極間隔物26(以及在一個實施例中的蝕刻停止層32)的蝕刻及/或改變蝕刻氣體或製程條件，從而使閘極間隔物26(以及在一個實施例中的蝕刻停止層32)的露出的上表面下凹，使這些上表面低於第一硬質遮罩層46的上表面。在一些實施例中，第一硬質遮罩層46的上表面與閘極間隔物26的上表面之間的距離可以在約0.5nm至約10nm之間，例如約4nm。使閘極間隔物26的上表面凹陷可以為後續形成的第二硬質遮罩層提供空間，且此空間包圍第一硬質遮罩層46的上方部份，以對第一硬質遮罩層46和在第一硬質遮罩層46下面的閘極電極40提供額外的保護。

【0067】 在第18圖中，在第一硬質遮罩層46、閘極間隔物26、蝕刻停止層32和層間介電質34上方以及凹部50內形成第二硬質遮罩層52。第18圖與第10圖相似，在第18圖中與第10圖相同的元件標號係用來表示使用相同製程形成的相同元件。

【0068】 在第19圖中，可以進行例如化學機械研磨(CMP)製程的平坦化製

程，以使層間介電質34的頂表面34S與第二硬質遮罩層52的頂表面52S齊平。因此，層間介電質的頂表面34S被暴露出來。在平坦化之後，在第一硬質遮罩層46上方的第二硬質遮罩層52的厚度可以在大約0.5nm至大約10nm之間，例如大約5nm。如此，由於第二硬質遮罩層52沿著第一硬質遮罩層46的側壁有向下延伸的外支腳(outer legs)，在閘極隔離物26上方的第二硬質遮罩層52的厚度可在大約1nm至大約20nm之間，例如大約9nm。

【0069】 在第20圖中，在第19圖所示的結構上沉積一層間介電質54，並且在層間介電質54上方形成一硬質遮罩層56並且圖案化硬質遮罩層56。第20圖類似於第12圖，其中相似的元件標號指示使用相似的製程形成的相似的元件。

【0070】 第21圖示出了使用圖案化的硬質遮罩層56作為一遮罩，形成穿過層間介電質54和穿過層間介電質34的開口58，以暴露出部分的基底20。第21圖類似於第13圖，其中相似的元件標號表示使用相似製程形成的相似元件。然而，值得注意的是，比如如第13圖所示之第二硬質遮罩層52，如第21圖所示之第二硬質遮罩層52係具有向下延伸的支腳，而可以對第一硬質遮罩層46提供更好的保護。

【0071】 第22圖示出了在開口58中形成導電層60。第22圖類似於第14圖，其中相同的元件標號表示使用相同的製程形成的相同元件。

【0072】 第23圖示出了去除第一硬質遮罩層46之頂表面上方的層間介電質54、部分的第二硬質遮罩層52和層間介電質34、以及導電層60，以與第一硬質遮罩層46的頂表面齊平。可以通過一種或多種蝕刻製程及/或例如化學機械研磨(CMP)製程的研磨製程來進行上述去除製程。在去除製程之後，導電層60可分離成導電部件601、602和603。此外，在去除製程之後，導電部件601、602和603

的頂表面係與層間介電質34和第一硬質遮罩層46的頂表面齊平。在一些實施例中，如第23圖所示，部分的第二硬質遮罩層52可以在第一硬質遮罩層46的任一側上、在閘極間隔物26的上表面之上以及在蝕刻停止層32的上表面之上。在其他實施例中，可以通過第23圖的去掉製程來去除第二硬質遮罩層52的這些部分，亦即，去除第一硬質遮罩層46和第二硬質遮罩層52，直到完全去除第二硬質遮罩層52為止。

【0073】 第24圖示出了在第23圖的結構上方形成蝕刻停止層62的情況。此外，在第24圖中，層間介電質64沉積在蝕刻停止層62之上，並且形成接觸件(contacts)661、662和663穿過層間介電質64和蝕刻停止層62，而電性接觸和物理性接觸相應的導電部件601、602和603。第24圖與第16圖相似，其中相同的元件標號用以表示使用相同製程形成的相同元件。

【0074】 第25圖至第31圖示出了在後續形成閘極接觸件(gate contacts)的製程期間，在接觸件661、662和663的上方形成一遮罩層以保護接觸件661、662和663的製程。第25圖至第31圖所示的製程是基於第16圖所示之結構，但可理解的是，也可以對第24圖所示的結構進行此製程。在第25圖中，使接觸件661、662和663的上表面向下凹陷。可以使用適當的蝕刻技術使接觸件661、662和663凹陷，以去除接觸件661、662和663的一部分導電材料並形成凹部70。

【0075】 在第26圖中，在層間介電質64上方以及在接觸件661、662和663上方的凹部70內形成一第一硬質遮罩層72。第一硬質遮罩層72可以由氮化矽、氮氧化矽、氧化矽、其類似材料、或前述材料之組合。第一硬質遮罩層72可以通過化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋塗式介電質(spin-on-dielectric，SOD)製程、類似製程、或前述製程之組合而形成。

【0076】 在第27圖中，可以使第一硬質遮罩層72下凹以形成凹部74。凹部74的底表面可以具有如圖所示的平坦表面、凸表面、凹表面(例如凹陷表面)、或前述表面之組合。凹部74的底表面可以通過適當的蝕刻而形成為平坦的、凸的、及/或凹的表面。通過使用可接受的蝕刻製程，例如是對第一硬質遮罩層72的材料具有選擇性的蝕刻製程，來使第一硬質遮罩層72凹陷。可以使用如上述關於第一硬質遮罩層46的製程和材料相似的製程和材料來進行第一硬質遮罩層72的蝕刻。

【0077】 在第28圖中，在凹部74內的第一硬質遮罩層72上方形成一第二硬質遮罩層76。在形成自對準閘極接觸件期間，第二硬質遮罩層76為接觸件661、662和663提供了保護，以避免閘極接觸件與接觸件661、662和663形成短路。第二硬質遮罩層76可以使用與上述關於第10圖的第二硬質遮罩層52提出的材料和製程相似的材料和製程。

【0078】 在第29圖中，例如，可以使用一平坦化製程使第二硬質遮罩層76凹陷，使得第二硬質遮罩層76的上表面與層間介電質64的上表面齊平。

【0079】 在第30圖中，一層間介電質78沉積在層間介電質64上方並圖案化，以在其中形成用於設置閘極接觸件80的開口。應可理解的是，雖然閘極接觸件80具有如圖式之剖面，但是閘極接觸件80也可以是具有不同剖面。如第30圖所示，第二硬質遮罩76可避免所形成的開口會暴露出接觸件662。隨後形成閘極接觸件80，可能有一部分的第二硬質遮罩76會嵌入閘極接觸件80中。在形成設置閘極接觸件80的開口期間，襯層65還可以為接觸件662提供側壁保護(sidewall protection)。

【0080】 可以使用任何合適的製程來形成閘極接觸件80。例如，可以使用

與上述關於形成接觸件661、662和663所提出的製程和材料相似的製程和材料來形成閘極接觸件80。還可理解的是，第30圖僅是示例性的，並且可以有其他的閘極接觸件同時形成。如第30圖所示，類似於上述關於形成接觸件661、662和663所提出的，也可以使用一襯層65。

【0081】 在一些實施例中，閘極接觸件80係形成為具有過量材料覆蓋層間介電質78的頂表面。在這些實施例中，閘極接觸件80通過例如化學機械研磨(CMP)製程的一研磨製程被平坦化，以形成個別的閘極接觸件。在一些實施例中，在平坦化製程之後，閘極接觸件80的頂表面與層間介電質78的頂表面齊平。

【0082】 第31圖示出了去除層間介電質78、第二硬質遮罩層76、第一硬質遮罩層72、層間介電質64的一部分、以及閘極接觸件80的上方部份，以使層間介電質64的上表面與接觸件661、662和663的上表面齊平。可以通過一個或多個蝕刻製程及/或例如化學機械研磨(CMP)製程的研磨製程來進行此去除步驟。

【0083】 本揭露之實施例係提供一種自對準接觸件的形成製程，其利用可以保護第一硬質遮罩層的一第二硬質遮罩層。第二硬質遮罩層具有比第一硬質遮罩層更大的蝕刻選擇性，因此在形成自對準接觸件的開口(self-aligned contact opening)的製程期間可提供更好的保護。可以使用類似的製程，在源極/汲極接觸件(source/drain contact)上方提供一系列的硬質遮罩層，以在用於閘極汲極的自對準接觸件製程期間得以保護源極/汲極接觸件。

【0084】 在一實施例中，一種半導體裝置的製造方法包括：在一基底上方形成一第一閘極(first gate)，在基底上方形成一第一介電層(first dielectric layer)且此第一介電層圍繞第一閘極，以及在第一閘極上方形成一第一硬質遮罩層(first hard mask layer)。第一硬質遮罩層具有第一蝕刻選擇性(first etch

selectivity)。在第一硬質遮罩層上方形成一第二硬質遮罩層(second hard mask layer)，此第二硬質遮罩層具有第二蝕刻選擇性(second etch selectivity)，且第二蝕刻選擇性大於第一蝕刻選擇性。在第一閘極及第一介電層上方形成一第二介電層(second dielectric layer)。蝕刻出穿過第二介電層及第一介電層的一第一開口(first opening)，以暴露出相鄰於第一閘極的第一源極/汲極區(first source/drain region)以及相鄰於第一閘極的第二源極/汲極區(second source/drain region)，第二硬質遮罩層的第二蝕刻選擇性可保護第一硬質遮罩層免於被蝕刻。以一導電材料填充第一開口。下凹第二硬質遮罩層、導電材料以及第二介電層，以使第一硬質遮罩層、導電材料以及第一介電層的頂表面齊平，凹陷的導電材料係形成一第一導電接觸件(first conductive contact)至第一源極/汲極區以及一第二導電接觸件(second conductive contact)至第二源極/汲極區。

【0085】 根據一些實施例的半導體裝置的製造方法，第一閘極包括一第一閘極電極(first gate electrode)設置於第一閘極間隔物(first gate spacers)之間，且此製造方法更包括：下凹前述第一硬質遮罩層以露出前述第一閘極間隔物的上表面。

【0086】 一些實施例中，前述第二硬質遮罩層係位於前述第一閘極間隔物的前述上表面。

【0087】 根據一些實施例的半導體裝置的製造方法，更包括：下凹前述第一閘極間隔物的前述上表面，使得前述第一閘極間隔物的前述上表面係低於前述第一硬質遮罩層的上表面；以及形成前述第二硬質遮罩層以向下延伸至前述第一硬質遮罩的側壁並且接觸前述第一閘極間隔物的前述上表面。

【0088】 根據一些實施例的半導體裝置的製造方法，其中前述第一閘極間

隔物的前述上表面係比前述第一硬質遮罩層的前述上表面低0.5nm至10nm。

【0089】 根據一些實施例的半導體裝置的製造方法，更包括：在前述第一閘極間隔物上方形成一蝕刻停止層(etch stop layer)，其中蝕刻前述第一開口係露出在前述第一閘極間隔物上的前述蝕刻停止層。

【0090】 根據一些實施例的半導體裝置的製造方法，其中前述第二硬質遮罩層包括矽、一金屬氧化物、或碳化鎢(tungsten carbide)。

【0091】 根據一些實施例的半導體裝置的製造方法，更包括：在前述第一導電接觸件上方形成一第三導電接觸件(third conductive contact)；下凹前述第三導電接觸件；在前述第三導電接觸件上方形成一第三硬質遮罩層(third hard mask layer)；以及在前述第三導電接觸件上方形成一第四硬質遮罩層(fourth hard mask layer)。

【0092】 在另一實施例中，一種半導體裝置的製造方法包括：在一基底上方形成一第一金屬閘極(first metal gate)，前述第一金屬閘極具有第一閘極間隔物(first gate spacers)於前述第一金屬閘極的相對側壁。在前述基底上方形成第一介電層(first dielectric layer)，且此第一介電層鄰近前述第一金屬閘極。下凹前述第一金屬閘極，以使下凹後的第一金屬閘極具有一頂表面其低於前述第一介電層的頂表面。在前述第一金屬閘極的凹陷的頂表面上方形成一第一硬質遮罩層(first hard mask layer)。下凹此第一硬質遮罩層以及前述第一閘極間隔物，以使下凹後的前述第一硬質遮罩層以及前述第一閘極間隔物具有頂表面其低於第一介電層的頂表面。下凹前述第一閘極間隔物，以使下凹後的前述第一閘極間隔物具有頂表面其低於前述第一硬質遮罩層的頂表面。在前述第一硬質遮罩層與前述第一閘極間隔物的凹陷的頂表面上沉積一第二硬質遮罩層(second hard mask

layer)，此第二硬質遮罩層向下延伸至前述第一硬質遮罩層的側壁。

【0093】 根據一些實施例的半導體裝置的製造方法，更包括：平坦化前述第二硬質遮罩層，使前述第二硬質遮罩層具有一頂表面與前述第一介電層的前述頂表面齊平。

【0094】 根據一些實施例的半導體裝置的製造方法，其中前述第二硬質遮罩層包括矽、一金屬氧化物、或碳化鎢(tungsten carbide)。

【0095】 根據一些實施例的半導體裝置的製造方法，其中前述第一硬質遮罩層包括氮化矽。

【0096】 根據一些實施例的半導體裝置的製造方法，其中第一金屬閘極包括一高介電常數閘極介電層(high-k gate dielectric layer)位於前述基底上且沿著前述第一閘極間隔物的內側側壁(inner sidewalls)，以及一金屬閘極電極(metal gate electrode)位於前述高介電常數閘極介電層上。

【0097】 根據一些實施例的半導體裝置的製造方法，更包括：在前述第二硬質遮罩層以及前述第一硬質遮罩層的上方形成一第二介電層(second dielectric layer)；蝕刻出一第一開口(first opening)穿過前述第二介電層及前述第一介電層，以暴露出前述基底的一部份，且前述第二硬質遮罩層的一上表面亦暴露於前述第一開口中；以一導電材料填充前述第一開口；以及去除位於前述第一硬質遮罩層上方的前述第二介電層以及前述第二硬質遮罩層以及去除部份的前述導電材料和前述第二介電層與前述第一介電層，以在前述第一介電層中形成一第一導電接觸件(first conductive contact)。

【0098】 根據一些實施例的半導體裝置的製造方法，更包括：在去除位於前述第一硬質遮罩層上方的前述第二介電層以及前述第二硬質遮罩層以及去除

部份的前述導電材料和前述第二介電層與前述第一介電層之後，係於前述第一硬質遮罩層以及前述第一介電層的上方形成一第三介電層(third dielectric layer)；以及形成一第二導電接觸件(second conductive contact)穿過前述第三介電層到達前述第一導電接觸件。

【0099】 根據一些實施例的半導體裝置的製造方法，更包括：下凹前述第二導電接觸件的一上表面；在前述第二導電接觸件的上方形成一第三遮罩層(third mask layer)；以及在前述第三遮罩層的上方形成一第四遮罩層(fourth mask layer)，前述第四遮罩層包括矽、一金屬氧化物、或碳化鎢(tungsten carbide)。

【0100】 在另一實施例中，一種半導體裝置包括：一第一閘極(first gate)，此第一閘極包括一閘極介電質(gate dielectric)、一閘極電極(gate electrode)、以及位於前述閘極電極的相對側的第一閘極間隔物(first gate spacers)。半導體裝置還包括一第一硬質遮罩層(first hard mask layer)位於前述閘極電極的上方，前述第一閘極間隔物係沿著前述第一硬質遮罩層之側壁的第一部份(first portion)延伸。半導體裝置更包括一第二硬質遮罩層(second hard mask layer)位於前述第一閘極間隔物的上方，第二硬質遮罩層是與第一硬質遮罩層的材料不同的一種材料，前述第二硬質遮罩層係沿著前述第一硬質遮罩層之側壁的第二部份(second portion)延伸。半導體裝置還包括一第一源極/汲極接觸件(first source/drain contact)相鄰於前述第一閘極間隔物。

【0101】 根據一些實施例的半導體裝置，其中前述第一源極/汲極接觸件係接觸前述第二硬質遮罩層。

【0102】 根據一些實施例的半導體裝置，更包括：一層間介電(inter layer dielectric, ILD)層設置在前述第一閘極的上方；以及一第二源極/汲極接觸件

(second source/drain contact)埋置於前述層間介電層中，前述第二源極/汲極接觸件係電性上和物理性上的耦接至前述第一源極/汲極接觸件，且前述第二源極/汲極接觸件物理性的與前述第二硬質遮罩層接觸。

【0103】 根據一些實施例的半導體裝置，其中前述第二硬質遮罩層包括矽、一金屬氧化物、或碳化鎢。

【0104】 以上概述數個實施例之部件，以便在本發明所屬技術領域中具有通常知識者可以更加理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應理解，他們能輕易地以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介紹的實施例相同之目的及/或優勢。在本發明所屬技術領域中具有通常知識者也應理解，此類等效的結構並無悖離本發明的精神與範圍，且他們能在不違背本發明之精神和範圍下，做各式各樣的改變、取代和替換。因此，本發明之保護範圍當視後附之申請專利範圍所界定為準。

【符號說明】

【0105】

20:基底

20S:基底的表面

21:鱗片

22:閘極介電層(/虛置閘極介電質)

23:隔離區

24:(虛置)閘極電極

24S:虛置閘極電極的頂表面

26:閘極間隔物

26S:內側表面

26T:閘極間隔物的頂表面

28,28A,28B,42:(虛置)閘極堆疊

28A:虛置閘極堆疊

30:源極/汲極區

30S:源極/汲極區的表面

32,62:蝕刻停止層

32S:蝕刻停止層的頂表面

34,54,64,78:層間介電質

34S:層間介電質的頂表面

36,44,50,70,74:凹部

38:閘極介電層

38S:閘極介電層之凹入的頂表面

40:閘極電極

40S:閘極電極之凹入的頂表面

42:替換閘極

46,72:第一硬質遮罩層

46S:第一硬質遮罩層的頂表面

52,76:第二硬質遮罩層

52S:第二硬質遮罩層的頂表面

56:硬質遮罩層

58:開口

60,66:導電層

601,602,603:導電部件

61:阻障層

65:襯層

661,662,663:接觸件

80:閘極接觸件

A-A,B-B,C-C:參考剖面

【發明申請專利範圍】

【請求項1】 一種半導體裝置的製造方法，包括：

在一基底上方形成一第一閘極(first gate)；

在該基底上方形成一第一介電層(first dielectric layer)，且該第一介電層圍繞該第一閘極；

在該第一閘極上方形成一第一硬質遮罩層(first hard mask layer)，且該第一硬質遮罩層具有第一蝕刻選擇性(first etch selectivity)；

在該第一硬質遮罩層上方形成一第二硬質遮罩層(second hard mask layer)，該第二硬質遮罩層具有第二蝕刻選擇性(second etch selectivity)，且該第二蝕刻選擇性大於該第一蝕刻選擇性；

在該第一閘極及該第一介電層上方形成一第二介電層(second dielectric layer)；

蝕刻出穿過該第二介電層及該第一介電層的一第一開口(first opening)，以暴露出相鄰於該第一閘極的一第一源極/汲極區(first source/drain region)以及相鄰於該第一閘極的一第二源極/汲極區(second source/drain region)，該第二硬質遮罩層的該第二蝕刻選擇性係保護該第一硬質遮罩層免於被蝕刻；

以一導電材料填充該第一開口；以及

下凹(recessing)該第二硬質遮罩層、該導電材料以及該第二介電層，以使該第一硬質遮罩層、該導電材料以及該第一介電層的頂表面齊平，該凹陷的該導電材料係形成一第一導電接觸件(first conductive contact)至該第一源極/汲極區以及一第二導電接觸件(second conductive contact)至該第二源極/汲極區。

【請求項2】 如請求項 1 所述之半導體裝置的製造方法，其中該第一閘極

包括：

一第一閘極電極(first gate electrode)設置於第一閘極間隔物(first gate spacers)之間，

且該製造方法更包括：

下凹該第一硬質遮罩層以露出該些第一閘極間隔物的上表面(upper surfaces)，

其中該第二硬質遮罩層係位於該些第一閘極間隔物的該些上表面。

【請求項3】 如請求項 2 所述之半導體裝置的製造方法，更包括：

下凹該些第一閘極間隔物的該些上表面，使得該些第一閘極間隔物的該些上表面係低於該第一硬質遮罩層的上表面；以及

形成該第二硬質遮罩層以向下延伸至該第一硬質遮罩的側壁並且接觸該些第一閘極間隔物的該些上表面。

【請求項4】 如請求項 2 或 3 所述之半導體裝置的製造方法，更包括：

在該些第一閘極間隔物上方形成一蝕刻停止層(etch stop layer)，其中蝕刻該第一開口係露出在該些第一閘極間隔物上的該蝕刻停止層。

【請求項5】 一種半導體裝置的製造方法，包括：

在一基底上方形成一第一金屬閘極(first metal gate)，該第一金屬閘極具有第一閘極間隔物(first gate spacers)於該第一金屬閘極的相對側壁；

在該基底上方形成第一介電層(first dielectric layer)，且該第一介電層鄰近該第一金屬閘極；

下凹該第一金屬閘極，以使下凹後的該第一金屬閘極具有一頂表面其低於該第一介電層的一頂表面；

在該第一金屬閘極的該凹陷的頂表面上方形成一第一硬質遮罩層(first hard mask layer)；

下凹該第一硬質遮罩層以及該些第一閘極間隔物，以使下凹後的該第一硬質遮罩層以及該些第一閘極間隔物具有頂表面其低於該第一介電層的該頂表面；

下凹該些第一閘極間隔物，以使下凹後的該些第一閘極間隔物具有頂表面其低於該第一硬質遮罩層的該頂表面；以及

在該第一硬質遮罩層與該些第一閘極間隔物的該些凹陷的頂表面上沉積一第二硬質遮罩層(second hard mask layer)，該第二硬質遮罩層向下延伸至該第一硬質遮罩層的一側壁。

【請求項6】 如請求項 5 所述之半導體裝置的製造方法，更包括：

平坦化該第二硬質遮罩層，使該第二硬質遮罩層具有一頂表面與該第一介電層的該頂表面齊平。

【請求項7】 如請求項 5 或 6 所述之半導體裝置的製造方法，其中該第二硬質遮罩層包括矽、一金屬氧化物、或碳化鎢(tungsten carbide)，該第一硬質遮罩層包括氮化矽。

【請求項8】 如請求項 5 或 6 所述之半導體裝置的製造方法，其中該第一金屬閘極包括一高介電常數閘極介電層(high-k gate dielectric layer)位於該基底上且沿著該些第一閘極間隔物的內側側壁(inner sidewalls)，以及一金屬閘極電極(metal gate electrode)位於該高介電常數閘極介電層上。

【請求項9】 如請求項 5 或 6 所述之半導體裝置的製造方法，更包括：

在該第二硬質遮罩層以及該第一硬質遮罩層的上方形成一第二介電層(second dielectric layer)；

蝕刻出一第一開口(first opening)穿過該第二介電層及該第一介電層，以暴露出該基底的一部份，且該第二硬質遮罩層的一上表面亦暴露於該第一開口中；

以一導電材料填充該第一開口；

去除位於該第一硬質遮罩層上方的該第二介電層以及該第二硬質遮罩層以及去除部份的該導電材料和該第二介電層與該第一介電層，以在該第一介電層中形成一第一導電接觸件(first conductive contact)

在去除位於該第一硬質遮罩層上方的該第二介電層以及該第二硬質遮罩層以及去除部份的該導電材料和該第二介電層與該第一介電層之後，係於該第一硬質遮罩層以及該第一介電層的上方形成一第三介電層(third dielectric layer)；以及

形成一第二導電接觸件(second conductive contact)穿過該第三介電層到達該第一導電接觸件。

【請求項10】 一種半導體裝置，包括：

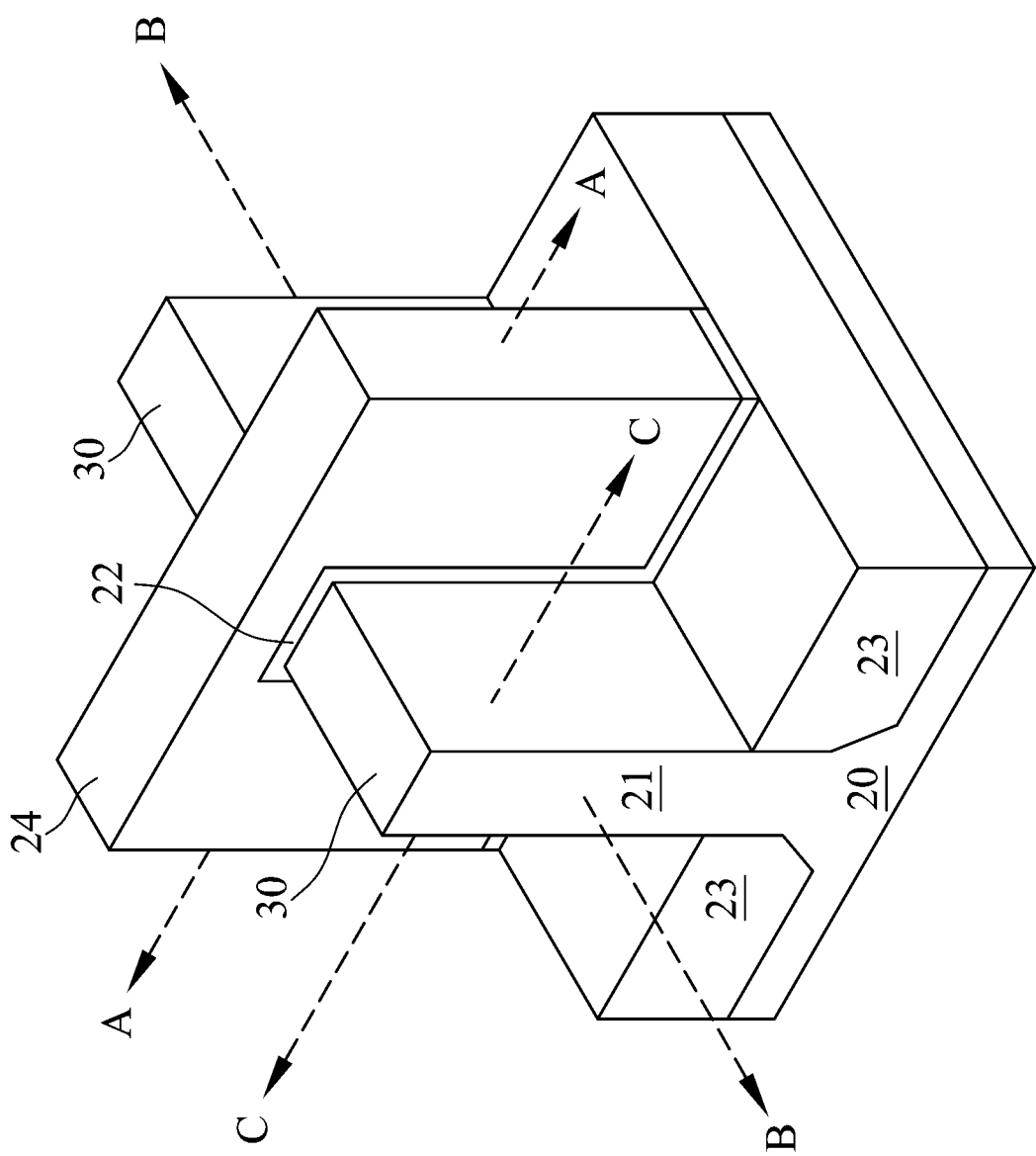
一第一閘極(first gate)，該第一閘極包括一閘極介電質(gate dielectric)、一閘極電極(gate electrode)、以及位於該閘極電極的相對側的第一閘極間隔物(first gate spacers)；

一第一硬質遮罩層(first hard mask layer)位於該閘極電極的上方，該些第一閘極間隔物係沿著該第一硬質遮罩層之側壁的一第一部份(first portion)延伸；

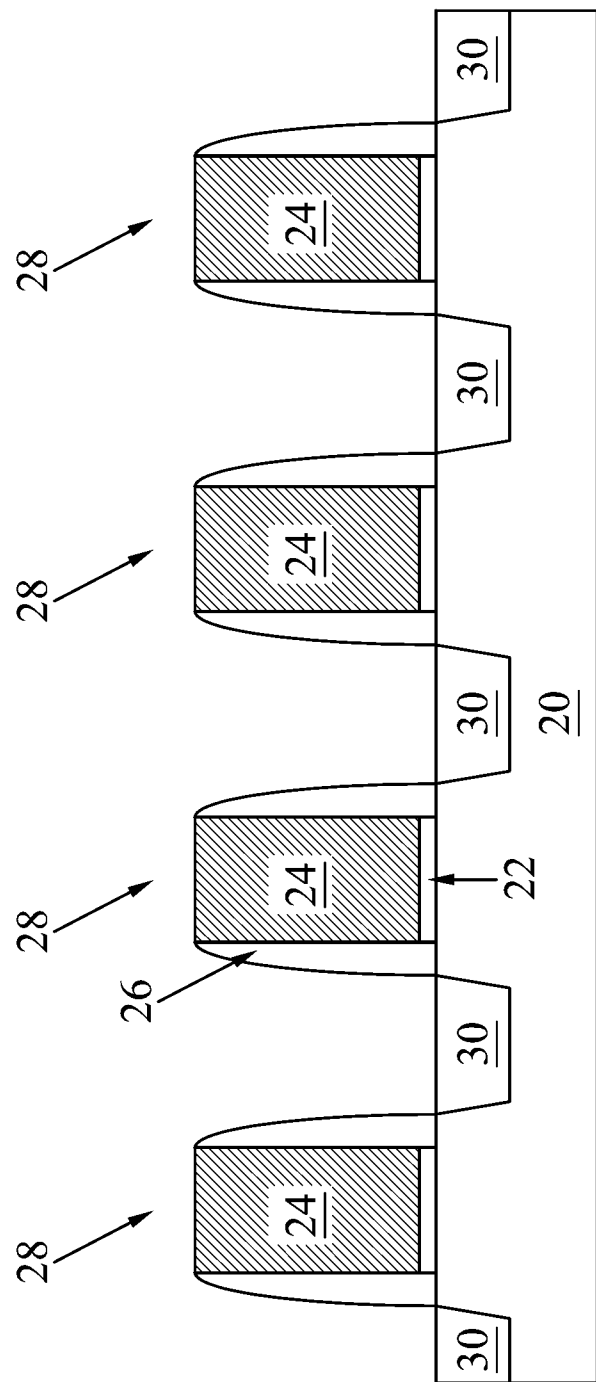
一第二硬質遮罩層(second hard mask layer)位於該第一閘極間隔物的上方，該第二硬質遮罩層是與該第一硬質遮罩層的材料不同的一種材料，該第二硬質遮罩層係具有沿著該第一硬質遮罩層之側壁的一第二部份(second portion)向下延伸且覆蓋該第二部份的支腳；以及

一第一源極/汲極接觸件(first source/drain contact)相鄰於該些第一閘極間隔物。

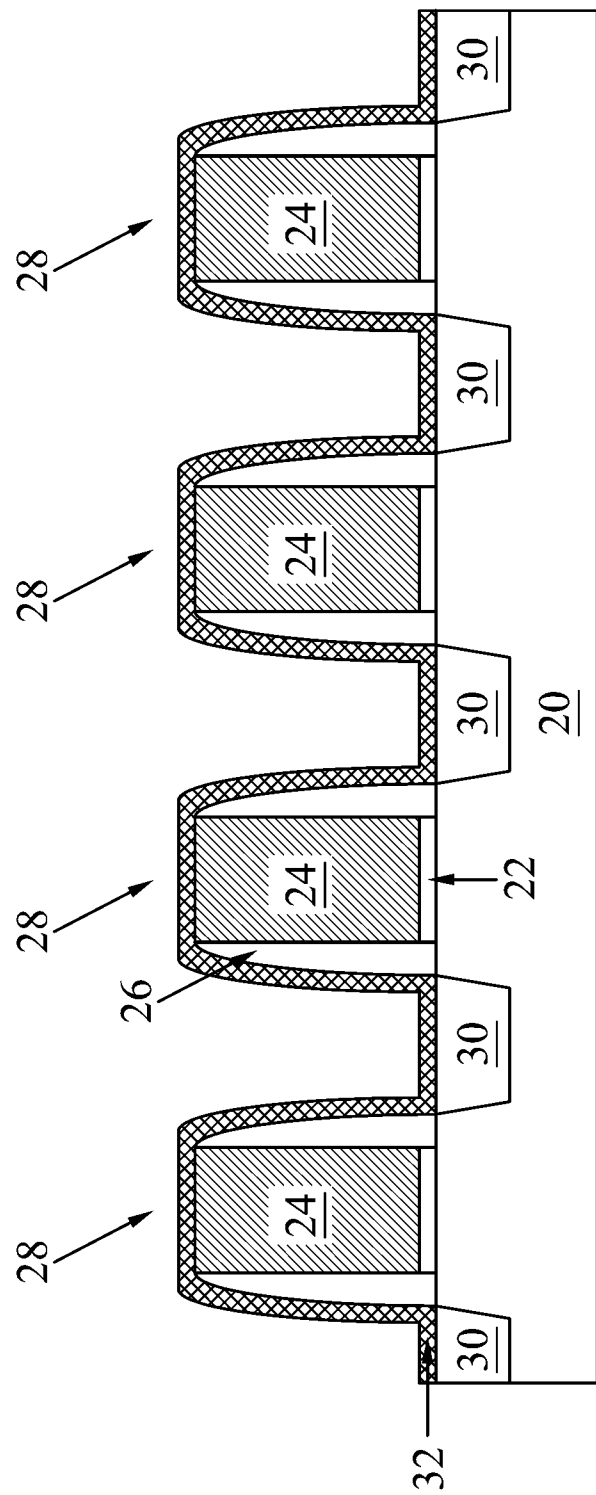
【發明圖式】



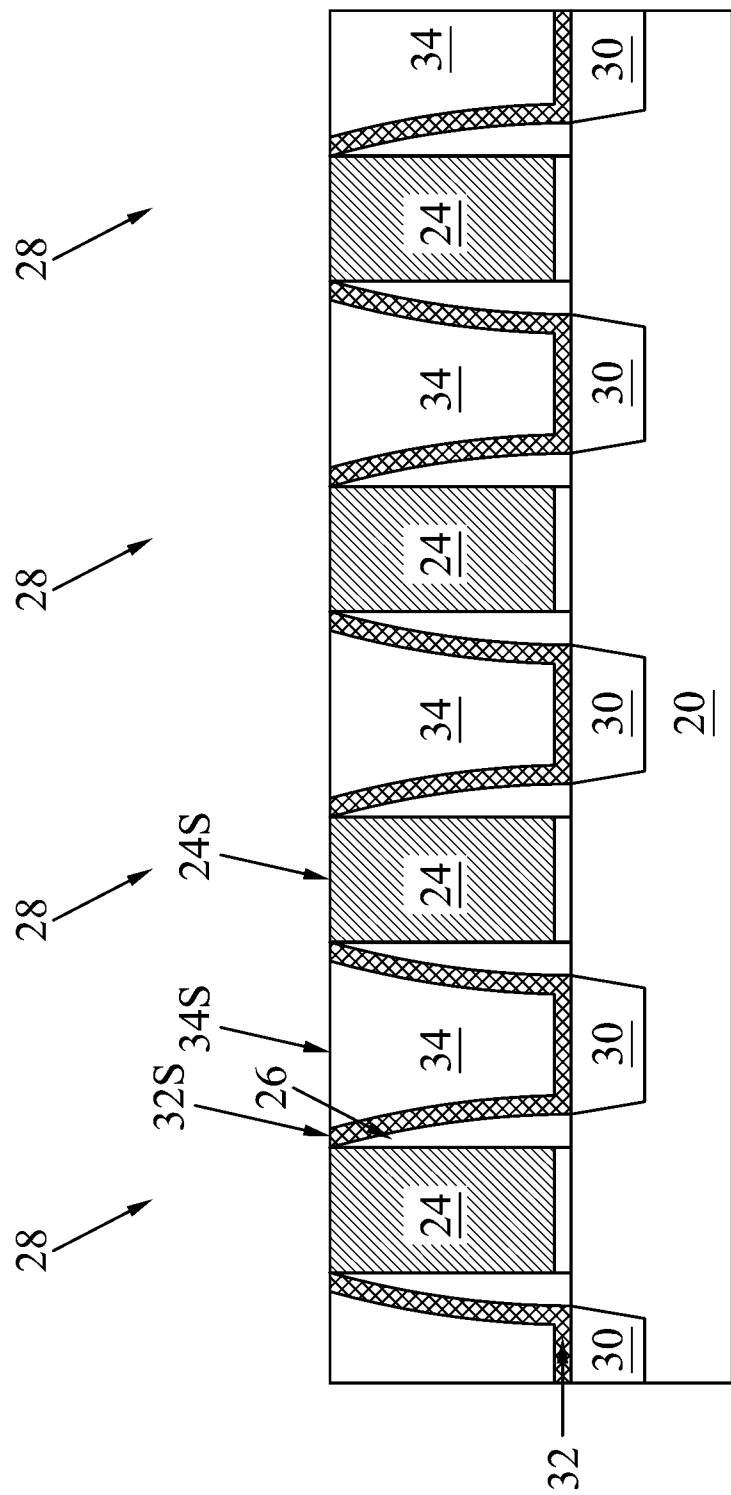
第 1 圖



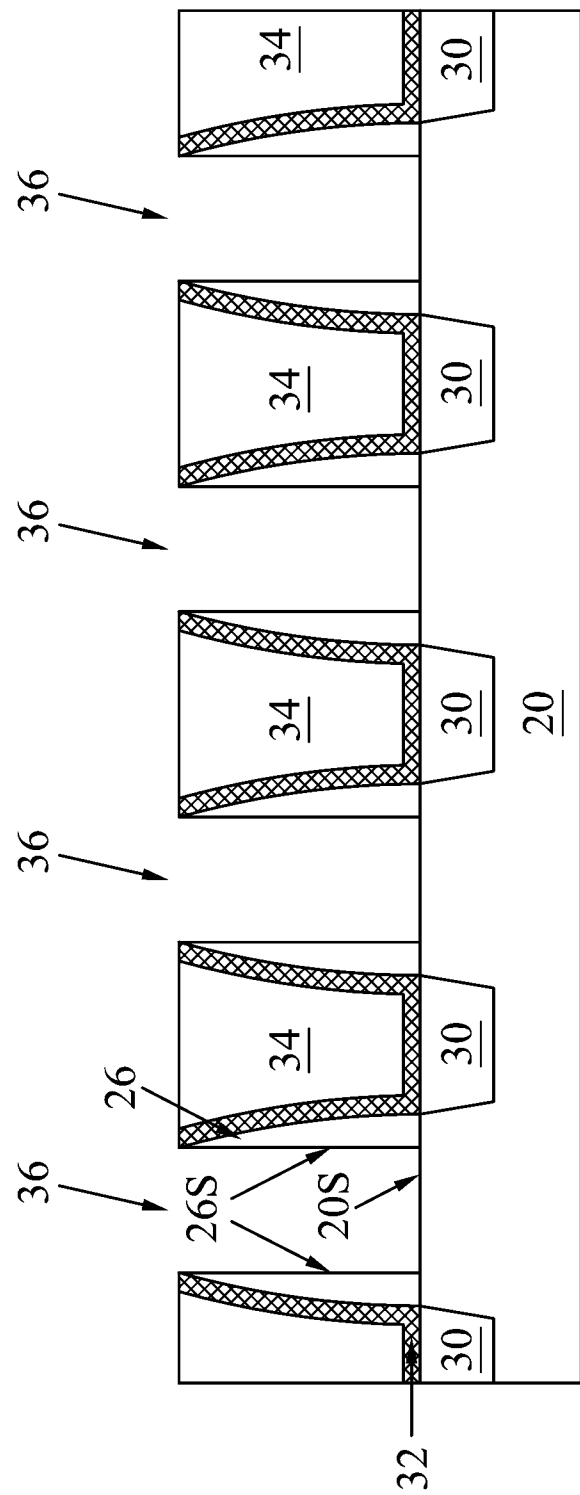
第 2 圖



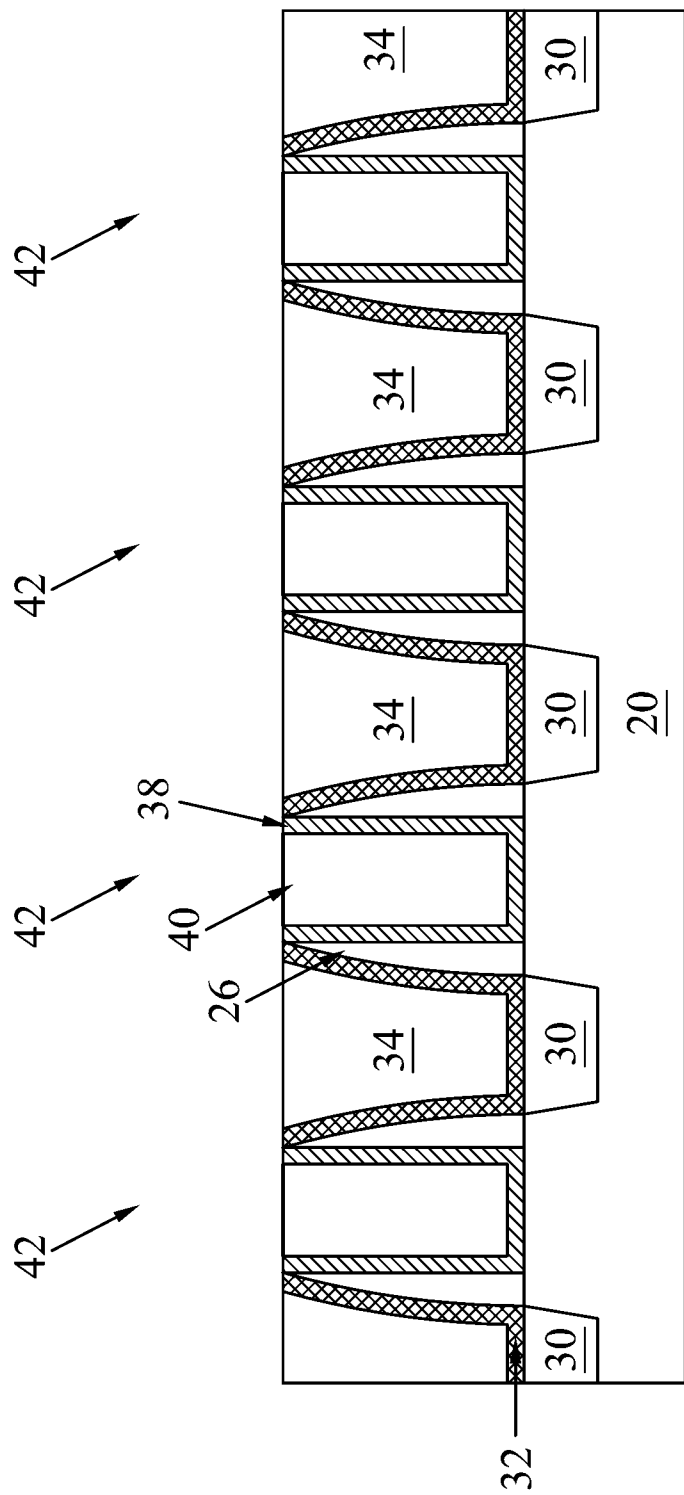
第 3 圖



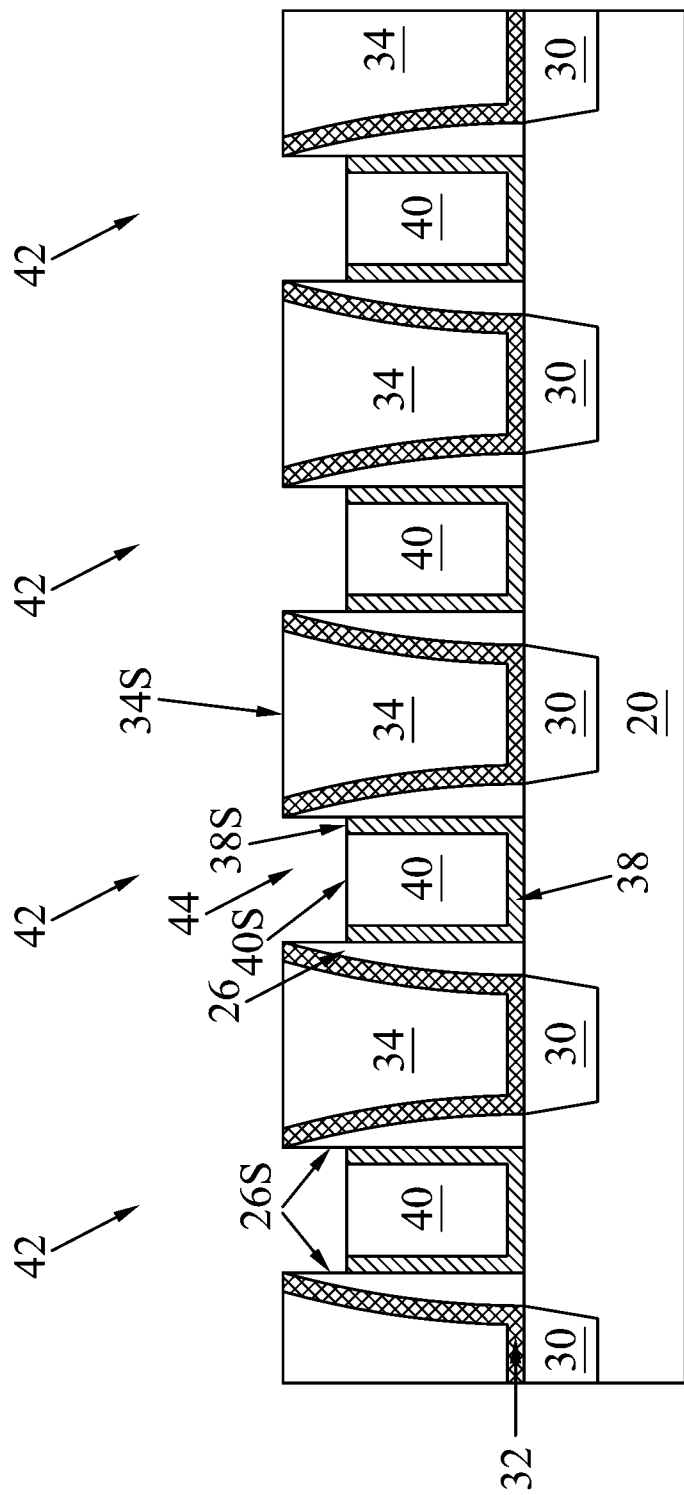
第4圖



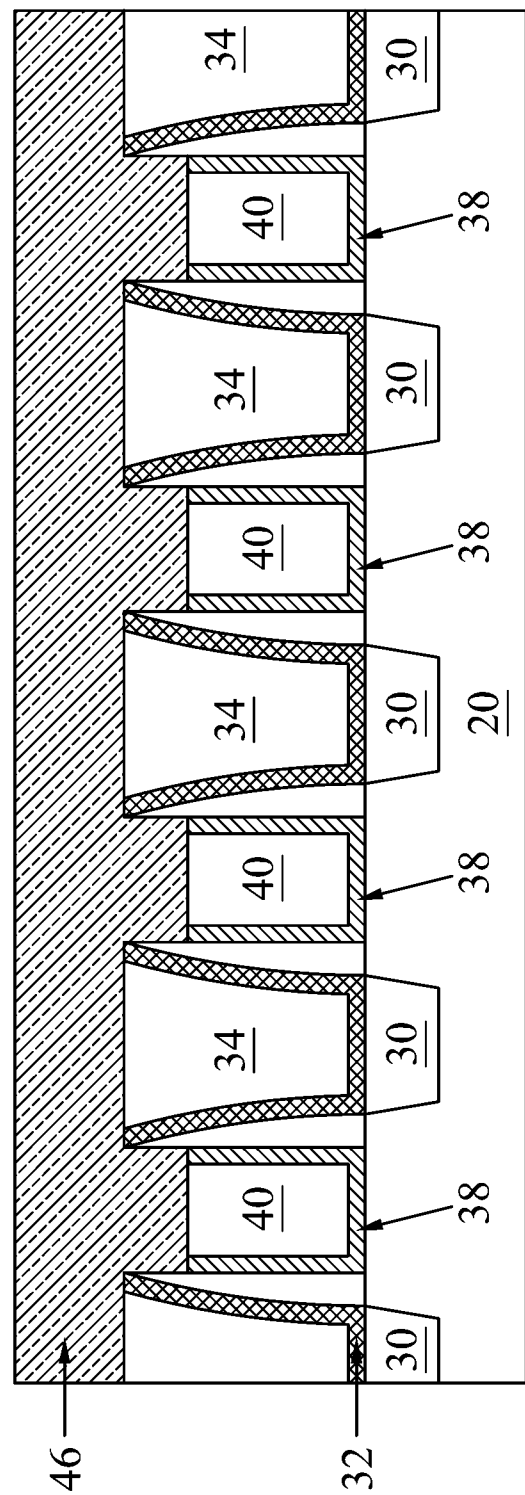
第 5 圖



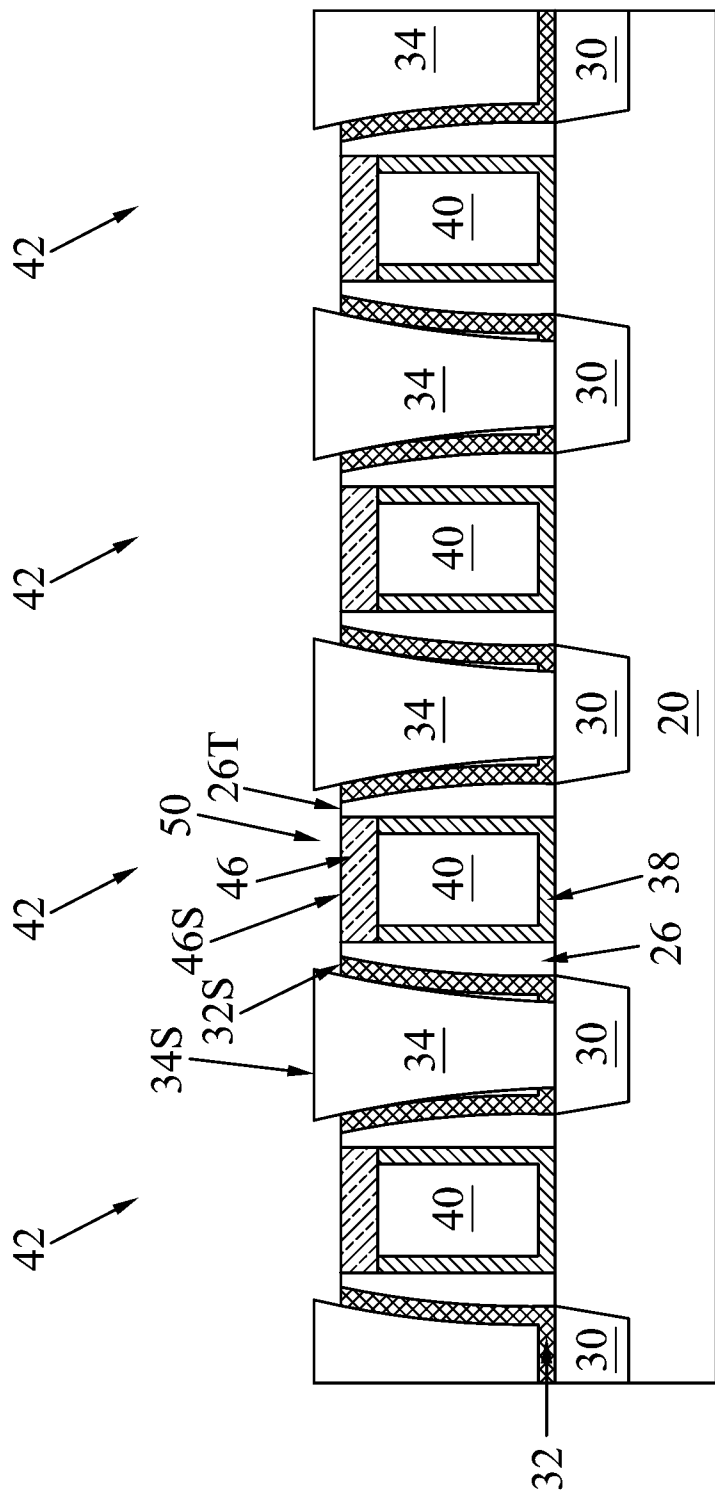
第6圖



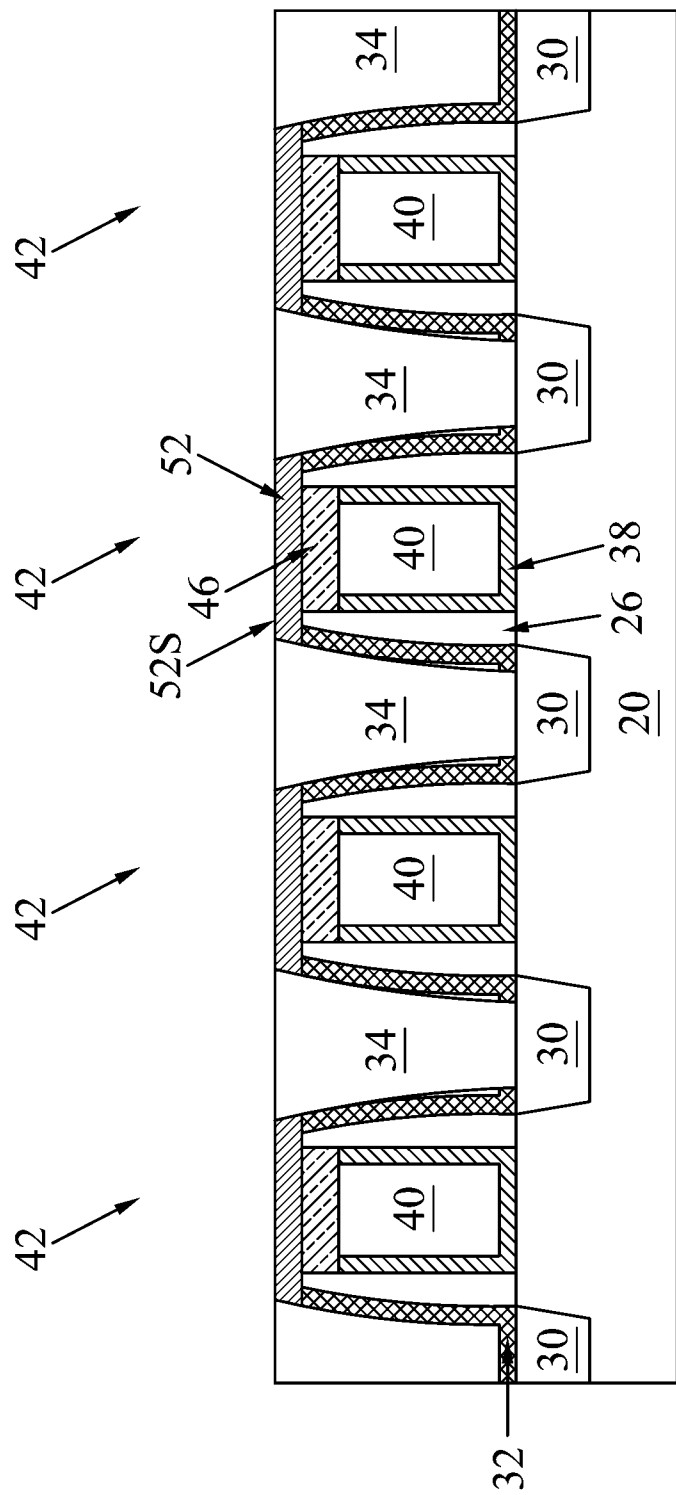
第7圖



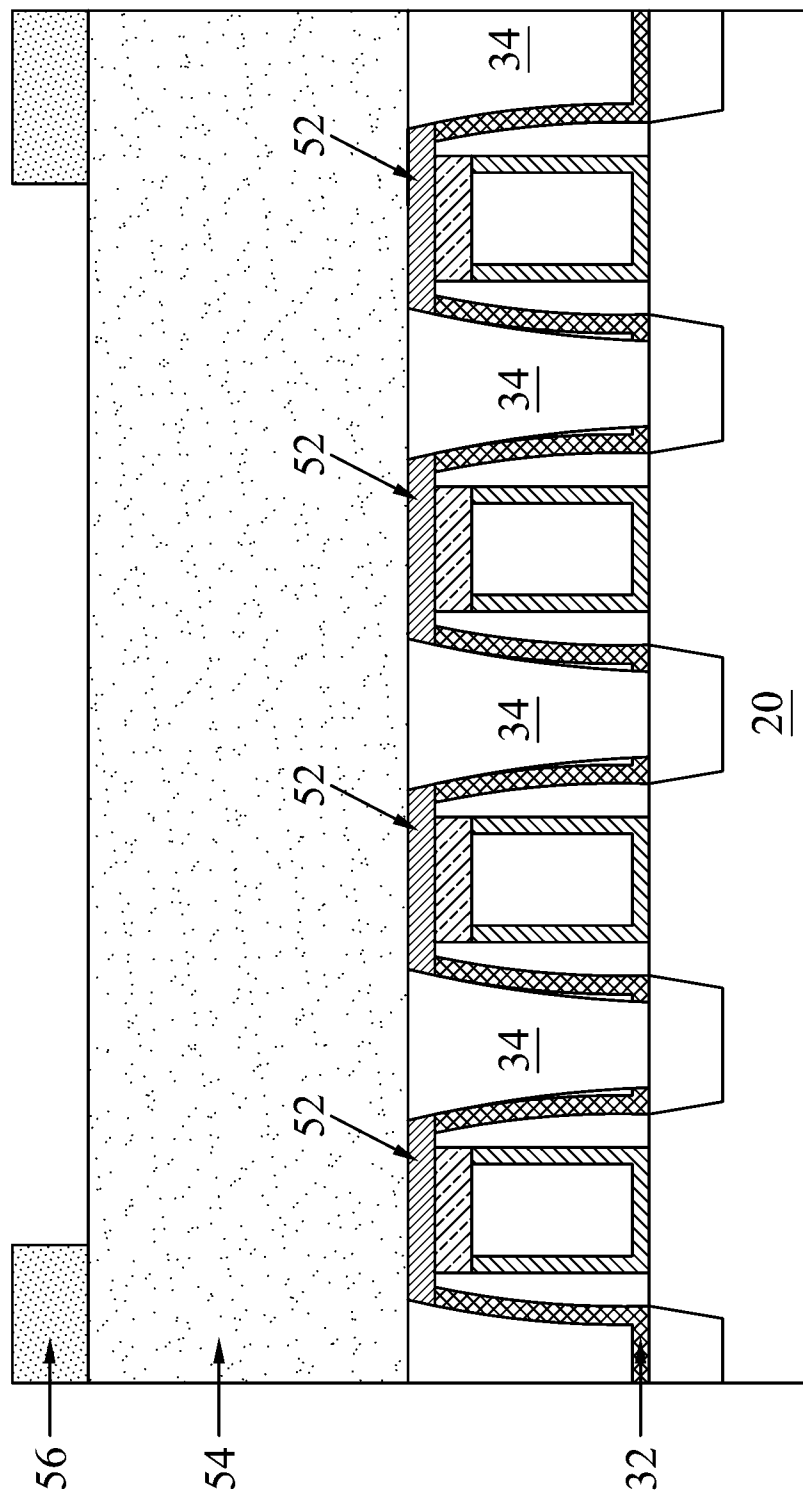
第 8 圖



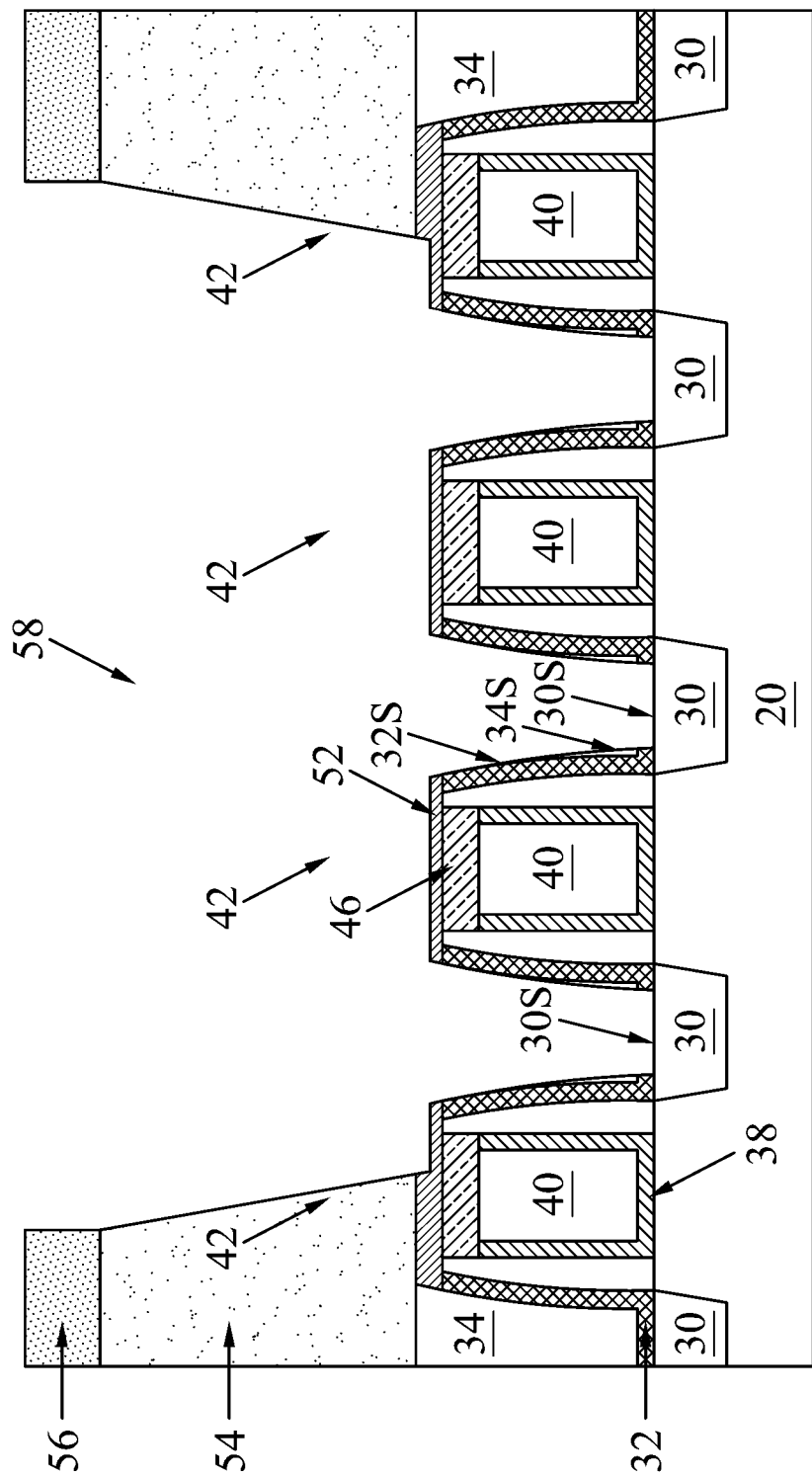
第 9 圖



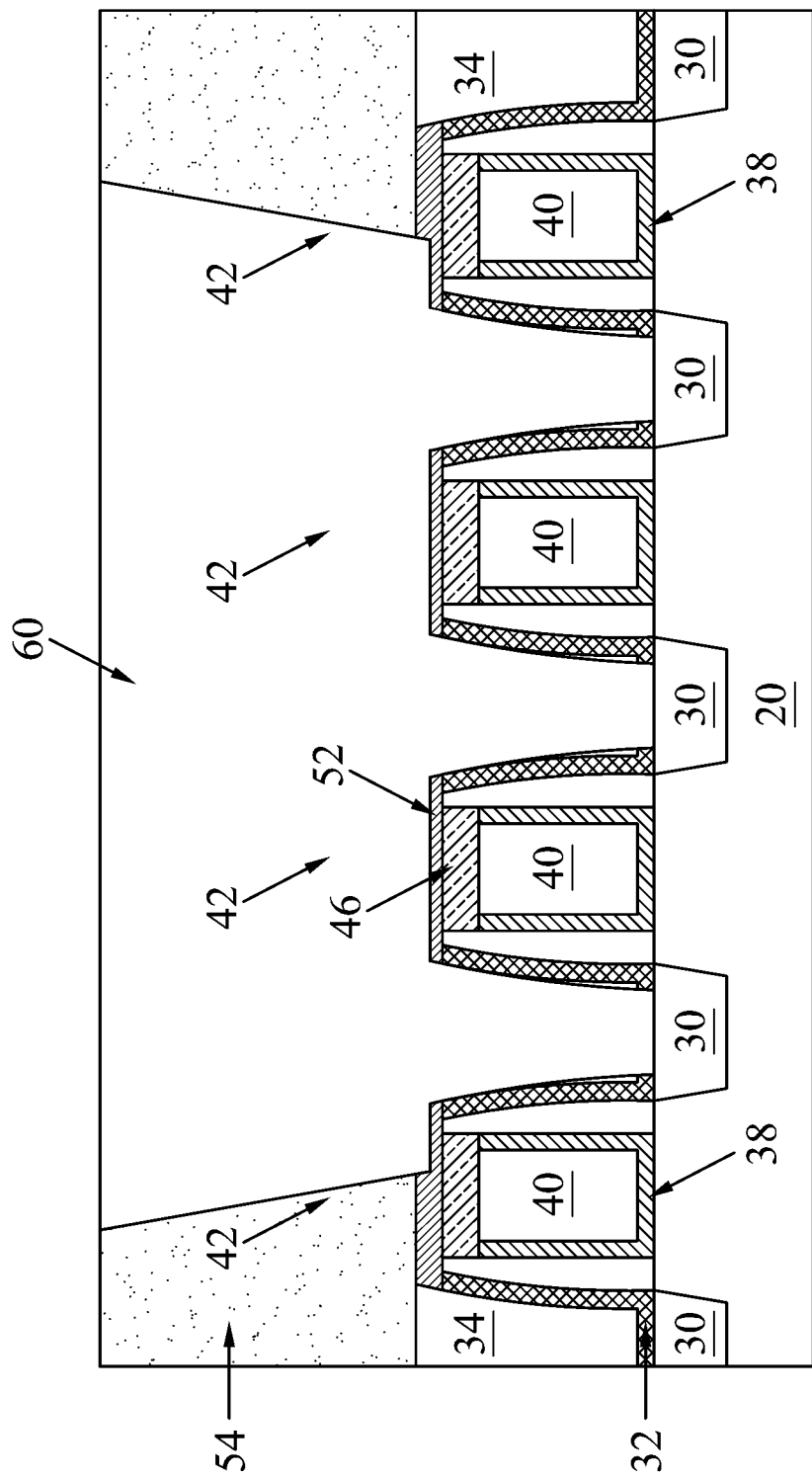
第 11 圖



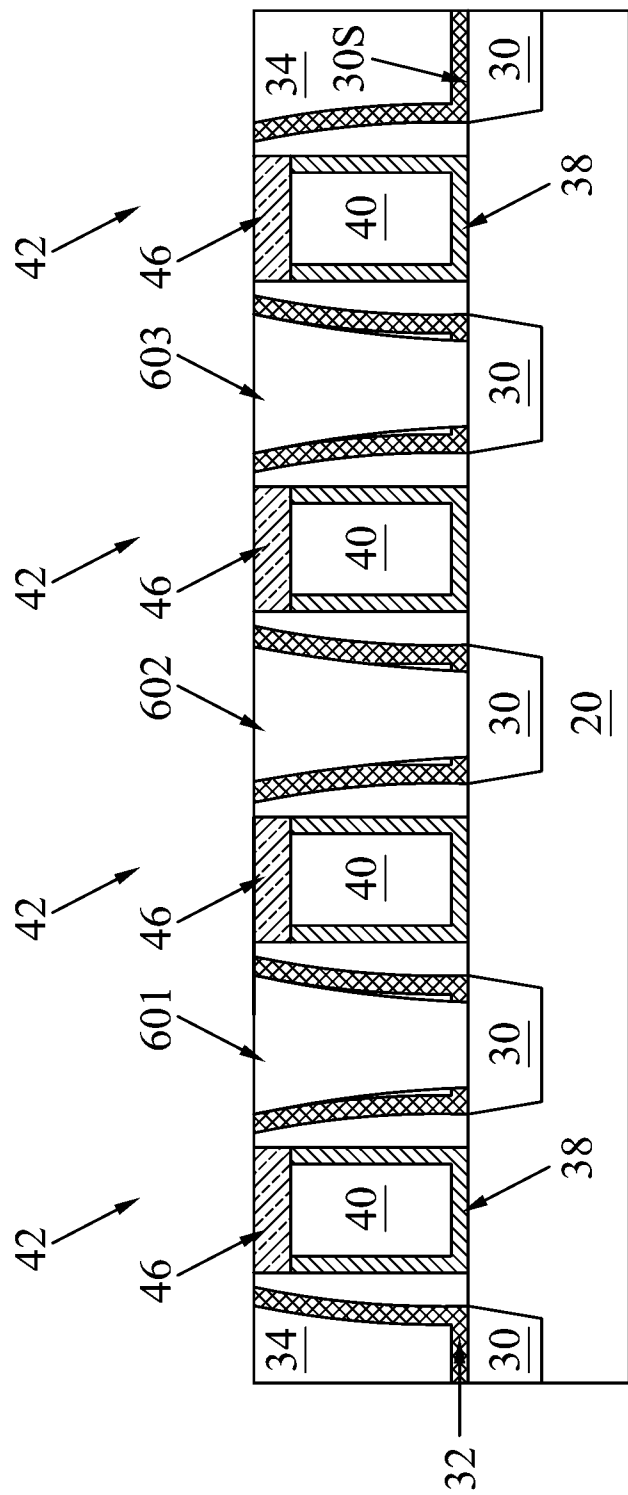
第12圖



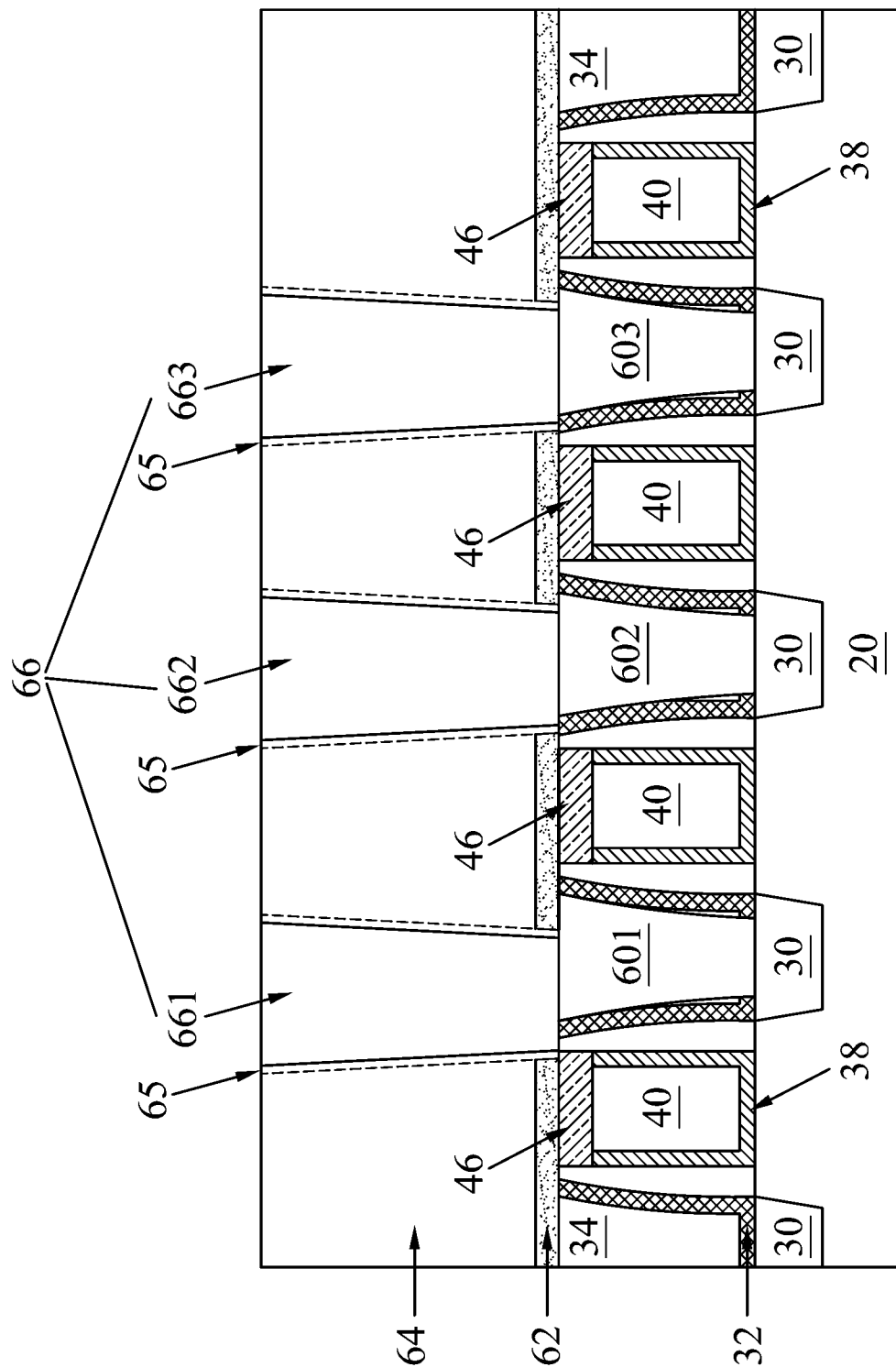
第 13 圖



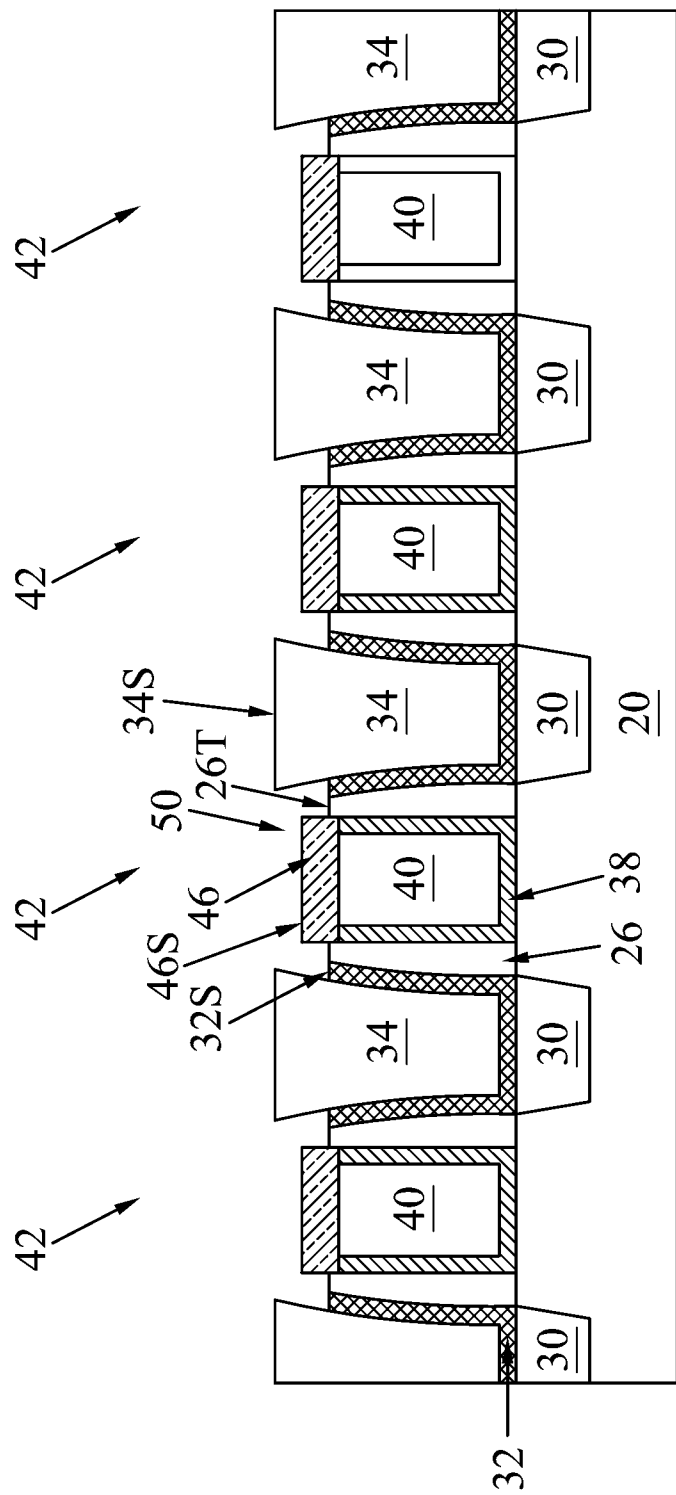
第14圖



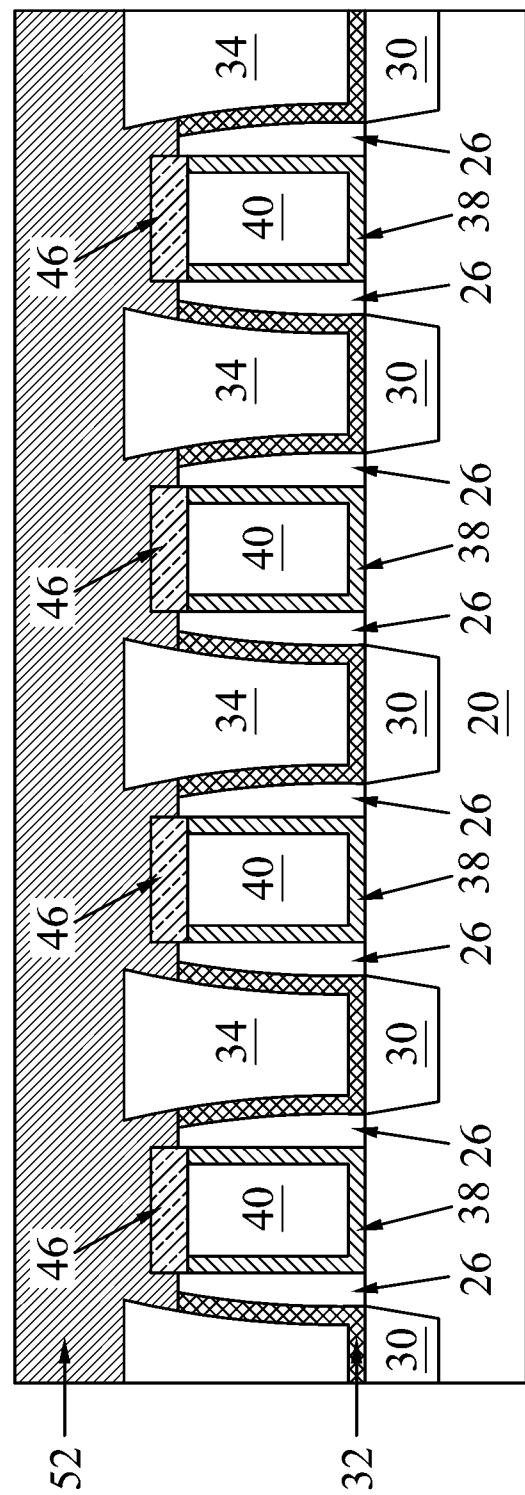
第 15 圖



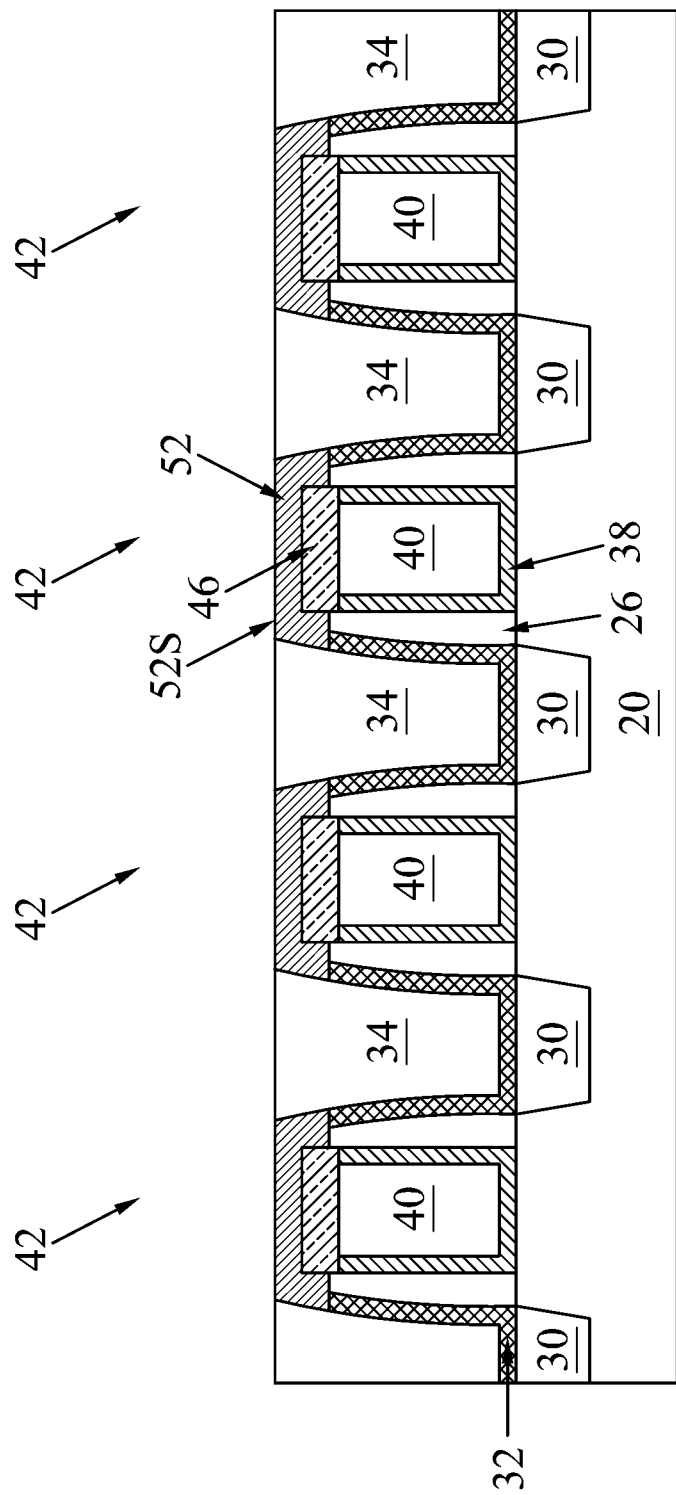
第 16 圖



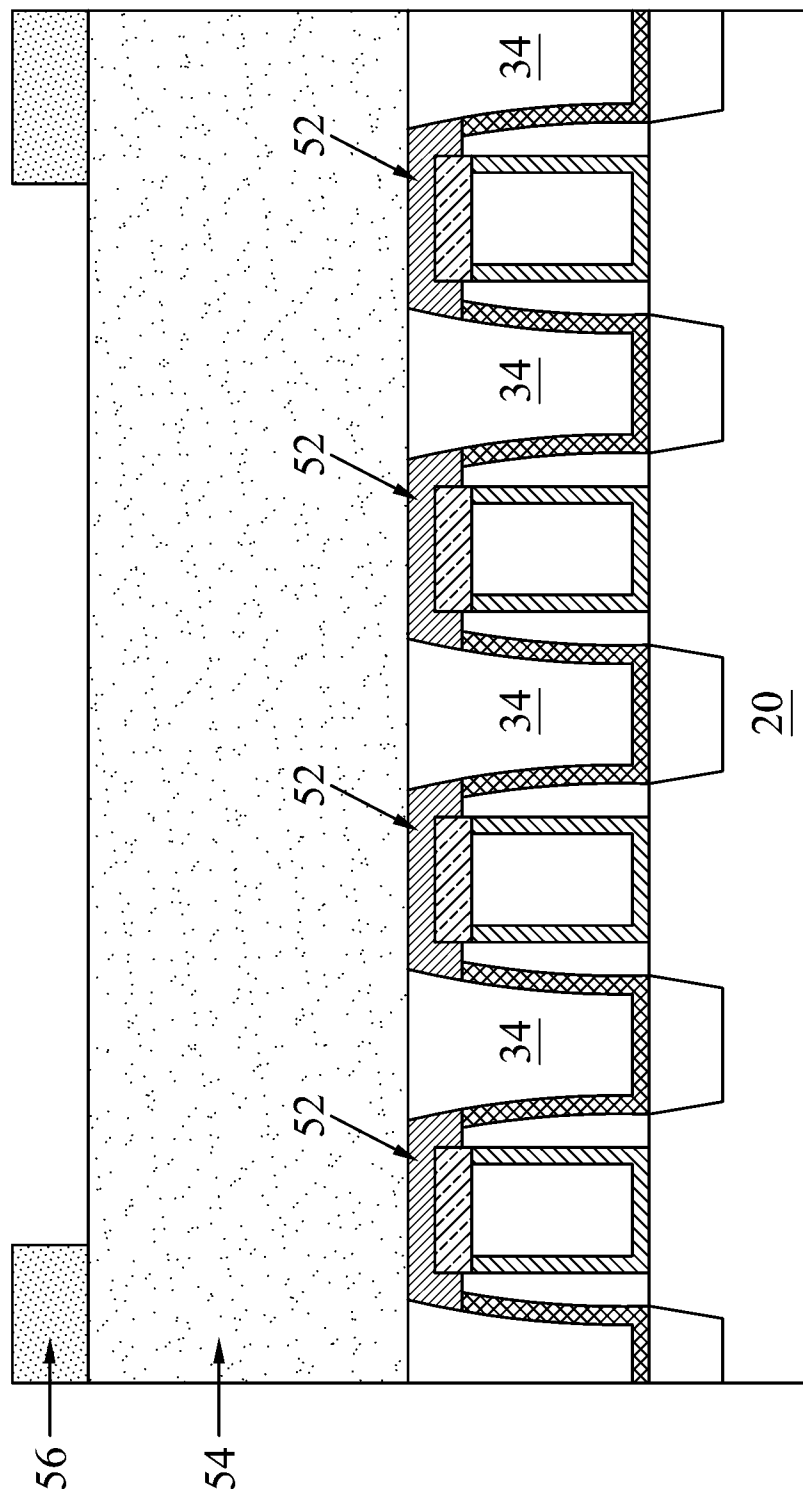
第 17 圖



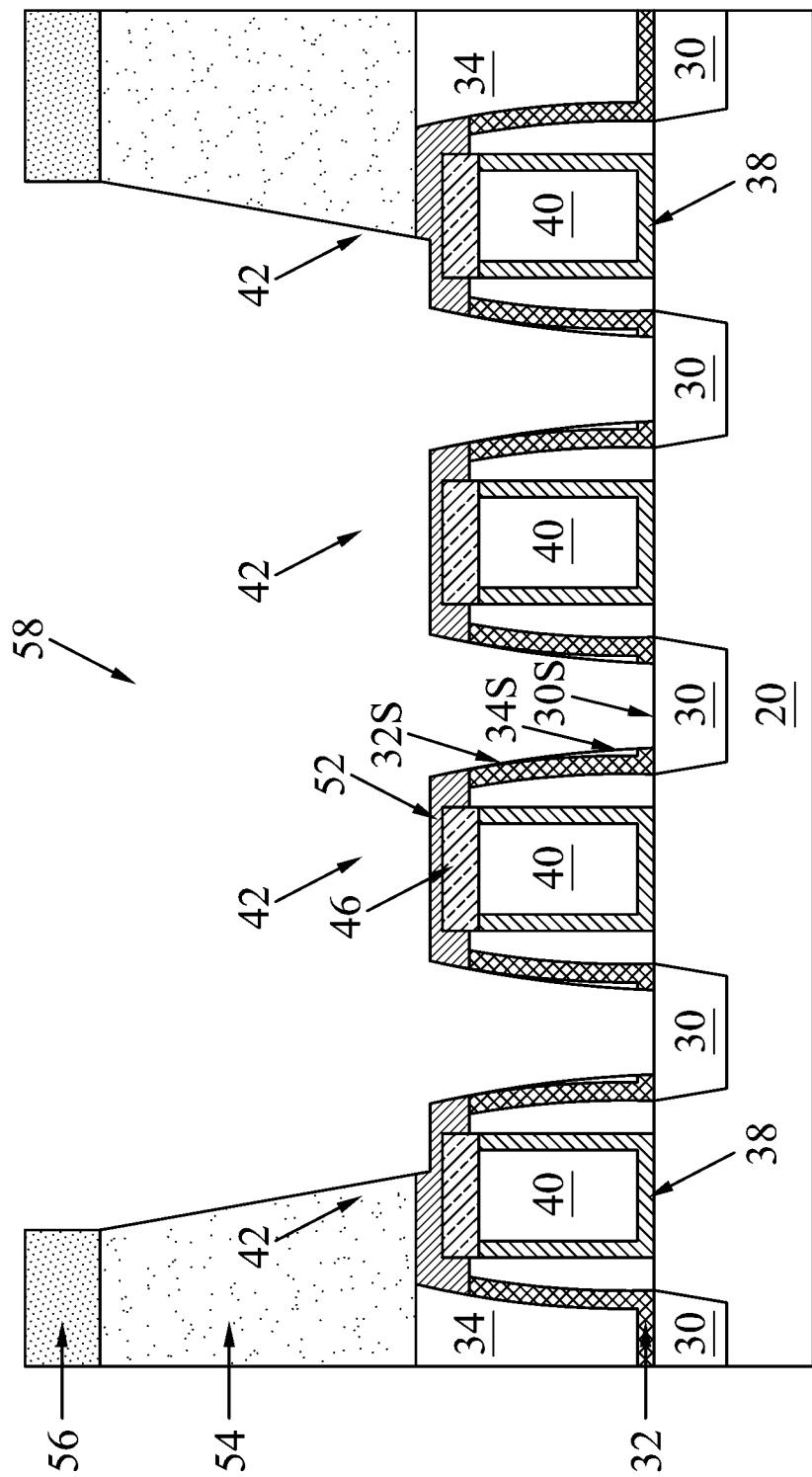
第 18 圖



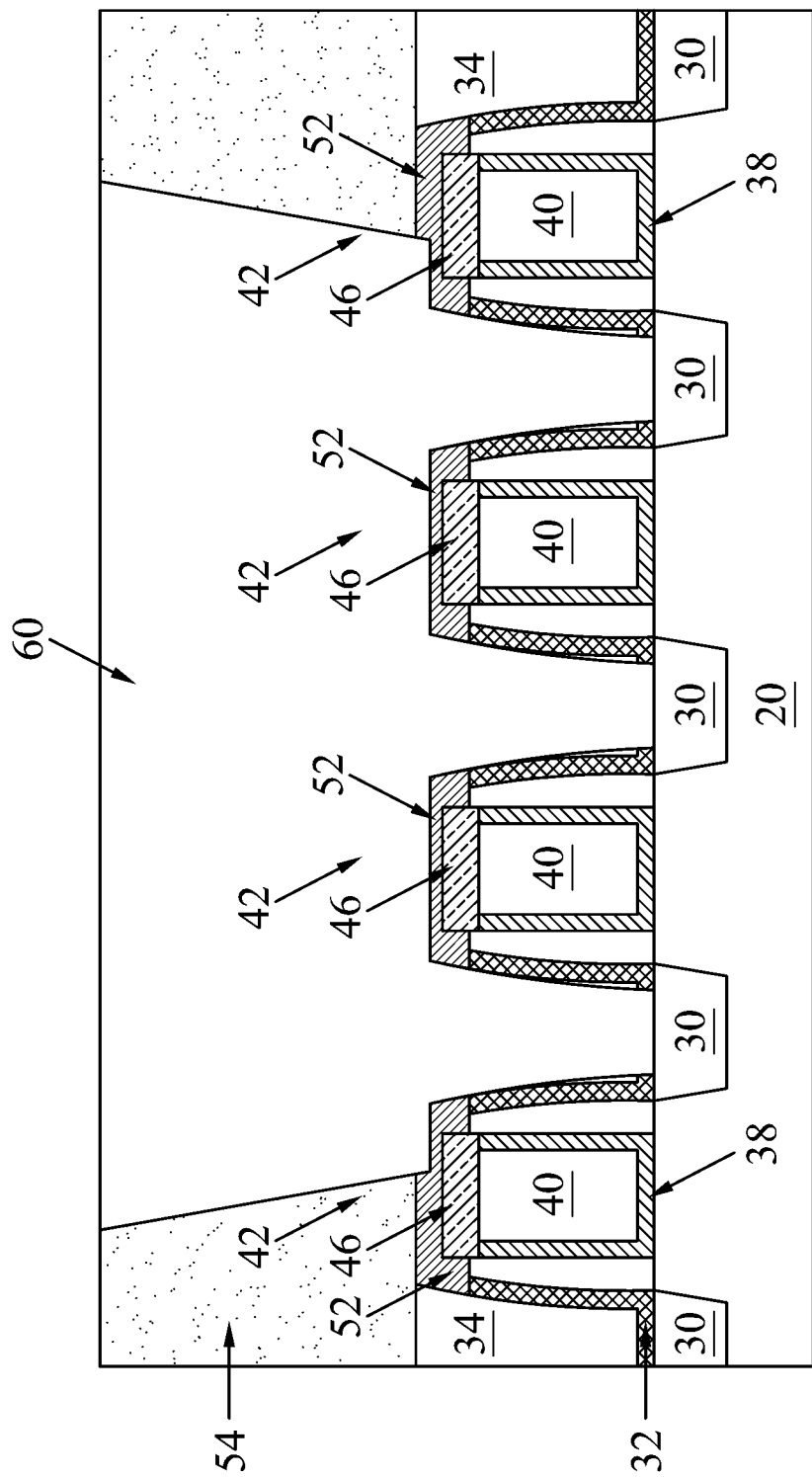
第 19 圖



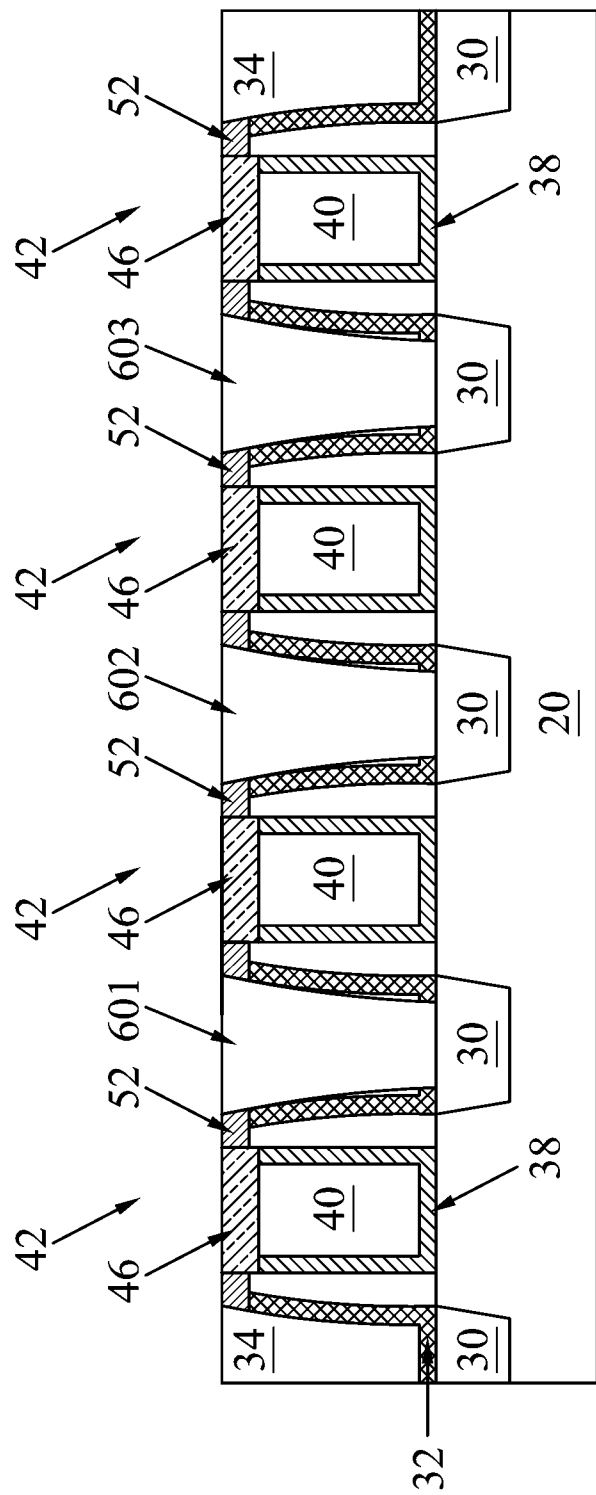
第 20 圖



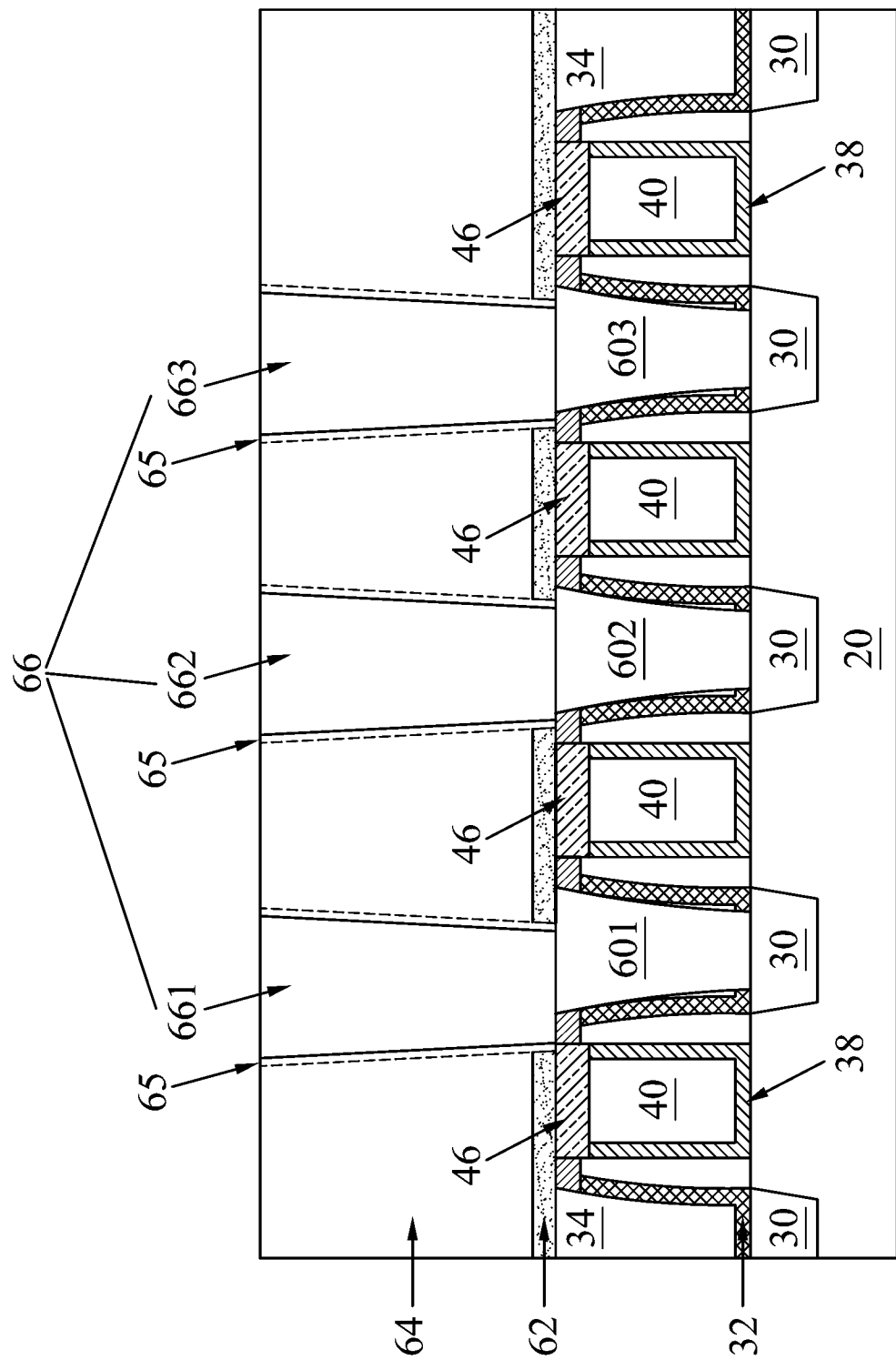
第21圖



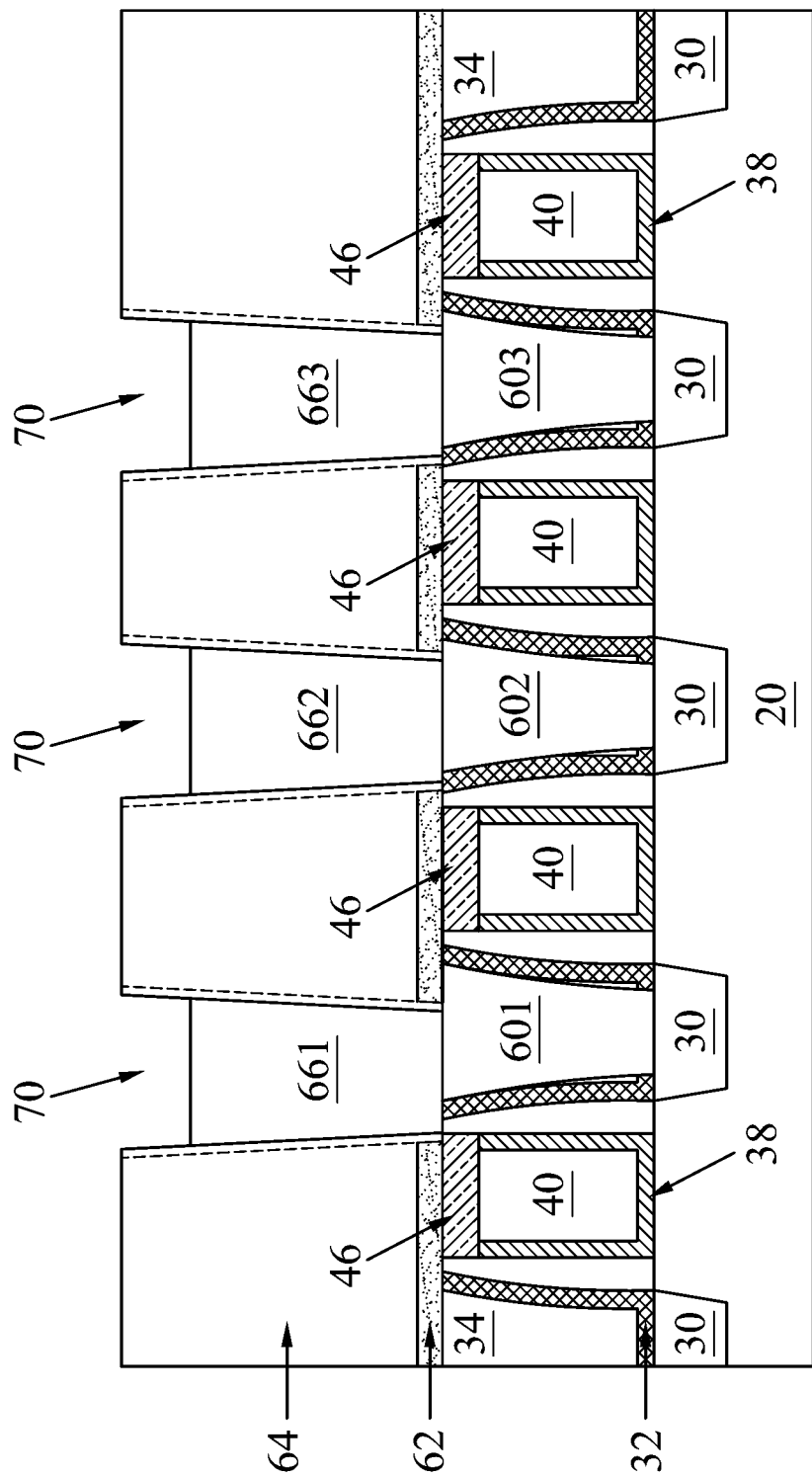
第 22 圖



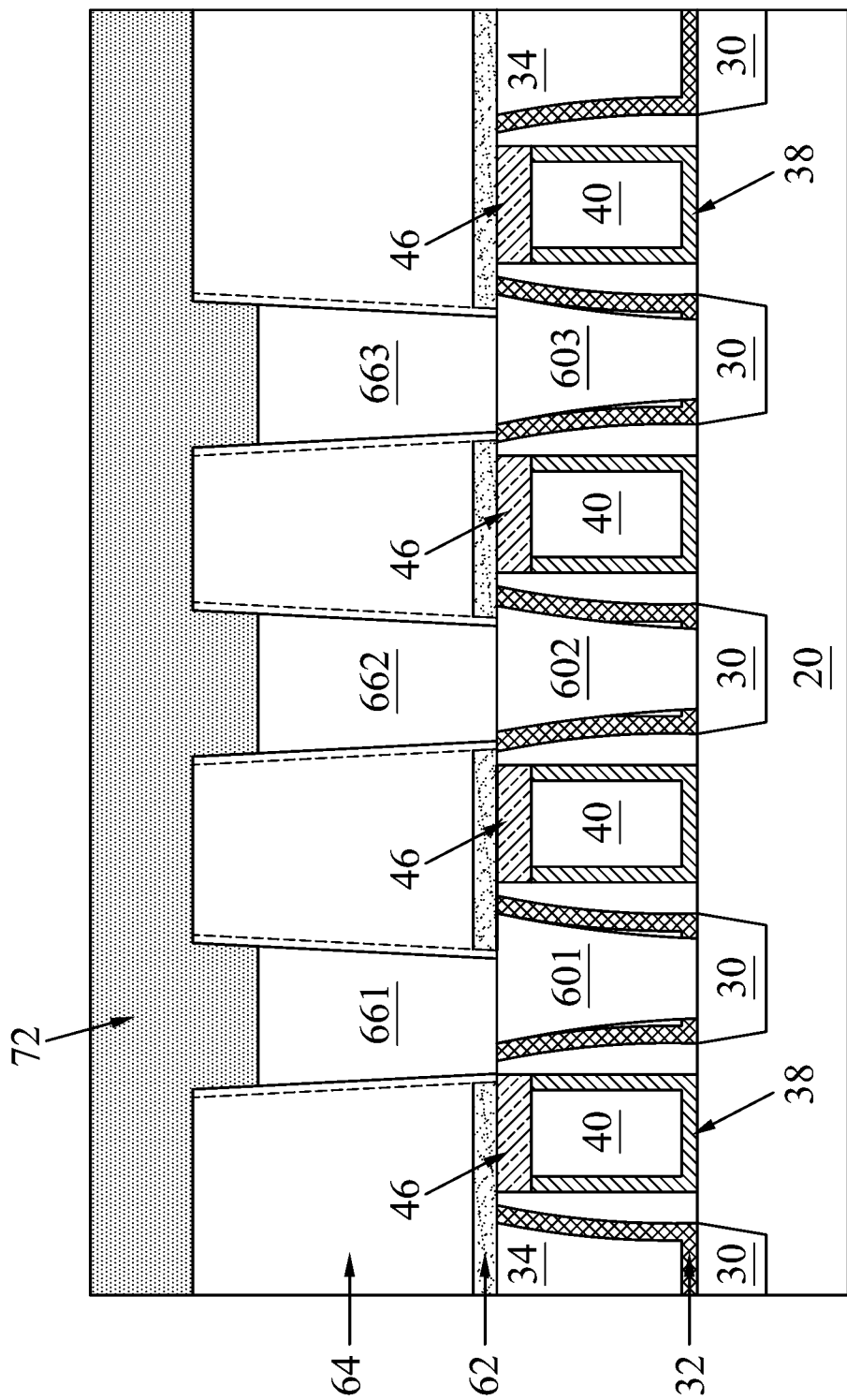
第 23 圖



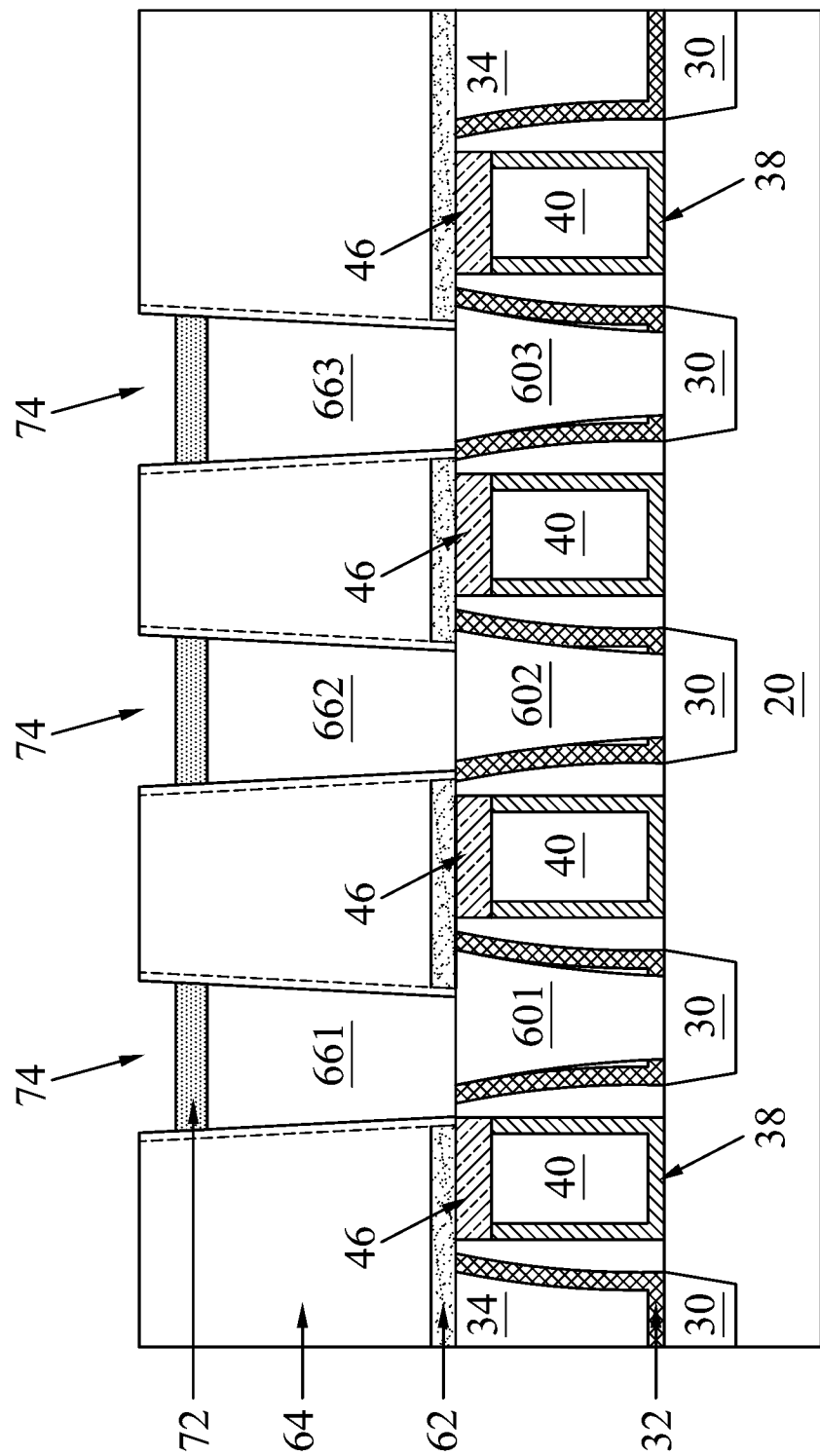
第 24 圖



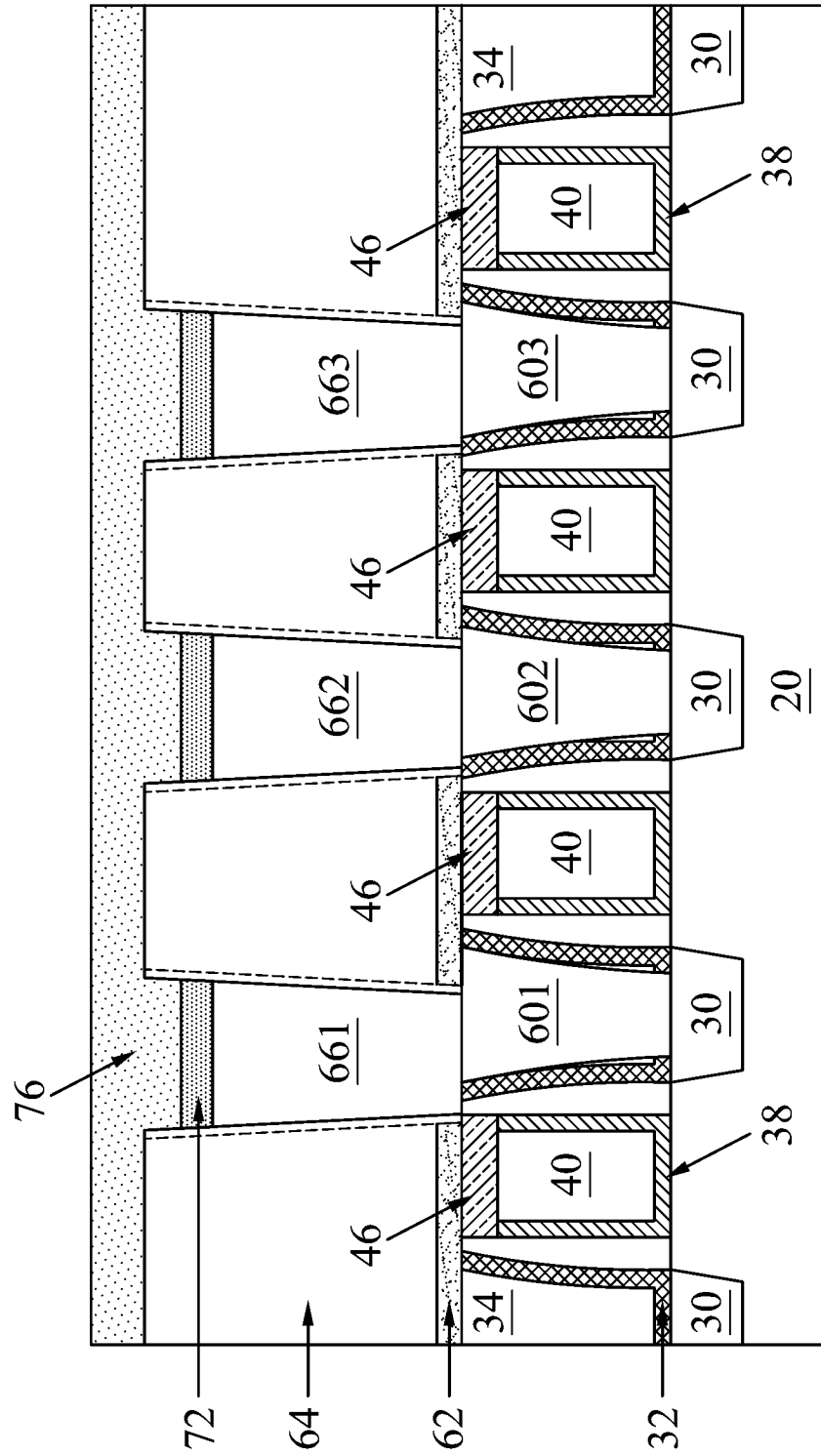
第 25 圖



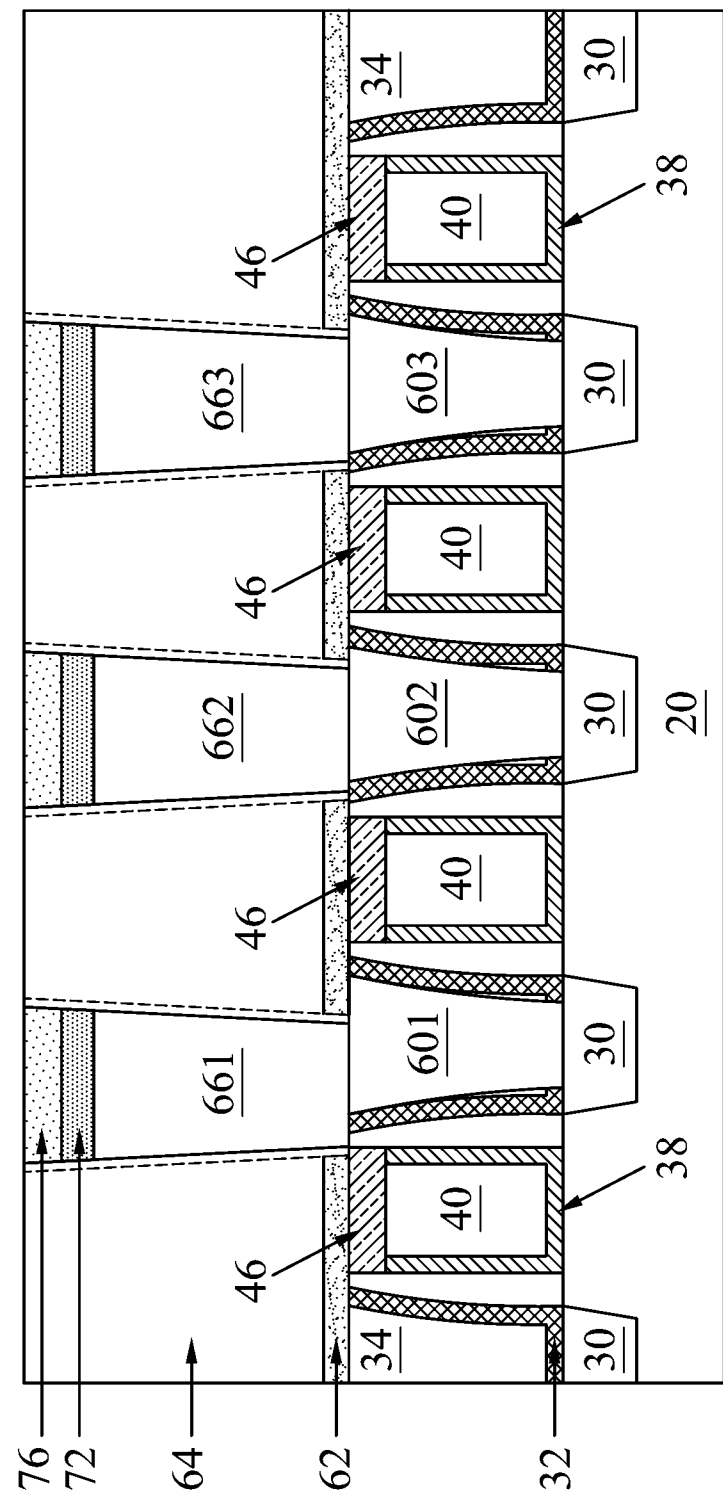
第 26 圖



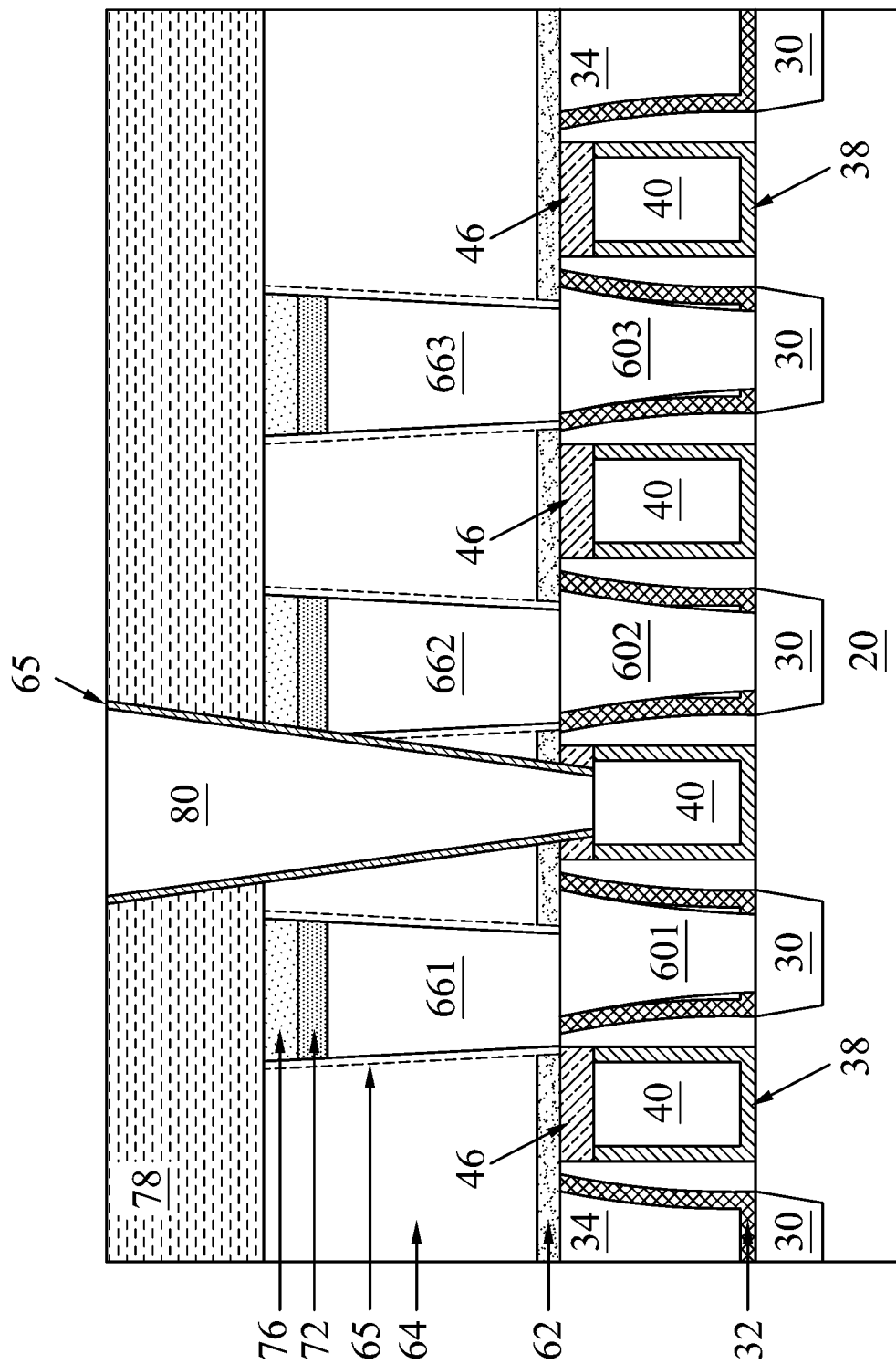
第 27 圖



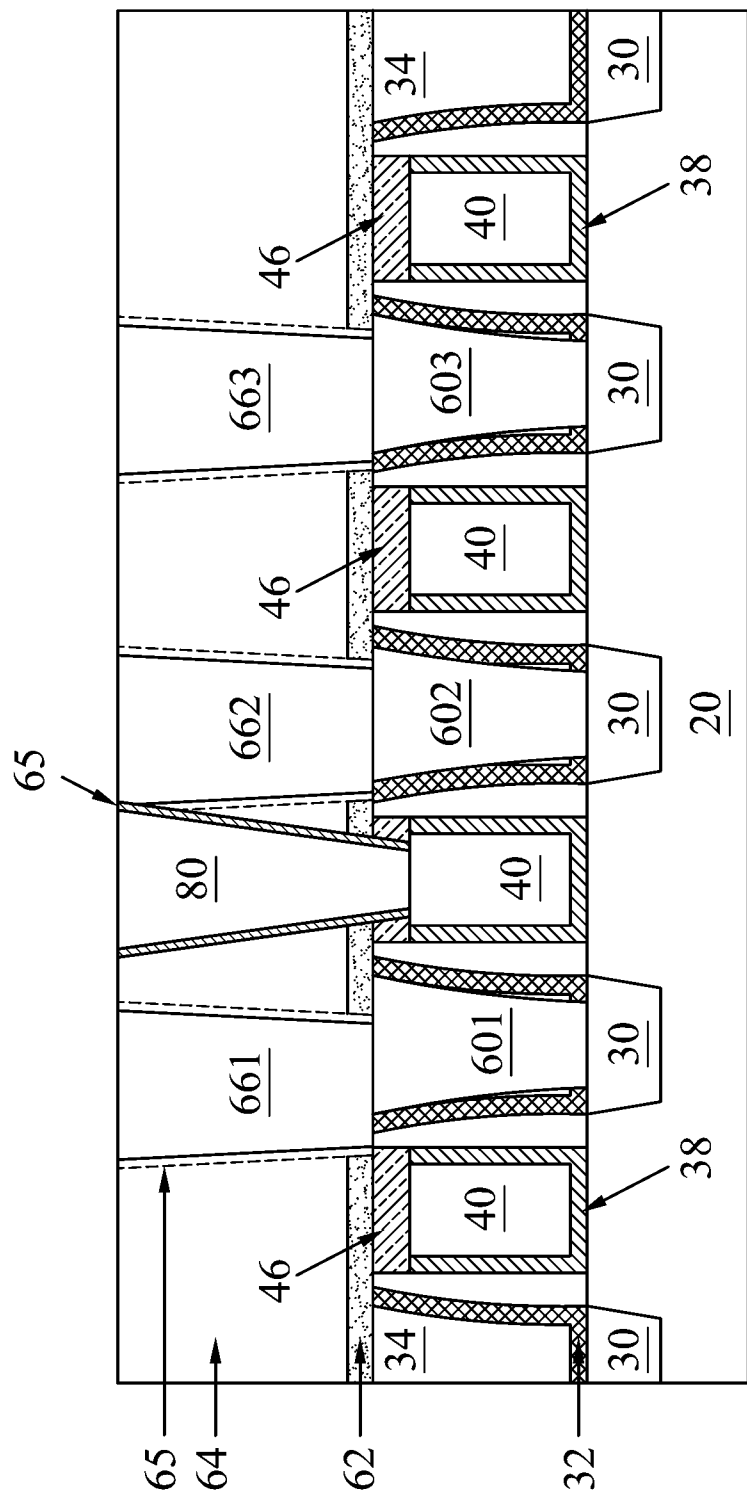
第 28 圖



第 29 圖



第 30 圖



第31圖