



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월16일  
(11) 등록번호 10-2716843  
(24) 등록일자 2024년10월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) G09G 3/30 (2006.01)  
(52) CPC특허분류  
G09G 3/2092 (2013.01)  
G09G 3/30 (2013.01)  
(21) 출원번호 10-2019-0144509  
(22) 출원일자 2019년11월12일  
심사청구일자 2022년10월26일  
(65) 공개번호 10-2021-0057892  
(43) 공개일자 2021년05월24일  
(56) 선행기술조사문헌  
KR1020170029701 A\*  
US20150194119 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
후지이, 미츠클루  
경기도 용인시 기흥구 삼성로 1 (농서동)  
문지예  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(74) 대리인  
오중한, 문용호

전체 청구항 수 : 총 20 항

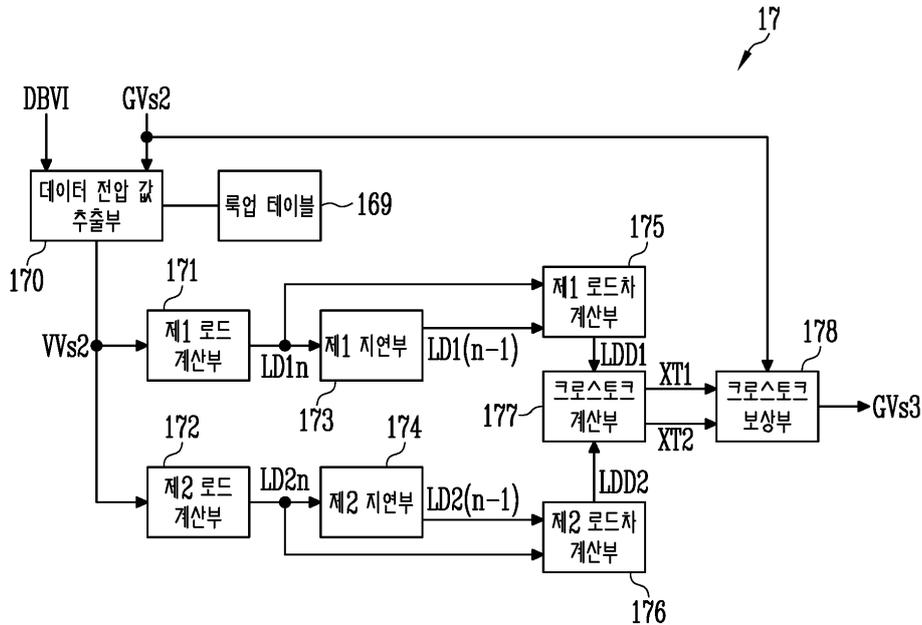
심사관 : 한윤덕

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명의 표시 장치는, 데이터 출력 라인들로, 제1 기간 동안 제1 데이터 전압들을 제공하고, 상기 제1 기간 이후의 제2 기간 동안 제2 데이터 전압들을 제공하고, 상기 제2 기간 이후의 제3 기간 동안 제3 데이터 전압들을 제공하고, 상기 제3 기간 이후의 제4 기간 동안 제4 데이터 전압들을 제공하는 데이터 구동부; 상기 데이터 출력 (뒷면에 계속)

대표도 - 도12



라인들을, 상기 제1 기간 동안 제1 데이터 라인들과 연결하고, 상기 제2 기간 동안 제2 데이터 라인들과 연결하고, 상기 제3 기간 동안 상기 제1 데이터 라인들과 연결하고, 상기 제4 기간 동안 제2 데이터 라인들과 연결하는 데이터 분배부; 상기 제2 기간의 시작 후 및 상기 제3 기간의 시작 전에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하는 제1 화소들; 상기 제4 기간의 시작 후에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하는 제2 화소들; 및 상기 제1 데이터 전압들 및 상기 제3 데이터 전압들의 제1 로드차(load difference) 및 상기 제2 데이터 전압들 및 상기 제4 데이터 전압들의 제2 로드차에 기초하여, 상기 제3 데이터 전압들 및 상기 제4 데이터 전압들을 보상하는 데이터 보상부를 포함한다.

(52) CPC특허분류

G09G 2310/02 (2013.01)  
 G09G 2310/0267 (2013.01)  
 G09G 2320/0209 (2013.01)  
 G09G 2320/0693 (2013.01)

**이후현**

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

**석주곤**

경기도 용인시 기흥구 삼성로 1 (농서동)

## 명세서

### 청구범위

#### 청구항 1

데이터 출력 라인들로, 제1 기간 동안 제1 데이터 전압들을 제공하고, 상기 제1 기간 이후의 제2 기간 동안 제2 데이터 전압들을 제공하고, 상기 제2 기간 이후의 제3 기간 동안 제3 데이터 전압들을 제공하고, 상기 제3 기간 이후의 제4 기간 동안 제4 데이터 전압들을 제공하는 데이터 구동부;

상기 데이터 출력 라인들을, 상기 제1 기간 동안 제1 데이터 라인들과 연결하고, 상기 제2 기간 동안 제2 데이터 라인들과 연결하고, 상기 제3 기간 동안 상기 제1 데이터 라인들과 연결하고, 상기 제4 기간 동안 제2 데이터 라인들과 연결하는 데이터 분배부;

상기 제2 기간의 시작 후 및 상기 제2 기간의 종료 전에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하기 시작하는 제1 화소들;

상기 제4 기간의 시작 후 및 상기 제4 기간의 종료 전에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하기 시작하는 제2 화소들; 및

상기 제1 데이터 전압들 및 상기 제3 데이터 전압들의 제1 로드차(load difference) 및 상기 제2 데이터 전압들 및 상기 제4 데이터 전압들의 제2 로드차에 기초하여, 상기 제3 데이터 전압들 및 상기 제4 데이터 전압들을 보상하는 데이터 보상부를 포함하는,

표시 장치.

#### 청구항 2

데이터 출력 라인들로, 제1 기간 동안 제1 데이터 전압들을 제공하고, 상기 제1 기간 이후의 제2 기간 동안 제2 데이터 전압들을 제공하고, 상기 제2 기간 이후의 제3 기간 동안 제3 데이터 전압들을 제공하고, 상기 제3 기간 이후의 제4 기간 동안 제4 데이터 전압들을 제공하는 데이터 구동부;

상기 데이터 출력 라인들을, 상기 제1 기간 동안 제1 데이터 라인들과 연결하고, 상기 제2 기간 동안 제2 데이터 라인들과 연결하고, 상기 제3 기간 동안 상기 제1 데이터 라인들과 연결하고, 상기 제4 기간 동안 제2 데이터 라인들과 연결하는 데이터 분배부;

상기 제2 기간의 시작 후 및 상기 제3 기간의 시작 전에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하는 제1 화소들;

상기 제4 기간의 시작 후에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하는 제2 화소들; 및

상기 제1 데이터 전압들 및 상기 제3 데이터 전압들의 제1 로드차 및 상기 제2 데이터 전압들 및 상기 제4 데이터 전압들의 제2 로드차에 기초하여, 상기 제3 데이터 전압들 및 상기 제4 데이터 전압들을 보상하는 데이터 보상부를 포함하고,

상기 데이터 보상부는:

상기 제1 데이터 전압들의 로드 값 및 상기 제3 데이터 전압들의 로드 값을 순차적으로 출력하는 제1 로드 계산부; 및

상기 제2 데이터 전압들의 로드 값 및 상기 제4 데이터 전압들의 로드 값을 순차적으로 출력하는 제2 로드 계산부를 포함하는,

표시 장치.

#### 청구항 3

제2 항에 있어서,

상기 데이터 보상부는:

상기 제1 데이터 전압들의 로드 값을 미리 정해진 시간만큼 지연시켜 출력하는 제1 지연부; 및

상기 제2 데이터 전압들의 로드 값을 상기 미리 정해진 시간만큼 지연시켜 출력하는 제2 지연부를 더 포함하는,  
표시 장치.

#### 청구항 4

제3 항에 있어서,

상기 미리 정해진 시간은 1 수평 주기인,

표시 장치.

#### 청구항 5

제3 항에 있어서,

상기 데이터 보상부는:

상기 제1 로드 계산부의 출력 및 상기 제1 지연부의 출력에 기초하여 상기 제1 로드차를 출력하는 제1 로드차 계산부; 및

상기 제2 로드 계산부의 출력 및 상기 제2 지연부의 출력에 기초하여 상기 제2 로드차를 출력하는 제2 로드차 계산부를 더 포함하는,

표시 장치.

#### 청구항 6

제5 항에 있어서,

상기 데이터 보상부는:

상기 제1 로드차 및 상기 제2 로드차에 기초하여, 상기 제3 데이터 전압들에 대한 제1 크로스토크 양 및 상기 제4 데이터 전압들에 대한 제2 크로스토크 양을 계산하는 크로스토크 계산부를 더 포함하는,

표시 장치.

#### 청구항 7

제6 항에 있어서,

상기 제1 크로스토크 양은 제1 가중치를 적용한 상기 제1 로드차 및 제2 가중치를 적용한 상기 제2 로드차를 합산한 값이고,

상기 제2 크로스토크 양은 제3 가중치를 적용한 상기 제1 로드차 및 제4 가중치를 적용한 상기 제2 로드차를 합산한 값인,

표시 장치.

#### 청구항 8

제7 항에 있어서,

상기 제1 가중치, 상기 제3 가중치, 및 상기 제4 가중치의 부호는 상기 제2 가중치의 부호와 다른,

표시 장치.

#### 청구항 9

제8 항에 있어서,

상기 데이터 보상부는:

상기 제1 크로스토크 양에 기초하여 상기 제3 데이터 전압들을 보상하고, 상기 제2 크로스토크 양에 기초하여 상기 제4 데이터 전압들을 보상하는 크로스토크 보상부를 더 포함하는,  
표시 장치.

**청구항 10**

제9 항에 있어서,  
각각의 상기 제1 화소들 및 상기 제2 화소들은 P 형 트랜지스터를 포함하고,  
상기 제1 가중치, 상기 제3 가중치, 및 상기 제4 가중치는 양수이고,  
상기 제2 가중치는 음수이고,  
상기 크로스토크 보상부는 상기 제1 크로스토크 양이 클수록 상기 제3 데이터 전압들을 증가시키고, 상기 제2 크로스토크 양이 클수록 상기 제4 데이터 전압들을 증가시키는,  
표시 장치.

**청구항 11**

제5 항에 있어서,  
상기 데이터 구동부는, 상기 데이터 출력 라인들로, 상기 제2 기간 및 상기 제3 기간 사이인 제5 기간 동안 제5 데이터 전압들을 제공하고, 상기 제4 기간 이후의 제6 기간 동안 제6 데이터 전압들을 제공하고,  
상기 데이터 분배부는, 상기 데이터 출력 라인들을, 상기 제5 기간 동안 제3 데이터 라인들과 연결하고, 상기 제6 기간 동안 상기 제3 데이터 라인들과 연결하고,  
상기 제1 화소들은 상기 제5 기간의 시작 후 및 상기 제3 기간의 시작 전에, 상기 제1 데이터 라인들, 상기 제2 데이터 라인들, 및 상기 제3 데이터 라인들에 충전된 전압들을 수신하고,  
상기 제2 화소들은 상기 제6 기간의 시작 후에, 상기 제1 데이터 라인들, 상기 제2 데이터 라인들, 및 상기 제3 데이터 라인들에 충전된 전압들을 수신하는,  
표시 장치.

**청구항 12**

제11 항에 있어서,  
상기 데이터 보상부는 상기 제1 로드차, 상기 제2 로드차, 및 상기 제5 데이터 전압들 및 상기 제6 데이터 전압들의 제3 로드차에 기초하여 상기 제3 데이터 전압들, 상기 제4 데이터 전압들, 및 상기 제6 데이터 전압들을 보상하는,  
표시 장치.

**청구항 13**

제12 항에 있어서,  
상기 데이터 보상부는:  
상기 제5 데이터 전압들의 로드 값 및 상기 제6 데이터 전압들의 로드 값을 순차적으로 출력하는 제3 로드 계산부를 더 포함하는,  
표시 장치.

**청구항 14**

제13 항에 있어서,  
상기 데이터 보상부는:

상기 제5 데이터 전압들의 로드 값을 상기 미리 정해진 시간만큼 지연시켜 출력하는 제3 지연부를 더 포함하는, 표시 장치.

**청구항 15**

제14 항에 있어서,

상기 데이터 보상부는:

상기 제3 로드 계산부의 출력 및 상기 제3 지연부의 출력에 기초하여 상기 제3 로드차를 출력하는 제3 로드차 계산부를 더 포함하는,

표시 장치.

**청구항 16**

제15 항에 있어서,

상기 데이터 보상부는:

상기 제1 로드차, 상기 제2 로드차, 및 상기 제3 로드차에 기초하여, 상기 제3 데이터 전압들에 대한 제1 크로스토크 양, 상기 제4 데이터 전압들에 대한 제2 크로스토크 양, 및 상기 제6 데이터 전압들에 대한 제3 크로스토크 양을 계산하는 크로스토크 계산부를 더 포함하는,

표시 장치.

**청구항 17**

제16 항에 있어서,

상기 제1 크로스토크 양은 제1 가중치를 적용한 상기 제1 로드차, 제2 가중치를 적용한 상기 제2 로드차, 및 제3 가중치를 적용한 제3 로드차를 합산한 값이고,

상기 제2 크로스토크 양은 제4 가중치를 적용한 상기 제1 로드차, 제5 가중치를 적용한 상기 제2 로드차, 및 제6 가중치를 적용한 제3 로드차를 합산한 값이고,

상기 제3 크로스토크 양은 제7 가중치를 적용한 상기 제1 로드차, 제8 가중치를 적용한 상기 제2 로드차, 및 제9 가중치를 적용한 제3 로드차를 합산한 값인,

표시 장치.

**청구항 18**

제17 항에 있어서,

상기 제1 가중치, 상기 제4 가중치, 상기 제5 가중치, 상기 제7 가중치, 상기 제8 가중치, 및 상기 제9 가중치의 부호는 상기 제2 가중치, 상기 제3 가중치, 및 상기 제6 가중치의 부호와 다른,

표시 장치.

**청구항 19**

제18 항에 있어서,

상기 데이터 보상부는:

상기 제1 크로스토크 양에 기초하여 상기 제3 데이터 전압들을 보상하고, 상기 제2 크로스토크 양에 기초하여 상기 제4 데이터 전압들을 보상하고, 상기 제3 크로스토크 양에 기초하여 상기 제6 데이터 전압들을 보상하는 크로스토크 보상부를 더 포함하는,

표시 장치.

**청구항 20**

제19 항에 있어서,

각각의 상기 제1 화소들 및 상기 제2 화소들은 P 형 트랜지스터를 포함하고,

상기 제1 가중치, 상기 제4 가중치, 상기 제5 가중치, 상기 제7 가중치, 상기 제8 가중치, 및 상기 제9 가중치는 양수이고,

상기 제2 가중치, 상기 제3 가중치, 및 상기 제6 가중치는 음수이고,

상기 크로스토크 보상부는 상기 제1 크로스토크 양이 클수록 상기 제3 데이터 전압들을 증가시키고, 상기 제2 크로스토크 양이 클수록 상기 제4 데이터 전압들을 증가시키고, 상기 제3 크로스토크 양이 클수록 상기 제6 데이터 전압들을 증가시키는,

표시 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

#### 배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결매체인 표시 장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display Device), 유기 발광 표시 장치(Organic Light Emitting Display Device), 플라즈마 표시 장치(Plasma Display Device) 등과 같은 표시 장치의 사용이 증가하고 있다.

[0003] 표시 장치는 복수의 화소들의 발광 조합을 이용하여, 영상 프레임을 표시한다. 이때, 영상 프레임의 패턴에 따라 표시 품질을 저하시키는 선 크로스토크 현상(line crosstalk defect)이 발생할 수 있다. 선 크로스토크 현상이 발생하면, 의도되지 않은 명선(bright line) 또는 암선(dark line)이 표시됨으로써, 사용자가 표시 오류로 인식할 수 있다.

#### 발명의 내용

##### 해결하려는 과제

[0004] 해결하고자 하는 기술적 과제는, 데이터 분배부를 사용할 때 선 크로스토크 현상을 최소화할 수 있는 표시 장치를 제공하는 데 있다.

##### 과제의 해결 수단

[0005] 본 발명의 한 실시예에 따른 표시 장치는, 데이터 출력 라인들로, 제1 기간 동안 제1 데이터 전압들을 제공하고, 상기 제1 기간 이후의 제2 기간 동안 제2 데이터 전압들을 제공하고, 상기 제2 기간 이후의 제3 기간 동안 제3 데이터 전압들을 제공하고, 상기 제3 기간 이후의 제4 기간 동안 제4 데이터 전압들을 제공하는 데이터 구동부; 상기 데이터 출력 라인들을, 상기 제1 기간 동안 제1 데이터 라인들과 연결하고, 상기 제2 기간 동안 제2 데이터 라인들과 연결하고, 상기 제3 기간 동안 상기 제1 데이터 라인들과 연결하고, 상기 제4 기간 동안 제2 데이터 라인들과 연결하는 데이터 분배부; 상기 제2 기간의 시작 후 및 상기 제3 기간의 시작 전에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하는 제1 화소들; 상기 제4 기간의 시작 후에, 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들에 충전된 전압들을 수신하는 제2 화소들; 및 상기 제1 데이터 전압들 및 상기 제3 데이터 전압들의 제1 로드차(load difference) 및 상기 제2 데이터 전압들 및 상기 제4 데이터 전압들의 제2 로드차에 기초하여, 상기 제3 데이터 전압들 및 상기 제4 데이터 전압들을 보상하는 데이터 보상부를 포함한다.

[0006] 상기 데이터 보상부는: 상기 제1 데이터 전압들의 로드 값 및 상기 제3 데이터 전압들의 로드 값을 순차적으로 출력하는 제1 로드 계산부; 및 상기 제2 데이터 전압들의 로드 값 및 상기 제4 데이터 전압들의 로드 값을 순차적으로 출력하는 제2 로드 계산부를 포함할 수 있다.

[0007] 상기 데이터 보상부는: 상기 제1 데이터 전압들의 로드 값을 미리 정해진 시간만큼 지연시켜 출력하는 제1 지연부; 및 상기 제2 데이터 전압들의 로드 값을 상기 미리 정해진 시간만큼 지연시켜 출력하는 제2 지연부를 더 포

함할 수 있다.

- [0008] 상기 미리 정해진 시간은 1 수평 주기일 수 있다.
- [0009] 상기 데이터 보상부는: 상기 제1 로드 계산부의 출력 및 상기 제1 지연부의 출력에 기초하여 상기 제1 로드차를 출력하는 제1 로드차 계산부; 및 상기 제2 로드 계산부의 출력 및 상기 제2 지연부의 출력에 기초하여 상기 제2 로드차를 출력하는 제2 로드차 계산부를 더 포함할 수 있다.
- [0010] 상기 데이터 보상부는: 상기 제1 로드차 및 상기 제2 로드차에 기초하여, 상기 제3 데이터 전압들에 대한 제1 크로스토크 양 및 상기 제4 데이터 전압들에 대한 제2 크로스토크 양을 계산하는 크로스토크 계산부를 더 포함할 수 있다.
- [0011] 상기 제1 크로스토크 양은 제1 가중치를 적용한 상기 제1 로드차 및 제2 가중치를 적용한 상기 제2 로드차를 합산한 값이고, 상기 제2 크로스토크 양은 제3 가중치를 적용한 상기 제1 로드차 및 제4 가중치를 적용한 상기 제2 로드차를 합산한 값일 수 있다.
- [0012] 상기 제1 가중치, 상기 제3 가중치, 및 상기 제4 가중치의 부호는 상기 제2 가중치의 부호와 다를 수 있다.
- [0013] 상기 데이터 보상부는: 상기 제1 크로스토크 양에 기초하여 상기 제3 데이터 전압들을 보상하고, 상기 제2 크로스토크 양에 기초하여 상기 제4 데이터 전압들을 보상하는 크로스토크 보상부를 더 포함할 수 있다.
- [0014] 각각의 상기 제1 화소들 및 상기 제2 화소들은 P 형 트랜지스터를 포함하고, 상기 상기 제1 가중치, 상기 제3 가중치, 및 상기 제4 가중치는 양수이고, 상기 제2 가중치는 음수이고, 상기 크로스토크 보상부는 상기 제1 크로스토크 양이 클수록 상기 제3 데이터 전압들을 증가시키고, 상기 제2 크로스토크 양이 클수록 상기 제4 데이터 전압들을 증가시킬 수 있다.
- [0015] 상기 데이터 구동부는, 상기 데이터 출력 라인들로, 상기 제2 기간 및 상기 제3 기간 사이인 제5 기간 동안 제5 데이터 전압들을 제공하고, 상기 제4 기간 이후의 제6 기간 동안 제6 데이터 전압들을 제공하고, 상기 데이터 분배부는, 상기 데이터 출력 라인들을, 상기 제5 기간 동안 제3 데이터 라인들과 연결하고, 상기 제6 기간 동안 상기 제3 데이터 라인들과 연결하고, 상기 제1 화소들은 상기 제5 기간의 시작 후 및 상기 제3 기간의 시작 전에, 상기 제1 데이터 라인들, 상기 제2 데이터 라인들, 및 상기 제3 데이터 라인들에 충전된 전압들을 수신하고, 상기 제2 화소들은 상기 제6 기간의 시작 후에, 상기 제1 데이터 라인들, 상기 제2 데이터 라인들, 및 상기 제3 데이터 라인들에 충전된 전압들을 수신할 수 있다.
- [0016] 상기 데이터 보상부는 상기 제1 로드차, 상기 제2 로드차, 및 상기 제5 데이터 전압들 및 상기 제6 데이터 전압들의 제3 로드차에 기초하여 상기 제3 데이터 전압들, 상기 제4 데이터 전압들, 및 상기 제6 데이터 전압들을 보상할 수 있다.
- [0017] 상기 데이터 보상부는: 상기 제5 데이터 전압들의 로드 값 및 상기 제6 데이터 전압들의 로드 값을 순차적으로 출력하는 제3 로드 계산부를 더 포함할 수 있다.
- [0018] 상기 데이터 보상부는: 상기 제5 데이터 전압들의 로드 값을 상기 미리 정해진 시간만큼 지연시켜 출력하는 제3 지연부를 더 포함할 수 있다.
- [0019] 상기 데이터 보상부는: 상기 제3 로드 계산부의 출력 및 상기 제3 지연부의 출력에 기초하여 상기 제3 로드차를 출력하는 제3 로드차 계산부를 더 포함할 수 있다.
- [0020] 상기 데이터 보상부는: 상기 제1 로드차, 상기 제2 로드차, 및 상기 제3 로드차에 기초하여, 상기 제3 데이터 전압들에 대한 제1 크로스토크 양, 상기 제4 데이터 전압들에 대한 제2 크로스토크 양, 및 상기 제6 데이터 전압들에 대한 제3 크로스토크 양을 계산하는 크로스토크 계산부를 더 포함할 수 있다.
- [0021] 상기 제1 크로스토크 양은 제1 가중치를 적용한 상기 제1 로드차, 제2 가중치를 적용한 상기 제2 로드차, 및 제3 가중치를 적용한 제3 로드차를 합산한 값이고, 상기 제2 크로스토크 양은 제4 가중치를 적용한 상기 제1 로드차, 제5 가중치를 적용한 상기 제2 로드차, 및 제6 가중치를 적용한 제3 로드차를 합산한 값이고, 상기 제3 크로스토크 양은 제7 가중치를 적용한 상기 제1 로드차, 제8 가중치를 적용한 상기 제2 로드차, 및 제9 가중치를 적용한 제3 로드차를 합산한 값일 수 있다.
- [0022] 상기 제1 가중치, 상기 제4 가중치, 상기 제5 가중치, 상기 제7 가중치, 상기 제8 가중치, 및 상기 제9 가중치의 부호는 상기 제2 가중치, 상기 제3 가중치, 및 상기 제6 가중치의 부호와 다를 수 있다.

[0023] 상기 데이터 보상부는: 상기 제1 크로스토크 양에 기초하여 상기 제3 데이터 전압들을 보상하고, 상기 제2 크로스토크 양에 기초하여 상기 제4 데이터 전압들을 보상하고, 상기 제3 크로스토크 양에 기초하여 상기 제6 데이터 전압들을 보상하는 크로스토크 보상부를 더 포함할 수 있다.

[0024] 각각의 상기 제1 화소들 및 상기 제2 화소들은 P 형 트랜지스터를 포함하고, 상기 제1 가중치, 상기 제4 가중치, 상기 제5 가중치, 상기 제7 가중치, 상기 제8 가중치, 및 상기 제9 가중치는 양수이고, 상기 제2 가중치, 상기 제3 가중치, 및 상기 제6 가중치는 음수이고, 상기 크로스토크 보상부는 상기 제1 크로스토크 양이 클수록 상기 제3 데이터 전압들을 증가시키고, 상기 제2 크로스토크 양이 클수록 상기 제4 데이터 전압들을 증가시키고, 상기 제3 크로스토크 양이 클수록 상기 제6 데이터 전압들을 증가시킬 수 있다.

**발명의 효과**

[0025] 본 발명에 따른 표시 장치는 데이터 분배부를 사용할 때 선 크로스토크 현상을 최소화할 수 있다.

**도면의 간단한 설명**

- [0026] 도 1은 본 발명의 한 실시예에 따른 표시 장치를 설명하기 위한 도면이다.
- 도 2 및 도 3은 본 발명의 한 실시예에 따른 계조 전압 생성부를 설명하기 위한 도면이다.
- 도 4는 본 발명의 한 실시예에 따른 데이터 구동부를 설명하기 위한 도면이다.
- 도 5 및 도 6은 본 발명의 한 실시예에 따른 데이터 분배부 및 화소부를 설명하기 위한 도면이다.
- 도 7은 본 발명의 한 실시예에 따른 표시 장치의 구동 방법을 설명하기 위한 도면이다.
- 도 8 내지 도 11은 데이터 분배부를 사용할 때 발생할 수 있는 선 크로스토크 현상을 설명하기 위한 도면들이다.
- 도 12는 본 발명의 한 실시예에 따른 데이터 보상부를 설명하기 위한 도면이다.
- 도 13은 본 발명의 다른 실시예에 따른 데이터 분배부 및 화소부를 설명하기 위한 도면이다.
- 도 14는 본 발명의 다른 실시예에 따른 표시 장치의 구동 방법을 설명하기 위한 도면이다.
- 도 15는 본 발명의 다른 실시예에 따른 데이터 보상부를 설명하기 위한 도면이다.
- 도 16은 본 발명의 또 다른 실시예에 따른 데이터 분배부 및 화소부를 설명하기 위한 도면이다.
- 도 17은 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 도면이다.
- 도 18은 본 발명의 또 다른 실시예에 따른 표시 장치를 설명하기 위한 도면이다.
- 도 19는 본 발명의 또 다른 실시예에 따른 데이터 분배부를 설명하기 위한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다. 본 발명의 실시예들은 서로 조합되어 사용될 수도 있고, 서로 독립적으로 사용될 수도 있다.

[0028] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에서도 사용할 수 있다.

[0029] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.

[0030] 도 1은 본 발명의 한 실시예에 따른 표시 장치를 설명하기 위한 도면이다.

[0031] 도 1을 참조하면, 본 발명의 한 실시예에 따른 표시 장치(10)는 타이밍 제어부(11), 데이터 구동부(12), 주사

구동부(13), 화소부(14), 계조 전압 생성부(15), 데이터 분배부(16), 및 데이터 보상부(17)를 포함할 수 있다.

- [0032] 타이밍 제어부(11)는 외부 프로세서로부터 각각의 프레임(frame)에 대한 계조 값들 및 제어 신호들을 수신할 수 있다. 타이밍 제어부(11)는 표시 장치(10)의 사양(specification)에 대응하도록 계조 값들을 렌더링(rendering)할 수 있다. 예를 들어, 외부 프로세서는 각각의 단위 도트(unit dot)에 대해서 적색 계조 값, 녹색 계조 값, 청색 계조 값을 제공할 수 있다. 예를 들어, 화소부(14)가 RGB stripe 구조인 경우, 각각의 계조 값에 화소가 1대 1 대응할 수 있다. 이러한 경우 계조 값들의 렌더링이 불필요할 수 있다. 하지만, 예를 들어, 화소부(14)가 펜타일(pentile) 구조인 경우, 인접한 단위 도트끼리 화소를 공유하므로, 각각의 계조 값에 화소가 1대 1 대응하지 않을 수 있다. 이러한 경우, 계조 값들의 렌더링이 필요할 수 있다. 렌더링되거나 렌더링되지 않은 계조 값들(GVs1)은 데이터 구동부(12)로 제공될 수 있다. 또한, 타이밍 제어부(11)는 데이터 구동부(12)에 데이터 제어 신호(DCS)를 제공할 수 있다. 또한, 타이밍 제어부(11)는 주사 구동부(13)에 주사 제어 신호를 제공할 수 있다.
- [0033] 데이터 구동부(12)는 계조 값들(GVs1) 및 데이터 제어 신호(DCS)를 이용하여 데이터 출력 라인들(D01, D02)로 제공할 데이터 전압들을 생성할 수 있다. 데이터 구동부(12)는, 데이터 보상부(17)에 의해 보상된 계조 값들(GVs3)을 계조 전압 생성부(15)에서 제공한 계조 전압들(DVs)을 이용해 아날로그-디지털 변환함으로써, 데이터 전압들을 생성할 수 있다.
- [0034] 예를 들어, 데이터 구동부(12)는 데이터 출력 라인들(D01, D02)로, 제1 기간 동안 제1 데이터 전압들을 제공하고, 제1 기간 이후의 제2 기간 동안 제2 데이터 전압들을 제공하고, 제2 기간 이후의 제3 기간 동안 제3 데이터 전압들을 제공하고, 제3 기간 이후의 제4 기간 동안 제4 데이터 전압들을 제공할 수 있다.
- [0035] 주사 구동부(13)는 타이밍 제어부(11)로부터 클럭 신호, 주사 시작 신호 등을 수신하여, 주사 라인들(SL1, SL2)에 제공할 주사 신호들을 생성할 수 있다. 주사 구동부(13)는 주사 라인들(SL1, SL2)에 턴-온 레벨의 펄스를 갖는 주사 신호들을 순차적으로 공급할 수 있다. 주사 구동부(13)는 시프트 레지스터(shift register) 형태로 구성된 주사 스테이지들을 포함할 수 있다. 주사 구동부(13)는 클럭 신호의 제어에 따라 턴-온 레벨의 펄스 형태인 주사 시작 신호를 다음 주사 스테이지로 순차적으로 전달하는 방식으로 주사 신호들을 생성할 수 있다. 주사 라인들(SL1, SL2)은 제2 방향(DR2)으로 연장될 수 있다.
- [0036] 화소부(14)는 화소들(PX)을 포함한다. 각각의 화소들(PX)은 대응하는 데이터 라인 및 주사 라인에 연결될 수 있다. 화소들(PX)은 제1 색상의 광을 방출하는 화소들, 제2 색상의 광을 방출하는 화소들, 및 제3 색상의 광을 방출하는 화소들을 포함할 수 있다. 제1 색상, 제2 색상, 및 제3 색상은 서로 다른 색상일 수 있다. 예를 들어, 제1 색상은 적색, 녹색, 및 청색 중 한가지 색상일 수 있고, 제2 색상은 적색, 녹색, 및 청색 중 제1 색상이 아닌 한가지 색상일 수 있고, 제3 색상은 적색, 녹색, 및 청색 중 제1 색상 및 제2 색상이 아닌 나머지 색상일 수 있다. 또한, 제1 내지 제3 색상들로 적색, 녹색, 및 청색 대신 마젠타(magenta), 시안(cyan), 및 옐로우(yellow)가 사용될 수도 있다. 다만, 본 실시예에서는 설명의 편의를 위해 제1 내지 제3 색상들로 적색, 녹색, 및 청색이 사용되며, 마젠타는 적색 및 청색의 조합, 시안은 녹색 및 청색의 조합, 옐로우는 적색 및 녹색의 조합으로 표현되는 것으로 설명한다.
- [0037] 계조 전압 생성부(15)는 입력 최대 휘도 값(DBVI)에 기초하여 계조 전압들(GVs)을 생성할 수 있다. 이하에서 설명의 편의를 위해 0 계조(최소 계조)부터 255 계조(최대 계조)까지 총 256 개 계조들이 존재하는 것으로 설명하나, 계조 값을 8 비트 이상으로 표현하는 경우 더 많은 계조가 존재할 수도 있다. 최소 계조는 가장 어두운 계조이며, 최대 계조는 가장 밝은 계조일 수 있다.
- [0038] 최대 휘도 값은 최대 계조에 대응하여 화소들에서 방출되는 광의 휘도 값일 수 있다. 예를 들어, 최대 휘도 값은 하나의 도트(dot)를 이루는 제1 색상의 화소가 255 계조에 대응하여 발광하고, 제2 색상의 화소가 255 계조에 대응하여 발광하고, 및 제3 색상의 화소가 255 계조에 대응하여 발광함으로써 생성되는 백색 광의 휘도 값일 수 있다. 휘도 값의 단위는 니트(nit)일 수 있다.
- [0039] 따라서, 화소들(PX)은 부분적으로(공간적으로) 어둡거나 밝은 영상 프레임을 표시할 수 있지만, 영상 프레임의 최대 밝기는 최대 휘도 값으로 제한되게 된다. 이러한 최대 휘도 값은 표시 장치(10)에 대한 사용자의 조작에 의해 수동적으로 설정되거나, 조도 센서 등과 연계된 알고리즘에 의해 자동적으로 설정될 수 있다. 이때, 설정되는 최대 휘도 값을 입력 최대 휘도 값(DBVI)이라고 표현한다. 계조 전압 생성부(15)는 외부 프로세서로부터 입력 최대 휘도 값(DBVI)을 직접 수신하도록 구성될 수도 있고, 타이밍 제어부(11)를 통해서 입력 최대 휘도 값(DBVI)을 수신하도록 구성될 수도 있다.

- [0040] 제품에 따라 달라질 수 있지만, 예를 들어, 최대 휘도 값의 최대 값은 1200 니트이고, 최소 값은 4 니트일 수 있다. 계조 값이 동일하더라도 입력 최대 휘도 값(DBVI)이 달라지면, 계조 전압 생성부(15)에서 다른 계조 전압들(DVs)을 제공하므로 화소들(PX)의 발광 휘도도 달라지게 된다.
- [0041] 데이터 분배부(16)는 데이터 출력 라인들(DO1, DO2)과 데이터 라인들(DL1, DL2, DL3, DL4)을 선택적으로 연결시킬 수 있다. 데이터 라인들(DL1~DL4)의 개수는 데이터 출력 라인들(DO1, DO2)의 개수보다 클 수 있다. 예를 들어, 데이터 라인들(DL1~DL4)의 개수는 데이터 출력 라인들(DO1, DO2)의 개수의 정수배에 해당할 수 있다. 데이터 분배부(16)는 일종의 디멀티플렉서(demultiplexer)일 수 있다. 데이터 라인들(DL1~DL4)은 제1 방향(DR1)으로 연장될 수 있다. 제1 방향(DR1) 및 제2 방향(DR2)은 서로 다른 방향일 수 있다. 예를 들어, 제1 방향(DR1) 및 제2 방향(DR2)은 서로 직교할 수 있다.
- [0042] 예를 들어, 데이터 출력 라인들(DO1, DO2) 대 데이터 라인들(DL1~DL4)의 비율은 1:2일 수 있다. 예를 들어, 데이터 분배부(16)는 데이터 출력 라인들(DO1, DO2)을 홀수 번째 데이터 라인들 또는 짝수 번째 데이터 라인들에 교번하여 연결시킬 수 있다. 예를 들어, 데이터 분배부(16)는 데이터 출력 라인들(DO1, DO2)을, 제1 기간 동안 제1 데이터 라인들(DL1, DL3)과 연결하고, 제2 기간 동안 제2 데이터 라인들(DL2, DL4)과 연결하고, 제3 기간 동안 제1 데이터 라인들(DL1, DL3)과 연결하고, 제4 기간 동안 제2 데이터 라인들(DL2, DL4)과 연결할 수 있다.
- [0043] 예를 들어, 데이터 출력 라인들(DO1, DO2) 대 데이터 라인들(DL1~DL4)의 비율은 1:3일 수 있다. 이러한 경우에 대해서는 도 13 내지 도 15를 참조하여 상세히 후술한다.
- [0044] 데이터 보상부(17)는 수신된 계조 값들(GVs2)을 계조 값들(GVs3)로 보상할 수 있다. 계조 값들(GVs2)은 선 크로스토크 효과가 보상되지 않은 값들이고, 계조 값들(GVs3)은 선 크로스토크 효과가 보상된 값들일 수 있다.
- [0045] 본 실시예에서 데이터 보상부(17)는 수신된 계조 값들(GVs2)을 계조 값들(GVs3)로 보상함에 있어서, 입력 최대 휘도 값(DBVI)을 더 이용할 수도 있다. 계조 값들(GVs2) 및 입력 최대 휘도 값(DBVI)이 주어진 경우 해당 영상 프레임의 데이터 전압들을 알 수 있기 때문에, 데이터 보상부(17)는 선 크로스토크 효과를 보다 정확히 보상할 수 있다. 다른 실시예에서, 데이터 보상부(17)는 입력 최대 휘도 값(DBVI)이 아닌 다른 값을 참조함으로써 해당 영상 프레임의 데이터 전압들을 알 수도 있다.
- [0046] 데이터 보상부(17)는 이전 화소행의 로드 값 및 현재 화소행의 로드 값의 차이인 로드차(load difference)를 이용하여 현재 화소행의 계조 값들(GVs2)을 보상할 수 있다. 데이터 구동부(12)가 보상된 계조 값들(GVs3)을 디지털-아날로그 변환함으로써, 데이터 전압들 또한 보상될 수 있다. 다른 실시예에서, 데이터 보상부(17)는 이전 화소행의 로드 값 및 현재 화소행의 로드 값의 차이인 로드차를 이용하여 현재 화소행의 데이터 전압들을 직접 보상할 수도 있다.
- [0047] 화소 행은 동일한 주사 라인에 연결된 화소들을 의미할 수 있다. 즉, 이전 화소 행이란 이전 시점에서 턴-온 레벨의 주사 신호가 공급된 이전 주사 라인에 연결된 화소들을 의미할 수 있다. 현재 화소 행이란 현재 시점에서 턴-온 레벨의 주사 신호가 공급된 현재 주사 라인에 연결된 화소들을 의미할 수 있다. 이전 시점과 현재 시점은 1 수평 주기(1 horizontal period)만큼 차이날 수 있다. 1 수평 주기는 턴-온 레벨의 주사 신호들의 시작점 간의 최소 간격일 수 있다.
- [0048] 예를 들어, 데이터 보상부(17)는 제1 데이터 전압들 및 제3 데이터 전압들의 제1 로드차 및 제2 데이터 전압들 및 상기 제4 데이터 전압들의 제2 로드차에 기초하여, 제3 데이터 전압들 및 제4 데이터 전압들을 보상할 수 있다.
- [0049] 도 2 및 도 3은 본 발명의 한 실시예에 따른 계조 전압 생성부를 설명하기 위한 도면이다.
- [0050] 예를 들어, 영상 프레임이 3원색(적색, 청색, 녹색)으로 구성되는 경우, 계조 전압 생성부(15)는 3원색 각각에 대한 계조 전압들을 제공할 필요가 있다. 따라서, 계조 전압 생성부(15)는 제1 색상에 대한 제1 계조 전압 생성부(15R), 제2 색상에 대한 제2 계조 전압 생성부(미도시), 및 제3 색상에 대한 제3 계조 전압 생성부(미도시)를 포함할 수 있다. 이하에선 제1 계조 전압 생성부(15R)에 대해서 설명한다. 제2 및 제3 계조 전압 생성부들은 실질적으로 동일한 구성을 가질 수 있으므로 중복된 설명을 생략한다.
- [0051] 도 2를 참조하면, 제1 계조 전압 생성부(15R)는 선택 값 제공부(1511), 계조 전압 출력부(1512), 저항 스트링들(RS1~RS11), 멀티플렉서들(MX1~MX12), 및 저항들(R1~R10)을 포함할 수 있다. 제1 계조 전압 생성부(15R)는 계조 전압들(DVs) 중 제1 색상을 표현하기 위한 제1 계조 전압들(RV0, RV1, RV2, RV3, RV4, RV253, RV254, RV255)을 생성할 수 있다.

- [0052] 선택 값 제공부(1511)는 입력 최대 휘도 값(DBVI)에 따라 멀티플렉서들(MX1~MX12)에 대한 선택 값들을 제공할 수 있다. 입력 최대 휘도 값(DBVI)에 따른 선택 값들은 메모리 소자, 예를 들어 레지스터 등의 소자에 미리 저장될 수 있다.
- [0053] 저항 스트링(RS1)은 제1 고전압 단자(VH1)에 인가된 제1 고전압 및 제1 저전압 단자(VL1)에 인가된 제2 저전압의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX1)는 선택 값에 따라 저항 스트링(RS1)으로부터 제공된 중간 전압들 중 하나를 선택하여, 기준 전압(VT)을 출력할 수 있다. 멀티플렉서(MX2)는 선택 값에 따라 저항 스트링(RS1)으로부터 제공된 중간 전압들 중 하나를 선택하여, 255 계조 전압(RV255)을 출력할 수 있다.
- [0054] 저항 스트링(RS11)은 기준 전압(VT) 및 255 계조 전압(RV255)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX12)는 선택 값에 따라 저항 스트링(RS11)으로부터 제공된 중간 전압들 중 하나를 선택하여, 203 계조 전압(RV203)을 출력할 수 있다.
- [0055] 저항 스트링(RS10)은 기준 전압(VT) 및 203 계조 전압(RV203)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX11)는 선택 값에 따라 저항 스트링(RS10)으로부터 제공된 중간 전압들 중 하나를 선택하여, 151 계조 전압(RV151)을 출력할 수 있다.
- [0056] 저항 스트링(RS9)은 기준 전압(VT) 및 151 계조 전압(RV151)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX10)는 선택 값에 따라 저항 스트링(RS9)으로부터 제공된 중간 전압들 중 하나를 선택하여, 87 계조 전압(RV87)을 출력할 수 있다.
- [0057] 저항 스트링(RS8)은 기준 전압(VT) 및 87 계조 전압(RV87)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX9)는 선택 값에 따라 저항 스트링(RS8)으로부터 제공된 중간 전압들 중 하나를 선택하여, 51 계조 전압(RV51)을 출력할 수 있다.
- [0058] 저항 스트링(RS7)은 기준 전압(VT) 및 51 계조 전압(RV51)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX8)는 선택 값에 따라 저항 스트링(RS7)으로부터 제공된 중간 전압들 중 하나를 선택하여, 35 계조 전압(RV35)을 출력할 수 있다.
- [0059] 저항 스트링(RS6)은 기준 전압(VT) 및 35 계조 전압(RV35)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX7)는 선택 값에 따라 저항 스트링(RS6)으로부터 제공된 중간 전압들 중 하나를 선택하여, 23 계조 전압(RV23)을 출력할 수 있다.
- [0060] 저항 스트링(RS5)은 기준 전압(VT) 및 23 계조 전압(RV23)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX6)는 선택 값에 따라 저항 스트링(RS5)으로부터 제공된 중간 전압들 중 하나를 선택하여, 11 계조 전압(RV11)을 출력할 수 있다.
- [0061] 저항 스트링(RS4)은 제1 고전압 및 11 계조 전압(RV11)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX5)는 선택 값에 따라 저항 스트링(RS4)으로부터 제공된 중간 전압들 중 하나를 선택하여, 7 계조 전압(RV7)을 출력할 수 있다.
- [0062] 저항 스트링(RS3)은 제1 고전압 및 7 계조 전압(RV7)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX4)는 선택 값에 따라 저항 스트링(RS3)으로부터 제공된 중간 전압들 중 하나를 선택하여, 1 계조 전압(RV1)을 출력할 수 있다.
- [0063] 저항 스트링(RS2)은 제1 고전압 및 1 계조 전압(RV1)의 중간 전압들을 생성할 수 있다. 멀티플렉서(MX3)는 선택 값에 따라 저항 스트링(RS2)으로부터 제공된 중간 전압들 중 하나를 선택하여, 0 계조 전압(RV0)을 출력할 수 있다.
- [0064] 진술한 0, 1, 7, 11, 23, 35, 51, 87, 151, 203, 및 255 계조들은 기준 계조들로 명명될 수 있다. 또한, 멀티플렉서들(MX2~MX12)로부터 생성된 계조 전압들(RV0, RV1, RV7, RV11, RV23, RV35, RV51, RV87, RV151, RRV203, RV255)은 기준 계조 전압들로 명명될 수 있다. 기준 계조들의 개수 및 기준 계조들에 해당하는 계조 번호는 제품에 따라 달리 설정될 수 있다. 이하에서는 설명의 편의를 위하여, 0, 1, 7, 11, 23, 35, 51, 87, 151, 203, 및 255 계조를 기준 계조로서 설명한다.
- [0065] 계조 전압 출력부(1512)는 기준 계조 전압들(RV0, RV1, RV7, RV11, RV23, RV35, RV51, RV87, RV151, RRV203, RV255)을 분압하여, 제1 계조 전압들(RV0~RV255)을 생성할 수 있다. 예를 들어, 계조 전압 출력부(1512)는 기준 계조 전압들(RV1, RV7)을 분압하여 제1 계조 전압들(RV2~RV6)을 생성할 수 있다.

- [0066] 도 3을 참조하면, 계조 값에 대한 출력 휘도의 백색 광 곡선들(WC1, WC2, WC(k-1), WCk)이 도시된다. k는 0보다 큰 정수일 수 있다.
- [0067] 백색 광 곡선들(WC1~WCk)의 최대 휘도 값들은 서로 다를 수 있다. 예를 들어, 백색 광 곡선(WC1)의 최대 휘도 값(예를 들어, 4 니트)이 가장 낮고, 백색 광 곡선(WCk)의 최대 휘도 값(예를 들어, 1200 니트)이 가장 높을 수 있다.
- [0068] 이때, 백색 광을 생성하기 위해서, 모든 색상의 화소들(14)은 동일한 계조에 대한 데이터 전압들을 입력받는 것으로 가정한다.
- [0069] 도 3의 백색 광 곡선들(WC1~WCk) 상에 도시된 가상의 점들(imaginary dots)이 전술한 선택 값 제공부(1511)에 미리 저장된 선택 값들과 대응할 수 있다. 선택 값들의 개수가 많을 수록 더 정확한 백색 광 곡선들을 직접 표현 할 수 있지만, 증가된 선택 값들에 대응하는 멀티플렉서들, 레지스터들 등의 물리 소자들도 더 필요하게 되므로 한계가 존재한다. 따라서, 전술한 기준 계조 전압들에 대한 선택 값들이 미리 저장되고 사용되며, 나머지 계조 전압들은 분압되어 생성될 수 있다. 또한, 동일한 이유로 4 니트 내지 1200 니트 사이에서 일부 최대 휘도 값들(예를 들어, 기준 최대 휘도 값들)에 대한 선택 값들이 미리 저장되고 사용되며, 나머지 최대 휘도 값들에 대해서는 선택 값들이 보간되어 생성될 수 있다.
- [0070] 미리 저장된 선택 값들은 다-시점 프로그래밍(MTP, multi-time programming)을 통해서, 개별 제품 마다 설정될 수 있다. 즉, 계조 값들에 대해서 목적하는 휘도의 백색 광이 방출될 수 있도록, 반복 측정을 통해서 선택 값들이 설정되어 제품에 저장될 수 있다.
- [0071] 도 4는 본 발명의 한 실시예에 따른 데이터 구동부를 설명하기 위한 도면이다.
- [0072] 도 4를 참조하면, 본 발명의 한 실시예에 따른 데이터 구동부(12)는 쉬프트 레지스터(SHR), 샘플링 래치부(SLU), 제1 홀딩 래치부(HLU1), 제2 홀딩 래치부(HLU2), 디지털-아날로그 변환부(DAU), 및 버퍼부(BFU)를 포함할 수 있다.
- [0073] 타이밍 제어부(11)로부터 수신된 데이터 제어 신호(DCS)는 소스 쉬프트 클럭(SSC, source shift clock), 소스 스타트 펄스(SSP, source start pulse), 소스 출력 인에이블 신호들(SOE1, SOE2, source output enable signals) 등을 포함할 수 있다.
- [0074] 쉬프트 레지스터(SHR)는 소스 쉬프트 클럭(SSC)의 1 주기마다 소스 스타트 펄스(SSP)를 쉬프트시키면서 샘플링 신호들을 순차적으로 생성할 수 있다.
- [0075] 샘플링 래치부(SLU)는 샘플링 래치들을 포함하고, 타이밍 제어부(11)로부터 영상 프레임에 대한 계조 값들(GVs1)을 순차적으로 제공받을 수 있다. 샘플링 래치부(SLU)는 쉬프트 레지스터(SHR)로부터 순차적으로 공급받은 샘플링 신호들에 응답하여, 타이밍 제어부(11)로부터 순차적으로 제공받은 계조 값들(GVs1)을 대응하는 샘플링 래치들에 저장할 수 있다.
- [0076] 제1 홀딩 래치부(HLU1)는 제1 홀딩 래치들을 포함할 수 있다. 제1 홀딩 래치부(HLU1)는 제1 소스 출력 인에이블 신호(SOE1)가 입력될 때, 샘플링 래치들에 저장된 계조 값들(GVs1)을 제1 홀딩 래치들에 저장할 수 있다. 데이터 보상부(17)는 제1 홀딩 래치들로부터 출력된 계조 값들(GVs2)을 이용하여 보상된 계조 값들(GVs3)을 출력할 수 있다.
- [0077] 제2 홀딩 래치부(HLU2)는 제2 홀딩 래치들을 포함할 수 있다. 제2 홀딩 래치부(HLU2)는 제2 소스 출력 인에이블 신호(SOE2)가 입력될 때, 데이터 보상부(17)로부터 출력된 보상된 계조 값들(GVs3)을 제2 홀딩 래치들에 저장할 수 있다.
- [0078] 디지털-아날로그 변환부(DAU)는 디지털-아날로그 변환기들을 포함할 수 있다. 디지털-아날로그 변환기들은 데이터 보상부(17)에 의해 보상된 계조 값들(GVs3)을 계조 전압 생성부(15)에서 제공한 계조 전압들(DVs)을 이용해 아날로그-디지털 변환할 수 있다.
- [0079] 버퍼부(BFU)는 버퍼들을 포함할 수 있다. 예를 들어, 각각의 버퍼들은 연산 증폭기(operational amplifier)일 수 있다. 각각의 버퍼들은 전압 팔로워(voltage follower) 형태로 구성되어 디지털-아날로그 변환기의 출력을 데이터 전압으로써 대응하는 데이터 출력 라인에 인가할 수 있다.
- [0080] 도 5 및 도 6은 본 발명의 한 실시예에 따른 데이터 분배부 및 화소부를 설명하기 위한 도면이다.

- [0081] 도 5를 참조하면, 데이터 분배부(16)는 제1 트랜지스터들(M11, M12) 및 제2 트랜지스터들(M21, M22)을 포함할 수 있다. 제1 트랜지스터들(M11, M12)의 게이트 전극은 제1 제어 라인(CL1)에 연결되고, 제1 전극들은 데이터 출력 라인들(D01, D02)에 연결되고, 제2 전극들은 제1 데이터 라인들(DL1, DL3)에 연결될 수 있다. 제2 트랜지스터들(M21, M22)의 게이트 전극은 제2 제어 라인(CL2)에 연결되고, 제1 전극들은 데이터 출력 라인들(D01, D02)에 연결되고, 제2 전극들은 제2 데이터 라인들(DL2, DL4)에 연결될 수 있다. 예를 들어, 데이터 분배부(16)는 입력 대 출력의 비율이 1:2인 디멀티플렉서일 수 있다.
- [0082] 제1 트랜지스터들(M11, M12)의 턴-온 기간과 제2 트랜지스터들(M21, M22)의 턴-온 기간은 서로 중첩되지 않을 수 있다. 타이밍 제어부(11)는 제1 트랜지스터들(M11, M12) 및 제2 트랜지스터들(M21, M22)이 교번적으로 턴-온 되도록 제1 및 제2 제어 라인들(CL1, CL2)로 턴-온 레벨의 제어 신호들을 제공할 수 있다.
- [0083] 예를 들어, 제1 트랜지스터들(M11, M12)의 개수와 제2 트랜지스터들(M21, M22)의 개수는 동일할 수 있다. 또한, 제1 데이터 라인들(DL1, DL3) 및 제2 데이터 라인들(DL2, DL4)의 개수는 동일할 수 있다. 제1 데이터 라인들(DL1, DL3) 및 제2 데이터 라인들(DL2, DL4)은 서로 교번하도록 배열될 수 있다.
- [0084] 예를 들어, 화소부(14)는 펜타일(pentile) 구조로 배열된 화소들(PX1, PX2, PX3, PX4, PX5, PX6, PX7, PX8)을 포함할 수 있다. 제1 주사 라인(SL1)에는 제1 화소들(PX1, PX2, PX5, PX6)이 연결될 수 있다. 제1 화소들(PX1, PX2, PX5, PX6)은, 제1 주사 라인(SL1)의 연장 방향을 따라서, 적색, 녹색, 청색, 및 녹색이 순차적으로 반복되도록 구성될 수 있다. 제1 화소들(PX1, PX2, PX5, PX6)은 서로 다른 데이터 라인들(DL1, DL2, DL3, DL4)에 연결될 수 있다.
- [0085] 또한, 제2 주사 라인(SL2)에는 제2 화소들(PX3, PX4, PX7, PX8)이 연결될 수 있다. 제2 화소들(PX3, PX4, PX7, PX8)은, 제2 주사 라인(SL2)의 연장 방향을 따라서, 청색, 녹색, 적색, 및 녹색이 순차적으로 반복되도록 구성될 수 있다. 제2 화소들(PX3, PX4, PX7, PX8)은 서로 다른 데이터 라인들(DL1, DL2, DL3, DL4)에 연결될 수 있다.
- [0086] 제1 데이터 라인(DL1)에는, 제1 데이터 라인(DL1)의 연장 방향을 따라서, 적색 및 청색 화소들이 순차적으로 반복되도록 연결될 수 있다. 제2 및 제4 데이터 라인들(DL2, DL4)에는, 제2 및 제4 데이터 라인들(DL2, DL4)의 연장 방향을 따라서, 녹색 화소들이 순차적으로 연결될 수 있다. 제3 데이터 라인(DL3)에는, 제3 데이터 라인(DL3)의 연장 방향을 따라서, 청색 및 적색 화소들이 순차적으로 반복되도록 연결될 수 있다.
- [0087] 도 6을 참조하면, 예시적인 제1 화소(PX1)가 도시된다. 다른 화소들(PX2-PX8) 또한 실질적으로 동일한 구성을 가질 수 있으므로, 중복된 설명은 생략한다.
- [0088] 트랜지스터(T1)의 게이트 전극은 스토리지 커패시터(Cst)의 제2 전극에 연결되고, 제1 전극은 제1 전원 라인(ELVDDL)에 연결되고, 제2 전극은 발광 다이오드(LD)의 애노드에 연결될 수 있다. 트랜지스터(T1)는 구동 트랜지스터로 명명될 수 있다.
- [0089] 트랜지스터(T2)의 게이트 전극은 제1 주사 라인(SL1)에 연결되고, 제1 전극은 제1 데이터 라인(DL1)에 연결되고, 제2 전극은 스토리지 커패시터(Cst)의 제2 전극에 연결될 수 있다. 트랜지스터(T2)는 스캔 트랜지스터로 명명될 수 있다.
- [0090] 스토리지 커패시터(Cst)의 제1 전극은 제1 전원 라인(ELVDDL)에 연결되고, 제2 전극은 트랜지스터(T1)의 게이트 전극에 연결될 수 있다.
- [0091] 발광 다이오드(LD)는 애노드가 트랜지스터(T1)의 제2 전극에 연결되고, 캐소드가 제2 전원 라인(ELVSSL)에 연결될 수 있다.
- [0092] 발광 다이오드(LD)의 발광 기간 동안, 제1 전원 라인(ELVDDL)에 인가되는 제1 전원 전압은 제2 전원 라인(ELVSSL)에 인가되는 제2 전원 전압보다 클 수 있다.
- [0093] 여기서, 트랜지스터들(T1, T2, M11, M12, M21, M22)은 P 형 트랜지스터로 도시되었지만, 당업자라면 신호의 위상을 반전시켜 적어도 하나의 트랜지스터를 N 형 트랜지스터로 대체하여 사용할 수도 있을 것이다.
- [0094] 도 7은 본 발명의 한 실시예에 따른 표시 장치의 구동 방법을 설명하기 위한 도면이다.
- [0095] 먼저, 시점(t1a)에서, 제1 제어 라인(CL1)에 턴-온 레벨(로우 레벨)의 제1 제어 신호가 인가될 수 있다. 이에 따라, 제1 트랜지스터들(M11, M12)이 턴-온되고, 제1 데이터 출력 라인(D01)과 제1 데이터 라인(DL1)이 연결되고, 제2 데이터 출력 라인(D02)과 제1 데이터 라인(DL3)이 연결된다. 이때, 데이터 구동부(12)는 제1 데이터 출

력 라인(D01)으로 제1 데이터 전압(PXD1)을 출력하고, 제1 데이터 출력 라인(D02)으로 제1 데이터 전압(PXD5)를 출력할 수 있다. 따라서, 제1 데이터 라인(DL1)은 제1 데이터 전압(PXD1)로 충전되고, 제1 데이터 라인(DL3)은 제1 데이터 전압(PXD5)로 충전될 수 있다. 시점(t1a)부터 턴-오프 레벨의 제1 제어 신호가 인가되는 시점까지를 제1 기간이라고 할 수 있다.

[0096] 다음으로, 시점(t2a)에서, 제2 제어 라인(CL2)에 턴-온 레벨의 제2 제어 신호가 인가될 수 있다. 이에 따라, 제2 트랜지스터들(M21, M22)이 턴-온되고, 제1 데이터 출력 라인(D01)과 제2 데이터 라인(DL2)이 연결되고, 제2 데이터 출력 라인(D02)과 제2 데이터 라인(DL4)이 연결된다. 이때, 제2 데이터 라인(DL2)은 제2 데이터 전압(PXD2)로 충전되고, 제2 데이터 라인(DL4)은 제2 데이터 전압(PXD6)로 충전될 수 있다. 시점(t2a)부터 턴-오프 레벨의 제2 제어 신호가 인가되는 시점까지를 제2 기간이라고 할 수 있다.

[0097] 다음으로, 시점(t3a)에서, 제1 주사 라인(SL1)에 턴-온 레벨의 제1 주사 신호가 인가될 수 있다. 이에 따라, 제1 화소들(PX1, PX2, PX5, PX6)은 제1 데이터 라인들(DL1, DL3) 및 제2 데이터 라인들(DL2, DL4)에 충전된 데이터 전압들을 수신할 수 있다. 본 실시예에서, 시점(t3a)은 제2 기간 중에 위치할 수 있다.

[0098] 다음으로, 시점(t4a)에서, 제1 제어 라인(CL1)에 턴-온 레벨의 제1 제어 신호가 인가될 수 있다. 이에 따라, 제1 트랜지스터들(M11, M12)이 턴-온되고, 제1 데이터 출력 라인(D01)과 제1 데이터 라인(DL1)이 연결되고, 제2 데이터 출력 라인(D02)과 제1 데이터 라인(DL3)이 연결된다. 이때, 제1 데이터 라인(DL1)은 제3 데이터 전압(PXD3)로 충전되고, 제1 데이터 라인(DL3)은 제3 데이터 전압(PXD7)로 충전될 수 있다. 시점(t4a)부터 턴-오프 레벨의 제1 제어 신호가 인가되는 시점까지를 제3 기간이라고 할 수 있다.

[0099] 다음으로, 시점(t5a)에서, 제2 제어 라인(CL2)에 턴-온 레벨의 제2 제어 신호가 인가될 수 있다. 이에 따라, 제2 트랜지스터들(M21, M22)이 턴-온되고, 제1 데이터 출력 라인(D01)과 제2 데이터 라인(DL2)이 연결되고, 제2 데이터 출력 라인(D02)과 제2 데이터 라인(DL4)이 연결된다. 이때, 제2 데이터 라인(DL2)은 제4 데이터 전압(PXD4)로 충전되고, 제2 데이터 라인(DL4)은 제4 데이터 전압(PXD8)로 충전될 수 있다. 시점(t5a)부터 턴-오프 레벨의 제2 제어 신호가 인가되는 시점까지를 제4 기간이라고 할 수 있다.

[0100] 다음으로, 시점(t6a)에서, 제2 주사 라인(SL2)에 턴-온 레벨의 제1 주사 신호가 인가될 수 있다. 이에 따라, 제2 화소들(PX3, PX4, PX7, PX8)은 제1 데이터 라인들(DL1, DL3) 및 제2 데이터 라인들(DL2, DL4)에 충전된 데이터 전압들을 수신할 수 있다. 본 실시예에서 시점(t6a)은 제4 기간 중에 위치할 수 있다.

[0101] 도 8 내지 도 11은 데이터 분배부를 사용할 때 발생할 수 있는 선 크로스토크 현상을 설명하기 위한 도면들이다.

[0102] 예를 들어, 첫 번째 주사 라인부터 p-1 번째 주사 라인(SL(p-1))에 연결된 화소들은 128 계조들에 대응하는 데이터 전압들을 수신할 수 있다. 다음 주사 기간에 p 번째 주사 라인(SLp)에 연결된 화소들 중 일부는 128 계조들에 대응하는 데이터 전압들을 수신하고, 나머지는 0 계조들에 대응하는 데이터 전압들을 수신할 수 있다.

[0103] 도 8과 같이 이상적인 경우라면, 주사 라인(SLp) 및 데이터 라인(DLu)에 연결된 화소(PXpu)은 128 계조로 발광할 수 있다. 또한, 주사 라인(SLp) 및 데이터 라인(DL(u+1))에 연결된 화소(PXp(u+1))은 128 계조로 발광할 수 있다. 예를 들어, 화소(PXpu)는 적색 또는 청색 화소일 수 있다. 예를 들어, 화소(PXp(u+1))은 녹색 화소일 수 있다. 이때, p 및 u는 각각 0보다 큰 정수일 수 있다.

[0104] 하지만, 별도의 데이터 보상이 이루어지지 않는다면, 도 9와 같이 화소(PXp(u+1))가 128 계조보다 높은 계조로 발광함으로써, 녹색을 띄는(greenish) 명선이 발생할 수 있다. 이때, 화소(PXpu)의 계조 변화는 화소(PXp(u+1))의 계조 변화보다 작을 수 있다. 이러한 명선은 128 계조에서 0 계조로 데이터 전압이 급변하는 데이터 라인들(DLv, DL(v+1))에 의한 선 크로스토크 효과에 기인할 수 있다. v는 0보다 큰 정수일 수 있다.

[0105] 예를 들어, q-1 번째 주사 라인(SL(q-1))에 연결된 화소들은 128 계조들에 대응하는 데이터 전압들 또는 0 계조들에 대응하는 데이터 전압들을 수신할 수 있다. 다음 주사 기간에 q 번째 주사 라인(SLq)에 연결된 화소들은 모두 128 계조들에 대응하는 데이터 전압들을 수신할 수 있다.

[0106] 도 8과 같이 이상적인 경우라면, 주사 라인(SLq) 및 데이터 라인(DLu)에 연결된 화소(PXqu)은 128 계조로 발광할 수 있다. 또한, 주사 라인(SLq) 및 데이터 라인(DL(u+1))에 연결된 화소(PXq(u+1))은 128 계조로 발광할 수 있다. 이때, q는 0보다 큰 정수일 수 있다.

[0107] 하지만, 별도의 데이터 보상이 이루어지지 않는다면, 도 9와 같이 화소(PXq(u+1))가 128 계조보다 낮은 계조로 발광함으로써, 녹색 성분이 어두운 암선이 발생할 수 있다. 이때, 화소(PXqu)의 계조 변화는 화소(PXq(u+1))의

계조 변화보다 작을 수 있다. 이러한 암선은 0 계조에서 128 계조로 데이터 전압이 급변하는 데이터 라인들(DLv, DL(v+1))에 의한 선 크로스토크 효과에 기인할 수 있다.

- [0108] 도 10 및 도 11을 참조하여, 선 크로스토크 효과의 원인에 대해서 상세히 설명한다.
- [0109] 도 10을 참조하여, p-1 번째 주사 라인(SL(p-1))에 연결된 화소들의 데이터 전압들의 수신이 종료된 후에 p 번째 주사 라인(SLp)에 연결된 화소들에 녹색을 띄는 명선이 발생하는 원인에 대해 설명한다.
- [0110] 먼저, 시점(t1b)에서, 턴-온 레벨의 제1 제어 신호가 제1 제어 라인(CL1)으로 공급될 수 있다. 이때, v 번째 데이터 라인(DLv)에 인가된 데이터 전압이 급격하게 상승할 수 있다(128 계조에서 0 계조로 변화함).
- [0111] 도 11을 참조하면, 제1 전원 라인(EVDDL) 및 데이터 라인들(DLs) 사이에는 기생 커패시턴스(Cpr)가 형성될 수 있다. 제1 전원 라인(ELVDDL)은 모든 화소들(PX)에 공통적으로 연결될 수 있다. 따라서, 제1 전원 라인(ELVDDL)의 순간적인 전압 변동은 모든 데이터 라인들(DLs)에 영향을 미칠 수 있다.
- [0112] 데이터 라인(DLv)의 데이터 전압이 급격히 상승함에 따라, 데이터 구동부(12)로부터 제1 전원 공급부(18)로 기생 전류가 흐르면서, 제1 전원 라인(ELVDDL)의 제1 전원 전압이 순간적으로 증가할 수 있다. 이때, 기생 커패시턴스(Cpr)의 커플링에 의해서, 데이터 라인들(DLu, DL(u+1))의 데이터 전압들도 순간적으로 증가할 수 있다.
- [0113] 데이터 라인(DLu)은 데이터 출력 라인과 연결된 상태이고, 데이터 라인(DL(u+1))은 데이터 출력 라인과 연결되지 않은 플로팅 상태일 수 있다. 따라서, 데이터 라인(DLu)의 데이터 전압은 128 계조에 대응하는 전압(V128)으로 빠르게 안정화(하강)될 수 있다. 데이터 라인(DL(u+1))은 플로팅 상태이므로, 데이터 전압의 파형은 제1 전원 전압의 파형과 유사할 수 있다.
- [0114] 제1 전원 공급부(18)는 제1 전원 라인(ELVDDL)에 제1 전원 전압을 공급하는 DC-DC 컨버터일 수 있다. 제1 전원 공급부(18)는 피드백 회로를 포함하고 있어서, 제1 전원 전압을 전압(V1)으로 유지시킬 수 있다. 따라서, 제1 전원 전압은 시점(t2b)에 전압(V1)으로 안정화(하강)될 수 있다. 시점(t2b)에서 제1 전원 전압이 급격하게 변하는 것은 턴-오프 레벨의 제1 제어 신호가 공급된 것으로부터 기인할 수 있다.
- [0115] 시점(t2b)에서, 데이터 라인들(DLu, DL(u+1))의 데이터 전압들은 128 계조에 해당하는 전압(V128)보다 작을 수 있다. 이는 기생 전류에 의해 기생 커패시턴스(Cpr)에 충전된 전압(Vcpr)이 증가된 것으로부터 기인할 수 있다. 데이터 구동부(12)의 영향으로 인해서, 데이터 라인(DLu)의 전압 하강 폭(VD11)은 데이터 라인(DL(u+1))의 전압 하강 폭(VD21)보다 클 수 있다.
- [0116] 시점(t3b)에서, 턴-온 레벨의 제2 제어 신호가 제2 제어 라인(CL2)으로 공급될 수 있다. 이때, v+1 번째 데이터 라인(DL(v+1))에 인가된 데이터 전압이 급격하게 상승할 수 있다(128 계조에서 0 계조로 변화함).
- [0117] 데이터 라인(DL(v+1))의 데이터 전압이 급격히 상승함에 따라, 데이터 구동부(12)로부터 제1 전원 공급부(18)로 기생 전류가 흐르면서, 제1 전원 라인(ELVDDL)의 제1 전원 전압이 순간적으로 증가할 수 있다. 이때, 기생 커패시턴스(Cpr)의 커플링에 의해서, 데이터 라인들(DLu, DL(u+1))의 데이터 전압들도 순간적으로 증가할 수 있다.
- [0118] 데이터 라인(DLu)은 데이터 출력 라인과 연결되지 않은 플로팅 상태이고, 데이터 라인(DL(u+1))은 데이터 출력 라인과 연결된 상태일 수 있다. 따라서, 데이터 라인(DL(u+1))의 데이터 전압은 128 계조에 대응하는 전압(V128)으로 빠르게 안정화(하강)될 수 있다. 데이터 라인(DLu)은 플로팅 상태이므로, 데이터 전압의 파형은 제1 전원 전압의 파형과 유사할 수 있다.
- [0119] 턴-오프 레벨의 제2 제어 신호가 공급되더라도, 시점(t2b)과 달리, 제1 전원 전압은 급격하게 변화하지 않을 수 있다. 이는 턴-오프 레벨의 제2 제어 신호가 공급기 전의 시점(t4b)에서, 턴-온 레벨의 주사 신호가 주사 라인(SLp)으로 공급되는 것으로부터 기인한다. 턴-온 레벨의 주사 신호에 의해서, 데이터 라인들(DLu, DL(u+1))이 각각 화소들(PXpu, PXp(u+1))에 연결되므로, 제1 전원 전압은 급격하게 하강하지 않는다.
- [0120] 이에 따라, 시점(t4b)에서, 데이터 라인(DLu)의 데이터 전압은 128 계조에 해당하는 전압(V128)과 유사해질 수 있다. 즉, 시점(t2b)을 기준으로 할 때 시점(t4b)에서 전압 상승 폭(VD12)은 전압 하강 폭(VD11)과 대부분 상쇄될 수 있다.
- [0121] 반면에 데이터 라인(DL(u+1))의 데이터 전압은, 시점(t2b)을 기준으로 할 때 시점(t4b)에서 전압 하강 폭(VD22)만큼 하강함으로써, 전압(V3)보다 낮은 전압(V4)이 될 수 있다.
- [0122] 결과적으로, 시점(t4b)에서 화소(PXpu)는 128 계조에 해당하는 전압(V128)을 수신할 수 있고, 화소(PXp(u+1))는

128 계조보다 높은 계조에 해당하는 전압(V4)을 수신할 수 있다. 따라서, 화소(PXp(u+1))의 색상인 녹색을 띄는 명선이 발생할 수 있다.

- [0123] 도 12는 본 발명의 한 실시예에 따른 데이터 보상부를 설명하기 위한 도면이다.
- [0124] 본 발명의 한 실시예에 따른 데이터 보상부(17)는 룩업 테이블(169), 데이터 전압 값 추출부(170), 제1 로드 계산부(171), 제2 로드 계산부(172), 제1 지연부(173), 제2 지연부(174), 제1 로드차 계산부(175), 제2 로드차 계산부(176), 크로스토크 계산부(177), 및 크로스토크 보상부(178)를 포함할 수 있다.
- [0125] 데이터 보상부(17)는 제1 데이터 전압들(PXD1, PXD5) 및 제3 데이터 전압들(PXD3, PXD7)의 제1 로드차(LDD1) 및 제2 데이터 전압들(PXD2, PXD6) 및 제4 데이터 전압들(PXD4, PXD8)의 제2 로드차(LDD2)에 기초하여, 제3 데이터 전압들(PXD3, PXD7) 및 제4 데이터 전압들(PXD4, PXD8)을 보상할 수 있다.
- [0126] 룩업 테이블(169)은 입력 최대 휘도 값들 및 계조 값들에 대응하는 데이터 전압 값들을 미리 저장할 수 있다. 룩업 테이블(169)은 별도 메모리로 구성되거나, 다른 메모리의 일부분에서 데이터 형태로 존재할 수 있다.
- [0127] 데이터 전압 값 추출부(170)는 입력 최대 휘도 값(DBVI) 및 계조 값들(GVs2)을 수신하고, 입력 최대 휘도 값(DBVI) 및 계조 값들(GVs2)에 대응하는 데이터 전압 값들(VVs2)을 룩업 테이블(169)로부터 추출할 수 있다. 전술한 바와 같이, 계조 전압 생성부(15)는 입력 최대 휘도 값(DBVI)에 따라 각 계조에 대해서 다양한 계조 전압들(DVs)을 출력할 수 있다. 따라서, 본 실시예에서는 데이터 전압 값들(VVs2)에 기초하여 크로스토크를 보상함으로써, 계조 값들(GVs2)에 기초하는 경우보다 더욱 정확한 보상이 가능하다.
- [0128] 제1 로드 계산부(171)는 데이터 전압 값들(VVs2)의 일부를 이용하여 로드 값을 계산할 수 있다. 예를 들어, 제1 로드 계산부(171)는 데이터 전압 값들(VVs2) 중 제1 데이터 라인들(DL1, DL3)로 공급되는 데이터 전압 값들을 합산함으로써 로드 값을 계산할 수 있다.
- [0129] 데이터 전압 값들(VVs2)은 화소행 단위로 순차적으로 공급되므로, 제1 로드 계산부(171)는 로드 값을 순차적으로 계산하여 출력할 수 있다. 도 7을 참조하면, 먼저, 제1 로드 계산부(171)는 제1 데이터 전압들(PXD1, PXD5)의 로드 값을 계산하여 출력할 수 있다. 다음으로, 제1 로드 계산부(171)는 제3 데이터 전압들(PXD3, PXD7)의 로드 값을 계산하여 출력할 수 있다. 즉, 제1 로드 계산부(171)는 제1 데이터 전압들(PXD1, PXD5)의 로드 값 및 제3 데이터 전압들(PXD3, PXD7)의 로드 값을 순차적으로 출력할 수 있다.
- [0130] 제2 로드 계산부(172)는 데이터 전압 값들(VVs2)의 일부를 이용하여 로드 값을 계산할 수 있다. 예를 들어, 제2 로드 계산부(172)는 데이터 전압 값들(VVs2) 중 제2 데이터 라인들(DL2, DL4)로 공급되는 데이터 전압 값들을 합산함으로써 로드 값을 계산할 수 있다.
- [0131] 데이터 전압 값들(VVs2)은 화소행 단위로 순차적으로 공급되므로, 제2 로드 계산부(172)는 로드 값을 순차적으로 계산하여 출력할 수 있다. 도 7을 참조하면, 먼저, 제2 로드 계산부(172)는 제2 데이터 전압들(PXD2, PXD6)의 로드 값을 계산하여 출력할 수 있다. 다음으로, 제2 로드 계산부(172)는 제4 데이터 전압들(PXD4, PXD8)의 로드 값을 계산하여 출력할 수 있다. 즉, 제2 로드 계산부(172)는 제2 데이터 전압들(PXD2, PXD6)의 로드 값 및 제4 데이터 전압들(PXD4, PXD8)의 로드 값을 순차적으로 출력할 수 있다.
- [0132] 한 실시예에 따르면, 제1 로드 계산부(171) 및 제2 로드 계산부(172)에서 출력되는 각각의 로드 값들은 데이터 전압 값들을 합산한 값의 MSB(Most Significant Bits)일 수 있다. 즉, 가장 많은 정보를 담고 있는 MSB에 해당하는 비트들만 전달함으로써, 제1 지연부(173) 및 제2 지연부(174)가 필요로 하는 레지스터의 용량(비트 개수)을 최소화할 수 있다.
- [0133] 제1 지연부(173)는 제1 데이터 전압들(PXD1, PXD5)의 로드 값을 미리 정해진 시간만큼 지연시켜 출력할 수 있다. 예를 들어, 제1 지연부(173)는 딜레이 레지스터(delay register)로 구성될 수 있다. 레지스터의 용량은 전술한 바와 같이 로드 값의 비트 수에 대응하도록 구성될 수 있다. 미리 정해진 시간은 1 수평 주기일 수 있다.
- [0134] 제2 지연부(174)는 제2 데이터 전압들(PXD2, PXD6)의 로드 값을 미리 정해진 시간만큼 지연시켜 출력할 수 있다. 예를 들어, 제2 지연부(174)는 딜레이 레지스터로 구성될 수 있다. 레지스터의 용량은 전술한 바와 같이 로드 값의 비트 수에 대응하도록 구성될 수 있다. 미리 정해진 시간은 1 수평 주기일 수 있다.
- [0135] 제1 로드차 계산부(175)는 제1 로드 계산부(171)의 출력(LD1n) 및 제1 지연부(173)의 출력(LD1(n-1))에 기초하여 제1 로드차(LDD1)를 출력할 수 있다. 예를 들어, 제1 로드 계산부(171)의 출력(LD1n)은 제3 데이터 전압들

(PXD3, PXD7)의 로드 값일 수 있다. 이때, 제1 지연부(173)의 출력(LD1(n-1))은 제1 데이터 전압들(PXD1, PXD5)의 로드 값일 수 있다. 따라서, 제1 로드차 계산부(175)는 제1 데이터 전압들(PXD1, PXD5) 및 제3 데이터 전압들(PXD3, PXD7)의 제1 로드차(LDD1)를 계산할 수 있다.

[0136] 제2 로드차 계산부(176)는 제2 로드 계산부(172)의 출력(LD2n) 및 제2 지연부(174)의 출력(LD2(n-1))에 기초하여 제2 로드차(LDD2)를 출력할 수 있다. 예를 들어, 제2 로드 계산부(172)의 출력(LD2n)은 제4 데이터 전압들(PXD4, PXD8)의 로드 값일 수 있다. 이때, 제2 지연부(174)의 출력(LD2(n-1))은 제2 데이터 전압들(PXD2, PXD6)의 로드 값일 수 있다. 따라서, 제2 로드차 계산부(176)는 제2 데이터 전압들(PXD2, PXD6) 및 제4 데이터 전압들(PXD4, PXD8)의 제2 로드차(LDD2)를 계산할 수 있다.

[0137] 크로스토크 계산부(177)는 제1 로드차(LDD1) 및 제2 로드차(LDD2)에 기초하여, 제3 데이터 전압들(PXD3, PXD7)에 대한 제1 크로스토크 양(XT1) 및 제4 데이터 전압들(PXD4, PXD8)에 대한 제2 크로스토크 양(XT2)을 계산할 수 있다. 예를 들어, 제1 크로스토크 양(XT1) 및 제2 크로스토크 양(XT2)은 아래 수학적 식 1과 같이 계산될 수 있다.

[0138] [수학적 식 1]

$$\begin{bmatrix} XT1 \\ XT2 \end{bmatrix} = \begin{bmatrix} C11 & C12 \\ C21 & C22 \end{bmatrix} \begin{bmatrix} LDD1 \\ LDD2 \end{bmatrix}$$

[0139]

[0140] 여기서, C11은 제1 가중치이고, C12는 제2 가중치이고, C21은 제3 가중치이고, C22는 제4 가중치일 수 있다.

[0141] 예를 들어, 제1 크로스토크 양(XT1)은 제1 가중치(C11)를 적용한 제1 로드차(LDD1) 및 제2 가중치(C12)를 적용한 제2 로드차(LDD2)를 합산한 값일 수 있다. 또한, 제2 크로스토크 양(XT2)은 제3 가중치(C21)를 적용한 제1 로드차(LDD1) 및 제4 가중치(C22)를 적용한 제2 로드차(LDD2)를 합산한 값일 수 있다.

[0142] 여기서, 제1 가중치(C11), 제3 가중치(C21), 및 제4 가중치(C22)의 부호는 제2 가중치(C12)의 부호와 다를 수 있다. 예를 들어, 제1 가중치(C11), 제3 가중치(C21), 및 제4 가중치(C22)는 양수이고, 제2 가중치(C12)는 음수일 수 있다. 예를 들어, 제1 가중치(C11)의 크기 및 부호는 도 10의 전압 강하 폭(VD11)에 기초하여 미리 설정되고, 제2 가중치(C12)의 크기 및 부호는 도 10의 전압 상승 폭(VD12)에 기초하여 미리 설정되고, 제3 가중치(C21)의 크기 및 부호는 도 10의 전압 강하 폭(VD21)에 기초하여 미리 설정되고, 제4 가중치(C22)의 크기 및 부호는 도 10의 전압 강하 폭(VD22)에 기초하여 미리 설정될 수 있다.

[0143] 크로스토크 보상부(178)는 제1 크로스토크 양(XT1)에 기초하여 제3 데이터 전압들(PXD3, PXD7)을 보상하고, 제2 크로스토크 양(XT2)에 기초하여 제4 데이터 전압들(PXD4, PXD8)을 보상할 수 있다. 크로스토크 보상부(178)에서 출력된 계조 값(GVs3)은 보상된 제3 데이터 전압들(PXD3, PXD7) 및 제4 데이터 전압들(PXD4, PXD8)을 포함할 수 있다.

[0144] 예를 들어, 크로스토크 보상부(178)는 제1 크로스토크 양(XT1)이 클수록 제3 데이터 전압들(PXD3, PXD7)을 증가시키고, 제2 크로스토크 양(XT2)이 클수록 제4 데이터 전압들(PXD4, PXD8)을 증가시킬 수 있다.

[0145] 예를 들어 도 10의 경우에, 제1 크로스토크 양(XT1)은 비교적 작고, 제2 크로스토크 양(XT2)은 비교적 클 수 있다. 이에 따라, 크로스토크 보상부(178)는 제4 데이터 전압들(PXD4, PXD8)을 증가시키므로써 명선의 녹색 성분을 억제시킬 수 있다.

[0146] 이에 따라, 본 발명에 따른 표시 장치(10)는 데이터 분배부(16)를 사용할 때 나타날 수 있는 선 크로스토크 현상을 최소화할 수 있다.

[0147] 도 13은 본 발명의 다른 실시예에 따른 데이터 분배부 및 화소부를 설명하기 위한 도면이다.

[0148] 도 13을 참조하면, 데이터 분배부(16')는 제1 트랜지스터들(M11', M12'), 제2 트랜지스터들(M21', M22'), 및 제3 트랜지스터들(M31', M32')을 포함할 수 있다. 제1 트랜지스터들(M11', M12')의 게이트 전극은 제1 제어 라인(CL1)에 연결되고, 제1 전극들은 데이터 출력 라인들(DO1, DO2)에 연결되고, 제2 전극들은 제1 데이터 라인들(DL1, DL4)에 연결될 수 있다. 제2 트랜지스터들(M21', M22')의 게이트 전극은 제2 제어 라인(CL2)에 연결되고, 제1 전극들은 데이터 출력 라인들(DO1, DO2)에 연결되고, 제2 전극들은 제2 데이터 라인들(DL2, DL5)에 연결될 수 있다. 제3 트랜지스터들(M31', M32')의 게이트 전극은 제3 제어 라인(CL3)에 연결되고, 제1 전극들은 데이터 출력 라인들(DO1, DO2)에 연결되고, 제2 전극들은 제3 데이터 라인들(DL3, DL6)에 연결될 수 있다. 예를 들어,

데이터 분배부(16')는 입력 대 출력의 비율이 1:3인 디멀티플렉서일 수 있다.

- [0149] 제1 트랜지스터들(M11', M12')의 턴-온 기간, 제2 트랜지스터들(M21', M22')의 턴-온 기간, 및 제3 트랜지스터들(M31', M32')의 턴-온 기간은 서로 중첩되지 않을 수 있다. 타이밍 제어부(11)는 제1 트랜지스터들(M11', M12'), 제2 트랜지스터들(M21', M22'), 및 제3 트랜지스터들(M31', M32')이 교번적으로 턴-온되도록 제1, 제2, 및 제3 제어 라인들(CL1, CL2, CL3)로 턴-온 레벨의 제어 신호들을 제공할 수 있다.
- [0150] 예를 들어, 제1 트랜지스터들(M11', M12')의 개수, 제2 트랜지스터들(M21', M22')의 개수, 및 제3 트랜지스터들(M31', M32')의 개수는 동일할 수 있다. 또한, 제1 데이터 라인들(DL1, DL4), 제2 데이터 라인들(DL2, DL5), 및 제3 데이터 라인들(DL3, DL6)의 개수는 동일할 수 있다. 제1 데이터 라인들(DL1, DL4), 제2 데이터 라인들(DL2, DL5), 및 제3 데이터 라인들(DL3, DL6)은 서로 교번하도록 배열될 수 있다.
- [0151] 예를 들어, 화소부(14')는 RGB stripe 구조로 배열된 화소들(PX1', PX2', PX3', PX4', PX5', PX6', PX7', PX8', PX9', PX10', PX11', PX12')을 포함할 수 있다. 제1 주사 라인(SL1)에는 제1 화소들(PX1', PX2', PX5', PX7', PX8', PX11')이 연결될 수 있다. 제1 화소들(PX1'~PX11')은, 제1 주사 라인(SL1)의 연장 방향을 따라서, 적색, 녹색, 청색이 순차적으로 반복되도록 구성될 수 있다. 제1 화소들(PX1'~PX11')은 서로 다른 데이터 라인들(DL1, DL2, DL3, DL4, DL5, DL6)에 연결될 수 있다.
- [0152] 또한, 제2 주사 라인(SL2)에는 제2 화소들(PX3', PX4', PX6', PX9', PX10', PX12')이 연결될 수 있다. 제2 화소들(PX3'~PX12')은, 제2 주사 라인(SL2)의 연장 방향을 따라서, 적색, 녹색, 청색이 순차적으로 반복되도록 구성될 수 있다. 제2 화소들(PX3'~PX12')은 서로 다른 데이터 라인들(DL1~DL6)에 연결될 수 있다.
- [0153] 제1 데이터 라인들(DL1, DL4)에는, 제1 데이터 라인들(DL1, DL4)의 연장 방향을 따라서, 적색 화소들이 순차적으로 반복되도록 연결될 수 있다. 제2 데이터 라인들(DL2, DL5)에는, 제2 데이터 라인들(DL2, DL5)의 연장 방향을 따라서, 녹색 화소들이 순차적으로 반복되도록 연결될 수 있다. 제3 데이터 라인들(DL3, DL6)에는, 제3 데이터 라인들(DL3, DL6)의 연장 방향을 따라서, 청색 화소들이 순차적으로 반복되도록 연결될 수 있다.
- [0154] 각각의 화소들(PX1'~PX12')의 구성은 도 6과 동일할 수 있으므로, 중복된 설명은 생략한다.
- [0155] 도 14는 본 발명의 다른 실시예에 따른 표시 장치의 구동 방법을 설명하기 위한 도면이다.
- [0156] 먼저, 시점(t1c)에서, 제1 제어 라인(CL1)에 턴-온 레벨(로우 레벨)의 제1 제어 신호가 인가될 수 있다. 이에 따라, 제1 트랜지스터들(M11', M12')이 턴-온되고, 제1 데이터 출력 라인(DO1)과 제1 데이터 라인(DL1)이 연결되고, 제2 데이터 출력 라인(DO2)과 제1 데이터 라인(DL4)이 연결된다. 이때, 데이터 구동부(12')는 제1 데이터 출력 라인(DO1)으로 제1 데이터 전압(PXD1')을 출력하고, 제2 데이터 출력 라인(DO2)으로 제1 데이터 전압(PXD7')을 출력할 수 있다. 따라서, 제1 데이터 라인(DL1)은 제1 데이터 전압(PXD1')으로 충전되고, 제1 데이터 라인(DL4)은 제1 데이터 전압(PXD7')으로 충전될 수 있다. 시점(t1c)부터 턴-오프 레벨의 제1 제어 신호가 인가되는 시점까지를 제1 기간이라고 할 수 있다.
- [0157] 다음으로, 시점(t2c)에서, 제2 제어 라인(CL2)에 턴-온 레벨의 제2 제어 신호가 인가될 수 있다. 이에 따라, 제2 트랜지스터들(M21', M22')이 턴-온되고, 제1 데이터 출력 라인(DO1)과 제2 데이터 라인(DL2)이 연결되고, 제2 데이터 출력 라인(DO2)과 제2 데이터 라인(DL5)이 연결된다. 이때, 제2 데이터 라인(DL2)은 제2 데이터 전압(PXD2')로 충전되고, 제2 데이터 라인(DL5)은 제2 데이터 전압(PXD8')로 충전될 수 있다. 시점(t2c)부터 턴-오프 레벨의 제2 제어 신호가 인가되는 시점까지를 제2 기간이라고 할 수 있다.
- [0158] 다음으로, 시점(t3c)에서, 제3 제어 라인(CL3)에 턴-온 레벨의 제3 제어 신호가 인가될 수 있다. 이에 따라, 제3 트랜지스터들(M31', M32')이 턴-온되고, 제1 데이터 출력 라인(DO1)과 제3 데이터 라인(DL3)이 연결되고, 제2 데이터 출력 라인(DO2)과 제3 데이터 라인(DL6)이 연결된다. 이때, 제3 데이터 라인(DL3)은 제5 데이터 전압(PXD5')로 충전되고, 제3 데이터 라인(DL6)은 제5 데이터 전압(PXD11')로 충전될 수 있다. 시점(t3c)부터 턴-오프 레벨의 제3 제어 신호가 인가되는 시점까지를 제5 기간이라고 할 수 있다.
- [0159] 다음으로, 시점(t4c)에서, 제1 주사 라인(SL1)에 턴-온 레벨의 제1 주사 신호가 인가될 수 있다. 이에 따라, 제1 화소들(PX1'~PX11')은 제1 데이터 라인들(DL1, DL4), 제2 데이터 라인들(DL2, DL5), 및 제3 데이터 라인들(DL3, DL6)에 충전된 데이터 전압들을 수신할 수 있다. 본 실시예에서, 시점(t4c)은 제5 기간 중에 위치할 수 있다.
- [0160] 다음으로, 시점(t5c)에서, 제1 제어 라인(CL1)에 턴-온 레벨의 제1 제어 신호가 인가될 수 있다. 이에 따라, 제1 트랜지스터들(M11', M12')이 턴-온되고, 제1 데이터 출력 라인(DO1)과 제1 데이터 라인(DL1)이 연결되고, 제2

데이터 출력 라인(DO2)과 제1 데이터 라인(DL4)이 연결된다. 이때, 제1 데이터 라인(DL1)은 제3 데이터 전압(PXD3')로 충전되고, 제1 데이터 라인(DL4)은 제3 데이터 전압(PXD9')로 충전될 수 있다. 시점(t5c)부터 턴-오프 레벨의 제1 제어 신호가 인가되는 시점까지를 제3 기간이라고 할 수 있다.

[0161] 다음으로, 시점(t6c)에서, 제2 제어 라인(CL2)에 턴-온 레벨의 제2 제어 신호가 인가될 수 있다. 이에 따라, 제2 트랜지스터들(M21', M22')이 턴-온되고, 제1 데이터 출력 라인(DO1)과 제2 데이터 라인(DL2)이 연결되고, 제2 데이터 출력 라인(DO2)과 제2 데이터 라인(DL5)이 연결된다. 이때, 제2 데이터 라인(DL2)은 제4 데이터 전압(PXD4')로 충전되고, 제2 데이터 라인(DL5)은 제4 데이터 전압(PXD10')로 충전될 수 있다. 시점(t6c)부터 턴-오프 레벨의 제2 제어 신호가 인가되는 시점까지를 제4 기간이라고 할 수 있다.

[0162] 다음으로, 시점(t7c)에서, 제3 제어 라인(CL3)에 턴-온 레벨의 제3 제어 신호가 인가될 수 있다. 이에 따라, 제3 트랜지스터들(M31', M32')이 턴-온되고, 제1 데이터 출력 라인(DO1)과 제3 데이터 라인(DL3)이 연결되고, 제2 데이터 출력 라인(DO2)과 제3 데이터 라인(DL6)이 연결된다. 이때, 제3 데이터 라인(DL3)은 제6 데이터 전압(PXD6')로 충전되고, 제3 데이터 라인(DL6)은 제6 데이터 전압(PXD12')로 충전될 수 있다. 시점(t7c)부터 턴-오프 레벨의 제3 제어 신호가 인가되는 시점까지를 제6 기간이라고 할 수 있다.

[0163] 다음으로, 시점(t8c)에서, 제2 주사 라인(SL2)에 턴-온 레벨의 제2 주사 신호가 인가될 수 있다. 이에 따라, 제2 화소들(PX3'~PX12')은 제1 데이터 라인들(DL1, DL4), 제2 데이터 라인들(DL2, DL5), 및 제3 데이터 라인들(DL3, DL6)에 충전된 데이터 전압들을 수신할 수 있다. 본 실시예에서, 시점(t8c)은 제6 기간 중에 위치할 수 있다.

[0164] 도 15는 본 발명의 다른 실시예에 따른 데이터 보상부를 설명하기 위한 도면이다.

[0165] 본 발명의 다른 실시예에 따른 데이터 보상부(17')는 록업 테이블(169), 데이터 전압 값 추출부(170), 제1 로드 계산부(171), 제2 로드 계산부(172), 제3 로드 계산부(179), 제1 지연부(173), 제2 지연부(174), 제3 지연부(180), 제1 로드차 계산부(175), 제2 로드차 계산부(176), 제3 로드차 계산부(181), 크로스토크 계산부(177'), 및 크로스토크 보상부(178')를 포함할 수 있다. 이하에선 도 12의 데이터 보상부(17')와 차이점을 위주로 설명한다.

[0166] 데이터 보상부(17')는 제1 로드차(LDD1), 제2 로드차(LDD2), 및 제5 데이터 전압들(PXD5', PXD11') 및 제6 데이터 전압들(PXD6', PXD12')의 제3 로드차(LDD3)에 기초하여 제3 데이터 전압들(PXD3', PXD9'), 제4 데이터 전압들(PXD4', PXD10'), 및 제6 데이터 전압들(PXD6', PXD12')을 보상할 수 있다.

[0167] 제3 로드 계산부(179)는 데이터 전압 값들(VVs2)의 일부를 이용하여 로드 값을 계산할 수 있다. 예를 들어, 제3 로드 계산부(179)는 데이터 전압 값들(VVs2) 중 제3 데이터 라인들(DL3, DL6)로 공급되는 데이터 전압 값들을 합산함으로써 로드 값을 계산할 수 있다.

[0168] 데이터 전압 값들(VVs2)은 화소행 단위로 순차적으로 공급되므로, 제3 로드 계산부(179)는 로드 값을 순차적으로 계산하여 출력할 수 있다. 도 14를 참조하면, 먼저, 제3 로드 계산부(179)는 제5 데이터 전압들(PXD5', PXD11')의 로드 값을 계산하여 출력할 수 있다. 다음으로, 제3 로드 계산부(179)는 제6 데이터 전압들(PXD6', PXD12')의 로드 값을 계산하여 출력할 수 있다. 즉, 제3 로드 계산부(179)는 제5 데이터 전압들(PXD5', PXD11')의 로드 값 및 제6 데이터 전압들(PXD6', PXD12')의 로드 값을 순차적으로 출력할 수 있다.

[0169] 한 실시예에 따르면, 제3 로드 계산부(179)에서 출력되는 각각의 로드 값들은 데이터 전압 값들을 합산한 값의 MSB일 수 있다. 즉, 가장 많은 정보를 담고 있는 MSB에 해당하는 비트들만 전달함으로써, 제3 지연부(180)가 필요로 하는 레지스터의 용량(비트 개수)을 최소화할 수 있다.

[0170] 제3 지연부(180)는 제5 데이터 전압들(PXD5', PXD11')의 로드 값을 미리 정해진 시간만큼 지연시켜 출력할 수 있다. 예를 들어, 제3 지연부(180)는 딜레이 레지스터로 구성될 수 있다. 레지스터의 용량은 전술한 바와 같이 로드 값의 비트 수에 대응하도록 구성될 수 있다. 미리 정해진 시간은 1 수평 주기일 수 있다.

[0171] 제3 로드차 계산부(181)는 제3 로드 계산부(179)의 출력(LD3n) 및 제3 지연부(180)의 출력(LD3(n-1))에 기초하여 제3 로드차(LDD3)를 출력할 수 있다. 예를 들어, 제3 로드 계산부(179)의 출력(LD3n)은 제6 데이터 전압들(PXD6', PXD12')의 로드 값일 수 있다. 이때, 제3 지연부(180)의 출력(LD3(n-1))은 제5 데이터 전압들(PXD5', PXD11')의 로드 값 일 수 있다. 따라서, 제3 로드차 계산부(181)는 제5 데이터 전압들(PXD5', PXD11') 및 제6 데이터 전압들(PXD6', PXD12')의 제3 로드차(LDD3)를 계산할 수 있다.

[0172] 크로스토크 계산부(177')는 제1 로드차(LDD1), 제2 로드차(LDD2), 및 제3 로드차(LDD3)에 기초하여, 제3 데이터

전압들(PXD3', PXD9')에 대한 제1 크로스토크 양(XT1'), 제4 데이터 전압들(PXD4', PXD10')에 대한 제2 크로스토크 양(XT2'), 및 제6 데이터 전압들(PXD6', PXD12')에 대한 제3 크로스토크 양(XT3')을 계산할 수 있다. 예를 들어, 제1 크로스토크 양(XT1'), 제2 크로스토크 양(XT2'), 및 제3 크로스토크 양(XT3')은 아래 수학적 식 1과 같이 계산될 수 있다.

[0173] [수학적 식 2]

$$\begin{bmatrix} XT1' \\ XT2' \\ XT3' \end{bmatrix} = \begin{bmatrix} D11 & D12 & D13 \\ D21 & D22 & D23 \\ D31 & D32 & D33 \end{bmatrix} \begin{bmatrix} LDD1 \\ LDD2 \\ LDD3 \end{bmatrix}$$

[0174] 여기서, D11은 제1 가중치이고, D12는 제2 가중치이고, D13은 제3 가중치이고, D21은 제4 가중치이고, D22는 제5 가중치이고, D23은 제6 가중치이고, D31은 제7 가중치이고, D32는 제8 가중치이고, D33은 제9 가중치일 수 있다.

[0175] 예를 들어, 제1 크로스토크 양(XT1')은 제1 가중치(D11)를 적용한 제1 로드차(LDD1), 제2 가중치(D12)를 적용한 제2 로드차(LDD2), 및 제3 가중치(D13)를 적용한 제3 로드차(LDD3)를 합산한 값일 수 있다. 제2 크로스토크 양(XT2')은 제4 가중치(D21)를 적용한 제1 로드차(LDD1), 제5 가중치(D22)를 적용한 제2 로드차(LDD2), 및 제6 가중치(D23)를 적용한 제3 로드차(LDD3)를 합산한 값일 수 있다. 제3 크로스토크 양(XT3')은 제7 가중치(D31)를 적용한 제1 로드차(LDD1), 제8 가중치(D32)를 적용한 제2 로드차(LDD2), 및 제9 가중치(D33)를 적용한 제3 로드차(LDD3)를 합산한 값일 수 있다.

[0176] 여기서 제1 가중치(D11), 제4 가중치(D21), 제5 가중치(D22), 제7 가중치(D31), 제8 가중치(D32), 및 제9 가중치(D33)의 부호는 제2 가중치(D12), 제3 가중치(D13), 및 제6 가중치(D23)의 부호와 다를 수 있다. 예를 들어, 제1 가중치(D11), 제4 가중치(D21), 제5 가중치(D22), 제7 가중치(D31), 제8 가중치(D32), 및 제9 가중치(D33)는 양수일 수 있다. 이때, 제2 가중치(D12), 제3 가중치(D13), 및 제6 가중치(D23)는 음수일 수 있다. 각각의 가중치들의 크기 및 부호는 도 10을 참조하여 설명한 바와 유사하게, 전압 강하 폭 및 전압 상승 폭을 고려하여 미리 설정될 수 있다.

[0177] 크로스토크 보상부(178')는 제1 크로스토크 양(XT1')에 기초하여 제3 데이터 전압들(PXD3', PXD9')을 보상하고, 제2 크로스토크 양(XT2')에 기초하여 제4 데이터 전압들(PXD4', PXD10')을 보상하고, 제3 크로스토크 양(XT3')에 기초하여 제6 데이터 전압들(PXD6', PXD12')을 보상할 수 있다.

[0178] 크로스토크 보상부(178')에서 출력된 계조 값(GVs3')은 보상된 제3 데이터 전압들(PXD3', PXD9'), 제4 데이터 전압들(PXD4', PXD10'), 및 제6 데이터 전압들(PXD6', PXD12')을 포함할 수 있다.

[0179] 예를 들어, 크로스토크 보상부(178')는 제1 크로스토크 양(XT1')이 클수록 제3 데이터 전압들(PXD3', PXD9')을 증가시키고, 제2 크로스토크 양(XT2')이 클수록 제4 데이터 전압들(PXD4', PXD10')을 증가시키고, 제3 크로스토크 양(XT3')이 클수록 제6 데이터 전압들(PXD6', PXD12')을 증가시킬 수 있다.

[0180] 이에 따라, 본 발명에 따른 표시 장치(10)는 데이터 분배부(16')를 사용할 때 나타날 수 있는 선 크로스토크 현상을 최소화할 수 있다.

[0181] 도 16은 본 발명의 또 다른 실시예에 따른 데이터 분배부 및 화소부를 설명하기 위한 도면이다.

[0182] 도 16을 참조하면, 본 발명의 또 다른 실시예에 따른 데이터 구동부(12"), 데이터 분배부(16"), 및 화소부(14')가 도시된다. 화소부(14')의 구조는 도 13과 동일하게 RGB stripe 구조일 수 있다.

[0183] 데이터 분배부(16")는 제1 트랜지스터들(M11", M12", M13") 및 제2 트랜지스터들(M21", M22", M23")을 포함할 수 있다. 제1 트랜지스터들(M11", M12", M13")의 게이트 전극은 제1 제어 라인(CL1)에 연결되고, 제1 전극들은 데이터 출력 라인들(DO1, DO2)에 연결되고, 제2 전극들은 제1 데이터 라인들(DL1, DL2, DL3)에 연결될 수 있다. 제2 트랜지스터들(M21", M22", M23")의 게이트 전극은 제2 제어 라인(CL2)에 연결되고, 제1 전극들은 데이터 출력 라인들(DO1, DO2)에 연결되고, 제2 전극들은 제2 데이터 라인들(DL4, DL5, DL6)에 연결될 수 있다. 예를 들어, 데이터 분배부(16")는 입력 대 출력의 비율이 1:3인 디멀티플렉서일 수 있다.

[0184] 제1 트랜지스터들(M11", M12", M13")의 턴-온 기간과 제2 트랜지스터들(M21", M22", M23")의 턴-온 기간은 서로 중첩되지 않을 수 있다. 타이밍 제어부(11)는 제1 트랜지스터들(M11", M12", M13") 및 제2 트랜지스터들

(M21", M22", M23")이 교번적으로 턴-온되도록 제1 및 제2 제어 라인들(CL1, CL2)로 턴-온 레벨의 제어 신호들을 제공할 수 있다.

- [0186] 예를 들어, 제1 트랜지스터들(M11", M12", M13")의 개수와 제2 트랜지스터들(M21", M22", M23")의 개수는 동일할 수 있다. 또한, 제1 데이터 라인들(DL1, DL2, DL3) 및 제2 데이터 라인들(DL4, DL5, DL6)의 개수는 동일할 수 있다.
- [0187] 제1 트랜지스터들(M11", M12", M13")의 개수에 대응하는 제1 데이터 라인들(DL1, DL2, DL3)이 연속적으로 배치되고, 다음으로, 제2 트랜지스터들(M21", M22", M23")의 개수에 대응하는 제2 데이터 라인들(DL4, DL5, DL6)이 연속적으로 배치될 수 있다.
- [0188] 도 16의 데이터 분배부(16") 및 화소부(14')는, 도 10과 동일한 방법으로 구동될 수 있다. 따라서, 도 16의 데이터 분배부(16") 및 화소부(14')에도 도 12의 데이터 보상부(17)의 적용이 가능하다.
- [0189] 도 17은 본 발명의 다른 실시예에 따른 표시 장치를 설명하기 위한 도면이다.
- [0190] 도 17의 표시 장치(10a)는 변형된 타이밍 제어부(11a), 데이터 보상부(17a), 및 데이터 구동부(12a)를 포함할 수 있다.
- [0191] 먼저, 타이밍 제어부(11a)는 데이터 보상부(17a)로 계조 값들(GVs2)을 제공할 수 있다. 다음으로, 데이터 보상부(17a)는 도 12 또는 도 15의 실시예들과 같이 선 크로스토크 효과가 보상된 계조 값들(GVs3)을 데이터 구동부(12a)로 제공할 수 있다.
- [0192] 본 실시예에 의하면 데이터 구동부(12a)는, 도 4의 실시예와 달리, 단일(single)의 홀딩 래치부를 포함할 수 있다. 따라서, 데이터 구동부(12a)의 구성이 간소화되고, 구성 비용이 절감될 수 있다.
- [0193] 도 18은 본 발명의 또 다른 실시예에 따른 표시 장치를 설명하기 위한 도면이고, 도 19는 본 발명의 또 다른 실시예에 따른 데이터 분배부를 설명하기 위한 도면이다.
- [0194] 도 18의 표시 장치(10b)는 변형된 타이밍 제어부(11b), 데이터 보상부(17b), 및 데이터 구동부(12b)를 포함할 수 있다.
- [0195] 먼저, 타이밍 제어부(11b)는 데이터 보상부(17b)로 계조 값들(GVs2)을 제공할 수 있다. 이때, 데이터 보상부(17b)는 데이터 전압 값 추출부 및 룩업 테이블을 포함하지 않을 수 있다. 즉, 제1 로드 계산부(171b) 및 제2 로드 계산부(172b)는 계조 값들(GVs2)을 직접 이용할 수 있다. 따라서, 데이터 보상부(17b)는 데이터 전압 값들 대신 계조 값들(GVs2)을 이용하여 선 크로스토크 효과가 보상된 계조 값들(GVs3)을 생성할 수 있다. 다음으로, 타이밍 제어부(11b)는 보상된 계조 값들(GVs3)에 대응하는 계조 값들(GVs1)을 데이터 구동부(12b)로 제공할 수 있다.
- [0196] 본 실시예에 의하면 데이터 구동부(12b)는, 도 4의 실시예와 달리, 단일의 홀딩 래치부를 포함할 수 있다. 따라서, 데이터 구동부(12b)의 구성이 간소화되고, 구성 비용이 절감될 수 있다.
- [0197] 또한, 본 실시예에 의하면 데이터 보상부(17b)는 데이터 전압 값 추출부 및 룩업 테이블을 포함하지 않을 수 있다. 따라서, 데이터 보상부(17b)의 구성이 간소화되고, 구성 비용이 절감될 수 있다.
- [0198] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

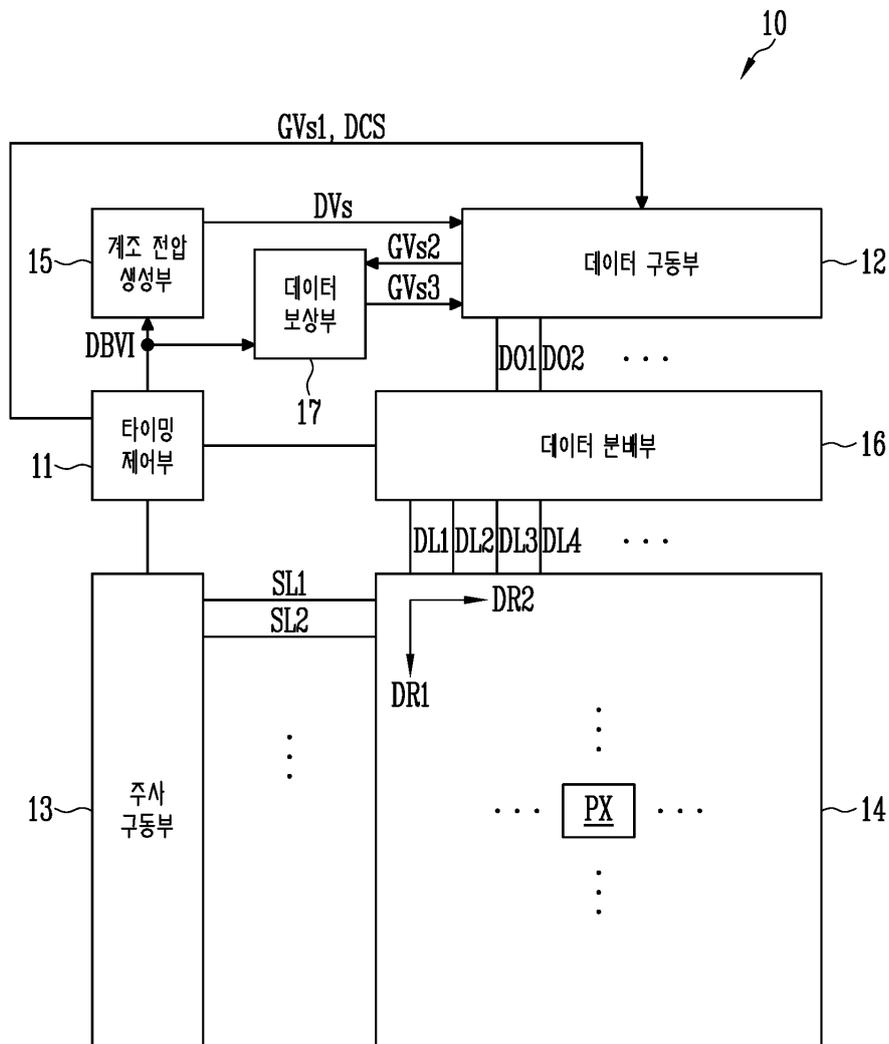
**부호의 설명**

- [0199] 17: 데이터 보상부
- 169: 룩업 테이블
- 170: 데이터 전압 값 추출부
- 171: 제1 로드 계산부

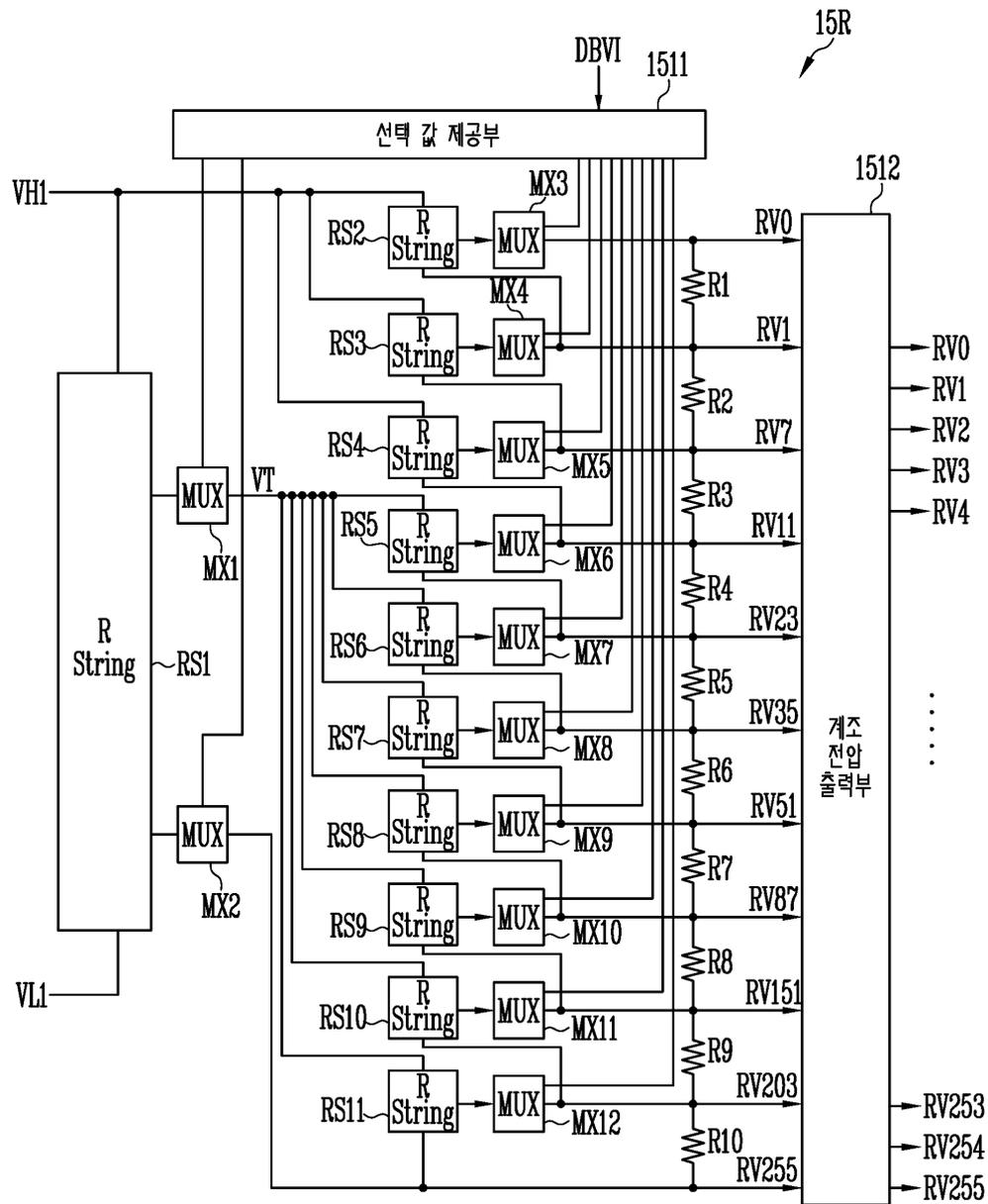
- 172: 제2 로드 계산부
- 173: 제1 지연부
- 174: 제2 지연부
- 175: 제1 로드차 계산부
- 176: 제2 로드차 계산부
- 177: 크로스토크 계산부
- 178: 크로스토크 보상부

도면

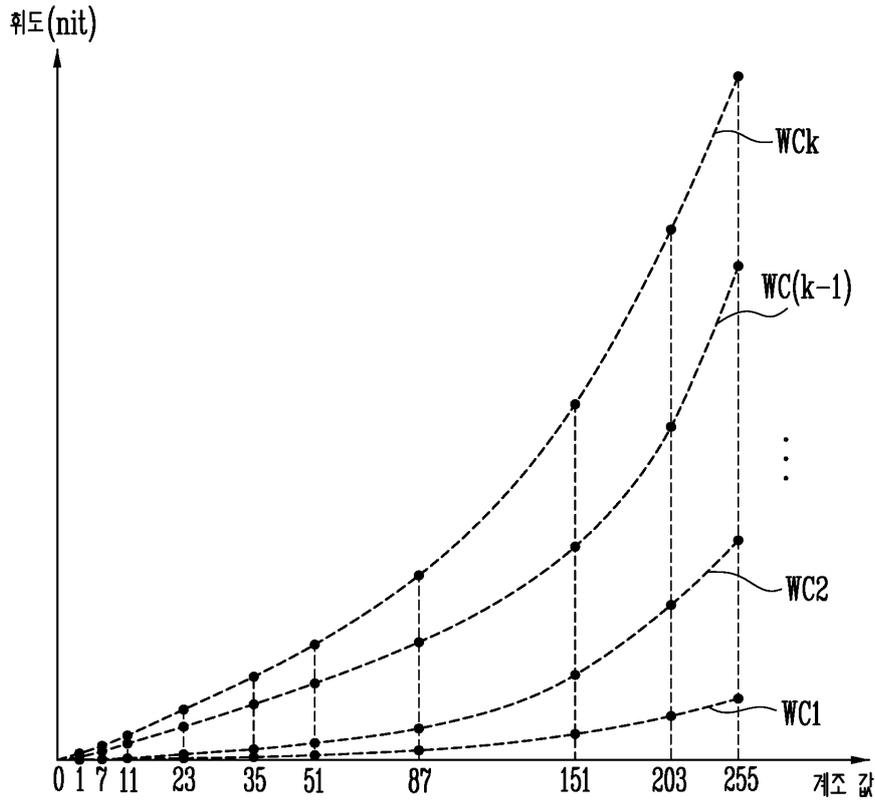
도면1



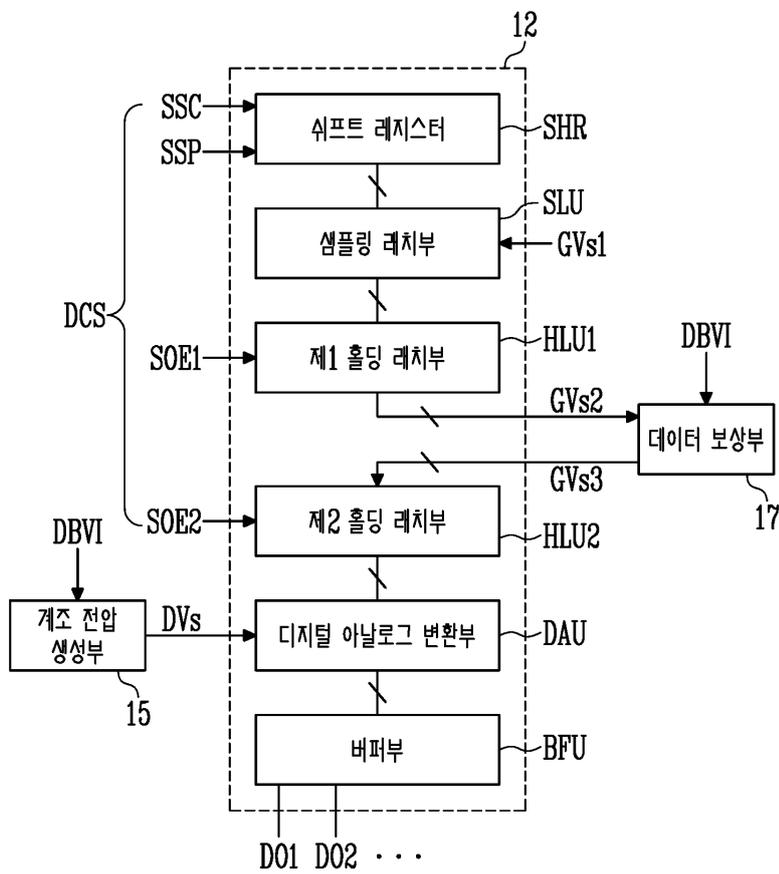
도면2



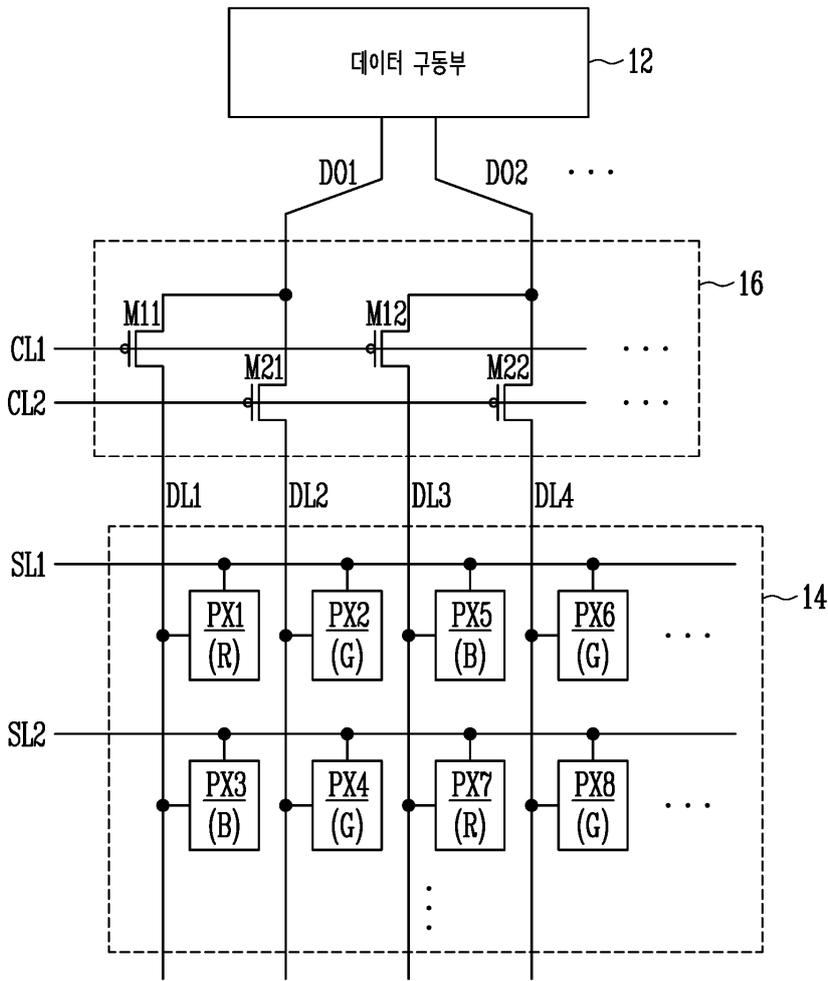
도면3



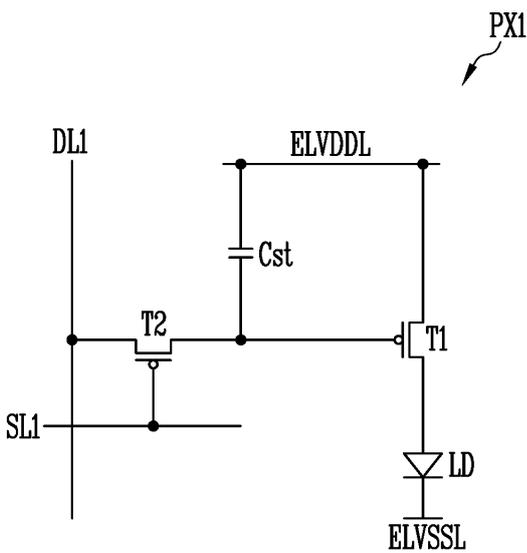
도면4



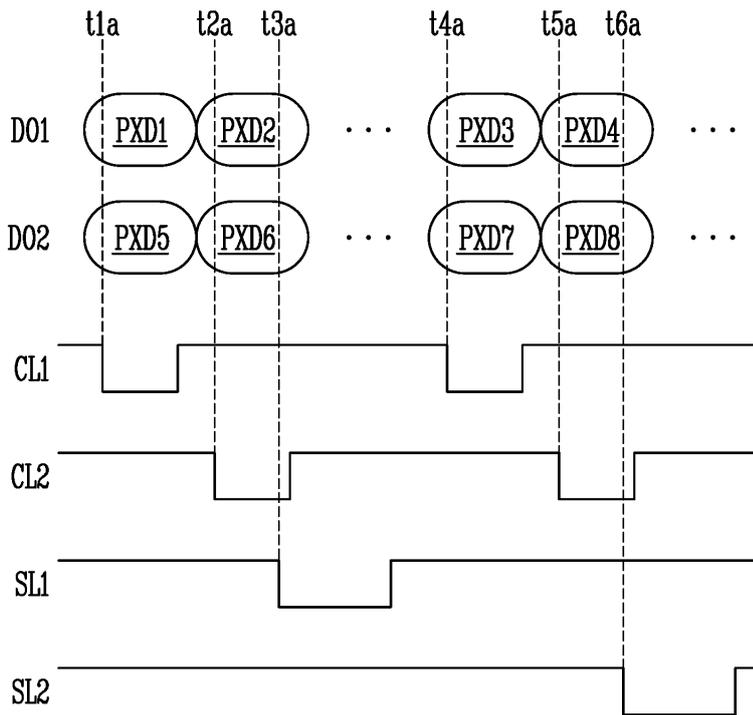
도면5



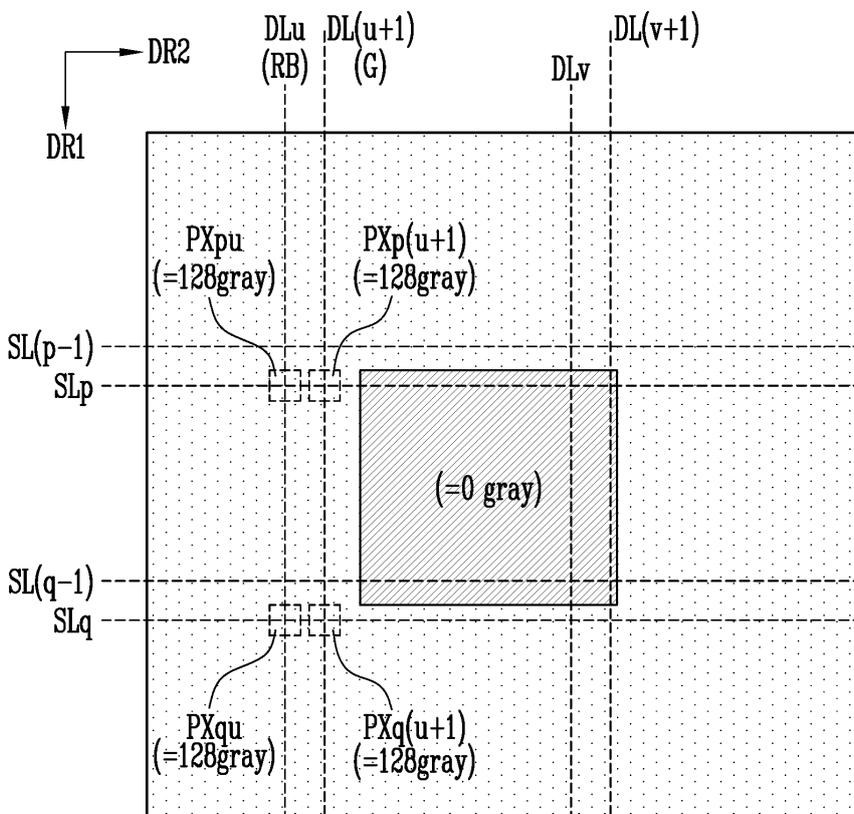
도면6



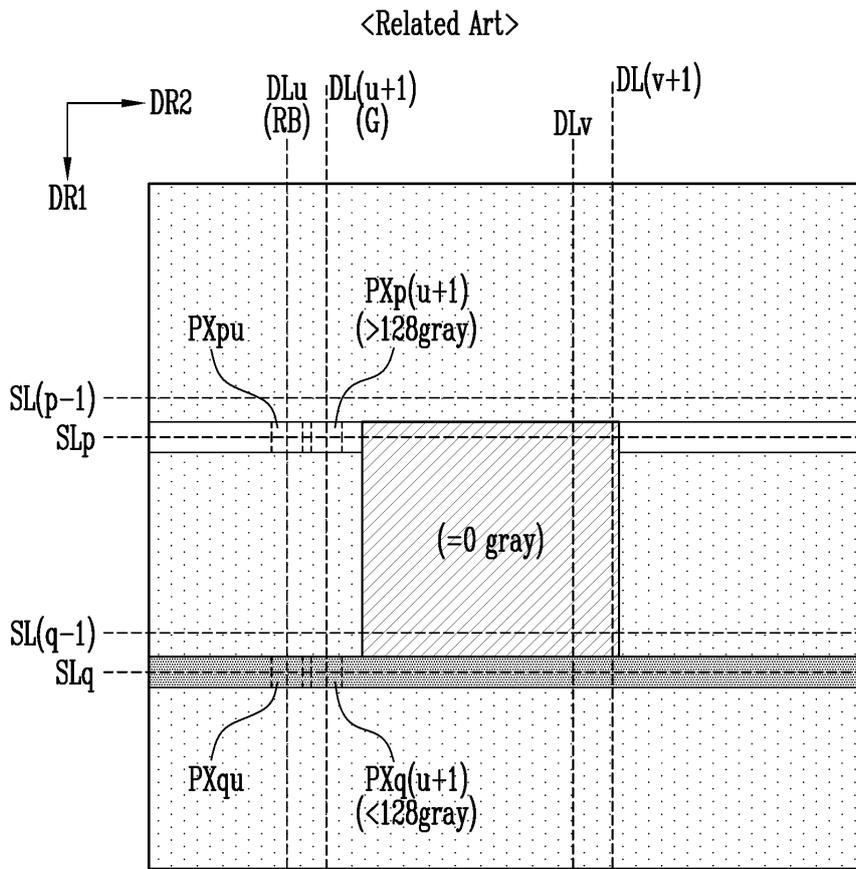
도면7



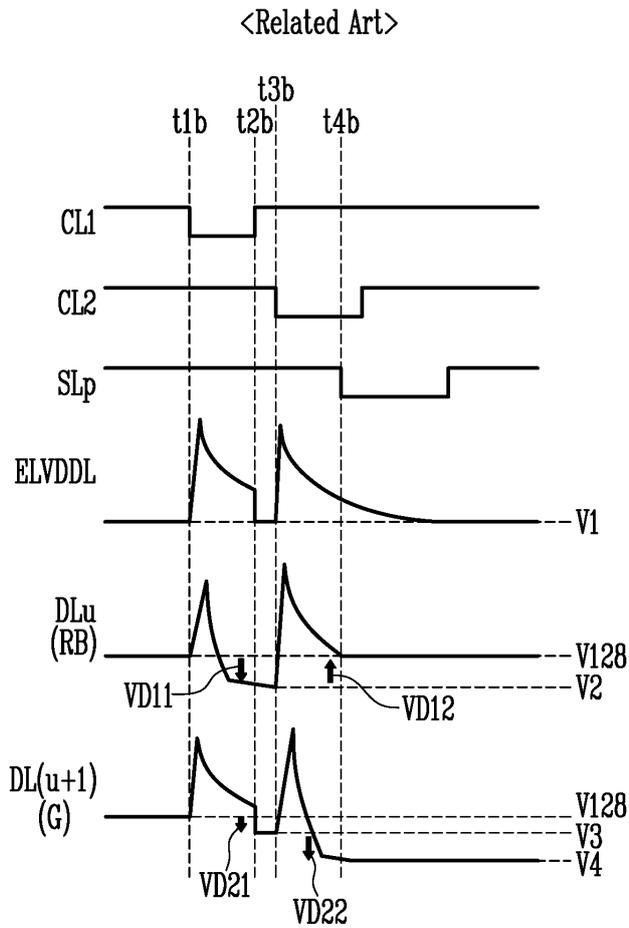
도면8



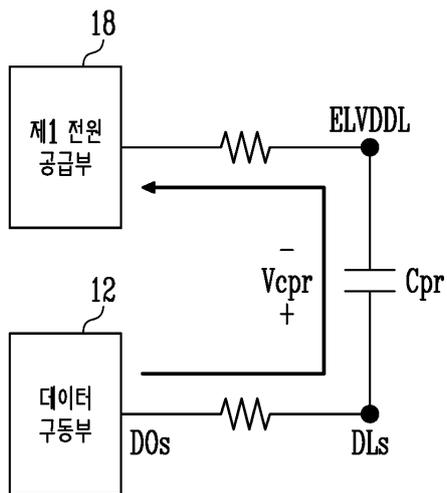
도면9



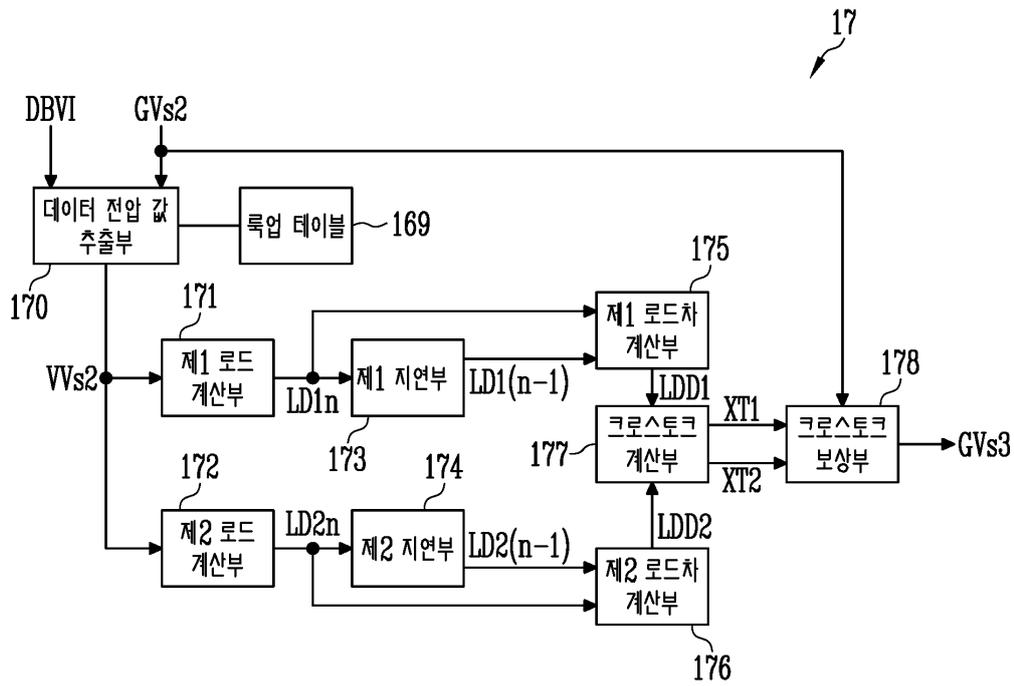
도면10



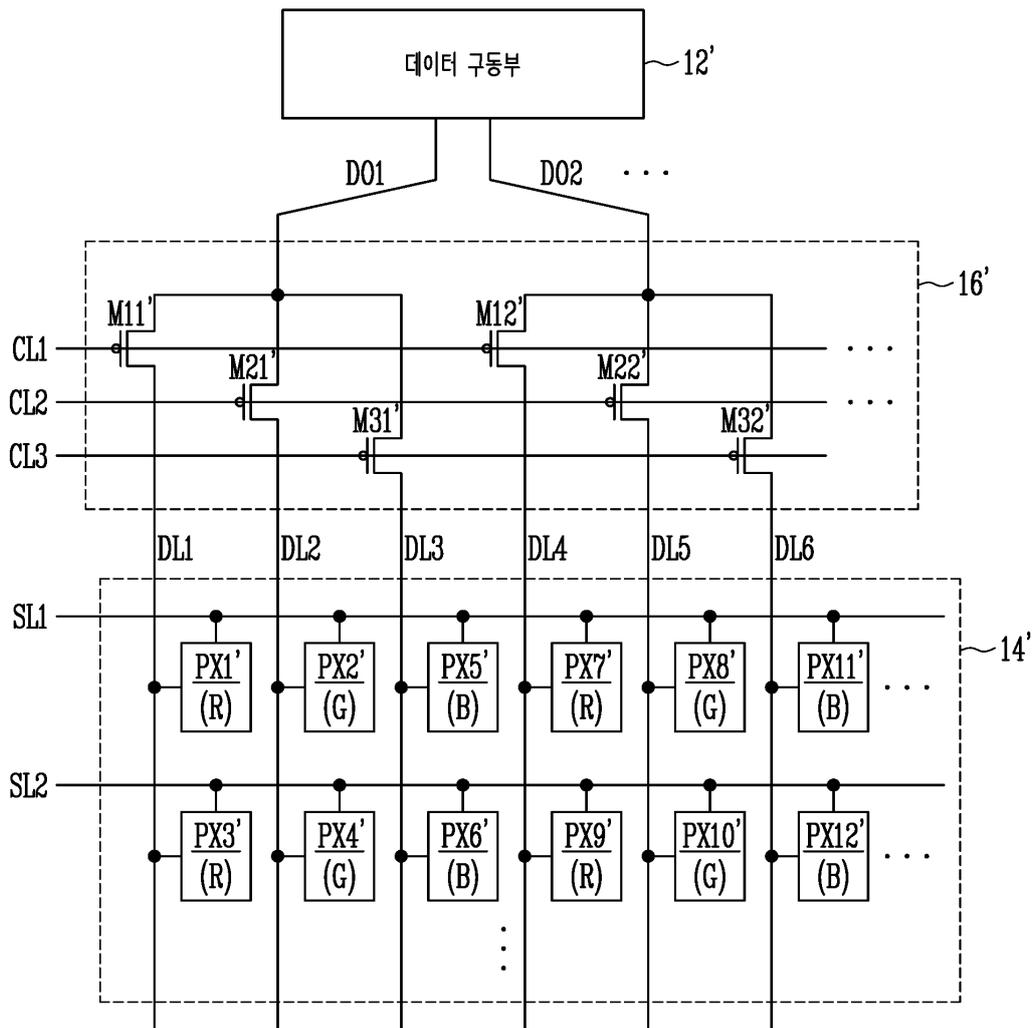
도면11



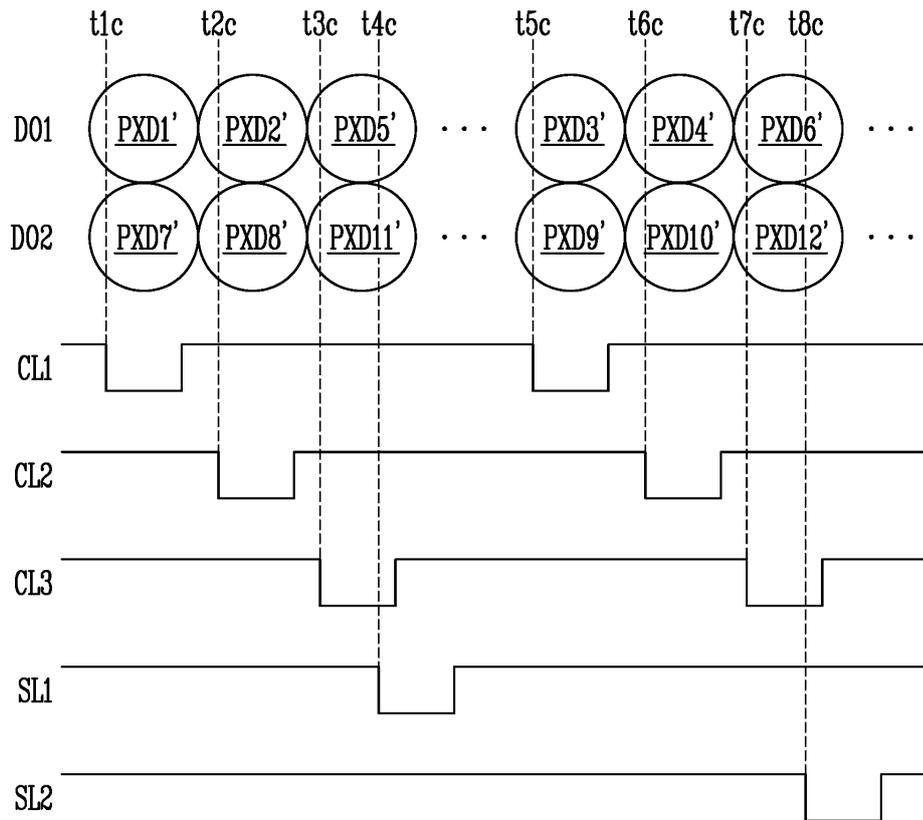
도면12



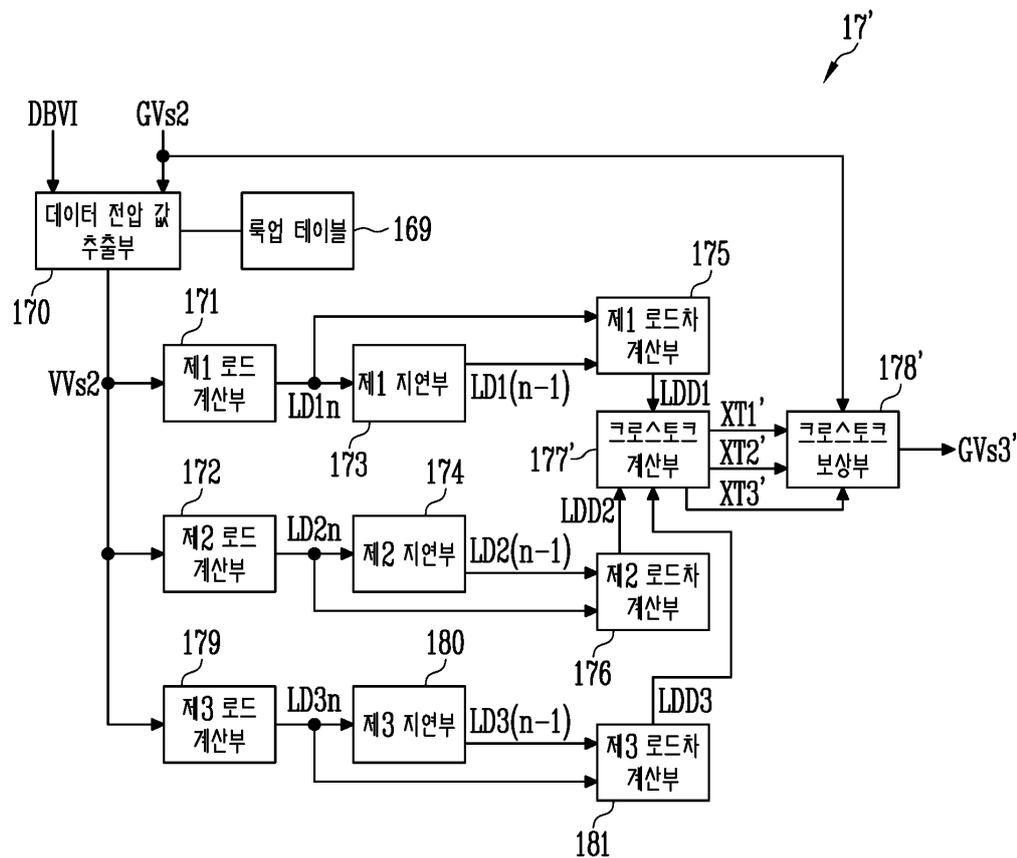
도면13



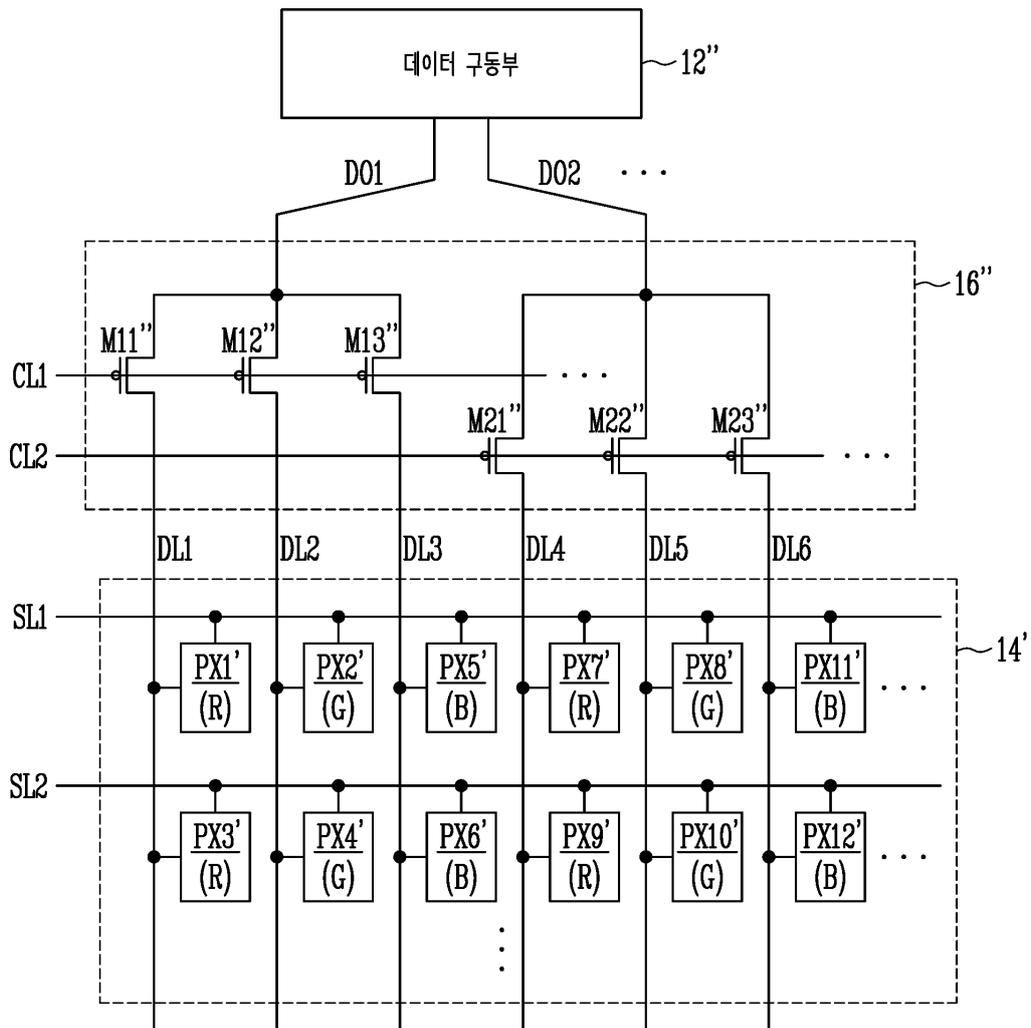
도면14



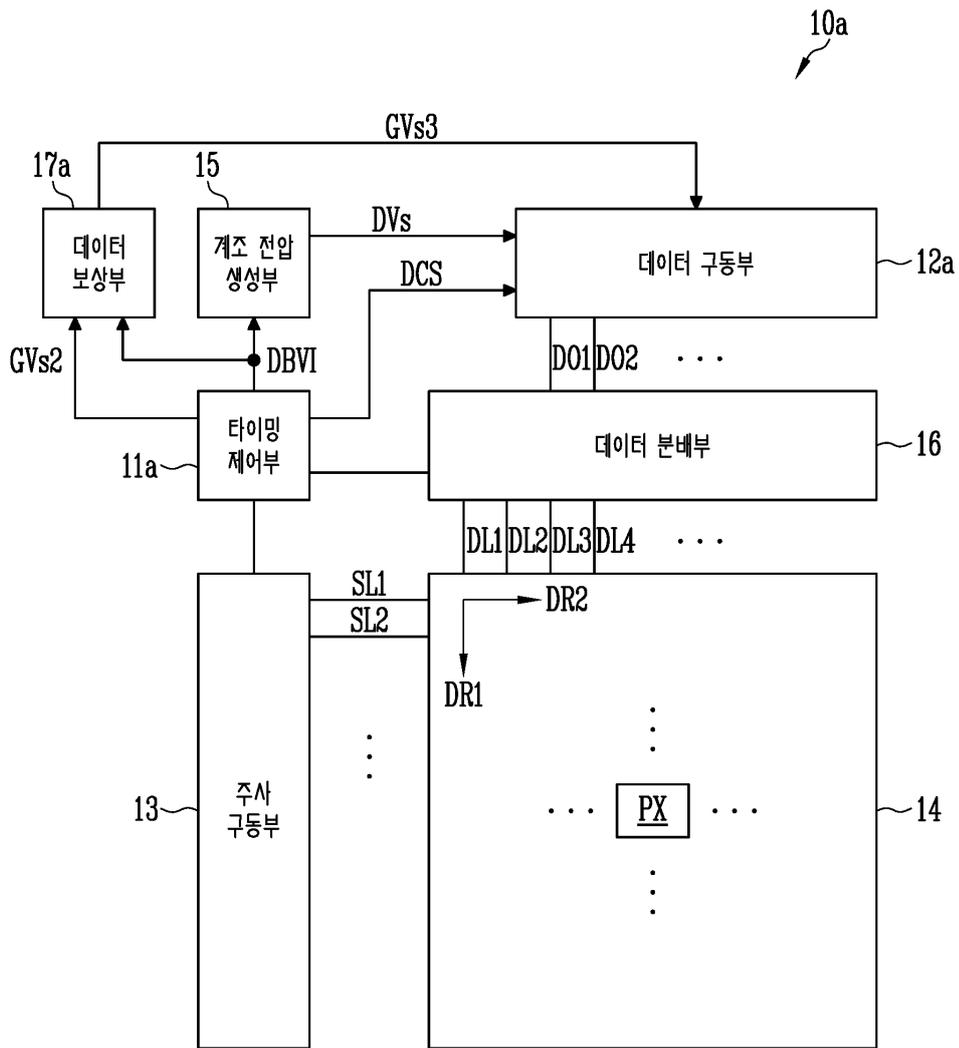
도면15



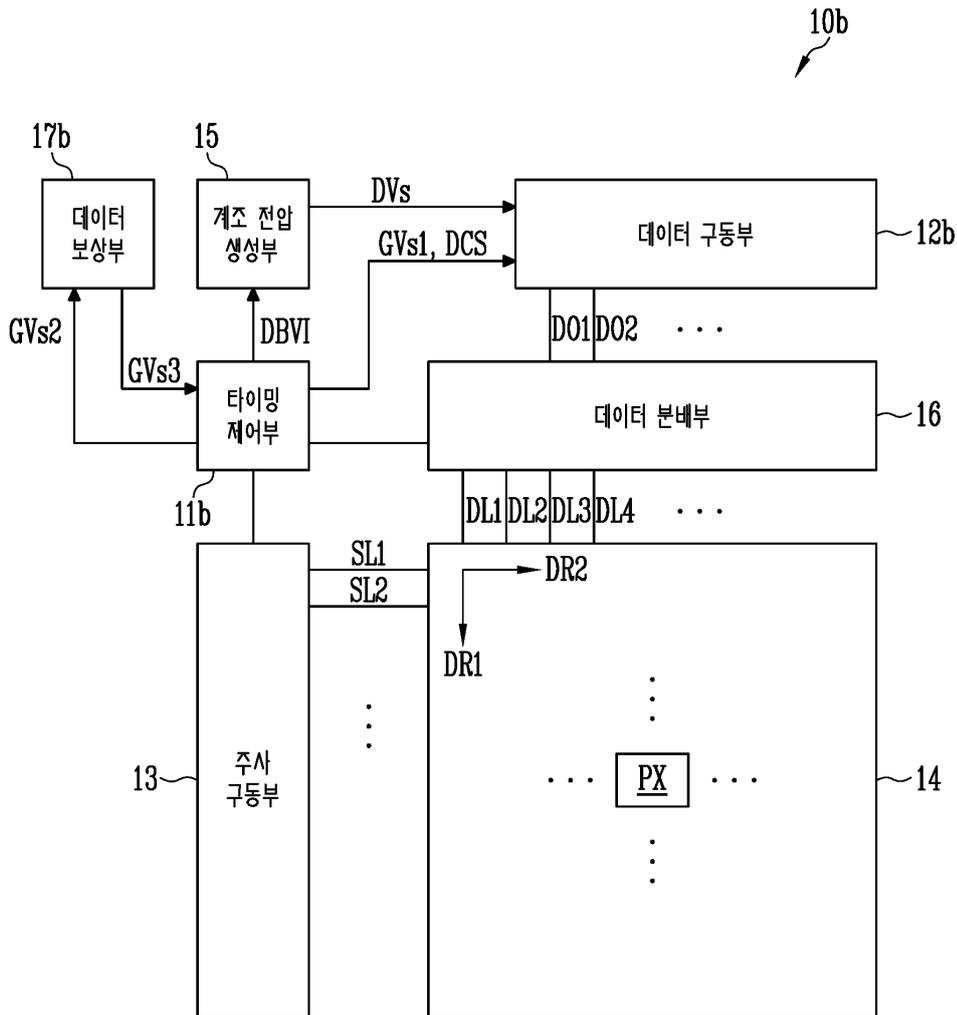
도면16



도면17



도면18



도면19

