



(12) 发明专利

(10) 授权公告号 CN 1701511 B

(45) 授权公告日 2010.05.12

(21) 申请号 03825382.8

H01L 27/04(2006.01)

(22) 申请日 2003.05.28

(56) 对比文件

(85) PCT申请进入国家阶段日
2005.05.25

JP 2000-312146 A, 2000.11.07, 全文.

JP 2001-313559 A, 2001.11.09, 全文.

CN 1108017 A, 1995.09.06, 全文.

US 6236236 B1, 2001.05.22, 全文.

(86) PCT申请的申请数据
PCT/JP2003/006714 2003.05.28

审查员 黄渊

(87) PCT申请的公布数据
W02004/107578 JA 2004.12.09

(73) 专利权人 富士通微电子株式会社
地址 日本东京都

(72) 发明人 宇野治

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉

(51) Int. Cl.
H03K 19/00(2006.01)

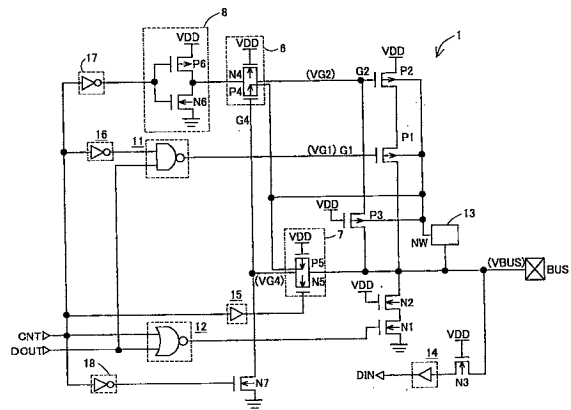
权利要求书 2 页 说明书 12 页 附图 12 页

(54) 发明名称

缓冲电路半导体装置

(57) 摘要

本发明提供一种半导体装置,将高于电源电压 VDD 的施加电压 VBUS 输入给端子 BUS,在电压 VBUS 小于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时,向栅极端子 G4 施加从电源电压 VDD 减去阈值电压 V_{thn} 后的电压,PMOS 晶体管 P4 导通。向栅极端子 G2 提供电源电压 VDD,使 PMOS 晶体管 P2 截止。在电压 VBUS 大于等于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时,向栅极端子 G4 提供电压 VBUS,使 PMOS 晶体管 P4 截止,并且使 PMOS 晶体管 P3 导通,向栅极端子 G2 供给电压 VBUS,使 PMOS 晶体管 P4 截止。与施加电压 VBUS 无关,不会流来自端子 BUS 的不必要的泄漏电流,能够正确地保持电压电平。



1. 一种缓冲电路半导体装置,其输出端子或输入输出端子被施加高于自身的电源电压的电压信号,其特征在于具有:

串联连接在电源电压源与所述输出端子或所述输入输出端子之间的第 1PMOS 晶体管 (P1) 和第 2PMOS 晶体管 (P2);

栅极驱动部 (8),在非输出状态下提供所述电源电压,在输出状态下提供接地电压;以及

第 1 栅极电压控制部 (6),设置在所述栅极驱动部 (8) 和所述第 2PMOS 晶体管 (P2) 的栅极端子之间,在施加给所述输出端子或所述输入输出端子的施加电压处于第 1 区域时阻止从所述第 2PMOS 晶体管 (P2) 的栅极端子向所述栅极驱动部 (8) 提供所述施加电压,在所述施加电压处于第 2 区域时且在输出状态下向所述第 2PMOS 晶体管 (P2) 的栅极端子提供来自所述栅极驱动部 (8) 的供给电压,所述第 1 区域表示在非输出状态下所述施加电压大于或等于向所述电源电压加上规定电压后的电压,所述第 2 区域表示所述施加电压小于所述向所述电源电压加上规定电压后的电压,

其中,所述第 1PMOS 晶体管 (P1) 的栅极端子在非输出状态下被保持为所述电源电压,而在输出状态下根据输出信号被驱动,

所述第 2PMOS 晶体管 (P2) 的栅极端子,在所述施加电压处于第 1 区域时,被设定成所述施加电压,在所述施加电压处于第 2 区域时,被设定成所述电源电压。

2. 根据权利要求 1 所述的缓冲电路半导体装置,其特征在于,向所述电源电压加上规定电压后的电压,在所述第 2PMOS 晶体管 (P2) 的栅极端子被设定成所述电源电压时,是指所述第 2PMOS 晶体管 (P2) 从所述输出端子或所述输入输出端子向所述电源电压源开始导通时的所述施加电压。

3. 根据权利要求 1 所述的缓冲电路半导体装置,其特征在于,所述规定电压在所述第 2PMOS 晶体管 (P2) 的栅极端子被设定成所述电源电压的情况下,是与所述第 2PMOS 晶体管 (P2) 从所述输出端子或所述输入输出端子向所述电源电压源开始导通时的所述第 2PMOS 晶体管 (P2) 的阈值电压对应的电压。

4. 根据权利要求 1 所述的缓冲电路半导体装置,其特征在于,所述第 1 栅极电压控制部 (6) 具有连接所述栅极驱动部 (8) 和所述第 2PMOS 晶体管 (P2) 的栅极端子的第 3PMOS 晶体管 (P4),

所述第 3PMOS 晶体管 (P4) 在所述第 2 区域导通。

5. 根据权利要求 4 所述的缓冲电路半导体装置,其特征在于,所述第 1 栅极电压控制部 (6) 具有包括所述第 3PMOS 晶体管 (P4) 的第 1 传输门。

6. 根据权利要求 4 所述的缓冲电路半导体装置,其特征在于,具有第 2 栅极电压控制部 (7),该第 2 栅极电压控制部 (7) 在所述第 1 区域把所述第 3PMOS 晶体管 (P4) 的栅极端子设定成所述施加电压,在所述第 2 区域把所述第 3PMOS 晶体管 (P4) 的栅极端子从电源电压设定成小于或等于所述第 3PMOS 晶体管 (P4) 开始导通的电压的电压。

7. 根据权利要求 6 所述的缓冲电路半导体装置,其特征在于,所述开始导通的电压是相当于所述第 3PMOS 晶体管 (P4) 的阈值电压的电压。

8. 根据权利要求 6 所述的缓冲电路半导体装置,其特征在于,所述第 2 栅极电压控制部 (7) 具有第 4PMOS 晶体管 (P5),该第 4PMOS 晶体管 (P5) 连接所述输出端子或所述输入输出

端子与所述第 3PMOS 晶体管 (P4) 的栅极端子,在栅极端子连接所述电源电压源。

9. 根据权利要求 6 所述的缓冲电路半导体装置,其特征在于,所述第 2 栅极电压控制部 (7) 具有第 1NMOS 晶体管 (N5),该第 1NMOS 晶体管 (N5) 连接所述输出端子或所述输入输出端子与所述第 3PMOS 晶体管 (P4) 的栅极端子,

所述第 1NMOS 晶体管 (N5) 的栅极端子在非输出状态下被设定成所述电源电压,在输出状态下被设定成接地电压。

10. 根据权利要求 9 所述的缓冲电路半导体装置,其特征在于,在非输出状态下,所述第 1NMOS 晶体管 (N5) 的栅极端子被设定成降压后的电压来代替电源电压。

11. 根据权利要求 10 所述的缓冲电路半导体装置,其特征在于,所述降压后的电压指降压后的电源电压。

12. 根据权利要求 10 所述的用作输入输出缓冲电路的半导体装置,其特征在于,具有电压降压部,所述降压后的电压指从所述电压降压部输出的电压。

13. 根据权利要求 8 或 9 所述的缓冲电路半导体装置,其特征在于,所述第 2 栅极电压控制部 (7) 具有包括所述第 4PMOS 晶体管 (P5) 和所述第 1NMOS 晶体管 (N5) 的第 2 传输门。

14. 根据权利要求 4 所述的缓冲电路半导体装置,其特征在于,所述第 3PMOS 晶体管 (P4) 在输出状态下被保持为导通状态。

15. 根据权利要求 14 所述的缓冲电路半导体装置,其特征在于,具有连接所述第 3PMOS 晶体管 (P4) 的栅极端子和接地电压的第 2NMOS 晶体管 (N7),

所述第 2NMOS 晶体管 (N7) 在输出状态下导通。

缓冲电路半导体装置

技术领域

[0001] 本发明涉及一种具有输出缓冲电路或输入输出缓冲电路的半导体装置,特别涉及输出端子或输入输出端子被施加比自身的电源电压高的电压的信号的缓冲电路半导体装置。

背景技术

[0002] 近年来,以 CMOS 结构的半导体集成电路(以下称为 LSI)为中心,伴随微细化等的发展,LSI 的驱动电源电压正在向低压化发展。但是,向低压化发展的状况因 LSI 的产品领域而不同,所以在构成系统时,产生必须组合构成电源电压不同的多个 LSI 的情况。因此,如果能够直接连接以相互不同的电源电压动作的 LSI 的各个端子将非常理想。在该情况下,也必须考虑端子被施加电压振幅与输出信号的电压振幅不同的信号。因此,以往提出的电路方式,即使从外部施加电压振幅大于等于电源电压的信号,也必须在与电源电压之间不会流过不必要的泄漏电流。

[0003] 作为现有技术,在专利文献 1 公开的驱动电路中提出下述电路示例,在从外部施加高于电源电压 VDD 的电压时,也不会流过泄漏电流。

[0004] 如图 11 所示,在驱动电路 100 中,向“与非”门 11 和“或非”门 12 输入输出数据信号 DOUT,并且向“与非”门 11 直接输入输出使能信号 EN,而通过倒相门 160 进行取反然后向“或非”门 12 输入输出使能信号 EN。各个输出端子连接电源电压 VDD 侧的 PMOS 晶体管 P1 的栅极端子 G1、以及源极端子连接接地电压的 NMOS 晶体管 N1 的栅极端子。

[0005] PMOS 晶体管 P1 的源极端子,通过 PMOS 晶体管 P2 被输入电源电压 VDD, NMOS 晶体管 N1 的漏极端子通过栅极端子连接电源电压 VDD 的 NMOS 晶体管 N2 来连接 PMOS 晶体管 P1 的漏极端子。该连接点是端子 BUS。

[0006] 并且, PMOS 晶体管 P2 的栅极端子 G2 通过 NMOS 晶体管 N4 连接 NMOS 晶体管 N6。NMOS 晶体管 N6 的源极端子连接接地电压,其栅极端子被输入输出使能信号 EN。NMOS 晶体管 N4 的栅极端子被输入电源电压 VDD。

[0007] 另外,在 PMOS 晶体管 P2 的栅极端子 G2 和漏极端子之间,连接着栅极端子被输入输出使能信号 EN 的 PMOS 晶体管 P100。并且,虽然未图示,有时也可以采用使 PMOS 晶体管 P100 的栅极端子连接电源电压 VDD 的结构。PMOS 晶体管 P1、P2、P100 的 N 阱 NW 连接由 PMOS 晶体管构成的 N 阱电压控制电路 130。

[0008] 在驱动电路 100 中,即使在从电源电压 VDD 向端子 BUS 施加大于等于 PMOS 晶体管的阈值电压的电压时, PMOS 晶体管 P2 也保持截止状态,不会从端子 BUS 通过 PMOS 晶体管 P1、P2 流过在电源电压 VDD 泄漏的泄漏电流。

[0009] 另外,在上述说明中参照的现有技术文献如下。

[0010] 专利文献 1 特开昭 64-72618 号公报

[0011] 图 12 表示第 1 课题。在构成向上述的驱动电路 100 追加输入缓冲电路 400,并通过端子 BUS 输入比自身的电源电压 VDD 高的电压的输入信号的某输入输出缓冲电路 110

的情况下,在动作模式从输出缓冲模式切换为输入缓冲模式、被输入电压高于电源电压 VDD 的输入信号时,有可能产生问题。

[0012] 在输出缓冲模式下,通过作为高电平的输出使能信号 EN 切换为低电平,开始输入缓冲模式。输出使能信号 EN 切换为低电平时,NMOS 晶体管 N6 截止。结果,对 PMOS 晶体管 P2 的栅极端子 G2 进行驱动的晶体管消失,端子 G2 成为悬置状态。在该情况下,由于前面的栅极端子电压 VG2 是低电平,所以在切换为输入缓冲模式后,端子 G2 也保持低电压电平。并且,PMOS 晶体管 P100 的栅极端子电压成为接地电压,PMOS 晶体管 P1 的栅极端子电压 VG1 成为电源电压 VDD。另外,也有 PMOS 晶体管 P100 的栅极端子连接电源电压 VDD 的情况。

[0013] 在该状态下,当经由端子 BUS 从电源电压 VDD 输入大于等于 PMOS 晶体管的阈值电压的高电压信号 VDDex 时,PMOS 晶体管 P1 导通。此处,PMOS 晶体管 P100 的栅极端子为接地电压时,PMOS 晶体管 P100 保持导通状态,另外,PMOS 晶体管 P100 的栅极端子连接电源电压 VDD 时,PMOS 晶体管 P100 也导通,所以端子 G2 的电压电平 VG2 被充电直至与从外部输入的电压电平相同,但由于晶体管和布线的寄生电阻或寄生电容造成的时间常数,不能进行快速充电。

[0014] 因此,在端子 G2 的电压电平 VG2 的充电过渡期间 (T),有时 PMOS 晶体管 P2 被保持为导通状态。在该情况下,产生从端子 BUS 流向电源电压 VDD 的泄漏电流 IIN。由于该泄漏电流 IIN 从连接与端子 BUS 相连接的接口电路 IF 的高电压电平 VDDex 流入,所以使用接口电路 IF 的输出电阻和 PMOS 晶体管 P1、P2 的导通电阻对其进行分压,总线线路 BUS 的电压电平 VBUS 下降。如果下降电压低于缓冲电路 Buf 的输入阈值电压,有时会产生输出电压 VX 不能被输出的问题。

[0015] 图 13 表示第 2 课题。由于产生高于电源电压 VDD 的电压 VDDex 作为输出信号,所以当把驱动电路 100 的输出结构虚拟用作 NMOS 晶体管的漏极开路结构时,有可能产生问题。

[0016] 在驱动电路 100 中,向应该输入输出数据信号 DOUT 的端子提供接地电压,并且向应该输入输出使能信号 EN 的端子输入输出数据信号 DOUT。

[0017] 针对高电平的输出数据信号 DOUT,驱动电路 100 成为可输出状态,输出被固定为接地电压的低电平信号。此时,由于 PMOS 晶体管 P1 保持导通状态,所以栅极端子 G2 的电压电平 VG2 是接地电压。

[0018] 在输出数据信号 DOUT 变为低电平时,驱动电路 100 成为不可输出状态,PMOS 晶体管 P1、NMOS 晶体管 N1 均截止。同时,NMOS 晶体管 N6 也成为截止状态,端子 G2 成为保持低电压电平状态的悬置状态。

[0019] 不进行来自驱动电路 100 的驱动的总线线路 BUS 借助外部上拉电阻 Rup 被充电为外部电压 VDDex,但由于寄生电阻和寄生电容的原因,不能进行快速充电。

[0020] 当施加给端子 BUS 的电压 VBUS 从电源电压 VDD 变为大于等于 PMOS 晶体管的阈值电压的高电压时,PMOS 晶体管 P1 导通,对端子 G2 充电,但由于该充电也不能快速进行,所以在电压电平 VG2 的充电过渡期间 (T),存在 PMOS 晶体管 P2 被保持为导通状态的情况。在该情况下,产生从端子 BUS 流向电源电压 VDD 的泄漏电流 IIN。如果该泄漏电流 IIN 造成的总线线路 BUS 的电压降低于缓冲电路 Buf 的输入阈值电压,则存在输出电压 VX 不能被输出的问题。

发明内容

[0021] 本发明就是为了解决上述现有技术课题的至少一个而提出的,其目的在于,提供一种具有输出缓冲电路或输入输出缓冲电路的半导体装置,即使在输出端子或输入输出端子被施加高于自身的电源电压的电压信号时,也不会通过端子流过不必要的泄漏电流,能够正确保持端子电压。

[0022] 为了达到上述目的,本发明之一的半导体装置,在输出端子或输入输出端子被施加高于自身的电源电压的电压信号时,具有:串联连接在电源电压源与所述输出端子或所述输入输出端子之间的第 1PMOS 晶体管和第 2PMOS 晶体管,第 1PMOS 晶体管的栅极端子,在非输出状态下被保持为电源电压,并且在输出状态下根据输出信号被驱动。并且,第 2PMOS 晶体管的栅极端子,在非输出状态下施加给输出端子或输入输出端子的施加电压大于等于向电源电压加上规定电压后的电压的电压即处于第 1 区域时被设定成施加电压,在该施加电压小于向电源电压加上规定电压后的电压的电压即处于第 2 区域被设定成电源电压。

[0023] 在本发明之一的半导体装置中,在输出状态下,第 1PMOS 晶体管被驱动控制,向输出端子或输入输出端子输出输出信号。在非输出状态下,当施加电压在第 2 区域上时,向第 1 和第 2PMOS 晶体管的栅极端子供给电源电压,并保持截止状态,当施加电压在第 1 区域上时,向第 2PMOS 晶体管的栅极端子供给施加电压,并保持截止状态。

[0024] 此处,所谓向电源电压加上规定电压后的电压,在栅极端子被设定成电源电压的情况下,是指第 2PMOS 晶体管从输出端子或输入输出端子朝向电源电压源开始导通时的施加电压。

[0025] 并且,规定电压在栅极端子被设定成电源电压的情况下,是与第 2PMOS 晶体管从输出端子或输入输出端子向电源电压源开始导通时的第 2PMOS 晶体管的阈值电压对应的电压。

[0026] 由此,在非输出状态下,第 2PMOS 晶体管的栅极端子不会成为悬置状态,至少被设定成电源电压。在从输出状态转变为非输出状态时,在施加给输出端子或输入输出端子的施加电压大于等于向电源电压加上规定电压后的电压的情况下,第 2PMOS 晶体管的栅极端子被从电源电压设定成施加电压,但该时间比较短,不会因第 2PMOS 晶体管的导通而从输出端子或输入输出端子向电源电压源流过不必要的泄漏电流。可以防止流向端子的不必要的泄漏电流。并且,由于没有不必要的泄漏电流,所以能够把输出端子或输入输出端子设定成规定的电压电平。

[0027] 并且,本发明之四的半导体装置的特征在于,在本发明之一的半导体装置中,具有:栅极驱动部,在非输出状态下提供电源电压,在输出状态下供给接地电压;第 1 栅极电压控制部,设置在栅极驱动部和第 2PMOS 晶体管的栅极端子之间,在第 1 区域阻止从第 2PMOS 晶体管的栅极端子向栅极驱动部供给施加电压,在第 2 区域和输出状态下,向第 2PMOS 晶体管的栅极端子供给来自栅极驱动部的供给电压。

[0028] 在本发明之四的半导体装置中,利用栅极驱动部通过第 1 栅极电压控制部向第 2PMOS 晶体管的栅极端子供给电压。在输出状态下供给接地电压,在非输出状态下的第 2 区域供给电源电压。并且,在非输出状态中的第 1 区域,通过第 1 栅极电压控制部,阻止向栅极驱动部施加被施加给第 2PMOS 晶体管的栅极端子的施加电压。

[0029] 由此,在非输出状态下,第 2PMOS 晶体管通过栅极驱动部将栅极端子设定成电源电压,在第 2 区域保持截止状态,并且,在第 1 区域,栅极端子也被设定成施加电压,并保持截止状态。该情况下,施加电压不会作为过电压被施加给栅极驱动部。并且,不会流过从栅极端子通过栅极驱动部到达电源电压的不必要的电流,可以防止来自栅极端子的不必要的电流的流入。

[0030] 另外,由于不会流过不必要的电流,所以能够把输出端子或输入输出端子设定成规定的电压电平。

[0031] 并且,本发明之五的半导体装置的特征在于,在本发明之四的半导体装置中,第 1 栅极电压控制部具有连接栅极驱动部和第 2PMOS 晶体管的栅极端子的第 3PMOS 晶体管,第 3PMOS 晶体管在第 2 区域导通。

[0032] 在本发明之五的半导体装置中,利用第 1 栅极电压控制部所具有的第 3PMOS 晶体管,控制栅极驱动部和第 2PMOS 晶体管的栅极端子的连接。在第 2 区域中被导通,向第 2PMOS 晶体管的栅极端子供给电源电压。

[0033] 此处,优选第 1 栅极电压控制部具有包括第 3PMOS 晶体管的第 1 传输门。

[0034] 并且,本发明之七的半导体装置的特征在于,在本发明之五的半导体装置中,具有第 2 栅极电压控制部,在第 1 区域把第 3PMOS 晶体管的栅极端子设定成施加电压,在第 2 区域把第 3PMOS 晶体管的栅极端子从电源电压设定成小于等于第 3PMOS 晶体管开始导通的电压的电压。

[0035] 在本发明之七的半导体装置中,利用第 2 栅极电压控制部进行第 3PMOS 晶体管的导通控制。在第 1 区域设定成施加电压并使其截止,在第 2 区域从电源电压设定成小于等于第 3PMOS 晶体管开始导通的电压的电压,并使其导通。

[0036] 此处,所谓开始导通的电压是相当于第 3PMOS 晶体管的阈值电压的电压。

[0037] 由此,第 3PMOS 晶体管在第 1 区域截止,阻止向栅极驱动部供给施加电压,并且在第 2 区域成为导通状态,可以利用栅极驱动部驱动第 2PMOS 晶体管的栅极端子。

[0038] 并且,本发明之九的半导体装置的特征在于,在本发明之七的半导体装置中,第 2 栅极电压控制部具有第 4PMOS 晶体管,其连接输出端子或输入输出端子与第 3PMOS 晶体管的栅极端子,其栅极端子连接电源电压源。

[0039] 在本发明之九的半导体装置中,利用第 2 栅极电压控制部的第 4PMOS 晶体管,在第 1 区域向第 3PMOS 晶体管的栅极端子供给施加电压。由此,在第 1 区域可以使第 3PMOS 晶体管截止。

[0040] 并且,本发明之十的半导体装置的特征在于,在本发明之七的半导体装置中,第 2 栅极电压控制部具有第 1NMOS 晶体管,其连接输出端子或输入输出端子与第 3PMOS 晶体管的栅极端子,第 1NMOS 晶体管的栅极端子在非输出状态下被设定成电源电压,在输出状态下被设定成接地电压。

[0041] 在本发明之十的半导体装置中,利用第 2 栅极电压控制部所具有的第 1NMOS 晶体管,控制第 3PMOS 晶体管的栅极端子与输出端子或输入输出端子的连接。在非输出状态下导通,向第 3PMOS 晶体管的栅极端子供给从电源电压减去阈值电压的电压。

[0042] 由此,施加给第 3PMOS 晶体管的栅极端子的电压,被限制为从电源电压减去第 1NMOS 晶体管的阈值电压后的电压,所以在第 2 区域能够使第 3PMOS 晶体管导通。

[0043] 并且,本发明之十一的半导体装置的特征在于,在本发明之十的半导体装置中,在非输出状态下,第 1NMOS 晶体管的栅极端子被设定成降压后的电压来代替电源电压。此处,降压后的电压指降压后的电源电压,或者从电压降压部输出的电压。

[0044] 由此,施加给第 3PMOS 晶体管的栅极端子的电压,被限制为从降压后的电压减去第 1NMOS 晶体管的阈值电压后的电压,所以能够使第 3PMOS 晶体管可靠地导通,在第 2 区域能够把第 2PMOS 晶体管的栅极端子设定成电源电压。

[0045] 并且,本发明之十四的半导体装置的特征在于,在本发明之九或十的半导体装置中,优选第 2 栅极电压控制部具有包括第 4PMOS 晶体管或第 1NMOS 晶体管的第 2 传输门。

[0046] 并且,本发明之十五的半导体装置的特征在于,在本发明之五的半导体装置中,第 3PMOS 晶体管在输出状态下被保持为导通状态。该情况下,优选具有连接第 3PMOS 晶体管的栅极端子和接地电压的第 2NMOS 晶体管,第 2NMOS 晶体管在输出状态下导通。由此,在输出状态下可以把第 2PMOS 晶体管的栅极端子设定成接地电压。

附图说明

[0047] 图 1 是第 1 实施方式的半导体装置的电路图。

[0048] 图 2 是表示 N 阱电压控制电路的第 1 具体例的电路图。

[0049] 图 3 是表示 N 阱电压控制电路的第 2 具体例的电路图。

[0050] 图 4 是表示 N 阱电压控制电路的第 3 具体例的电路图。

[0051] 图 5 是表示实施方式的 PMOS 晶体管 P4 的栅极端子电压 (VG4) 特性的特性图。

[0052] 图 6 是表示实施方式的 PMOS 晶体管 P2 的栅极端子电压 (VG2) 特性的特性图。

[0053] 图 7 是第 2 实施方式的半导体装置的电路图。

[0054] 图 8 是表示电平转换电路的具体例的电路图。

[0055] 图 9 是表示实施方式的第 1 动作状态的说明图。

[0056] 图 10 是表示实施方式的第 2 动作状态的说明图。

[0057] 图 11 是现有技术的半导体装置的电路图。

[0058] 图 12 是表示现有技术的第 1 课题的说明图。

[0059] 图 13 是表示现有技术的第 2 课题的说明图。

具体实施方式

[0060] 以下,参照图 1 ~ 图 10 详细说明本发明的半导体装置的具体实施方式。

[0061] 在图 1 所示第 1 实施方式的半导体装置的输入输出缓冲电路 1 中,除输出缓冲器部外,还具有输入缓冲电路 14,和作为耐压保护用的在栅极端子连接电源电压源 VDD 的 NMOS 晶体管 N3。

[0062] 并且,具有 PMOS 晶体管 P3 和 N 阱电压控制电路 13,以代替现有技术的输入输出缓冲电路 100 中的 PMOS 晶体管 P100 和 N 阱电压控制电路 130。PMOS 晶体管 P3 的源极端子和漏极端子分别连接作为第 2PMOS 晶体管来发挥作用的第 2PMOS 晶体管 P2 的栅极端子 G2 和输入输出端子 BUS,栅极端子连接电源电压源 VDD。并且,输入低电平表示输出状态的输入输出模式切换信号 CNT,以代替输出使能信号 EN。输入输出模式切换信号 CNT 用与输出使能信号 EN 相反的逻辑表示输出状态,所以具有调节逻辑电平的倒相门 16、17 代替倒相门

160。

[0063] 另外,除输入输出缓冲电路 100 中的 NMOS 晶体管 N6 外,还具有连接电源电压 VDD 和 NMOS 晶体管 N6 的 PMOS 晶体管 P6,构成栅极驱动部 8。PMOS/NMOS 晶体管 P6/N6 的栅极端子连接被输入输入输出模式切换信号 CNT 的倒相门 17 的输出端子。

[0064] 栅极驱动部 8 的输出端子通过第 1 传输门 6 连接 PMOS 晶体管 P2 的栅极端子 G2,第 1 传输门 6 具有在与输入输出缓冲电路 100 的 NMOS 晶体管 N4 之间源极、漏极端子彼此相连接的 PMOS 晶体管 P4。此处,PMOS 晶体管 P4 发挥第 3PMOS 晶体管的作用,并且,第 1 传输门 6 发挥第 1 栅极电压控制部的作用。

[0065] PMOS 晶体管 P4 的栅极端子通过第 2 传输门 7 连接输入输出端子 BUS,第 2 传输门 7 由源极、漏极端子彼此相连接的 PMOS/NMOS 晶体管 P5/N5 构成。另外,栅极端子通过连接倒相门 18 的 NMOS 晶体管 N7 连接接地电压。此处,PMOS 晶体管 P5 发挥第 4PMOS 晶体管的作用,NMOS 晶体管 N5 发挥第 1NMOS 晶体管的作用。第 2 传输门 7 发挥第 2 栅极电压控制部的作用。

[0066] PMOS 晶体管 P5 的栅极端子连接电源电压源 VDD,NMOS 晶体管 N5 的栅极端子连接缓冲电路 15。缓冲电路 15 被输入输入输出模式切换信号 CNT。倒相门 18 被输入输入输出模式切换信号 CNT。

[0067] 将在后面详细叙述,N 阱电压控制电路 13 是根据施加给输入输出端子 BUS 的施加电压,使 PMOS 晶体管 P1 ~ P5 的 N 阱 NW 的电位在电源电压 VDD 和施加电压 VBUS 之间不间断地偏置的电路。与施加电压 VBUS 的电压电平无关,能够可靠地设定 N 阱 NW 的电位,N 阱 NW 不会成为悬置状态。

[0068] 输入输出缓冲电路 1 在输入输出模式切换信号 CNT 的电压电平为低电平时成为输出状态。通过倒相门 17 从栅极驱动部 8 输出的低电平信号,使构成第 1 传输门 6 的 PMOS/NMOS 晶体管 P4/N4 均导通,向 PMOS 晶体管 P2 的栅极端子 G2 供给低电平 ($V_{G2} = Lo$)。由此,PMOS 晶体管 P2 保持导通状态。

[0069] 此处,低电平的输入输出模式切换信号 CNT,针对“与非”门 11 作为进行了逻辑取反的高电平信号、针对“或非”门 12 作为原来状态的低电平信号被输入各方的输入端子。因此,此时的“与非”门 11 和“或非”门 12 发挥逻辑取反门的作用。因此,被输入输入输出缓冲电路的输出数据信号 DOUT,通过“与非”门 11 和“或非”门 12 被进行了逻辑取反后,驱动 PMOS 晶体管 P1 和 NMOS 晶体管 N1,通过处于导通状态的 PMOS 晶体管 P2 和 NMOS 晶体管 N2,向输入输出端子 BUS 输出数据。

[0070] 并且,构成第 1 传输门 6 的 PMOS 晶体管 P4 的导通情况如下。栅极端子 G4 借助栅极端子被施加了电源电压 VDD 的 PMOS 晶体管 P5、和栅极端子通过缓冲电路 15 被施加了与输入输出模式切换信号 CNT 同相的低电平信号的 NMOS 晶体管 N5,使第 2 传输门 7 截止,切断来自输入输出端子 BUS 的路径。对此,低电平的输入输出模式切换信号 CNT 被取反并供给栅极端子,由此 NMOS 晶体管 N7 导通,所以被供给接地电压。因此,PMOS 晶体管 P4 成为导通状态。

[0071] 输入输出缓冲电路 1 在输入输出模式切换信号 CNT 的电压电平为高电平时成为截止状态,通过输入缓冲电路 4 接受来自输入输出端子 BUS 的输入信号,进行接收输入数据信号 DIN 的输入缓冲动作。

[0072] 在非输出状态下,高电平的输入输出模式切换信号 CNT,针对“与非”门 11 作为进行了逻辑取反的低电平信号、针对“或非”门 12 作为原来状态的高电平信号被输入各方的输入端子,“与非”门 11 和“或非”门 12 均成为非激活状态。即,从“与非”门 11 输出高电平信号,从“或非”门 12 输出低电平信号。把 PMOS 晶体管 P1 的栅极端子 G1 固定成电源电压 VDD,把 NMOS 晶体管 N1 的栅极端子固定成接地电压,不激活作为输出缓冲器的功能。

[0073] 并且,通过倒相门 17 从栅极驱动部 8 输出电源电压 VDD 的高电平信号,但是通过根据输入到输入输出端子 BUS 的施加电压 VBUS 控制第 1 传输门 6,由此可以形成即使在电压高于电源电压 VDD 的施加电压 VBUS 被输入的情况下,在输入输出端子 BUS 和电源电压 VDD 之间也不会流过不必要的泄漏电流的结构。所谓第 1 传输门 6 的控制是指 PMOS 晶体管 P4 的导通控制。利用高电平的输入输出模式切换信号 CNT 使 NMOS 晶体管 N7 截止,利用第 2 传输门 7 控制栅极端子 G4 的电压电平 VG4,进行 PMOS 晶体管 P4 的导通控制。

[0074] 在第 2 传输门,通过缓冲电路 15 向 NMOS 晶体管 N5 的栅极端子施加电源电压 VDD 或后述降压后的电压电平。NMOS 晶体管 N5 具有下述特性,根据输入到输入输出端子 BUS 的施加电压 VBUS 的电压电平,以非饱和特性或饱和特性进行动作,向栅极端子 G4 供给施加电压 VBUS、或者从电源电压 VDD 或降压电压减去 NMOS 晶体管的阈值电压 V_{thn} 后的电压。

[0075] 并且,PMOS 晶体管 P5 的栅极端子被固定成电源电压 VDD。因此具有下述特性,在施加电压 VBUS 是大于等于向电源电压 VDD 加上 PMOS 晶体管的阈值电压 V_{thp} 后的电压的高电压时导通,对栅极端子 G4 供给施加电压 VBUS。

[0076] 此处,根据图 5 详细说明相对施加电压 VBUS 的栅极端子电压 VG4 的特性。此处,以向 NMOS 晶体管 N5 的栅极端子施加电源电压 VDD 的情况为例进行说明(图 5 中的(I))。另外,在以下说明中,忽视 PMOS/NMOS 晶体管的导通电阻和布线电阻等的电压降成分。

[0077] 当施加电压 VBUS 小于从电源电压 VDD 减去阈值电压 V_{thn} 后的电压时($0 \leq VBUS < VDD - V_{thn}$),NMOS 晶体管 N5 在非饱和区域导通,栅极端子电压 VG4 成为施加电压 VBUS($VG4 = VBUS$)。此处,在 NMOS/PMOS 的两阈值电压大致相等的条件下,PMOS 晶体管 P4 被偏置成大于等于阈值电压 V_{thp} ,在非输出状态下,向栅极端子 G2 供给从栅极驱动部 8 输出的电源电压 VDD($VG2 = VDD$)。因此, $VG2 > VBUS$,PMOS 晶体管 P2 被保持在截止状态,在输入输出端子 BUS 和电源电压 VDD 之间不会流过泄漏电流。

[0078] 当施加电压 VBUS 大于等于从电源电压 VDD 减去阈值电压 V_{thn} 后的电压、并且小于从电源电压 VDD 减去阈值电压 V_{thp} 后的电压时($VDD - V_{thn} \leq VBUS < VDD - V_{thp}$),NMOS 晶体管 N5 在饱和区域导通,向栅极端子电压 G4 施加从电源电压 VDD 减去阈值电压 V_{thn} 后的电压($VG4 = VDD - V_{thn}$)。此处,在 NMOS/PMOS 的两阈值电压大致相等的条件下,PMOS 晶体管 P4 被偏置成大于等于阈值电压 V_{thp} ,在非输出状态下,向栅极端子 G2 供给电源电压 VDD 的高电平信号($VG2 = VDD$)。因此, $VG2 > VBUS$,所以 PMOS 晶体管 P2 被保持在截止状态,在输入输出端子 BUS 和电源电压 VDD 之间不会流过泄漏电流。

[0079] 当输入信号电压 VBUS 大于等于从电源电压 VDD 减去阈值电压 V_{thp} 后的电压并且小于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时($VDD - V_{thp} \leq VBUS < VDD + V_{thp}$),同样,NMOS 晶体管 N5 在饱和区域导通,向栅极端子电压 G4 施加从电源电压 VDD 减去阈值电压 V_{thn} 后的电压($VG4 = VDD - V_{thn}$)。此处,在 NMOS/PMOS 的两阈值电压大致相等的条件下,PMOS 晶体管 P4 被偏置成大于等于阈值电压 V_{thp} ,向栅极端子 G2 供给电源电压 VDD($VG2 =$

VDD)。该情况下, $VG2 > VBUS - V_{thp}$, PMOS 晶体管 P2 由于偏置电压小于等于阈值电压 V_{thp} , 所以依旧被保持在截止状态, 在输入输出端子 BUS 和电源电压 VDD 之间不会流过泄漏电流。

[0080] 当施加电压 VBUS 大于等于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时 ($VDD + V_{thp} \leq VBUS$), PMOS 晶体管 P5 在非饱和区域导通, 向栅极端子电压 G4 供给施加电压 VBUS ($VG4 = VBUS$)。因此, PMOS 晶体管 P4 截止。但是, 在该状态下, PMOS 晶体管 P3 导通, 所以栅极端子电压 $VG2$ 被施加给施加电压 VBUS ($VG2 = VBUS$)。由于 $VG2 = VBUS$, 所以 PMOS 晶体管 P2 被保持在截止状态, 在输入输出端子 BUS 和电源电压 VDD 之间不会流过泄漏电流。

[0081] 另外, NMOS 晶体管 N4 的栅极端子是电源电压 VDD, 所以不会从栅极端子 G2 向栅极驱动部 8 供给施加电压 VBUS。不会向栅极驱动部 8 供给过电压。另外, 此时的栅极驱动部 8 使 PMOS 晶体管 P6 导通, 并使电源电压 VDD 被输出。NMOS 晶体管 N4 没有导通, 不会从栅极端子 G2 向栅极驱动部 8 流过不必要的泄漏电流。

[0082] 图 6 表示 PMOS 晶体管 P2 的栅极端子电压 $VG2$ 的特性。当施加电压 VBUS 小于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时, 被供给电源电压, 在施加电压 VBUS 大于等于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时, 被供给施加电压 VBUS。与施加电压 VBUS 的电压电平无关, PMOS 晶体管 P2 不会导通, 不会在输入输出端子 VBUS 和电源电压 VDD 之间流过泄漏电流。

[0083] 此处, 说明了施加给 NMOS 晶体管 N5 的栅极端子的电压是电源电压 VDD 的情况, 但是, 如果缓冲电路 15 具有后述的电压降压功能, 则向栅极端子供给降压电压 VDDL。由于 NMOS 晶体管 N5 的饱和特性, 向栅极端子 G4 供给的电压 $VG4$, 成为图 5 中 (II) 所示的 $VDDL - V_{thn}$, PMOS 晶体管 P4 被更加可靠地偏置成导通状态。

[0084] 下面, 根据图 2 ~ 图 4 说明 N 阱电压控制电路 13 的具体例。

[0085] 在图 2 所示第 1 具体例的 N 阱电压控制电路 13A 中, 具有: PMOS 晶体管 P31A, 其源极端子连接电源电压 VDD, 漏极端子和背栅极端子连接 N 阱 NW; PMOS 晶体管 P32A, 其源极端子连接输入输出端子 BUS, 漏极端子和背栅极端子连接 N 阱 NW, 而且栅极端子连接电源电压 VDD。

[0086] PMOS 晶体管 P31A 的导通和截止由连接栅极端子 G31A 的 PMOS 晶体管控制部控制。

[0087] PMOS 晶体管控制部具有 NMOS 晶体管 N31A、PMOS 晶体管 P33A, 并且根据需要还可以具有第 1 电压降压部 31。NMOS 晶体管 N31A 的漏极端子连接输入输出端子 BUS, 源极端子通过第 1 电压降压部 31 连接 PMOS 晶体管 P31A 的栅极端子 G31A, 栅极端子连接电源电压 VDD。PMOS 晶体管 P33A 的源极端子连接输入输出端子 BUS, 漏极端子连接 PMOS 晶体管 P31A 的栅极端子 G31A, 背栅极端子连接 N 阱 NW, 栅极端子连接电源电压 VDD。

[0088] 第 1 电压降压部 31 对来自 NMOS 晶体管 N31A 的源极端子的电压进行降压, 供给 PMOS 晶体管 P31A 的栅极端子 G31A。

[0089] 在图 2 中一并示出第 1 电压降压部 31 的具体例。具体例 (A) 串联连接规定数目的二极管进行降压。通过适当设定二极管的规定数目, 在使 PMOS 晶体管 P31A 导通时, 向 PMOS 晶体管 P31A 的栅极端子 G31A 供给小于等于从电源电压 VDD 减去阈值电压 V_{thp} 后的电压的电压。具体例 (B) 利用电阻元件对 NMOS 晶体管 N31A 的源极端子的电压进行分压。通过适当设定分压比, 向 PMOS 晶体管 P31A 的栅极端子 G31A 供给小于等于从电源电压 VDD

减去阈值电压 V_{thp} 后的电压的电压。

[0090] 图 3 所示第 2 具体例的 N 阱电压控制电路 13B, 在 PMOS 晶体管控制部中设有第 2 电压降压部 32, 以代替第 1 具体例的 N 阱电压控制电路 13A (图 2) 的第 1 电压降压部 31。

[0091] 在 PMOS 晶体管控制部中, NMOS 晶体管 N31B 的源极端子直接连接 PMOS 晶体管 P31B 的栅极端子 G31B, 并且栅极端子通过第 2 电压降压部 32 连接电源电压 VDD。

[0092] 第 2 电压降压部 32 对电源电压 VDD 进行降压, 并使 NMOS 晶体管 N31B 的栅极端子偏置。由此, 可以向 NMOS 晶体管 N31B 的源极端子输出适当地降压后的电压, 并供给栅极端子 G31B。

[0093] 图 3 所示第 2 电压降压部 32 的具体例和第 1 电压降压部 31 (图 2) 的具体例相同。通过串联连接规定数目的二极管 (具体例 (A))、并且利用电阻元件对电源电压 VDD 进行分压 (具体例 (B)), 可以获得降压后的电压。

[0094] 在第 1、第 2 具体例的 N 阱电压控制电路 13A、13B 中, 当施加电压 V_{BUS} 大于等于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时 ($V_{BUS} \geq VDD + V_{thp}$), PMOS 晶体管 P33A、P33B 导通, 将栅极端子 G31A、G31B 偏置成电压 V_{BUS} , PMOS 晶体管 P31A、P31B 截止。另一方面, PMOS 晶体管 P32A、P32B 导通, N 阱 NW 的电位成为施加电压 V_{BUS} 。

[0095] 当把施加电压 V_{BUS} 降压成小于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时 ($V_{BUS} < VDD + V_{thp}$), PMOS 晶体管 P32A、P33A、P32B、P33B 截止。另一方面, NMOS 晶体管 N31A、N31B 导通。

[0096] 在把施加电压 V_{BUS} 降压成从 NMOS 晶体管 N31A、N31B 的栅极端子的电压减去阈值电压 V_{thn} 后的电压之前, NMOS 晶体管 N31A、N31B 进行饱和动作, 所以源极端子被大致固定成从栅极端子的电压减去阈值电压 V_{thn} 后的电压。在继续降压时, NMOS 晶体管 N31A、N31B 进行线性动作并导通, 直接向 NMOS 晶体管 N31A、N31B 的源极端子输出施加电压 V_{BUS} 。

[0097] 此处, 供给 NMOS 晶体管 N31A、N31B 的栅极端子的电压是电源电压 VDD (图 2) 或从电源电压 VDD 降压后的电压 (图 3)。该电压直接 (图 3) 被供给、或经降压后 (图 2) 被供给 PMOS 晶体管 P31A、P31B 的栅极端子 G31A、G31B。在没有第 1 和第 2 电压降压部 31、32 的情况下, 以达到从电源电压 VDD 减去 NMOS 晶体管 N31A、N31B 的阈值电压 V_{thn} 后的电压为上限, 设定施加电压 V_{BUS} 。

[0098] 在 NMOS 晶体管 N31A、N31B 和 PMOS 晶体管 P31A、P31B 的阈值电压大致相等时, PMOS 晶体管 P31A、P31B 的栅极、源极之间的电位差被施加成大于等于阈值电压 V_{thp} 。导通后, 向 N 阱 NW 供给电源电压 VDD。

[0099] 并且, 在 NMOS 晶体管 N31A、N31B 和 PMOS 晶体管 P31A、P31B 的阈值电压不同时, 通过设置第 1 或第 2 电压降压部 31、32 中的至少一个, 将施加电压 V_{BUS} 充分降压, 可以使 PMOS 晶体管 P31A、P31B 导通。

[0100] 图 4 所示第 3 具体例的 N 阱电压控制电路 13C, 是在第 1、第 2 具体例的 N 阱电压控制电路 13A、13B (图 2、图 3) 中, 利用 PMOS 晶体管控制部控制 PMOS 晶体管 P31A、P31B, 将 PMOS 晶体管 P32A、P32B 的栅极端子连接电源电压 VDD 的连接关系反转而构成的。即, 在 PMOS 晶体管 P32C 的栅极端子 G32C 和电源电压 VDD 之间具有 NMOS 晶体管 N31C 和 PMOS 晶体管 P33C, 使 NMOS 晶体管 N31C 的栅极端子连接输入输出端子 BUS。并且, PMOS 晶体管 P31C、P33C 的栅极端子连接输入输出端子 BUS。在该情况下, 对第 1 电压降压部 31、第 2 电

压降压部 32, 进行与第 1、第 2 具体例的 N 阱电压控制电路 13A、13B 相同的连接。即, 第 1 电压降压部 31 可以设在 NMOS 晶体管 N31C 和栅极端子 G32C 之间。第 2 电压降压部 32 可以连接在 NMOS 晶体管 N31C 的栅极端子和输入输出端子 BUS 之间。

[0101] 在第 3 具体例的 N 阱电压控制电路 13C 中, 在没有第 1 和第 2 电压降压部 31、32 的情况下, 施加电压 VBUS 小于向电源电压 VDD 加上阈值电压 V_{thn} 后的电压, NMOS 晶体管 N31C 进行饱和动作。向 PMOS 晶体管 P32C 的栅极端子 G32C 供给从施加电压 VBUS 减去阈值电压 V_{thn} 后的电压。在 NMOS/PMOS 的两阈值电压大致相等的条件下, PMOS 晶体管 P32C 导通, 把 N 阱电位 VNW 设成施加电压 VBUS。

[0102] 当施加电压 VBUS 大于等于向电源电压 VDD 加上阈值电压 V_{thn} 后的电压时, NMOS 晶体管 N31C 进行线性动作。向 PMOS 晶体管 P32C 的栅极端子 G32C 供给电源电压 VDD。PMOS 晶体管 P32C 导通, 向 N 阱 NW 供给施加电压 VBUS。

[0103] 另外, 关于具有第 1 和第 2 电压降压部 31、32 的情况下的作用、效果, 与第 1、第 2 具体例的 N 阱电压控制电路 13A、13B 相同, 所以省略说明。此处, 根据第 1 电压降压部 31 的电压下降效果, 当施加电压 VBUS 是大于等于向电源电压 VDD 加上阈值电压 V_{thn} 后的电压的电压时, 栅极端子 G32C 被设定成从电源电压 VDD 经由第 1 电压降压部 31 降压后的电压电平, 根据第 2 电压降压部 32 的电压下降效果, 栅极端子 G32C 被设定成从施加电压 VBUS 减去经由第 2 电压降压部 32 降压后的电压电平, 再减去阈值电压 V_{thn} 后的电压电平。

[0104] 在图 7 所示第 2 实施方式的输入输出缓冲电路 2 中, 与第 1 实施方式的输入输出缓冲电路 1 不同, 与外部的接口用的输出缓冲器部分, 使用电压比在内部电路中使用的电源电压 VDD 高的电源电压 VDDH。另外, 作为利用电源电压 VDD 动作的电路部分和利用高电源电压 VDDH 动作的电路部分的接口, 设有电平转换电路 19、20、21。另外, 向 NMOS 晶体管 N5 的栅极端子施加电源电压 VDD。

[0105] 在第 2 实施方式的输入输出缓冲电路 2 中, 可实现和第 1 实施方式的输入输出缓冲电路 1 相同的作用、效果。基于向 NMOS 晶体管 N5 的栅极端子施加电源电压 VDD 的作用效果, 与在输入输出缓冲电路 1 中缓冲电路 15 具有电压降压功能的情况相同。即, 栅极端子电压 VG4 成为从相比高电源电压 VDDH 为被降压后的电源电压 VDD 中再减去阈值电压 V_{thn} 后的电压 ($VG4 = VDD - V_{thn}$), 能够更可靠地把 PMOS 晶体管 P4 偏置成导通状态。

[0106] 此处, 利用图 8(A), 示出在第 1 实施方式的缓冲电路 15 中输出电压从电源电压 VDD 电平转换为降压后的电压 VDDL 的具体例 15A, 和在第 2 实施方式的电平转换电路 19 ~ 21 中输出电压从电源电压 VDD 电平转换为高电压的电源电压 VDDH 的具体例 (图 19A ~ 图 21A)。

[0107] 输入信号 IN 被输入由 PMOS 晶体管 P52 和 NMOS 晶体管 N52 构成的倒相门、和 NMOS 晶体管 N51 的栅极端子。倒相门的输出端子连接 NMOS 晶体管 N53 的栅极端子。NMOS 晶体管 N51、N53 的栅极端子连接接地电压, 漏极端子分别连接 PMOS 晶体管 P51、P53 的漏极端子。PMOS 晶体管 P51、P53 的栅极端子与其他晶体管的漏极端子相互连接, 源极端子均连接降压后的电压 VDDL (15A 的示例)、或高电源电压 VDDH (19A ~ 21A 的示例)。

[0108] 输入高电平的输入信号 IN。使 NMOS 晶体管 N51 导通, 使 PMOS 晶体管 P53 的栅极端子电压成为接地电压, 由此使 PMOS 晶体管 P53 导通。并且, 将通过倒相门取反后的低电平信号输入 NMOS 晶体管 N53 的栅极端子, 使 NMOS 晶体管 N53 截止。因此, 输出的信号 OUT

通过 PMOS 晶体管 P53 成为降压电压 VDDL 或高电源电压 VDDH。

[0109] 此处,将输出的信号 OUT 输入 PMOS 晶体管 P51 的栅极端子,使 PMOS 晶体管 P51 截止。

[0110] 作为输入信号 IN,输入接地电压的低电平信号。在该情况下,NMOS 晶体管 N51 截止,从 PMOS 晶体管 P53 的栅极端子到接地电压的路径被切断。另一方面,通过倒相门取反后的高电平的信号被输入 NMOS 晶体管 N53 的栅极端子,所以 NMOS 晶体管 N53 导通。因此,输出的信号 OUT 通过 NMOS 晶体管 N53 成为接地电压。输出的信号 OUT 被输入 PMOS 晶体管 P51 的栅极端子,PMOS 晶体管 P51 导通,使 PMOS 晶体管 P53 保持截止。

[0111] 另外,如图 8(B) 所示,分别向或从源极、漏极端子输入或输出输入信号 IN、输出信号 OUT,可以利用栅极端子连接电源电压 VDD 的 NMOS 晶体管 N54 形成降压电路。在该情况下,当作为输入信号 IN 输入电源电压 VDD 电平的高电平信号时,输出从电源电压 VDD 减去阈值电压 V_{thn} 后的电压。

[0112] 图 9、图 10 表示使用第 1、第 2 实施方式的输入输出缓冲电路 1、2,通过输入输出端子 BUS 施加电压电平比自身的电源电压高的施加电压 VBUS 时的动作状态。

[0113] 图 9 所示的第 1 动作状态,在从输出状态切换为非输出状态时,在现有技术中,从由接口电路 IF 供给的电压 VDDex 通过输入输出端子 BUS 向电源电压 VDD 流过泄漏电流 IIN,结果,存在缓冲电路 Buf 不能正确识别输入输出端子 BUS 的电压电平 VBUS 的问题(图 12 的第 1 课题),而在输入输出缓冲电路 1、2 中,在从输出状态切换为非输出状态时不会流过不必要的电流,缓冲电路 Buf 能够正确识别输入输出端子 BUS 的电压电平 VBUS。输出电压 VX 被准确输出。

[0114] 图 10 所示的第 2 动作状态,在 NMOS 晶体管的漏极开路结构中对总线线路 BUS 进行充电时,在现有技术中,利用外部上拉电阻 R_{up} 进行充电需要规定时间,从电压 VDDex 向电源电压 VDD 流过泄漏电流,结果,存在缓冲电路 Buf 不能正确识别输入输出端子 BUS 的电压电平 VBUS 的问题(图 13 的第 2 课题),而在输入输出缓冲电路 1、2 中,即使在充电途中也不会流过不必要的电流,缓冲电路 Buf 能够正确识别输入输出端子 BUS 的电压电平 VBUS。输出电压 VX 被准确输出。

[0115] 如上所述,在第 1、第 2 实施方式涉及的输入输出缓冲电路 1、2 中,在非输出状态即输入状态下,PMOS 晶体管 P2 的栅极端子 G2 不会成为悬置状态,至少被设定成电源电压 VDD。在从输出状态变为输入状态时,当施加给输入输出端子 BUS 的施加电压 VBUS 大于等于向电源电压 VDD 加上 PMOS 晶体管的阈值电压 V_{thp} 后的电压时,栅极端子 G2 在短时间被从电源电压 VDD 设定成施加电压 VBUS。因此,不会由于 PMOS 晶体管 P2 的导通而从输入输出端子 BUS 向电源电压源 VDD 流过不必要的泄漏电流。能够防止向输入输出端子 BUS 流入不必要的泄漏电流。并且,由于不存在不必要的泄漏电流,所以施加电压 BUS 的电压电平不会变动,可以保持成规定的电压电平。

[0116] 并且,在输入状态下,PMOS 晶体管 P2 的栅极端子 G2 通过栅极驱动部 8 被设定成电源电压 VDD ($V_{G2} = VDD$),并且当小于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时,被保持在截止状态。另外,当大于等于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时,栅极端子 G2 被设定成施加电压 VBUS,被保持在截止状态。此外,在该情况下,不会向栅极驱动部 8 施加过电压。并且,不会流过从栅极端子 G2 通过栅极驱动部 8 到达电源电压 VDD 的不必

要的泄漏电流,所以能够防止不必要的泄漏电流。另外,由于不存在不必要的泄漏电流,所以能够把输入输出端子 BUS 设定成规定的电压电平。

[0117] 并且,施加给 PMOS 晶体管 P4 的栅极端子 G4 的电压,被限制为从电源电压 VDD 或者降压后的电压 VDDL 减去 NMOS 晶体管 N5 的阈值电压 V_{thn} 后的电压,所以当小于向电源电压 VDD 加上阈值电压 V_{thp} 后的电压时,能够使 PMOS 晶体管 P4 可靠地导通。能够把 PMOS 晶体管 P2 的栅极端子 G2 设定成电源电压 VDD。

[0118] 另外,本发明不限于上述实施方式,当然可以在不脱离本发明宗旨的范围内进行各种改进、变型。

[0119] 根据本发明,即使在向输出端子或输入输出端子施加高于自身的电源电压的电压信号的情况下,也不会通过端子流过不必要的泄漏电流。因此,在向输出端子或输入输出端子连接外部电路时,与施加给输出端子或输入输出端子的电压电平无关,可以正确设定端子电压的电压电平,能够向端子 BUS 稳定地进行信号输出或输入输出。

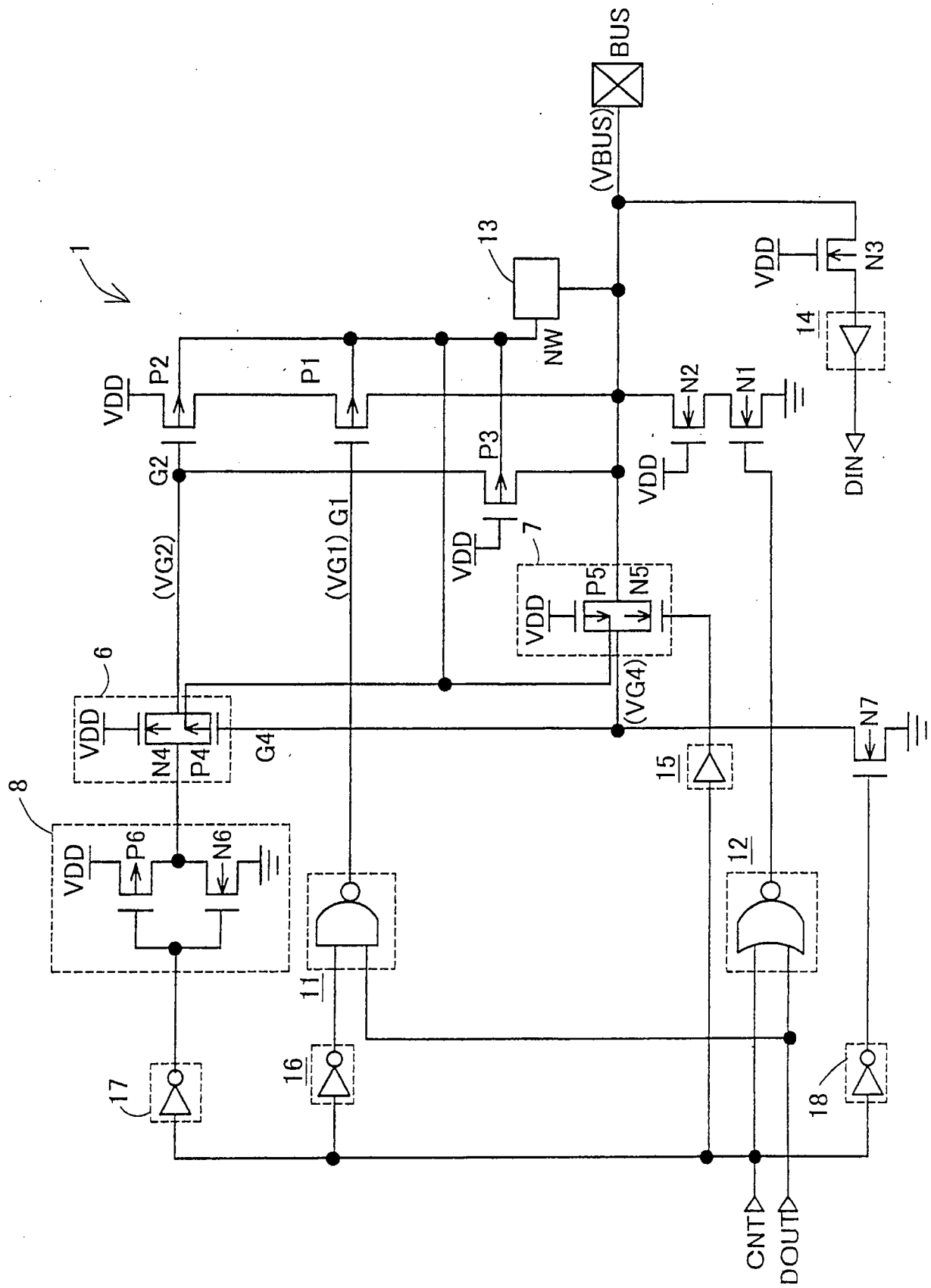


图 1

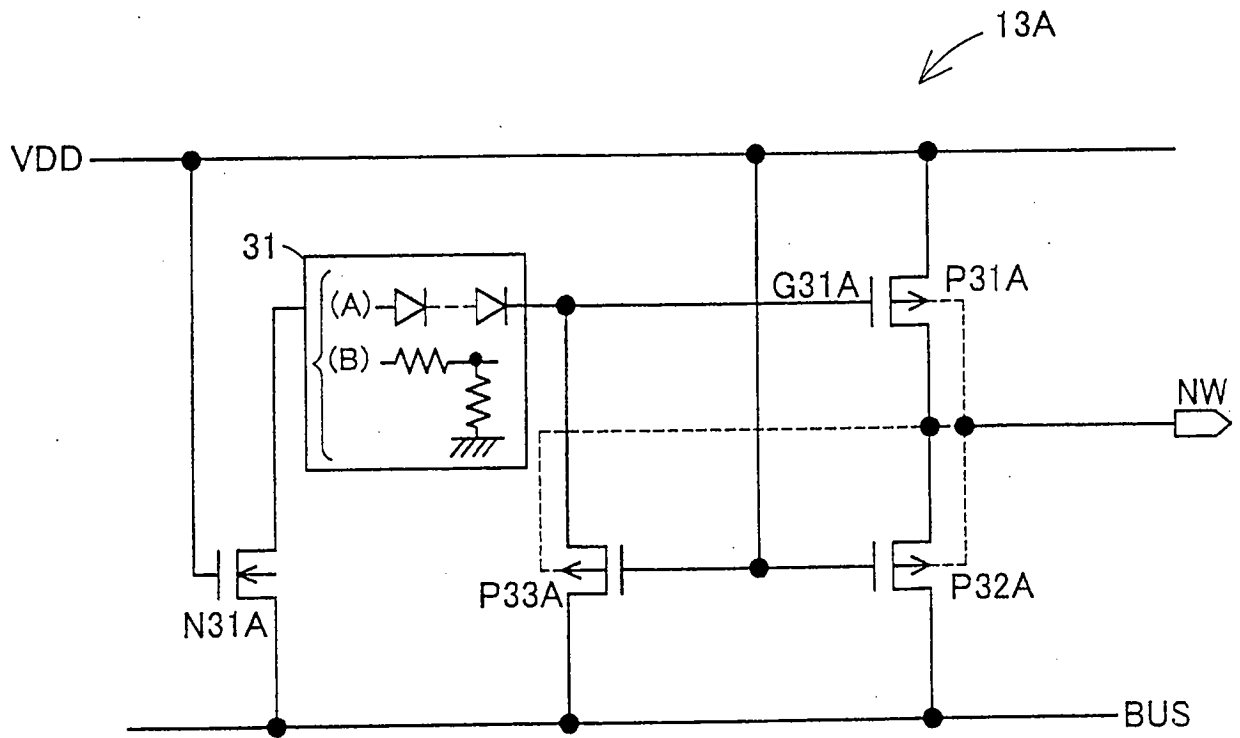


图 2

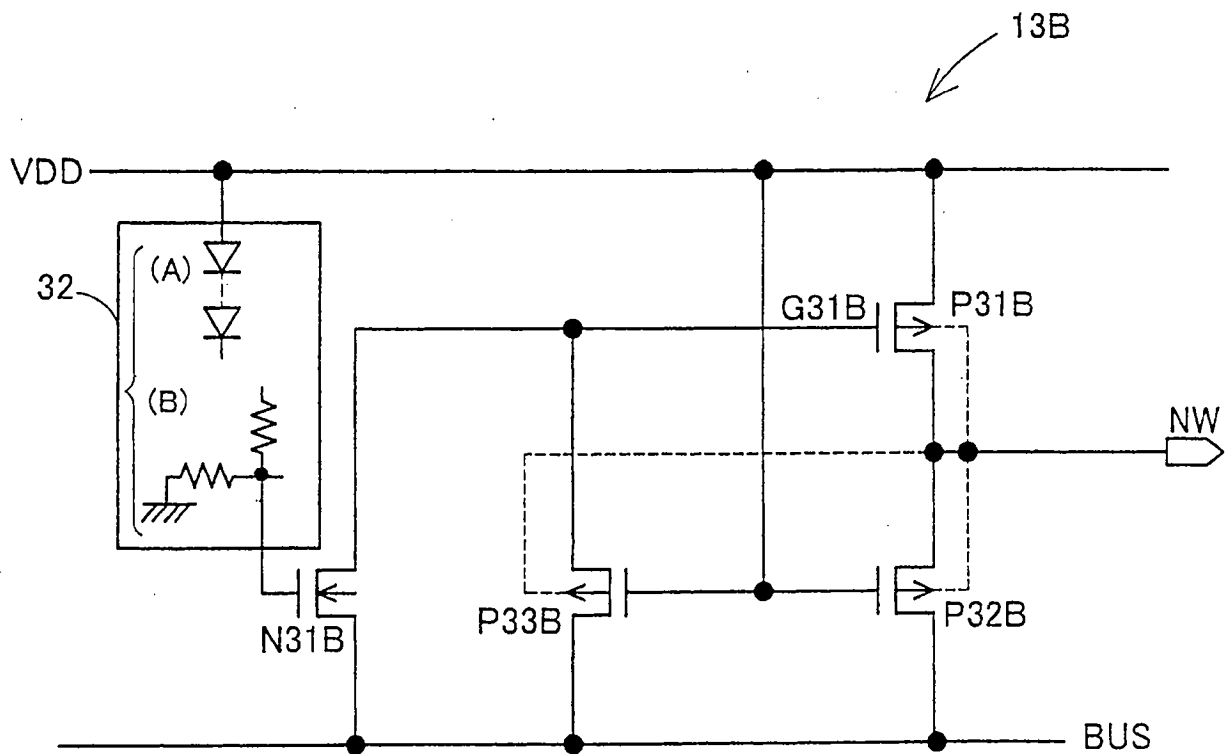


图 3

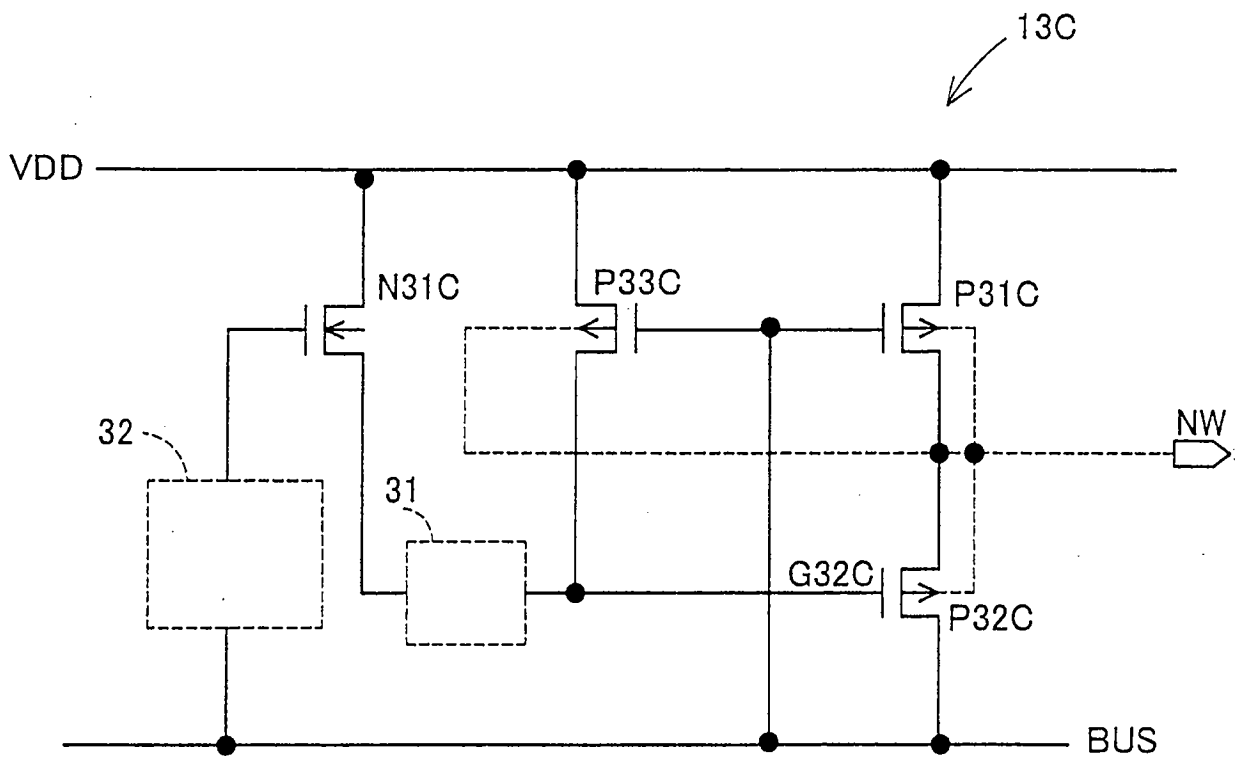


图 4

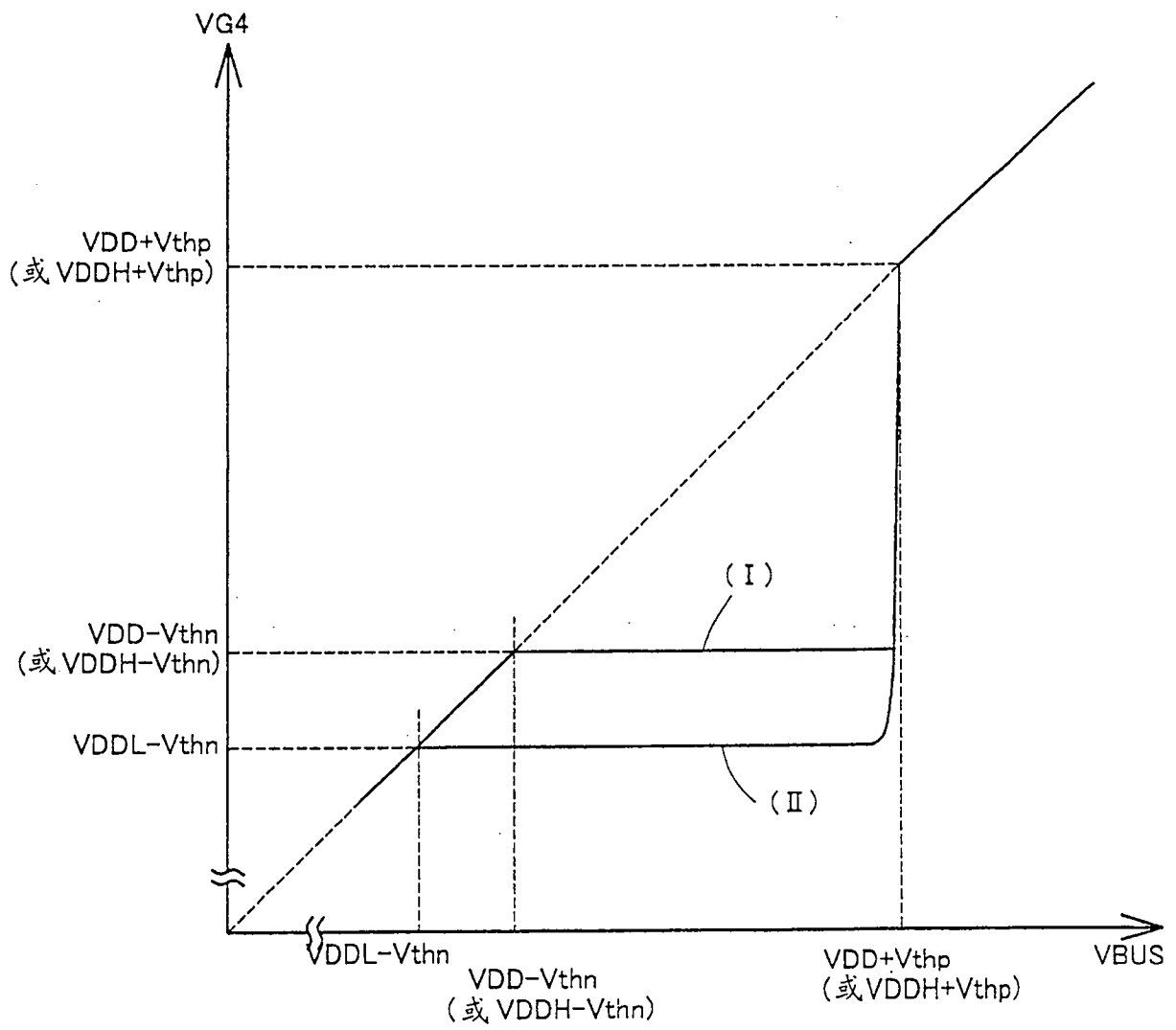


图 5

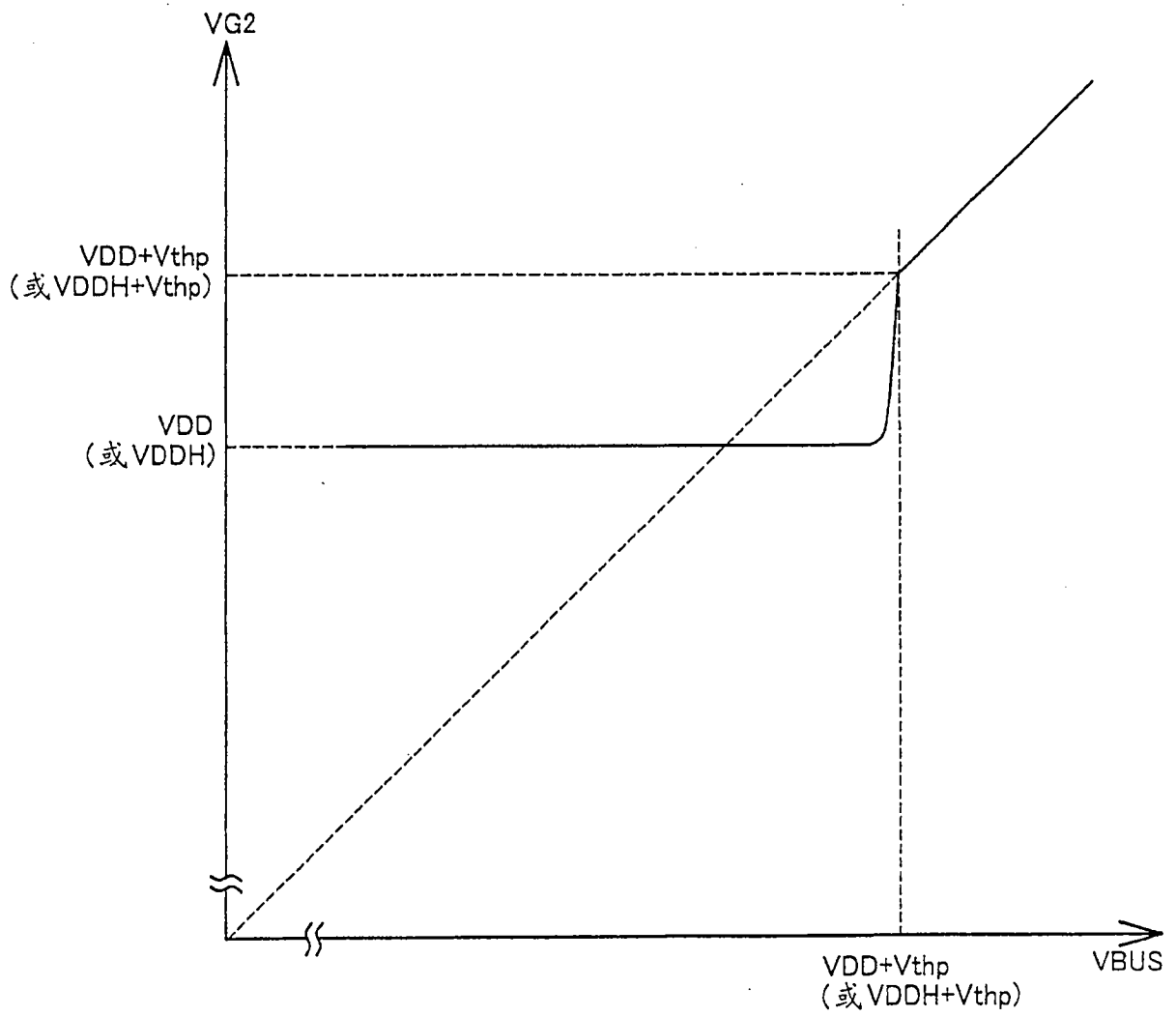


图 6

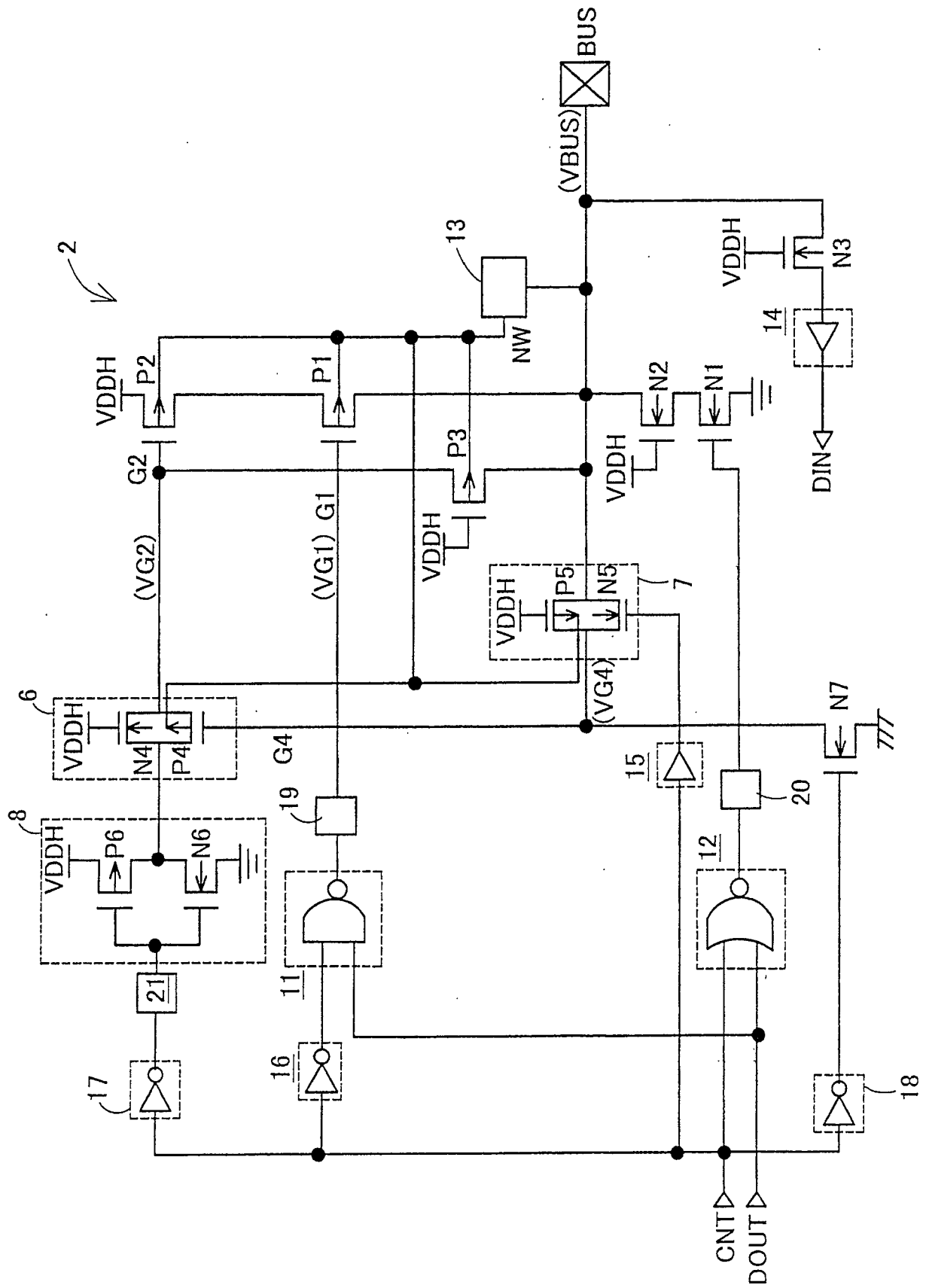


图 7

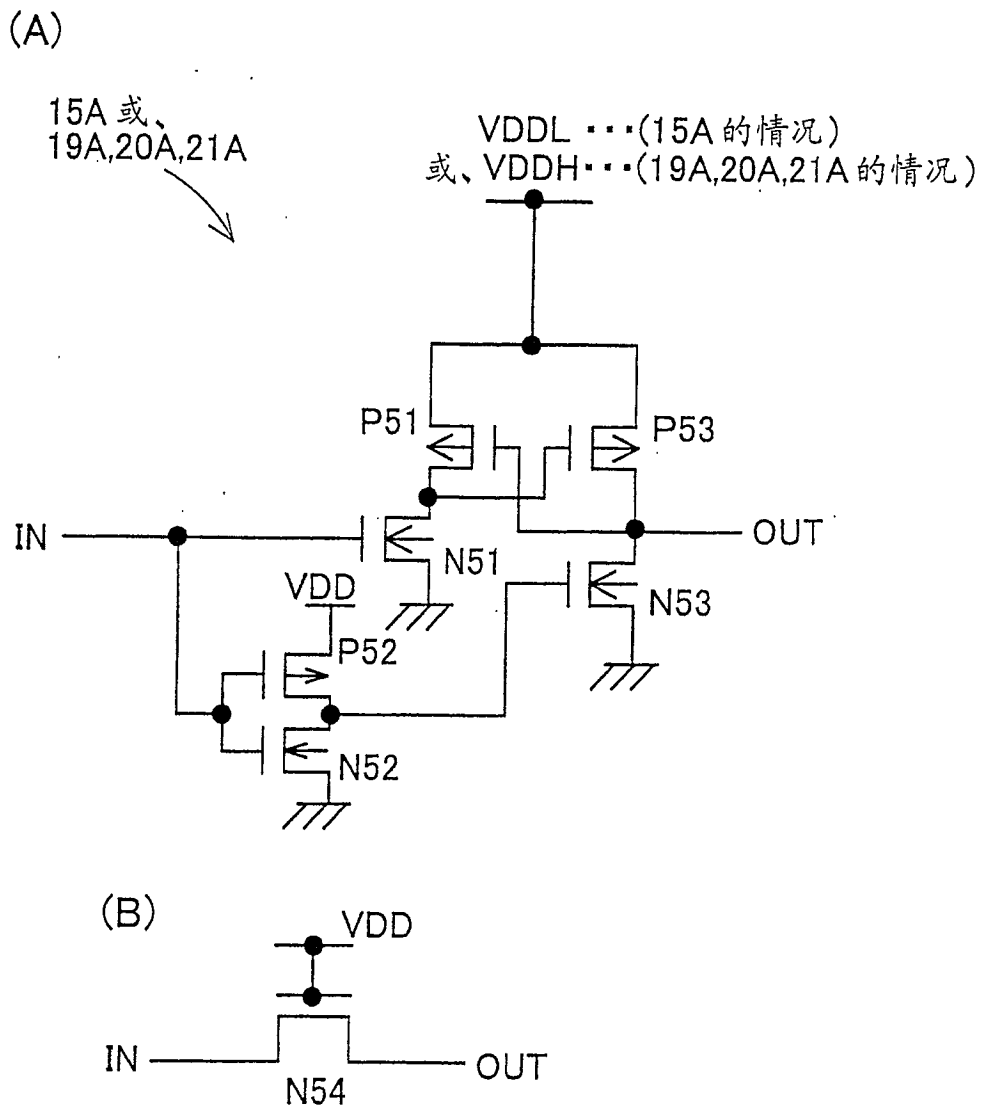


图 8

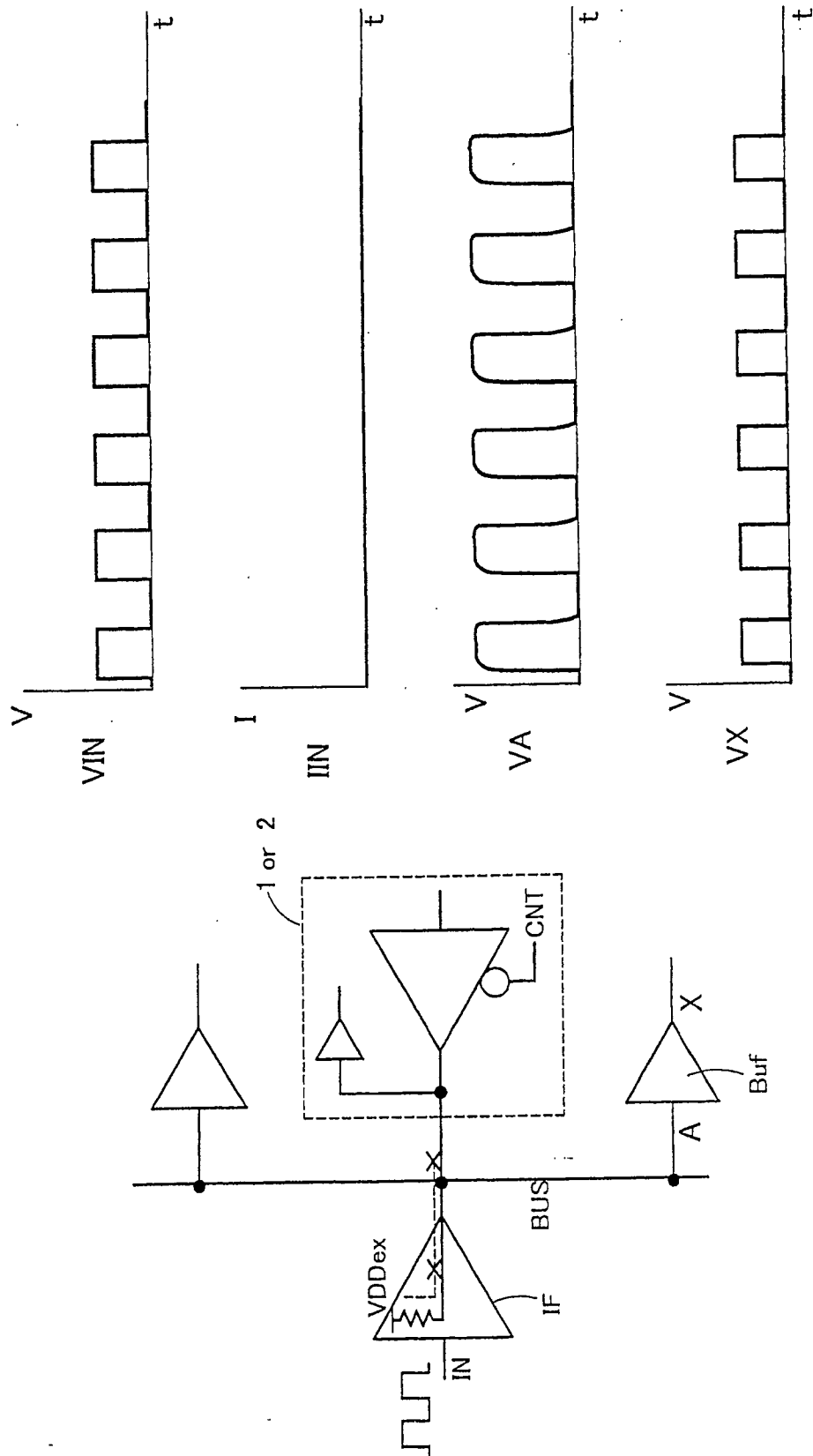


图 9

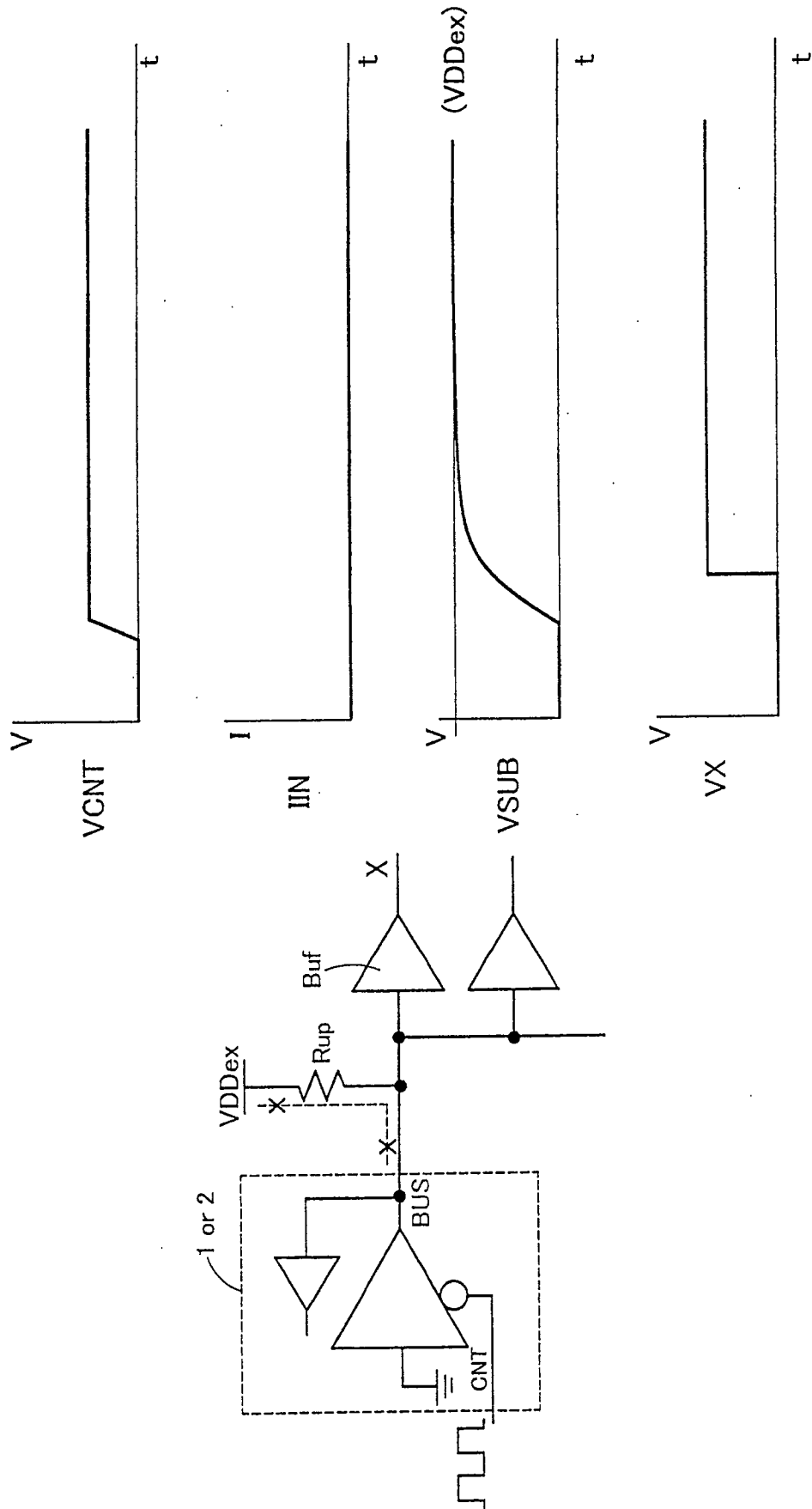


图 10

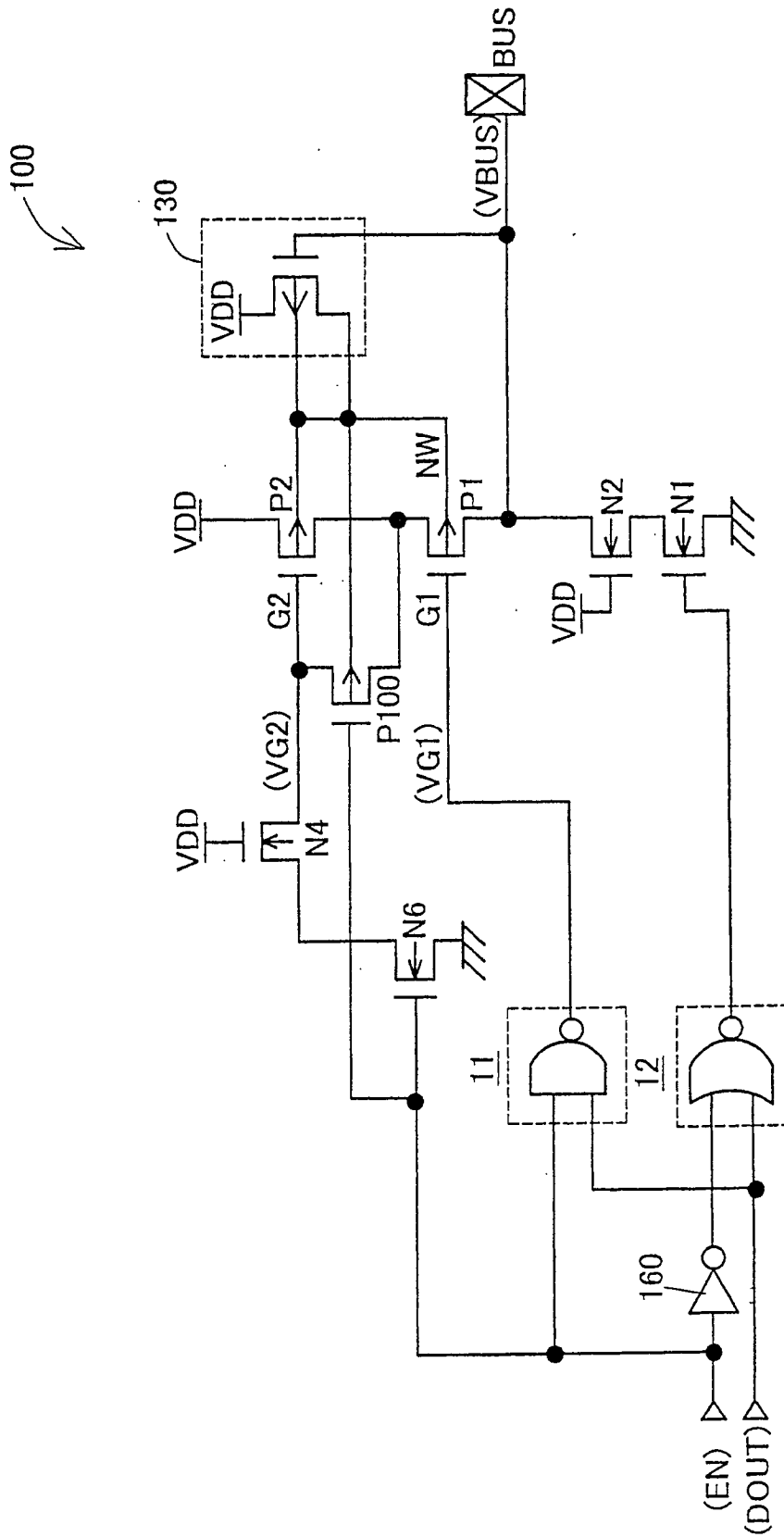


图 11

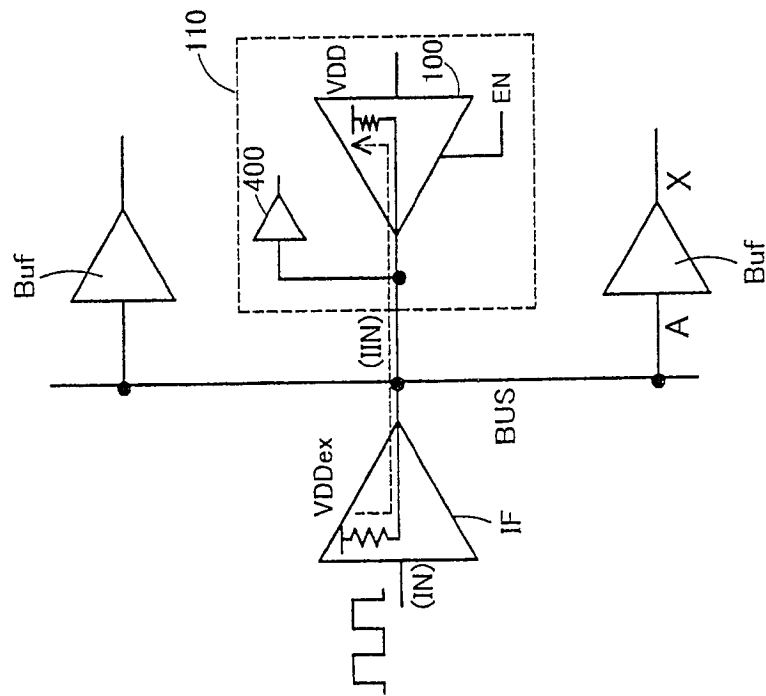
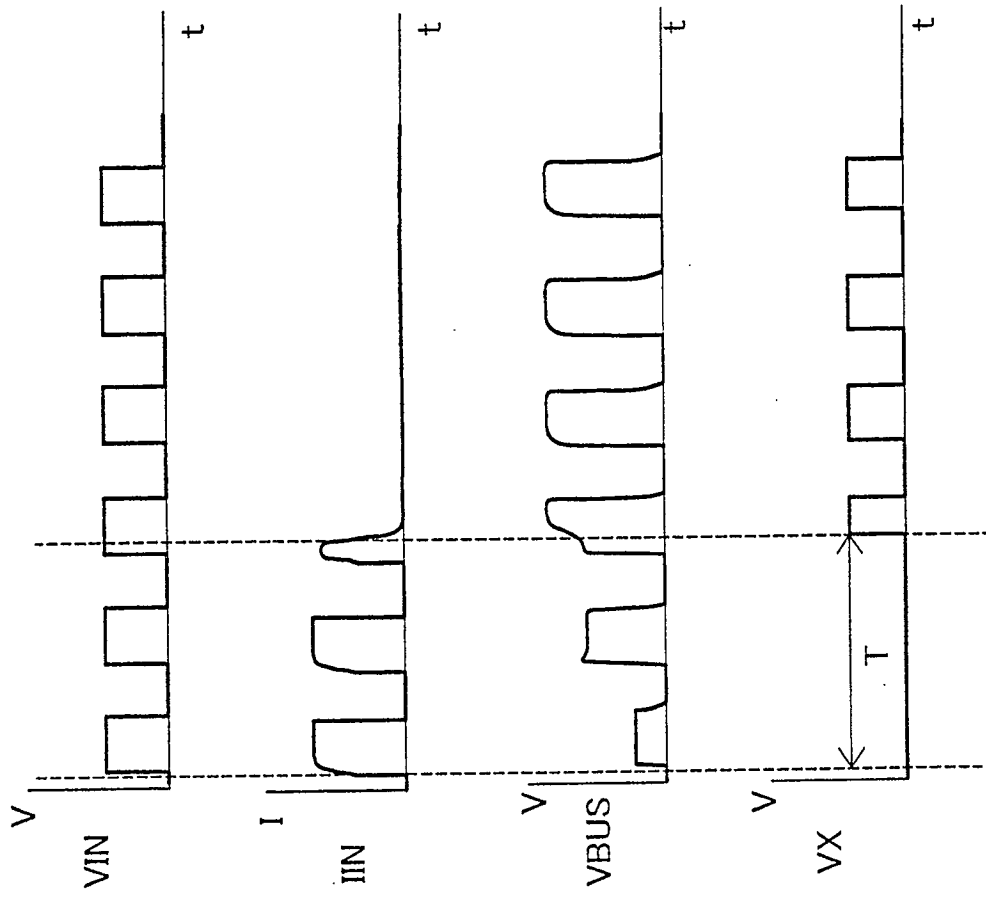


图 12

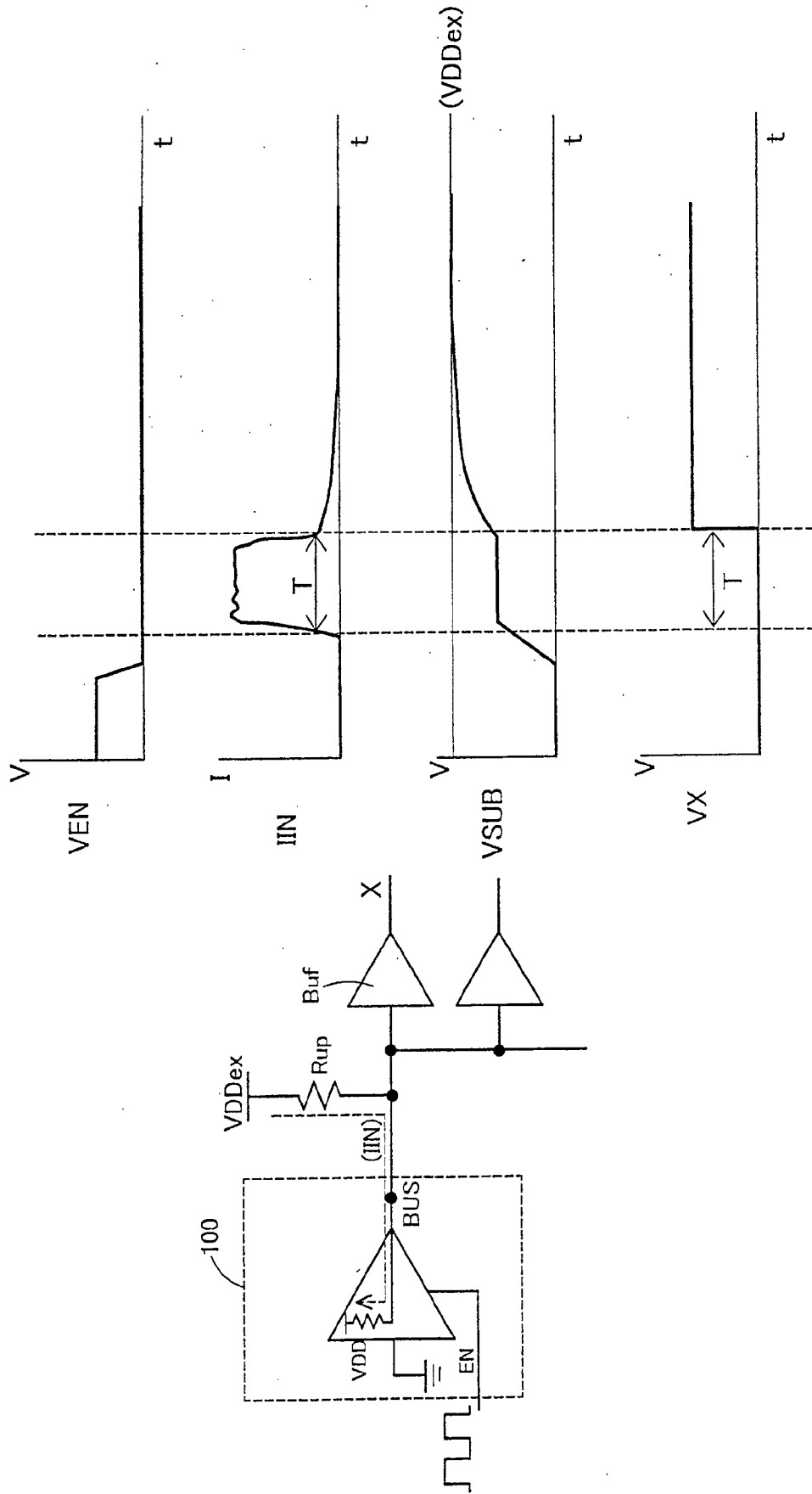


图 13