

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/00

(11) 공개번호 특1999-016146
(43) 공개일자 1999년03월05일

(21) 출원번호	특1997-038596
(22) 출원일자	1997년08월13일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 이상만
(74) 대리인	경기도 수원시 팔달구 매탄동 한국2차아파트 103동 402호 이건주

심사청구 : 없음

(54) 반도체 장치의 캐패시터 제조 방법

요약

반도체 장치의 캐패시터 제조 방법이 개시되어 있다. 반도체 기판의 상부에 도전층을 형성한 후, 그 상부에 식각 선택비가 다른 이중의 포토레지스트를 혼합하여 포토레지스트막을 형성한다. 상기 포토레지스트막을 스토리지 전극 패턴으로 패터닝한 후, 상기 패터닝된 포토레지스트막을 이용하여 상기 도전층을 식각함으로써 그 표면에 다수의 요철부를 갖는 스토리지 전극을 형성한다. 이어서, 상기 포토레지스트막을 제거한다. 따라서, 스토리지 전극에 형성된 다수의 요철부에 의해 동일한 셀 면적에서 스토리지 전극의 면적을 용이하게 증대시킬 수 있다.

대표도

도2c

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 방법에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2c는 본 발명에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위한 단면도들이다.

* 도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판	102 : 절연층
104 : 식각 저지층	106 : 희생층
108 : 매몰 콘택	110 : 콘택 스페이서
112 : 스토리지 전극	114 : 혼합 포토레지스트막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 동일한 셀 면적에서 스토리지 전극의 면적을 증가시킬 수 있는 반도체 장치의 캐패시터 제조 방법에 관한 것이다.

다이내믹 랜덤 액세스 메모리(dynamic random access memory; DRAM)이 고집적화됨에 따라 단위 셀 면적의 축소가 필연적으로 수반된다. 셀 면적이 축소되면서 가장 큰 문제로 대두되는 것이 캐패시터 용량의 확보이다. 캐패시터의 용량을 확보하기 위해서는 유전막의 두께를 줄이거나, 유전율이 높은 물질을 유전막으로 사용하거나, 스토리지 전극의 면적을 늘리는 방법 등 여러 가지가 있다.

특히, 캐패시터의 용량을 증대시키기 위하여 초기의 평면 셀 캐패시터 구조에서 스택(stack) 또는 트렌치(trench) 캐패시터 구조로 변화되고 있으며, 스택 캐패시터 구조에서도 실린더형 캐패시터 또는 핀(fin)형 캐패시터 등 스토리지 전극의 면적을 증대시키기 위한 구조로 기술 변화가 이루어져 오고 있다.

이러한 기술 변화를 공정순서 관점에서 살펴보면, 비트라인 형성 이전에 캐패시터가 형성되는 CUB(Capacitor Under Bit-line) 구조에서 비트라인 형성 후에 캐패시터가 형성되는 COB(Capacitor Over Bit-line) 구조로 변경되었다. 상기 COB 구조는 CUB 구조와 대비하여 비트라인 형성 이후에 캐패시터를

형성하므로 비트라인 공정 마진에 관계없이 캐패시터를 형성하는 것이 가능하기 때문에 제한된 면적에서 캐패시터의 용량을 증대시키는데 우수한 장점을 갖는다.

도 1a 내지 도 1c는 종래의 COB 구조를 갖는 반도체 장치의 캐패시터 제조 방법을 설명하기 위한 단면도들이다.

도 1a를 참조하면, 트랜지스터 및 비트라인(도시하지 않음)이 형성되어 있는 반도체 기판(10)의 상부에 절연층(12)을 형성한 후, 상기 절연막(12)의 상부에 SiON과 같은 질화막을 증착하여 식각 저지층(14)을 형성한다. 이어서, 상기 식각 저지층(14)의 상부에 고온 산화막(high temperature oxide; HTO)을 증착하여 희생층(16)을 형성한 후, 사진식각 공정을 통해 상기 희생층(16), 식각 저지층(14) 및 절연층(12)을 식각함으로써 매몰 콘택(buried contact)(18)을 형성한다. 다음에, 상기 결과물의 상부에 SiON과 같은 절연막을 증착하고 이를 이방성 식각함으로써 상기 매몰 콘택(18)의 측벽에 콘택 스페이서(20)를 형성한다.

이어서, 상기 결과물의 상부에 스토리지 전극용 도전층(22'), 예컨대 불순물이 도핑된 폴리실리콘을 증착한 후, 그 상부에 스토리지 전극이 형성될 영역을 한정하는 포토레지스트막(24)을 사진 공정에 의해 형성한다.

도 1b를 참조하면, 상기 포토레지스트막(24)을 식각 마스크로 사용하여 상기 도전층(22')을 이방성 건식 식각한다. 이때, 상기 이방성 식각을 진행하는 과정에서 식각 부산물인 폴리머(polymer)(도시하지 않음)가 상기 포토레지스트막(24)의 측벽에 생성되는데, 이렇게 생성되는 폴리머를 이용하여 도전층(22')을 계속 경사 식각(slope etch)함으로써 도 1b에 도시된 바와 같은 형상의 스토리지 전극(22)을 얻는다. 이어서, 습식 식각 공정으로 상기 스토리지 전극(22) 하부의 희생층(16)을 언더컷(undercut)함으로써 스토리지 전극(22)의 저부면까지 유효 캐패시터 면적으로 이용하게 한다.

도 1c를 참조하면, 상기 포토레지스트막(24)을 제거한 후, 도시하지는 않았으나 유전막 및 플레이트 전극을 순차적으로 형성함으로써 스택형 캐패시터를 완성한다.

그러나, 상술한 종래 방법에 의하면 단위 셀 면적이 줄어들 경우 스토리지 전극의 면적이 축소되어 캐패시터의 용량이 감소될 수 있다. 또한, 캐패시터 용량을 확보하기 위하여 스토리지 전극의 높이를 증가시킬 경우, 메모리 셀 영역과 주변회로 영역 간의 단차가 심해져서 후속 공정의 진행이 어려워지는 문제가 발생한다. 또한, 폴리머를 과도하게 이용하여 스토리지 전극의 면적을 증가시키는 경우, 스토리지 전극 간에 브리지(bridge)가 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 동일한 셀 면적에서 스토리지 전극의 면적을 증대시킬 수 있는 반도체 장치의 캐패시터 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 반도체 기판의 상부에 도전층을 형성하는 단계; 상기 도전층의 상부에 식각 선택비가 다른 이종의 포토레지스트를 혼합(mix)하여 포토레지스트막을 형성하는 단계; 상기 포토레지스트막을 스토리지 전극 패턴으로 패터닝하는 단계; 상기 패터닝된 포토레지스트막을 이용하여 상기 도전층을 식각함으로써, 그 표면에 다수의 요철부를 갖는 스토리지 전극을 형성하는 단계; 및 상기 포토레지스트막을 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법을 제공한다.

상기 도전층을 형성하는 단계 전에 상기 반도체 기판의 상부에 식각 저지층 및 희생층을 차례로 형성하는 단계를 더 구비할 수 있다. 상기 희생층은 상기 스토리지 전극을 형성하는 단계 후에 습식 식각 공정으로 언더컷한다.

본 발명은 식각 선택비가 서로 다른 이종의 포토레지스트를 혼합하여 스토리지 전극 패터닝을 위한 포토레지스트막을 형성한 후, 상기 포토레지스트막을 식각 마스크로 사용하여 스토리지 전극용 도전층을 식각함으로써 그 표면에 다수의 요철부를 갖는 스토리지 전극을 형성한다. 따라서, 동일한 셀 면적에서 스토리지 전극의 면적을 용이하게 증대시킬 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2a 내지 도 2c는 본 발명에 의한 반도체 장치의 캐패시터 제조 방법을 설명하기 위한 단면도들로서, COB 구조를 갖는 경우를 예시한다.

도 2a는 혼합 포토레지스트막(114)을 형성하는 단계를 도시한다. 트랜지스터 및 비트라인(도시하지 않음)이 형성되어 있는 반도체 기판(100)의 상부에 절연층(102)을 형성한 후, 상기 절연막(102)의 상부에 SiON과 같은 질화막을 증착하여 식각 저지층(104)을 형성한다. 이어서, 상기 식각 저지층(104)의 상부에 고온 산화막(HTO)을 증착하여 희생층(106)을 형성한 후, 사진식각 공정을 통해 상기 희생층(106), 식각 저지층(104) 및 절연층(102)을 식각함으로써 매몰 콘택(108)을 형성한다. 다음에, 상기 결과물의 상부에 SiON과 같은 절연막을 증착하고 이를 이방성 식각함으로써 상기 매몰 콘택(108)의 측벽에 콘택 스페이서(110)를 형성한다.

이어서, 상기 결과물의 상부에 스토리지 전극용 도전층(112'), 예컨대 불순물이 도핑된 폴리실리콘을 증착한 후, 그 상부에 식각 선택비가 다른 이종의 포토레지스트를 혼합하여 포토레지스트막(114)을 도포한다. 이때, 상기 이종 포토레지스트의 혼합 비율, 혼합한 포토레지스트막의 두께 등을 적정 한도 내에서 조절함으로써 스토리지 전극의 면적을 용이하게 조절할 수 있다.

다음에, 상기 포토레지스트막(114)을 노광 및 현상하여 스토리지 전극이 형성될 영역을 정의한다.

도 2b는 스토리지 전극(112)을 형성하는 단계를 도시한다. 상기 혼합 포토레지스트막(114)을 식각 마스크

로 사용하여 상기 도전층(112')을 이방성 건식 식각한다. 그 결과, 식각 선택비가 다른 이종의 포토레지스트에 의해 도전층(112')의 각 부위에서 식각 속도가 다르게 진행됨으로써, 도 2b에 도시된 바와 같이 그 표면에 다수의 요철부를 갖는 스토리지 전극(112)을 얻을 수 있다.

이어서, 습식 식각 공정으로 상기 스토리지 전극(112) 하부의 희생층(106)을 언더컷함으로써 스토리지 전극(112)의 저부면까지 유효 캐패시터 면적으로 이용하게 한다. 상기한 습식 식각 공정시 식각 저지층(104) 및 콘택 스페이서(110)는 그 하부의 구조물, 예컨대 트랜지스터나 비트라인이 손상(attack)되는 것을 방지하는 역할을 한다.

도 2c를 참조하면, 상기 혼합 포토레지스트막(114)을 제거한 후, 도시하지는 않았으나 유전막 및 플레이트 전극을 순차적으로 형성함으로써 스택형 캐패시터를 완성한다. 따라서, 상기한 다수의 요철부(굵은 선으로 표시함)에 의해 스토리지 전극(112)의 표면적이 증가한 스택형 캐패시터를 얻을 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 장치의 캐패시터 제조 방법에 의하면, 식각 선택비가 서로 다른 이종의 포토레지스트를 혼합하여 스토리지 전극 패터닝을 위한 포토레지스트막을 형성한 후, 상기 포토레지스트막을 식각 마스크로 사용하여 스토리지 전극용 도전층을 식각함으로써 그 표면에 다수의 요철부를 갖는 스토리지 전극을 형성한다. 따라서, 동일한 셀 면적에서 스토리지 전극의 면적을 용이하게 증대시킬 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1

반도체 기판의 상부에 도전층을 형성하는 단계;

상기 도전층의 상부에 식각 선택비가 다른 이종의 포토레지스트를 혼합하여 포토레지스트막을 형성하는 단계;

상기 포토레지스트막을 스토리지 전극 패턴으로 패터닝하는 단계;

상기 패터닝된 포토레지스트막을 이용하여 상기 도전층을 식각함으로써, 그 표면에 다수의 요철부를 갖는 스토리지 전극을 형성하는 단계; 및

상기 포토레지스트막을 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

청구항 2

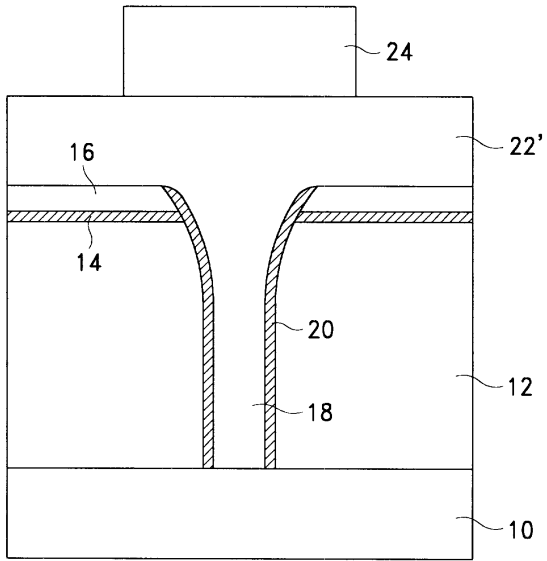
제1항에 있어서, 상기 도전층을 형성하는 단계 전에 상기 반도체 기판의 상부에 식각 저지층 및 희생층을 차례로 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

청구항 3

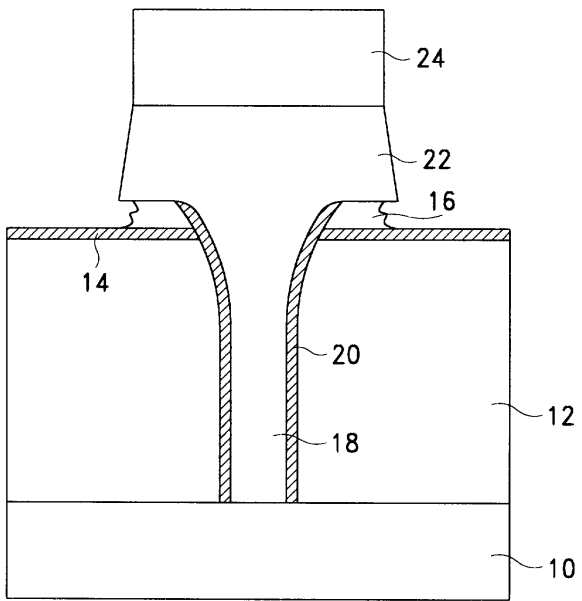
제2항에 있어서, 상기 스토리지 전극을 형성하는 단계 후에 습식 식각 공정으로 상기 희생층을 언더컷하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

도면

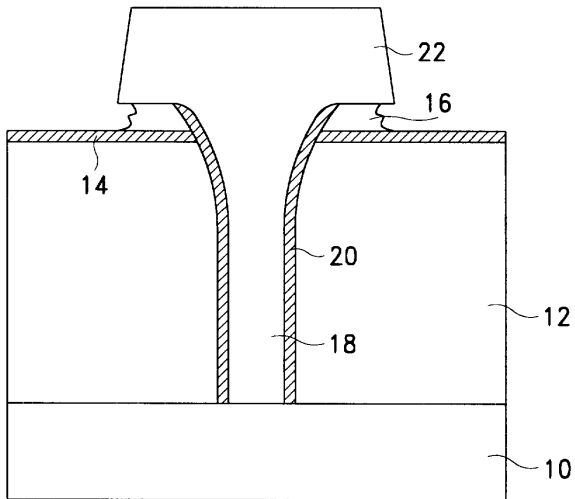
도면 1a



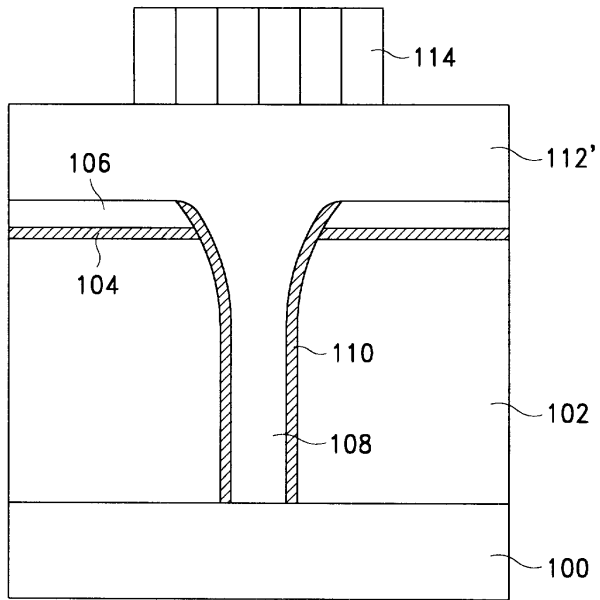
도면 1b



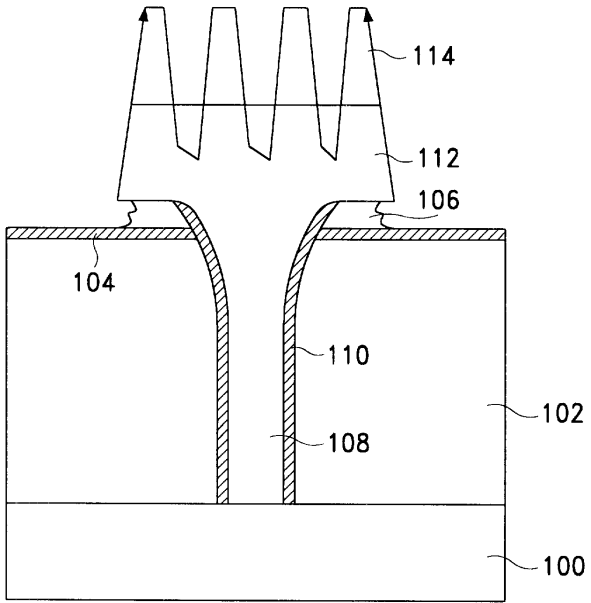
도면1c



도면2a



도면2b



도면2c

