



(12) 发明专利申请

(10) 申请公布号 CN 107180761 A

(43) 申请公布日 2017. 09. 19

(21) 申请号 201610134357. 8

(22) 申请日 2016. 03. 09

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

申请人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 谢欣云

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 吴敏

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

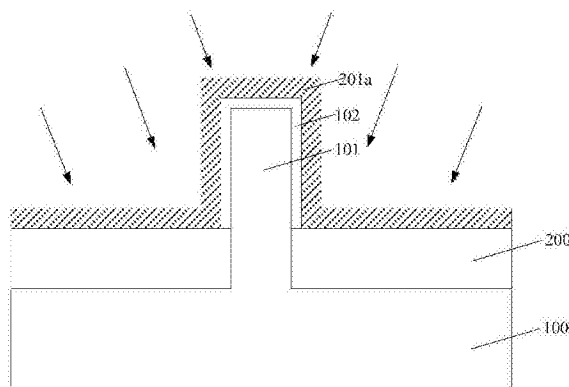
权利要求书2页 说明书5页 附图3页

(54) 发明名称

半导体结构的形成方法

(57) 摘要

一种半导体结构的形成方法,包括:提供半导体衬底,所述半导体衬底上形成有鳍部;在所述半导体衬底表面形成隔离层,所述隔离层的表面低于鳍部的顶部表面且覆盖部分鳍部的侧壁;形成覆盖所述鳍部和隔离层的介质层;对所述介质层进行离子注入,使所述介质层为N型或P型掺杂;进行热处理,使所述介质层内的掺杂离子向鳍部内扩散,对鳍部进行掺杂。所述方法可以提高鳍部的掺杂浓度,并且避免对鳍部造成注入损伤。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供半导体衬底,所述半导体衬底上形成有鳍部;
在所述半导体衬底表面形成隔离层,所述隔离层的表面低于鳍部的顶部表面且覆盖部分鳍部的侧壁;
形成覆盖所述鳍部和隔离层的介质层;
对所述介质层进行离子注入,使所述介质层为N型或P型掺杂;
进行热处理,使所述介质层内的掺杂离子向鳍部内扩散,对鳍部进行掺杂。
2. 根据权利要求1所述的半导体结构的形成方法,其特征在于,还包括:在对所述介质层进行离子注入之后、进行热处理之前,在所述介质层表面形成盖层。
3. 根据权利要求2所述的半导体结构的形成方法,其特征在于,所述离子注入采用的注入能量小于10keV。
4. 根据权利要求1所述的半导体结构的形成方法,其特征在于,还包括:在对所述介质层进行离子注入之前,在所述介质层表面形成盖层。
5. 根据权利要求4所述的半导体结构的形成方法,其特征在于,所述离子注入采用的注入能量小于15keV。
6. 根据权利要求2或4所述的半导体结构的形成方法,其特征在于,所述盖层的厚度为10nm~20nm。
7. 根据权利要求6所述的半导体结构的形成方法,其特征在于,所述盖层的材料为氧化硅、氮化硅或氮氧化硅。
8. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述介质层的厚度为2nm~10nm。
9. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述介质层的材料为氧化硅。
10. 根据权利要求9所述的半导体结构的形成方法,其特征在于,所述介质层内具有N型或P型掺杂离子。
11. 根据权利要求10所述的半导体结构的形成方法,其特征在于,所述介质层的材料为掺磷氧化硅或掺硼氧化硅。
12. 根据权利要求10所述的半导体结构的形成方法,其特征在于,所述介质层在离子注入之前的掺杂浓度为 $1E21\text{atom}/\text{cm}^3\sim 1E22\text{atom}/\text{cm}^3$ 。
13. 根据权利要求10所述的半导体结构的形成方法,其特征在于,所述离子注入的离子类型与介质层内的掺杂离子类型相同。
14. 根据权利要求1或13所述的半导体结构的形成方法,其特征在于,所述介质层在离子注入之后的掺杂浓度为 $2E22\text{atom}/\text{cm}^3\sim 1E23\text{atom}/\text{cm}^3$ 。
15. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述离子注入采用两次对称的倾斜注入方式进行,所述倾斜注入的倾斜角度为30度以下。
16. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述热处理的方法包括:快速热退火、炉管退火或尖峰退火工艺。
17. 根据权利要求16所述的半导体结构的形成方法,其特征在于,所述热处理的温度为 $500^\circ\text{C}\sim 1200^\circ\text{C}$,时间为30min~1h。

18. 根据权利要求1所述的半导体结构的形成方法,其特征在于,在形成所述介质层之前,在所述鳍部表面形成氧化层。

半导体结构的形成方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种半导体结构的形成方法。

背景技术

[0002] 随着半导体工艺技术的不断发展,工艺节点逐渐减小,后栅(gate-last)工艺得到了广泛应用,来获得理想的阈值电压,改善器件性能。但是当器件的特征尺寸(CD,Critical Dimension)进一步下降时,即使采用后栅工艺,常规的MOS场效应管的结构也已经无法满足对器件性能的需求,鳍式场效应晶体管(Fin FET)作为常规器件的替代得到了广泛的关注。所述鳍式场效应晶体管通常包括鳍部,以及横跨鳍部的栅极结构和位于栅极结构两侧的鳍部内的源漏极。

[0003] 现有技术在对鳍部进行掺杂时,采用离子注入方式容易对鳍部造成注入损伤且掺杂浓度分布不均匀。现有也有采用固体源掺杂工艺对鳍部进行掺杂,具体的,在鳍部表面采用沉积工艺形成掺磷氧化硅(PSG)或掺硼氧化硅(BSG),然后通过热退火使所述PSG或BSG内的掺杂离子向鳍部内扩散。但是由于沉积工艺形成的掺磷氧化硅(PSG)或掺硼氧化硅(BSG)的掺杂浓度较低,从而使得向鳍部内扩散的掺杂离子较少,使得鳍部的掺杂浓度较低。提高退火温度可以提高向鳍部内扩散的掺杂离子数量,但是若温度过高则容易对衬底上的其他半导体器件造成不良影响。

[0004] 所以,亟需一种能够提高鳍部掺杂浓度的方法。

发明内容

[0005] 本发明解决的问题是提供一种半导体结构的形成方法,提高对鳍部的掺杂浓度。

[0006] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括:提供半导体衬底,所述半导体衬底上形成有鳍部;在所述半导体衬底表面形成隔离层,所述隔离层的表面低于鳍部的顶部表面且覆盖部分鳍部的侧壁;形成覆盖所述鳍部和隔离层的介质层;对所述介质层进行离子注入,使所述介质层为N型或P型掺杂;进行热处理,使所述介质层内的掺杂离子向鳍部内扩散,对鳍部进行掺杂。

[0007] 可选的,还包括:在对所述介质层进行离子注入之后、进行热处理之前,在所述介质层表面形成盖层。

[0008] 可选的,所述离子注入采用的注入能量小于10keV。

[0009] 可选的,还包括:在对所述介质层进行离子注入之前,在所述介质层表面形成盖层。

[0010] 可选的,所述离子注入采用的注入能量小于15keV。

[0011] 可选的,所述盖层的厚度为10nm~20nm。

[0012] 可选的,所述盖层的材料为氧化硅、氮化硅或氮氧化硅。

[0013] 可选的,所述介质层的厚度为2nm~10nm。

[0014] 可选的,所述介质层的材料为氧化硅。

- [0015] 可选的,所述介质层内具有N型或P型掺杂离子。
- [0016] 可选的,所述介质层的材料为掺磷氧化硅或掺硼氧化硅。
- [0017] 可选的,所述介质层在离子注入之前的掺杂浓度为 $1E21\text{atom}/\text{cm}^3\sim 1E22\text{atom}/\text{cm}^3$ 。
- [0018] 可选的,所述离子注入的离子类型与介质层内的掺杂离子类型相同。
- [0019] 可选的,所述介质层在离子注入之后的掺杂浓度为 $2E22\text{atom}/\text{cm}^3\sim 1E23\text{atom}/\text{cm}^3$ 。
- [0020] 可选的,所述离子注入采用两次对称的倾斜注入方式进行,所述倾斜注入的倾斜角度为30度以下。
- [0021] 可选的,所述热处理的方法包括:快速热退火、炉管退火或尖峰退火工艺。
- [0022] 可选的,所述热处理的温度为 $500^{\circ}\text{C}\sim 1200^{\circ}\text{C}$,时间为 $30\text{min}\sim 1\text{h}$ 。
- [0023] 可选的,在形成所述介质层之前,在所述鳍部表面形成氧化层。
- [0024] 与现有技术相比,本发明的技术方案具有以下优点:
- [0025] 本发明的技术方案在鳍部表面形成介质层,然后对介质层进行离子注入,然后进行热处理,使所述介质层内的掺杂离子向鳍部内扩散对鳍部进行掺杂。由于对所述介质层进行离子注入,从而可以避免对鳍部造成注入损伤。并且,提高介质层内的掺杂离子浓度就可以提高热处理后鳍部的掺杂浓度。
- [0026] 进一步,在进行热处理之前,在介质层表面形成盖层。所述盖层可以防止介质层内的掺杂离子向介质层表面扩散逸出而导致扩散至鳍部内的掺杂离子数量减少,在热处理之后,鳍部内的掺杂离子具有较高的掺杂浓度。
- [0027] 进一步,所述离子注入采用两次对称的倾斜注入方式进行,所述倾斜注入的倾斜角度为30度以下。可以避免离子注入的阴影效应,对位于鳍部两侧侧壁上的介质层均受到离子注入。

附图说明

- [0028] 图1至图6是本发明的半导体结构的形成过程的结构示意图。

具体实施方式

- [0029] 如背景技术中所述,现有技术采用离子注入工艺对鳍部进行离子掺杂时,容易对鳍部造成损伤,并且,无法对鳍部形成高浓度的掺杂。
- [0030] 本发明的实施例中,在鳍部表面形成介质层之后,对介质层进行离子注入,然后通过热处理,使介质层内的掺杂离子扩散进入鳍部内,对鳍部进行离子掺杂,避免对鳍部造成注入损伤。
- [0031] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。
- [0032] 请参考图1,提供半导体衬底100,所述半导体衬底100表面形成有鳍部101,在所述半导体衬底100表面形成隔离层200,所述隔离层200的表面低于鳍部101的顶部表面且覆盖部分鳍部101的侧壁。
- [0033] 所述半导体衬底100的材料包括硅、锗、锗化硅、砷化镓等半导体材料,所述半导体衬底100可以是体材料也可以是复合结构如绝缘体上硅。本领域的技术人员可以根据半导体衬底100上形成的半导体器件选择所述半导体衬底100的类型,因此所述半导体衬底100

的类型不应限制本发明的保护范围。本实施例中,所述半导体衬底100的材料为单晶硅。

[0034] 所述半导体衬底100表面还具有鳍部101。可以直接刻蚀平面的半导体衬底,形成所述鳍部101,或者在所述半导体衬底100表面形成半导体外延层之后,刻蚀所述半导体外延层形成所述鳍部101。

[0035] 所述隔离层200的材料可以是氧化硅、氮化硅、碳化硅等绝缘介质材料,所述隔离层200作为相邻鳍部之间的隔离结构,以及鳍式场效应晶体管的栅极结构与半导体衬底100之间的隔离结构。

[0036] 形成所述隔离层200的方法包括:采用化学气相沉积工艺或旋涂工艺,在所述半导体衬底100表面形成隔离介质材料,所述隔离介质材料覆盖鳍部101;对所述隔离介质材料进行平坦化,形成隔离材料层,所述隔离材料层的表面与鳍部101顶面齐平;回刻蚀所述隔离材料层,形成隔离层200,使所述隔离层200的表面低于鳍部101的顶部表面,暴露出鳍部101的顶面和部分侧壁。

[0037] 请参考图2,形成覆盖所述鳍部101和隔离层200的介质层201。

[0038] 在本实施例中,所述鳍部101表面形成有氧化层102,所述氧化层102可以为所述鳍部101暴露在空气中形成的自然氧化层,也可以是形成隔离层200之前在鳍部101表面形成的衬垫氧化层。在本发明的其他实施例中,可以直接在所述鳍部101表面形成所述介质层201。

[0039] 可以采用化学气相沉积工艺形成所述介质层201,所述介质层201的材料可以是氧化硅。所述介质层201的材料内可以具有N型或者P型掺杂离子,在形成介质层201的过程中,在沉积气体中加入具有N型或P型离子的掺杂气体以形成所述具有N型或P型掺杂离子的介质层201。

[0040] 本实施例中,所述介质层201的材料可以是掺磷氧化硅,在本发明的其他实施例中,所述介质层201的材料为掺硼氧化硅。

[0041] 所述介质层201内的掺杂离子类型与对鳍部101所需掺杂的离子类型一致。由于采用化学气相沉积工艺形成所述介质层201,受到沉积工艺中气体压强、温度等参数的影响,所述介质层201内的掺杂离子浓度具有上限,本实施例中,所述介质层201的掺杂浓度为 $1E21\text{atom}/\text{cm}^3\sim 1E22\text{atom}/\text{cm}^3$ 。

[0042] 所述介质层201的厚度如果太小,后续对所述介质层201进行离子注入的过程中,离子注入的深度范围过小,较难控制。如果所述介质层201的厚度过大,会导致对介质层201进行离子注入时,由于注入深度限制,注入离子深度距离鳍部101较远,影响后续过程中,掺杂离子向鳍部101内扩散。本实施例中,所述介质层201的厚度为 $2\text{nm}\sim 10\text{nm}$ 。

[0043] 请参考图3,对所述介质层201(请参考图2)进行离子注入,使离子注入后的介质层201a为N型或P型掺杂。

[0044] 通过控制离子注入的离子能量,调整所述离子注入的深度,使得所述离子注入的最大浓度位置位于所述介质层201内。本实施例中,所述离子注入采用的注入能量小于 10keV ,避免注入深度过大。

[0045] 所述介质层201内具有N型或P型掺杂离子时,所述离子注入的掺杂类型与介质层201内的掺杂离子类型相同。本实施例中,所述介质层201的材料为掺磷氧化硅,对所述介质层201进行P型离子注入,所述P型离子可以是P。

[0046] 由于鳍部101的侧壁垂直,为了避免离子注入的阴影效应,对位于鳍部101两侧侧壁上的介质层201均受到离子注入,所述离子注入采用两次对称的倾斜注入方式进行,分别朝向鳍部101的两侧侧壁。所述倾斜注入的倾斜角度为30度以下,例如可以是10度、20度或25度。

[0047] 所述离子注入用于提高介质层201内的掺杂离子浓度,本实施例中,所述介质层201a在离子注入之后的掺杂浓度为 $2E22\text{atom}/\text{cm}^3\sim 1E23\text{atom}/\text{cm}^3$ 。并且,通过离子注入可以在介质层201a内产生注入损伤,导致介质层201a内具有大量的晶格缺陷,在后续热处理的过程中,所述晶格缺陷有利于介质层201a的掺杂离子发生扩散。

[0048] 请参考图4,进行热处理,使所述介质层201a内的掺杂离子向鳍部101内扩散,对鳍部101进行掺杂。

[0049] 所述热处理的方法包括:快速热退火、炉管退火或尖峰退火工艺等退火工艺。通过所述热处理使得介质层201a内的掺杂离子在高温下扩散速率提高,向鳍部101内扩散,从而对鳍部101进行掺杂。

[0050] 为了避免掺杂离子向介质层201a表面扩散,从而使得向鳍部101内扩散的掺杂离子浓度下降,本实施例中,在进行热处理之前,在所述介质层201a表面形成盖层202。所述盖层202的材料可以是氧化硅、氮化硅或氮氧化硅等介质材料。

[0051] 本实施例中,所述盖层202的材料为氧化硅。所述盖层202可以阻挡介质层201a内的掺杂离子向所述介质层201a表面扩散。为了提高所述盖层202的扩散阻挡作用,所述盖层202具有一定的厚度,本实施例中,所述盖层202的厚度为 $10\text{nm}\sim 20\text{nm}$ 。

[0052] 由于所述介质层201的掺杂浓度较高,所述介质层201与鳍部101之间具有较高的掺杂浓度梯度,使得掺杂离子具有较高的扩散速率,所以,所述热处理的温度不用很高,具体的,所述热处理的温度可以为 $500^\circ\text{C}\sim 1200^\circ\text{C}$,时间为 $30\text{min}\sim 1\text{h}$ 。所述退火温度不能过高,避免掺杂离子扩散距离过大,进入半导体衬底100内,并且,若所述热处理温度过高容易导致半导体衬底100内原有的掺杂离子扩散,影响半导体衬底上其他器件的性能。

[0053] 所述介质层201a内的掺杂离子向鳍部101扩散,对鳍部101进行掺杂。所述鳍部101的掺杂浓度与介质层201a的掺杂浓度相关,所述介质层201a的掺杂浓度越大,向鳍部101内扩散的掺杂离子越多,所述鳍部101的掺杂浓度也越大。

[0054] 请参考图5,在本发明的其他实施例中,也可以在对介质层201进行离子注入之前,先在介质层201表面形成盖层202。

[0055] 所述盖层202可以防止在后续进行离子注入的过程中,注入介质层201内的掺杂离子从介质层201表面扩散逸出。并且,在离子注入之后的热处理过程中,所述盖层202也能避免介质层201内的掺杂离子扩散至介质层201表面逸出。所述盖层202的厚度为 $10\text{nm}\sim 20\text{nm}$ 。

[0056] 请参考图6,在形成所述盖层202之后,再对所述介质层201进行离子注入,使离子注入后的介质层201a为N型掺杂或P型掺杂。

[0057] 由于所述介质层201表面具有盖层202,所以,需要调整所述离子注入的离子能量,使所述离子注入的注入深度位于所述介质层201内。与先进行离子注入再形成盖层的方案相比,所述离子注入的能量可以适当提高,本实施例中,所述离子注入采用的注入能量小于 15keV 。所述注入离子类型与介质层201内原有的掺杂离子类型一致,离子注入后,所述介质层201a的掺杂浓度为 $2E22\text{atom}/\text{cm}^3\sim 1E23\text{atom}/\text{cm}^3$ 。然后,再进行热处理,使得介质层201a

内的掺杂离子扩散进入鳍部101内,对鳍部101进行掺杂。

[0058] 采用上述方法对鳍部101进行掺杂可以避免对鳍部101造成注入损伤,并且,通过提高介质层201a内的掺杂离子浓度就可以提高热处理后鳍部101的掺杂浓度。

[0059] 上述方法可以用于对鳍部101进行阱掺杂,或者在鳍部101两端形成源漏极时进行源漏掺杂等。

[0060] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

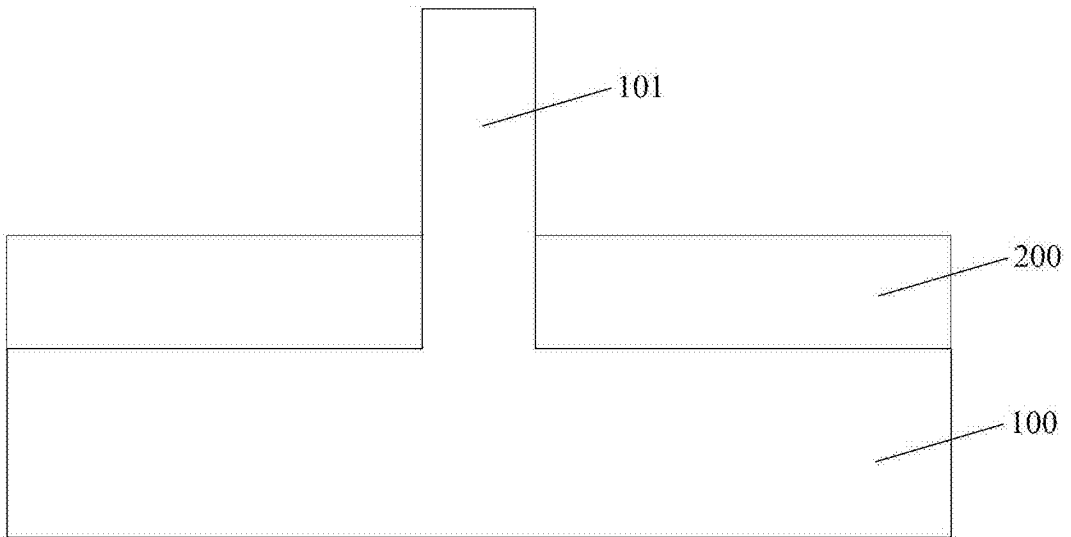


图1

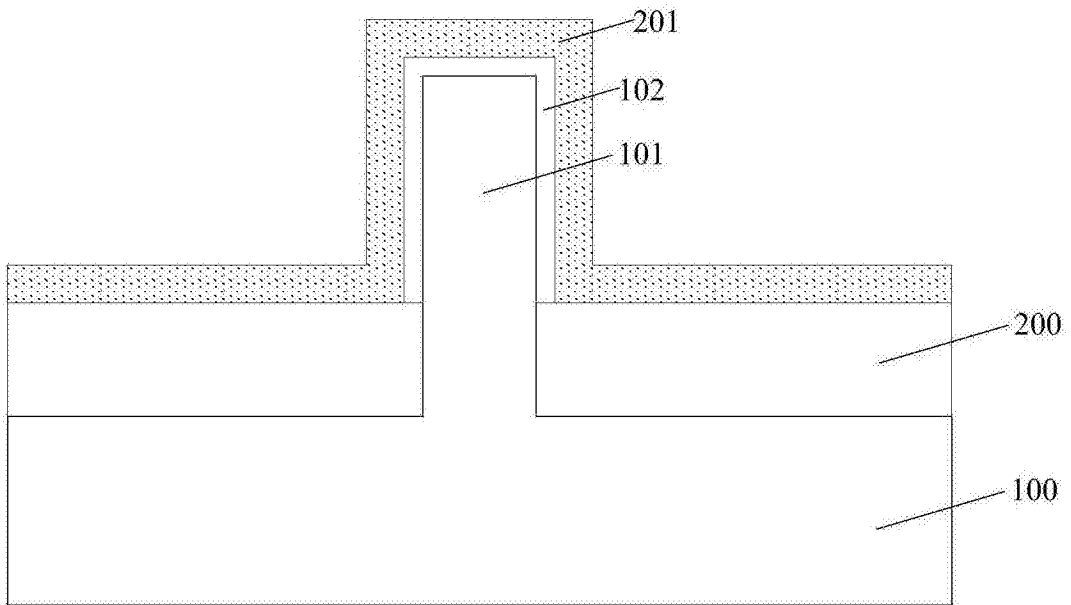


图2

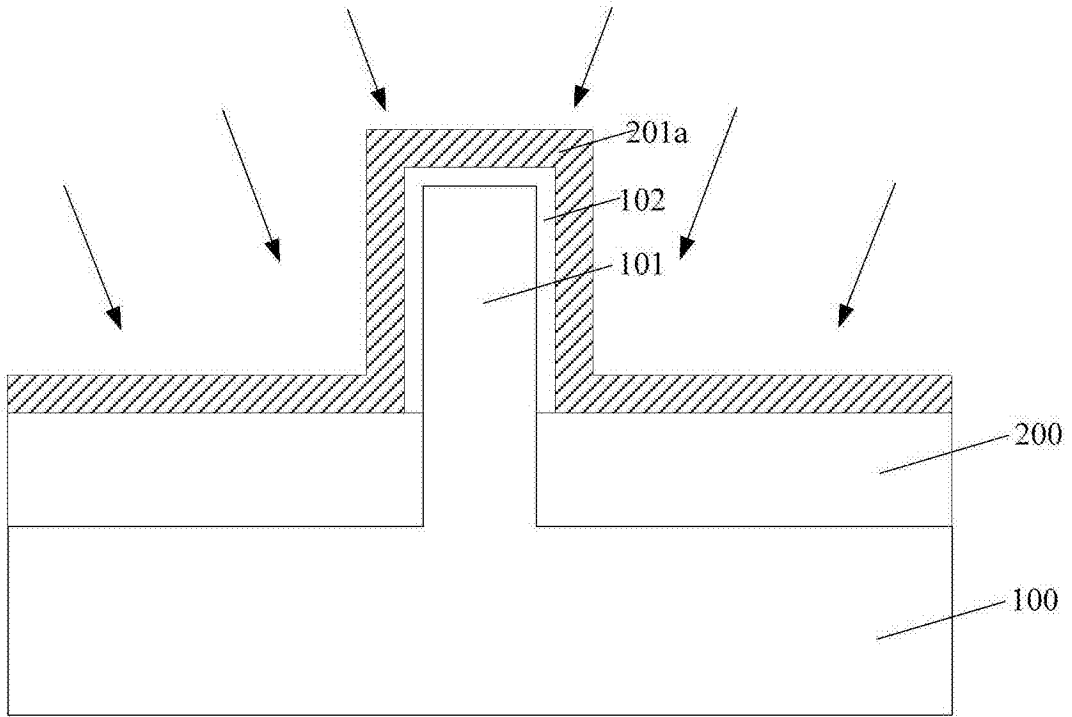


图3

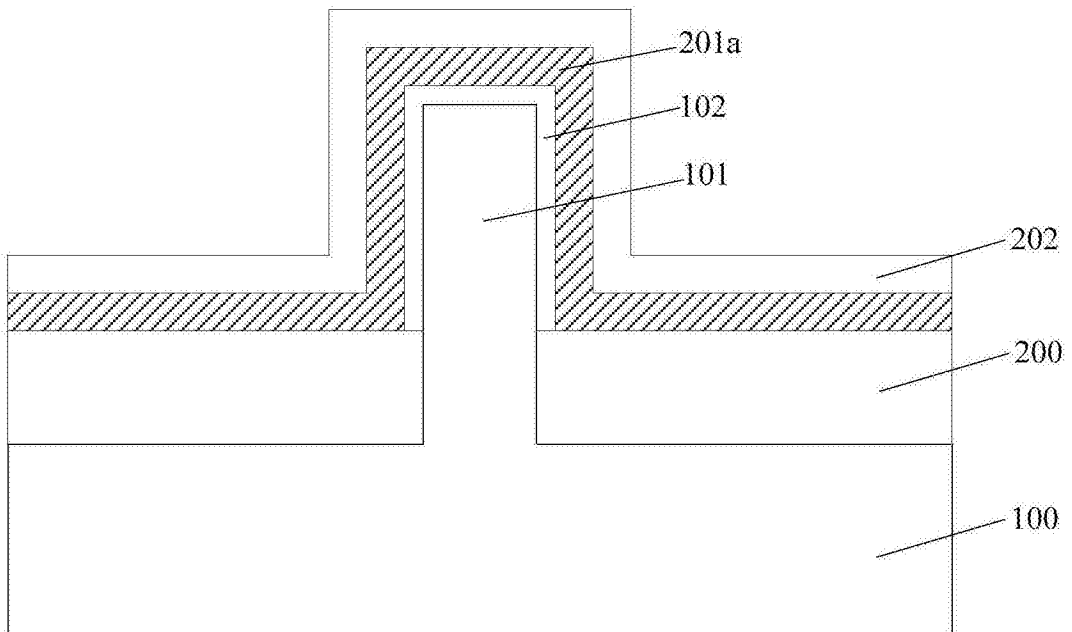


图4

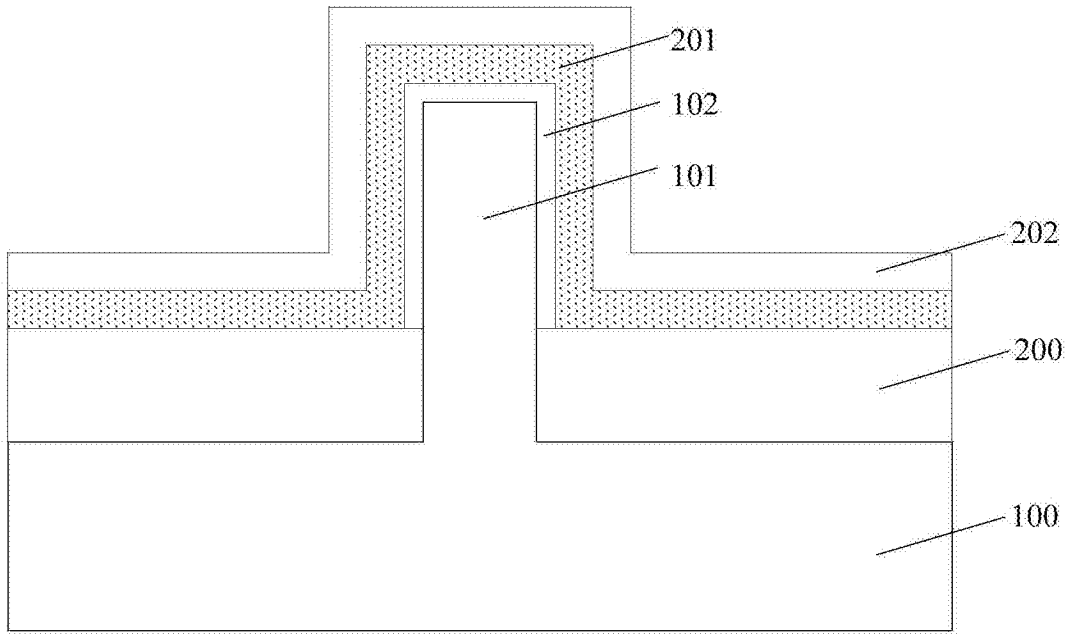


图5

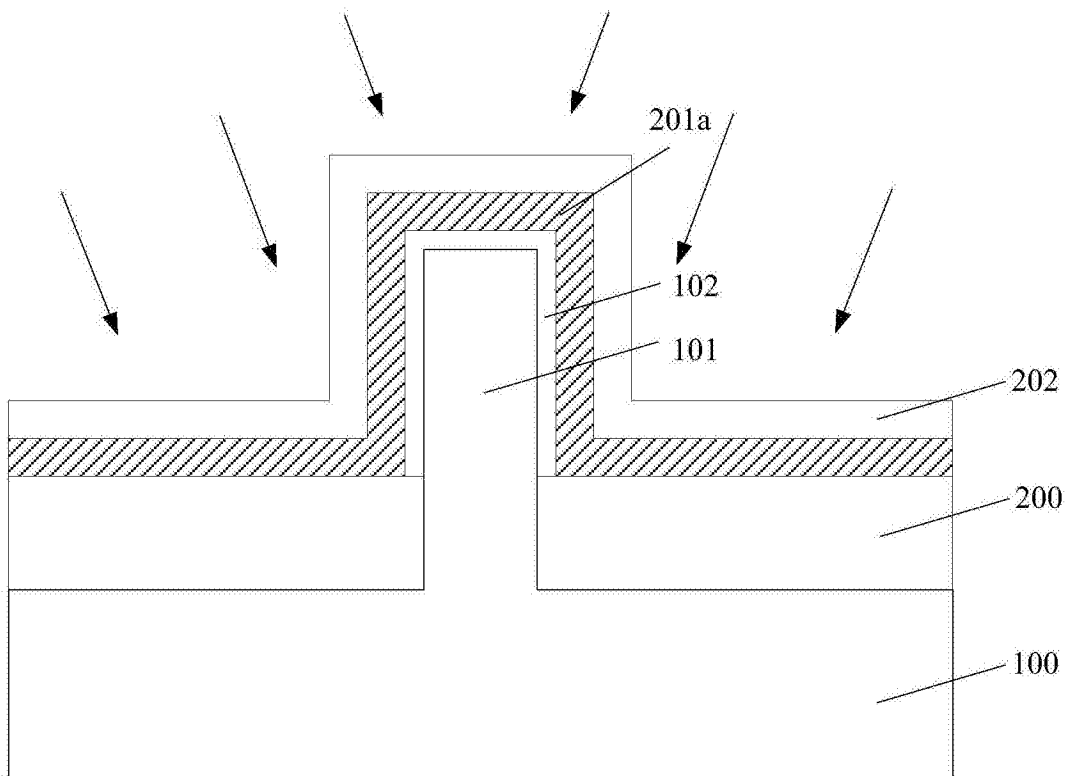


图6