



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월09일
 (11) 등록번호 10-1967480
 (24) 등록일자 2019년04월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
 (21) 출원번호 10-2012-7004828
 (22) 출원일자(국제) 2010년07월20일
 심사청구일자 2015년07월17일
 (85) 번역문제출일자 2012년02월24일
 (65) 공개번호 10-2012-0051720
 (43) 공개일자 2012년05월22일
 (86) 국제출원번호 PCT/JP2010/062484
 (87) 국제공개번호 WO 2011/013596
 국제공개일자 2011년02월03일
 (30) 우선권주장
 JP-P-2009-179722 2009년07월31일 일본(JP)
 (56) 선행기술조사문헌
 JP2007123861 A*
 (뒷면에 계속)
 전체 청구항 수 : 총 11 항

(73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 야마자끼 슌페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 아끼모토 켄고
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 (뒷면에 계속)
 (74) 대리인
 장수길, 박충범, 이중희

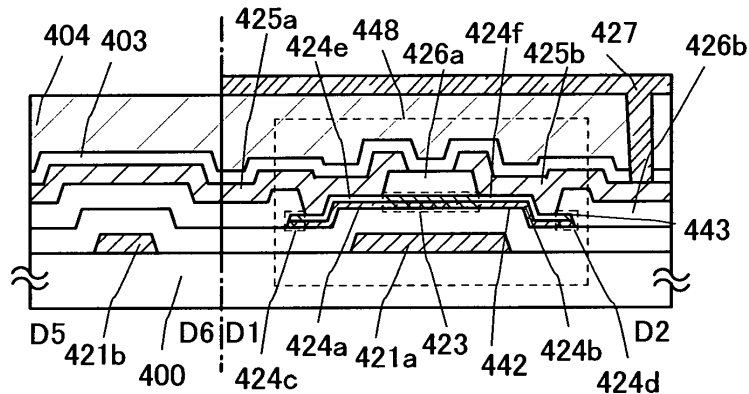
심사관 : 최혜미

(54) 발명의 명칭 **반도체 장치 및 그 제조 방법**

(57) 요약

제1 산화물 반도체층과 제2 산화물 반도체층의 적층체를 사용하는 보텀-게이트 박막 트랜지스터에서, 채널 보호층으로서 기능하는 산화물 절연층은 게이트 전극층과 겹치는 산화물 반도체층의 일부 위에 접해서 형성된다. 절연층의 형성과 동일한 공정에서, 산화물 반도체층들의 적층체의 주연부(측면 포함)를 덮는 산화물 절연층이 형성된다.

대표도 - 도1b



(72) 발명자

쓰부쿠 마사시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

사사끼 토시나리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

쿠와바라 히데아끼

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

KR1020070053233 A*

JP2008276212 A*

JP11040814 A*

KR100787455 B1*

KR1020090057689 A*

KR1020060133652 A*

JP2009141002 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치로서,

절연 표면 위의 게이트 전극층;

상기 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층 위의 산화물 반도체층;

상기 산화물 반도체층 위의, 제1 콘택트 홀 및 제2 콘택트 홀을 포함하는 산화물 절연층;

상기 제1 콘택트 홀을 통해 상기 산화물 반도체층에 전기적으로 접속되는 소스 전극층;

상기 제2 콘택트 홀을 통해 상기 산화물 반도체층에 전기적으로 접속되는 드레인 전극층;

상기 소스 전극층 및 상기 드레인 전극층 위의, 제3 콘택트 홀을 포함하는 보호 절연층; 및

상기 제3 콘택트 홀을 통해 상기 소스 전극층 및 상기 드레인 전극층 중 하나에 전기적으로 접속되는 화소 전극층을 포함하고,

상기 산화물 반도체층은, 상기 게이트 전극층과 중첩하고 상기 산화물 절연층과 접하는 제1 영역, 상기 소스 전극층과 접하는 제2 영역, 상기 드레인 전극층과 접하는 제3 영역, 상기 보호 절연층과 접하는 제4 영역, 및 상기 보호 절연층과 접하는 제5 영역을 포함하고,

상기 제1 영역은 상기 제2 영역과 상기 제3 영역 사이에 있고,

상기 제4 영역은 상기 제1 영역과 상기 제2 영역 사이에 있고,

상기 제5 영역은 상기 제1 영역과 상기 제3 영역 사이에 있고,

상기 산화물 절연층은 상기 산화물 반도체층의 주연(周緣, periphery)을 덮는, 반도체 장치.

청구항 2

반도체 장치로서,

화소부 및 구동 회로를 포함하고,

상기 화소부는,

절연 표면 위의 제1 게이트 전극층;

상기 제1 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층 위의 제1 산화물 반도체막;

상기 제1 산화물 반도체막 위의 제2 산화물 반도체막;

상기 제2 산화물 반도체막 위의, 제1 콘택트 홀 및 제2 콘택트 홀을 포함하는 산화물 절연층;

상기 제1 콘택트 홀을 통해 상기 제2 산화물 반도체막에 전기적으로 접속되는 제1 소스 전극층;

상기 제2 콘택트 홀을 통해 상기 제2 산화물 반도체막에 전기적으로 접속되는 제1 드레인 전극층;

상기 제1 소스 전극층 및 상기 제1 드레인 전극층 위의, 제3 콘택트 홀을 포함하는 보호 절연층;

상기 보호 절연층 위의, 제4 콘택트 홀을 포함하는 유기 절연층;

상기 제3 콘택트 홀 및 상기 제4 콘택트 홀을 통해 상기 제1 소스 전극층 및 상기 제1 드레인 전극층 중 하나에 전기적으로 접속되는 화소 전극층; 및

게이트 배선층과 소스 배선층의 배선 교차부를 포함하고,
 상기 구동 회로는,

- 상기 절연 표면 위의 제2 게이트 전극층;
- 상기 제2 게이트 전극층 위의 상기 게이트 절연층;
- 상기 게이트 절연층 위의 산화물 반도체층;
- 상기 산화물 반도체층 위의, 제5 컨택트 홀 및 제6 컨택트 홀을 포함하는 상기 산화물 절연층;
- 상기 제5 컨택트 홀을 통해 상기 산화물 반도체층에 전기적으로 접속되는 제2 소스 전극층;
- 상기 제6 컨택트 홀을 통해 상기 산화물 반도체층에 전기적으로 접속되는 제2 드레인 전극층;
- 상기 제2 소스 전극층 및 상기 제2 드레인 전극층 위의 상기 보호 절연층; 및
- 상기 보호 절연층 위의 상기 유기 절연층을 포함하고,

상기 산화물 반도체층은, 상기 제2 게이트 전극층과 중첩하고 상기 산화물 절연층과 접하는 제1 영역, 상기 제2 소스 전극층과 접하는 제2 영역, 상기 제2 드레인 전극층과 접하는 제3 영역, 상기 보호 절연층과 접하는 제4 영역, 및 상기 보호 절연층과 접하는 제5 영역을 포함하고,

상기 제1 영역은 상기 제2 영역과 상기 제3 영역 사이에 있고,

상기 제4 영역은 상기 제1 영역과 상기 제2 영역 사이에 있고,

상기 제5 영역은 상기 제1 영역과 상기 제3 영역 사이에 있고,

상기 제1 산화물 반도체막은 상기 제2 산화물 반도체막보다 더 높은 도전율을 갖고,

상기 배선 교차부에서, 상기 게이트 절연층 및 상기 산화물 절연층은 상기 게이트 배선층과 상기 소스 배선층 사이에 제공되고,

상기 산화물 절연층은 상기 산화물 반도체층의 주연을 덮는, 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 게이트 절연층은 질화 규소막, 및 상기 질화 규소막 위의 산화 규소막을 포함하는, 반도체 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

청구항 5

제2항에 있어서,

상기 산화물 반도체층 전체가 상기 제2 게이트 전극층과 중첩되는, 반도체 장치.

청구항 6

제2항에 있어서,

상기 제2 게이트 전극층의 채널 길이 방향으로의 폭은 상기 산화물 반도체층의 상기 채널 길이 방향으로의 폭보다 큰, 반도체 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 산화물 절연층은 산화 규소막 또는 산화 알루미늄막인, 반도체 장치.

청구항 8

제1항 또는 제2항에 있어서,
상기 보호 절연층은 질소를 포함하는, 반도체 장치.

청구항 9

제2항에 있어서,
상기 유기 절연층은 폴리이미드 수지, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드 수지, 에폭시 수지, 및 실록산계 수지 중 하나를 포함하는, 반도체 장치.

청구항 10

제2항에 있어서,
상기 제5 컨택트 홀 및 상기 제6 컨택트 홀 각각은 상기 산화물 반도체층과 완전히 중첩되는, 반도체 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제1항 또는 제2항에 있어서,
상기 절연 표면 위의 커패시터를 더 포함하고,
상기 커패시터의 유전체는 상기 게이트 절연층인, 반도체 장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

- [0001] 본 발명은 산화물 반도체를 이용하는 반도체 장치 및 그 제조 방법에 관한 것이다.
- [0002] 본 명세서에 있어서, 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미하고, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

배경 기술

- [0003] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(대략 수 나노미터 내지 수백 나노미터의 두께를 가짐)을 이용해서 박막 트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막 트랜지스터는 IC 또는 전기 광학 장치와 같은 전자 장치에 널리 응용되고, 특히 화상 표시 장치의 스위칭 소자로서 사용되는 박막 트랜지스터의 개발이 촉구되고 있다. 다양한 금속 산화물이 다양한 용도에 이용되고 있다. 산화 인듐은 잘 알려진 재료이고, 액정 디스플레이 등에 필요한 투명 전극 재료로서 이용되고 있다.
- [0004] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물의 예로는 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있다. 반도체 특성을 나타내는 이러한 금속 산화물을 사용하여 채널 형성 영역이 형성되는 박막 트랜지스터가 알려져 있다(특허문헌 1 및 2).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) [특허문헌 1] 일본공개특허출원번호 2007-123861
(특허문헌 0002) [특허문헌 2] 일본공개특허출원번호 2007-096055

발명의 내용

- [0006] 절연 표면 위에 복수의 박막 트랜지스터를 제조하는 경우, 예를 들면 게이트 배선과 소스 배선이 서로 교차하는 부분이 있다. 게이트 배선과 소스 배선이 서로 교차하는 부분에는, 게이트 배선과, 게이트 배선의 전위와 다른 전위의 소스 배선 사이에 용량이 형성되는데, 여기서 유전체로서 기능하는 절연층이 게이트 배선과 소스 배선 사이에 설치된다. 이 용량은 배선들 간의 기생 용량으로서 칭하고, 신호 파형의 왜곡이 발생할 수도 있다. 또한, 기생 용량이 큰 경우 신호 전달 지연이 발생할 수도 있다.
- [0007] 또한, 기생 용량의 증가는 배선들 사이에서 전기 신호가 누설되는 크로스 토크(cross talk) 현상 또는 소비 전력의 증가를 야기한다.
- [0008] 또한, 액티브 매트릭스 표시 장치에 있어서, 특히 비디오 신호를 공급하는 신호 배선과 또 다른 배선 또는 전극 사이에 큰 기생 용량이 형성되면 표시 품질이 저하될 수도 있다.
- [0009] 또한, 회로의 미세화 경우에도, 배선 간격이 좁아져 배선들 사이의 기생 용량이 증가할 수도 있다.
- [0010] 본 발명의 한 실시형태의 목적은 배선들 사이의 기생 용량을 충분히 저감할 수 있는 구조를 갖는 반도체 장치를 제공하는 데 있다.
- [0011] 절연 표면 위에 구동 회로를 형성하는 경우, 구동 회로에 이용하는 박막 트랜지스터의 동작 속도는 높은 것이 바람직하다.
- [0012] 예를 들면, 박막 트랜지스터의 채널 길이(L)를 짧게 하거나 박막 트랜지스터의 채널 폭(W)을 넓게 하면 동작 속도가 증가한다. 그러나 채널 길이를 짧게 하면 스위칭 특성, 예를 들면 온-오프(on-off) 비가 작아지는 문제가 있다. 또한, 채널 폭(W)을 넓게 하면 박막 트랜지스터 자체의 용량 부하를 상승시키는 문제가 있다.
- [0013] 본 발명의 한 실시형태의 또 다른 목적은 채널 길이가 짧더라도 안정된 전기 특성을 갖는 박막 트랜지스터를 구

비한 반도체 장치를 제공하는 데 있다.

- [0014] 절연 표면 위에 복수의 서로 다른 회로를 형성하는 경우, 예를 들면, 화소부와 구동 회로를 하나의 기판 위에 형성하는 경우에는 우수한 스위칭 특성이 필요하다. 예를 들면, 화소부에 이용하는 박막 트랜지스터에는 높은 온-오프 비가 요구되고, 구동 회로에 이용하는 박막 트랜지스터에는 높은 동작 속도가 요구된다. 특히, 표시 장치의 선명도가 높아짐에 따라 표시 화상의 기입 시간이 짧아진다. 그러므로 구동 회로에 이용하는 박막 트랜지스터는 고속으로 동작하는 것이 바람직하다.
- [0015] 본 발명의 한 실시형태의 또 다른 목적은 하나의 기판 위에 복수의 종류의 박막 트랜지스터를 형성해서 복수의 종류의 회로를 형성하는 반도체 장치의 제조 방법을 제공하는 데 있다.
- [0016] 절연 표면 위에 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성한 후, 산화물 반도체층들을 패터닝한다. 패터닝된 산화물 반도체층들을 박막 트랜지스터의 반도체층으로서 이용한다. 특히, 하나의 기판 위에 복수의 종류의 박막 트랜지스터를 형성하는 경우, 박막 트랜지스터들 중 적어도 하나의 박막 트랜지스터의 반도체층으로서, 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체(stack)를 이용한다.
- [0017] 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체를 이용하는 보텀-게이트(bottom-gate) 박막 트랜지스터에 있어서, 게이트 전극층과 겹치는 산화물 반도체층의 일부 위에서 접하는, 채널 보호층의 역할을 하는 산화물 절연층을 형성한다. 절연층을 형성하는 동일한 공정에서, 산화물 반도체층들의 적층체의 주연(周緣)부(측면을 포함함)를 덮는 산화물 절연층을 형성한다.
- [0018] 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 주연부(측면을 포함함)를 덮는 산화물 절연층을 제공하는 경우, 게이트 전극층과 게이트 전극층의 위 또는 주변에 형성된 배선층들(예컨대 소스 배선층 및 커패시터 배선층)간의 거리를 증가시켜 기생 용량을 감소시킨다.
- [0019] 산화물 절연층이 제1 산화물 반도체층과 제2 산화물 반도체층의 단부(주연 및 측면)를 덮어 누설 전류(leakage current)가 감소할 수 있다.
- [0020] 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 주연부를 덮는 산화물 절연층은 채널 보호층과 동일한 공정에서 형성한다. 그러므로 공정 수의 증가 없이 기생 용량을 저감할 수 있다.
- [0021] 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 주연부(측면을 포함함)를 덮는 산화물 절연층은 기생 용량을 저감할 수 있고, 신호 파형의 왜곡을 억제할 수 있다.
- [0022] 기생 용량을 저감하기 위하여, 배선들 사이의 산화물 절연층으로서 낮은 유전율의 절연 재료를 이용하는 것이 바람직하다.
- [0023] 산화물 반도체층들의 주연(측면을 포함함)을 덮는 산화물 절연층을 제공하는 경우, 기생 용량을 가능한 한 많이 저감시키고, 박막 트랜지스터의 고속 동작을 달성할 수 있다. 또한, 고속 동작하는 박막 트랜지스터를 사용하면 회로의 집적도가 향상한다.
- [0024] 본 명세서에서 개시하는 본 발명의 한 실시형태는, 절연 표면 위에 제공되는 게이트 전극층, 게이트 전극층 위에 제공되는 게이트 절연층, 게이트 절연층 위에 제공되는 제1 산화물 반도체층, 제1 산화물 반도체층 위에 접촉 상태로 제공되는 제2 산화물 반도체층, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의 제1 영역과 중첩되고, 제2 산화물 반도체층과 접하는 산화물 절연층, 산화물 절연층 및 제1 산화물 반도체층의 제2 영역 위에 제공되고, 제2 산화물 반도체층의 제2 영역과 중첩되고, 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층을 포함하는 반도체 장치이다. 반도체 장치에서, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의 제1 영역은 게이트 전극층과 중첩되는 영역 및 제1 산화물 반도체층과 제2 산화물 반도체층의 주연 및 측면에 제공된다.
- [0025] 본 명세서에서 개시하는 본 발명의 또 다른 실시형태는, 절연 표면 위에 제공되는 게이트 전극층, 게이트 전극층 위에 제공되는 게이트 절연층, 게이트 절연층 위에 제공되는 제1 산화물 반도체층, 제1 산화물 반도체층 위에 접촉 상태로 제공되는 제2 산화물 반도체층, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의 제1 영역과 중첩되고, 제2 산화물 반도체층과 접하는 산화물 절연층, 산화물 절연층 및 제1 산화물 반도체층의 제2 영역 위에 제공되고, 제2 산화물 반도체층의 제2 영역과 중첩되고, 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층, 산화물 절연층, 소스 전극층, 드레인 전극층, 및 제1 산화물 반도체층의 제3 영역 위에 제공되고, 제2 산화물 반도체층의 제3 영역과 중첩되고, 제2 산화물 반도체층과 접촉 상태로 제공되는 보호 절연층을 포함하는 반도체 장치이다. 반도체 장치에서, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의

제1 영역은 게이트 전극층과 중첩되는 영역 및 제1 산화물 반도체층과 제2 산화물 반도체층의 주연 및 측면에 제공된다.

- [0026] 본 명세서에서 개시하는 본 발명의 실시형태에 있어서, 보호 절연층은 스퍼터법을 이용해서 형성되는 질화 규소, 산화 알루미늄, 또는 질화 알루미늄을 이용하여 형성할 수 있다.
- [0027] 본 명세서에서 개시하는 본 발명의 실시형태에 있어서, 산화물 절연층은 스퍼터법을 이용해서 형성되는 산화 규소 또는 산화 알루미늄을 이용하여 형성할 수 있다.
- [0028] 본 명세서에서 개시하는 본 발명의 실시형태에 있어서, 소스 전극층 및 드레인 전극층은 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소를 주성분으로서 포함하는 막, 또는 이러한 원소들의 합금 막들의 조합을 포함하는 적층 막을 이용하여 형성할 수 있다.
- [0029] 본 명세서에서 개시하는 본 발명의 실시형태에 있어서, 반도체 장치의 소스 전극층 및 드레인 전극층은 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 또는 산화 아연을 이용하여 형성할 수 있다.
- [0030] 본 명세서에서 개시하는 본 발명의 실시형태에 있어서, 반도체 장치는 절연 표면 위에 커패시터부를 포함할 수 있고, 커패시터부는 커패시터 배선 및 커패시터 배선과 겹치는 커패시터 전극을 포함한다. 반도체 장치에서, 커패시터 배선 및 커패시터 전극은 투광 특성을 가질 수 있다.
- [0031] 제1 산화물 반도체층은 제2 산화물 반도체층보다 낮은 전기 저항율(높은 도전율)을 갖는다는 점을 알아야 한다. 또한, 제1 산화물 반도체층과 게이트 전극 간의 거리는 제2 산화물 반도체층과 게이트 전극 간의 거리보다 가깝다. 제1 산화물 반도체층은 적어도 게이트 절연막에 접촉한다. 이러한 층들의 적층체를 이용해서 박막 트랜지스터를 제조함으로써, 우수한 전기 특성(예를 들면 전계 이동도)을 갖는 박막 트랜지스터를 얻을 수 있다.
- [0032] 상술한 구조로, 상술한 과제 중 적어도 하나를 해결할 수 있다.
- [0033] 상술한 구조를 얻는 본 발명의 한 실시형태는, 절연 표면 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 제1 산화물 반도체층을 형성하고, 제1 산화물 반도체층 위에 접촉 상태로 제2 산화물 반도체층을 형성하고, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의 제1 영역과 중첩되고, 제2 산화물 반도체층과 접촉 상태로 제공되는 산화물 절연층을 형성하고, 산화물 절연층 및 제1 산화물 반도체층의 제2 영역 위에 제공되고, 제2 산화물 반도체층의 제2 영역과 중첩되고, 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층을 형성하는 단계들을 포함하는, 반도체 장치를 제조하기 위한 방법이다. 이 실시형태에서, 제1 산화물 반도체층 및 제2 산화물 반도체층은 대기에 노출하지 않으면서 형성하여, 제1 산화물 반도체층 및 제2 산화물 반도체층의 탈수화 또는 탈수소화 후, 제1 산화물 반도체층 및 제2 산화물 반도체층으로의 물 및 수소의 침범을 방지하고, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의 제1 영역은, 게이트 전극층과 중첩되는 영역 및 제1 산화물 반도체층과 제2 산화물 반도체층의 주연 및 측면에 형성한다.
- [0034] 상술한 구조를 얻는 본 발명의 또 다른 실시형태는, 절연 표면 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 제1 산화물 반도체층을 형성하고, 제1 산화물 반도체층 위에 접촉 상태로 제2 산화물 반도체층을 형성하고, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의 제1 영역과 중첩되고, 제2 산화물 반도체층과 접촉 상태로 제공되는 산화물 절연층을 형성하고, 산화물 절연층 및 제1 산화물 반도체층의 제2 영역 위에 제공되고, 제2 산화물 반도체층의 제2 영역과 중첩되고, 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층을 형성하고, 산화물 절연층, 소스 전극층, 드레인 전극층, 및 제1 산화물 반도체층의 제3 영역 위에 제공되고, 제2 산화물 반도체층의 제3 영역과 중첩되고, 제2 산화물 반도체층과 접촉 상태로 제공되는 보호 절연층을 형성하는 단계들을 포함하는, 반도체 장치를 제조하기 위한 방법이다. 이 실시형태에서, 제1 산화물 반도체층의 제1 영역 및 제2 산화물 반도체층의 제1 영역은 게이트 전극층과 중첩되는 영역 및 제1 산화물 반도체층과 제2 산화물 반도체층의 주연 및 측면에 형성한다.
- [0035] 소스 전극과 드레인 전극 간의 도통(conduction)을 방지하기 위하여 산화 금속 박막 주연부 및 측면을 덮는 산화물 절연층을 제공한다.
- [0036] 제1 산화물 반도체층과 제2 산화물 반도체층의 평균 총 두께는 3nm 내지 30nm이다.
- [0037] 또한, 제2 산화물 반도체층은 바람직하게는 제1 산화물 반도체층에 포함된 원소들 중 적어도 하나를 포함한다. 제2 산화물 반도체층이 제1 산화물 반도체층에 포함된 원소들 중 적어도 하나를 포함하면, 동일한 에칭 용액 또

는 동일한 에칭 가스를 이용하여 동일한 에칭 공정에서 제2 산화물 반도체층과 제1 산화물 반도체층을 에칭할 수 있고, 이는 제조 공정의 수를 줄인다.

[0038] 제1 산화물 반도체층 및 제2 산화물 반도체층은 $InMO_3(ZnO)_m$ ($m > 0$ 이고, m 은 정수가 아님)으로 표현된 박막을 사용하여 형성하고, 그러한 박막을 사용하여 산화물 반도체층이 형성되는 박막 트랜지스터를 제조함을 알아야 한다. M 은 Ga, Fe, Ni, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 표현한다. 예로서, M 은 Ga일 수 있고, Ga 외의 상술한 금속 원소를 포함할 수 있고, 예를 들면 M 은 Ga와 Ni 또는 Ga와 Fe일 수 있다. 또한, 상술한 산화물 반도체에 있어서, 몇몇 경우에는, M 으로서 포함되는 금속 원소 외에, Fe 또는 Ni와 같은 천이 금속 원소 또는 천이 금속의 산화물이 불순물 원소로서 포함된다. 본 명세서에서, 조성식이 $InMO_3(ZnO)_m$ ($m > 0$ 이고, m 은 정수가 아님)로 표현된 산화물 반도체층들 중에서, M 으로서 Ga를 포함하는 산화물 반도체는 In-Ga-Zn-O계 산화물 반도체로서 칭하고, In-Ga-Zn-O계 산화물 반도체의 박막은 또한 In-Ga-Zn-O계 비단결정막으로 칭한다.

[0039] 산화물 반도체층에 적용하는 금속 산화물로서, 상술한 것 외에도, 다음의 산화물 반도체 중 임의의 것을 적용할 수 있다: In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계, 및 In-Ga-O계 금속 산화물. 산화 규소는 상술한 금속 산화물로 이루어진 산화물 반도체층에 포함될 수 있다.

[0040] 불활성 가스, 예컨대 질소 또는 희 가스(rare gas), 예컨대 아르곤 또는 헬륨의 분위기에서 가열 처리를 수행하는 경우, 산화물 반도체층은 가열 처리를 통해 산소-결핍 산화물 반도체층으로 변하여 저-저항 산화물 반도체층, 즉 n형(n^- 형) 산화물 반도체층으로 된다. 이어서, 산화물 반도체층에 접촉하는 산화물 절연막의 형성 및 그러한 형성 후 산화물 반도체층은 산소-과잉 상태로 되어 고-저항 산화물 반도체층, 즉 i형 산화물 반도체층으로 된다. 또한, 산화물 반도체층을 산소-과잉 상태로 있게 하는 고체상 산화를 수행한다고도 말할 수 있다. 따라서, 양호한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제조하고 제공할 수 있다.

[0041] 탈수화 또는 탈수소화로서, 불활성 가스, 예컨대 질소 또는 희 가스(예컨대 아르곤 또는 헬륨)의 분위기에서 400°C 이상이고 기판의 변형점(strain point) 미만, 바람직하게는 420°C 이상 570°C 이하의 온도로 가열 처리를 수행하여, 산화물 반도체층에 포함된 수분과 같은 불순물을 저장한다.

[0042] 산화물 반도체층은, 탈수화 또는 탈수소화된 산화물 반도체층에 대하여 최대 450°C에서 TDS가 수행되더라도 대략 300°C 부근에서 물의 두 개의 피크 또는 물의 적어도 하나의 피크가 검출되지 않는 가열 처리 조건에서 탈수화 또는 탈수소화된다. 그러므로 탈수화 또는 탈수소화된 산화물 반도체층을 포함하는 박막 트랜지스터에 대하여 최대 450°C에서 TDS가 수행되더라도 대략 300°C 부근에서 물의 적어도 하나의 피크는 검출되지 않는다.

[0043] 또한, 탈수화 또는 탈수소화가 수행되는 가열 온도(T)로부터 온도가 낮아지는 경우, 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 수행한 로를 사용하여 대기에 산화물 반도체층을 노출하지 않으면서 물과 수소를 산화물 반도체층에 혼합하지 않는 것이 중요하다. 산화물 반도체층을 탈수화 또는 탈수소화에 의한 저-저항 산화물 반도체층, 즉 N형(N^- 형 등) 산화물 반도체층으로 변화시키거나, i형 반도체층이 되도록 저-저항 산화물 반도체층을 고-저항 산화물 반도체층으로 변화시킴으로써 얻은 산화물 반도체층을 사용하여 박막 트랜지스터를 형성하는 경우, 박막 트랜지스터의 임계 전압은 포지티브 전압일 수 있어, 소위 노멀리-오프(normally-off)의 스위칭 소자를 실현할 수 있다. 반도체 장치(표시 장치)에 대해서는, 포지티브 값이고 가능한 한 0V에 가까운 임계 전압에서 채널이 형성되는 것이 바람직하다. 박막 트랜지스터의 임계 전압이 네거티브인 경우, 노멀리 온인 경향이 있고; 즉 게이트 전압이 0V인 경우에도 소스 전극과 드레인 전극 사이에 전류가 흐른다. 액티브 매트릭스 표시 장치에서는, 회로를 구성하는 박막 트랜지스터의 전기 특성이 중요하고, 표시 장치의 성능은 박막 트랜지스터의 전기 특성에 좌우된다. 특히, 박막 트랜지스터의 전기 특성 중에서, 임계 전압(V_{th})이 중요하다. 임계 전압 값이 높거나 마이너스 쪽인 경우, 심지어 전계 효과 이동도가 높은 경우, 회로를 제어하는 것은 어렵다. 박막 트랜지스터가 높은 임계 전압 값 및 임계 전압의 큰 절댓값을 갖는 경우, 박막 트랜지스터는 스위칭 기능을 수행할 수 없고, 트랜지스터가 낮은 전압에서 구동되는 경우에는 부하일 수 있다. n채널 박막 트랜지스터의 경우, 게이트 전압으로서 포지티브 전압이 인가된 후, 채널이 형성되고, 드레인 전류가 흐르기 시작하는 것이 바람직하다. 구동 전압이 증가하지 않으면 채널이 형성되지 않는 트랜지스터 그리고 네거티브 전압 상태에서도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터는 회로에 사용된 박막 트랜지스터로서는 부적합하다.

[0044] 또한, 온도가 가열 온도(T)로부터 낮아지는 가스 분위기는 온도가 가열 온도(T)까지 상승하는 가스 분위기와 상이한 가스 분위기로 전환될 수 있다. 예를 들면, 탈수화 또는 탈수소화를 수행한 로를 사용하고, 대기에 노출

하지 않으면서 로를 고순도 산소 가스, 고순도 N₂O 가스, 또는 초-건조 공기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하임)로 충전함으로써 냉각을 수행한다.

- [0045] 탈수화 또는 탈수소화를 위한 가열 처리에 의해 막에 함유된 수분을 저감시킨 후, 수분을 함유하지 않는 분위기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하임)에서 서냉(cooled slowly)(또는 냉각)시킨 산화물 반도체막을 사용하여 박막 트랜지스터의 전기 특성을 개선하고, 대량 생산할 수 있는 고성능 박막 트랜지스터를 실현한다.
- [0046] 본 명세서에서, 질소 또는 희 가스(예컨대 아르곤 또는 헬륨)의 불활성 기체분위기에서의 가열 처리를 탈수화 또는 탈수소화를 위한 가열 처리로서 칭한다. 본 명세서에서, 탈수소화는 가열 처리에 의해 H₂의 형태에서의 제거만을 의미하지는 않고, 탈수화 또는 탈수소화는 또한 편의상 H, OH 등의 제거를 의미한다.
- [0047] 질소 또는 희 가스(아르곤, 헬륨 등)와 같은 불활성 기체 분위기에서 가열 처리를 수행하는 경우, 산화물 반도체층은 가열 처리에 의해 산소-결핍 산화물 반도체층으로 변하여 저-저항 산화물 반도체층, 즉 N형(예컨대 N⁻형) 산화물 반도체층으로 된다.
- [0048] 또한, 드레인 전극층과 겹치는 영역이 산소-결핍 영역인 고-저항 드레인 영역(HRD 영역으로도 칭함)으로서 형성되고, 소스 전극층과 겹치는 영역이 산소-결핍 영역인 고-저항 소스 영역(HRS 영역으로도 칭함)으로서 형성된다.
- [0049] 구체적으로, 고-저항 드레인 영역 및 고-저항 소스 영역 각각의 캐리어 농도는 $1 \times 10^{18} / \text{cm}^3$ 이상이고, 적어도 채널 형성 영역의 캐리어 농도($1 \times 10^{18} / \text{cm}^3$ 미만)보다 높다. 본 명세서에서 캐리어 농도는 실온에서 홀(Hall) 효과 측정을 통해 얻음을 알아야 한다. 고-저항 드레인 영역(소스 영역)의 전기 저항율(도전율)의 구배에 따라, 본 명세서에서는 몇몇의 경우에서 고-저항 드레인 영역(소스 영역)은 제1 고-저항 드레인 영역(또는 제1 고-저항 소스 영역) 또는 제2 고-저항 드레인 영역(또는 제2 고-저항 소스 영역)으로서 칭한다. 또한, 본 명세서의 상세한 설명에서 제1 고-저항 드레인 영역은 제2 고-저항 드레인 영역보다 낮은 전기 저항율(즉, 높은 도전율)을 갖는다.
- [0050] 이어서, 탈수화 또는 탈수소화된 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 적어도 일부를 산소-과잉 상태로 되게 함으로써, 고-저항을 갖는, 즉 i형인 채널 형성 영역을 형성한다. 탈수화 또는 탈수소화된 제1 산화물 반도체층과 제2 산화물 반도체층을 산소-과잉 상태로 되게 하는 처리로서, 탈수화 또는 탈수소화된 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체에 접촉하는 산화물 절연막의 스퍼터법에 의한 성막; 산화물 절연막 성막 후 불활성 가스 분위기에서의 가열 처리 후, 가열 처리 또는 산소를 함유하는 분위기에서의 가열 처리, 또는 산소 분위기 또는 초-건조 공기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하임)에서의 냉각 처리 등을 수행한다.
- [0051] 산소-과잉 상태를 야기하는 처리에 의해, 탈수화 또는 탈수소화된 제1 산화물 반도체층과 탈수화 또는 탈수소화된 제2 산화물 반도체층의 적층체의 적어도 일부(게이트 전극층과 겹치는 부분)는 채널 형성 영역의 역할을 하고; 그러므로 제1 산화물 반도체층 및 제2 산화물 반도체층은 선택적으로 산소-과잉 상태로 될 수 있고, 저항이 증가한 층, 즉 i형 산화물 반도체층일 수 있다.
- [0052] 따라서, 양호한 전기 특성을 갖는 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제조 및 제공할 수 있다.
- [0053] 드레인 전극층(및 소스 전극층)과 중첩하는 산화물 반도체층에서 제1 고-저항 드레인 영역 및 제2 고-저항 드레인 영역을 형성함으로써, 구동 회로를 형성하는 경우의 신뢰성을 개선할 수 있음을 알아야 한다. 구체적으로, 제1 고-저항 드레인 영역 및 제2 고-저항 드레인 영역을 형성함으로써, 드레인 전극층으로부터 제2 고-저항 드레인 영역, 제1 고-저항 드레인 영역, 및 채널 형성 영역으로 도전을 점차 변화시킬 수 있는 구조를 이용할 수 있다. 그러므로 높은 전원 전위(VDD)를 공급하기 위한 배선에 연결된 드레인 전극층을 사용하여 박막 트랜지스터가 동작하는 경우, 게이트 전극층과 드레인 전극층 사이에 높은 전계가 인가되더라도, 제1 고-저항 드레인 영역 및 제2 고-저항 드레인 영역은 버퍼의 역할을 하고, 높은 전계가 국소적으로 인가되지 않아 트랜지스터의 내전압을 개선할 수 있다.
- [0054] 또한, 드레인 전극층(및 소스 전극층)과 중첩하는 산화물 반도체층에서 제1 고-저항 드레인 영역 및 제2 고-저항 드레인 영역을 형성하여, 구동 회로 형성 시 채널 형성 영역에서 온 전류(on current)의 증가 및 누설 전류의 감소를 달성할 수 있다. 특히, 제1 고-저항 드레인 영역, 제2 고-저항 드레인 영역, 제1 고-저항 소스

영역, 및 제2 고-저항 소스 영역을 형성하는 경우, 트랜지스터의 드레인 전극층과 소스 전극층 사이의 누설 전류는 드레인 전극층, 제1 고-저항 드레인 영역, 제2 고-저항 드레인 영역, 채널 형성 영역, 제1 고-저항 소스 영역, 제2 고-저항 소스 영역, 및 소스 전극층의 순서로 흐른다. 이 경우, 채널 형성 영역에서, 드레인 전극층의 제1 고-저항 드레인 영역 및 제2 고-저항 드레인 영역으로부터 채널 형성 영역으로 흐르는 누설 전류는 트랜지스터의 오프 시 고-저항을 갖는 게이트 절연층과 채널 형성 영역 사이의 계면 근방에 집중될 수 있다. 따라서, 백(back) 채널부(게이트 전극층으로부터 떨어져 있는 채널 형성 표면의 일부)에서의 누설 전류의 양을 저감할 수 있다.

[0055] 또한, 소스 전극층과 겹치는 제1 고-저항 소스 영역 및 제2 고-저항 소스 영역과, 드레인 전극층과 겹치는 제1 고-저항 드레인 영역 및 제2 고-저항 드레인 영역은, 게이트 전극층의 폭에 따라 그 사이에 개재된 게이트 전극층의 일부 및 게이트 절연층과 서로 중첩하고, 드레인 전극층의 단부 근방의 전계 세기는 더욱 효과적으로 감소할 수 있다.

[0056] 또한, 구동 회로를 포함하는 표시 장치로서, 액정 표시 장치 외에, 발광 소자를 사용하는 발광 표시 장치 및 전기 영동 표시 소자를 사용하는, "전자 페이퍼"로도 칭하는 표시 장치를 제공한다.

[0057] 발광 소자를 사용하는 발광 표시 장치에서, 복수의 박막 트랜지스터는 화소부에 포함되고, 화소부에는 박막 트랜지스터의 게이트 전극이 또 다른 트랜지스터의 소스 배선 또는 드레인 배선에 연결되는 영역이 존재한다. 또한, 발광 소자를 사용하는 발광 표시 장치의 구동 회로에서, 박막 트랜지스터의 게이트 전극이 박막 트랜지스터의 소스 배선 또는 드레인 배선에 연결되는 영역이 존재한다.

[0058] 또한, 하나의 기관 위에 매트릭스 회로와 구동 회로를 제조함으로써 반도체 장치의 제조 비용을 절감한다. 구동 회로는, 예를 들면, 동작 속도를 우선하는 논리 회로를 포함한다. 이러한 회로에는 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체를 포함하는 박막 트랜지스터를 사용하는 한편 또 다른 회로에는 제3 산화물 반도체층의 단층을 포함하는 박막 트랜지스터를 사용한다. 이러한 방식으로, 논리 회로와 같은 동작 속도를 우선하는 회로와 또 다른 회로 간의 박막 트랜지스터의 구조는 상이하다.

[0059] 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 화소부에 대한 박막 트랜지스터 보호용 보호 회로는 바람직하게는 게이트 선 또는 소스 선에 대한 동일한 기관 위에 제공하는 것이 바람직하다. 보호 회로는 바람직하게는 산화물 반도체층을 포함하는 비선형 소자로 형성한다.

[0060] 본 명세서에서 제1 및 제2와 같은 서수는 편의상 사용하는 것이고, 층들의 공정 순서 및 적층 순서를 나타내는 것은 아님을 알아야 한다. 또한, 본 명세서에서 서수는 본 발명을 특징하는 고유한 명칭을 나타내는 것은 아니다.

[0061] 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체를 사용하면, 전기 특성이 우수한 박막 트랜지스터를 포함하는 반도체 장치를 실현할 수 있다. 산화물 반도체층들의 적층체의 주연 및 측면을 산화물 절연층으로 덮어 누설 전류를 저감할 수 있다. 산화물 반도체층들의 적층체의 주연 및 측면을 덮는 산화물 절연층은 채널 보호층의 역할을 하는 산화물 절연층과 동일한 공정으로 형성한다.

[0062] 또한, 산화물 반도체층들의 적층체를 포함하는 박막 트랜지스터 및 단층의 산화물 반도체층을 포함하는 박막 트랜지스터를 동일한 기관 위에 형성하여 복수의 종류의 회로를 제조할 수 있다.

도면의 간단한 설명

[0063] 도 1a는 본 발명의 한 실시형태를 도시하는 평면도이고, 도 1b 및 1c는 단면도이다.

도 2의 a 내지 e는 본 발명의 한 실시형태의 제조 공정을 도시하는 단면도이다.

도 3a 및 3b는 본 발명의 한 실시형태를 도시하는 단면도이다.

도 4의 a1 및 a2와 도 4의 b1 및 b2는 본 발명의 한 실시형태의 평면도 및 단면도이다.

도 5a 및 5c는 본 발명의 한 실시형태의 단면도이고, 도 5b는 평면도이다.

도 6a 및 6b는 본 발명의 한 실시형태의 단면도이다.

도 7a는 본 발명의 한 실시형태의 평면도이고, 도 7b 및 7c는 단면도이다.

도 8의 a 내지 e는 본 발명의 한 실시형태의 제조 공정을 도시하는 단면도이다.

- 도 9a 및 9b는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 10의 a1 및 a2와 도 10의 b는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 11a 및 11b는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 12는 본 발명의 한 실시형태의 반도체 장치의 화소의 등가 회로를 도시한다.
- 도 13a 내지 13c는 각각 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 14a 및 14b는 각각 본 발명의 한 실시형태의 반도체 장치를 도시하는 블록도이다.
- 도 15a 및 15b는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 16a 내지 16d는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 17a 및 17b는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 18은 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 19는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 20은 본 발명의 한 실시형태의 전자책을 도시하는 외부 도면이다.
- 도 21a 및 21b는 본 발명의 한 실시형태의 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외부 도면이다.
- 도 22a 및 22b는 본 발명의 한 실시형태의 게임기의 예를 도시하는 외부 도면이다.
- 도 23a 및 23b는 휴대형 컴퓨터 및 휴대 전화의 예를 도시하는 외부 도면이다.
- 도 24는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 25는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 26은 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 27은 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 28은 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 29는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 30은 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 31은 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 32는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 33은 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 34는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 35는 본 발명의 한 실시형태의 반도체 장치를 도시한다.
- 도 36a 및 36b는 각각 본 발명의 한 실시형태의 반도체 장치를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0064] 이하에서는, 본 발명의 실시형태에 대해서 첨부한 도면들을 참조하여 상세하게 설명한다. 그러나 본 발명은 이하의 설명에 한정되지 않고, 본 기술분야의 숙련자는 본 발명의 사상 및 범위를 벗어나지 않으면서 본 명세서에 개시된 모드와 세부사항을 다양한 방식으로 변경할 수 있음을 쉽게 이해한다. 그러므로 본 발명은 실시형태의 기재 내용에 제한되는 것으로서 해석되는 것은 아니다.

[0065] [실시형태 1]

[0066] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제조 방법의 한 실시형태를 도 1a 내지 1c, 도 2의 a 내지 e, 도 3a 및 3b, 도 4의 a1과 a2 및 b1과 b2를 참조하여 설명할 것이다.

- [0067] 도 1a는 화소에 제공되는 채널 보호형 박막 트랜지스터(448)의 평면도이고, 도 1b는 도 1a의 선 D1-D2 및 D5-D6을 따라 얻은 단면도이다. 도 1c는 도 1a의 선 D3-D4를 따라 얻은 단면도이다. 도 2의 e는 도 1b와 동일한 단면도이다.
- [0068] 화소에 제공되는 박막 트랜지스터(448)는 채널 보호형(채널-스톱형(channel-stop)으로도 칭함)의 박막 트랜지스터이고, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(421a); 게이트 절연층(402); 채널 형성 영역(423)을 포함하는 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443), 채널 보호층으로서 기능하는 산화물 절연층(426a); 소스 전극층(425a); 및 드레인 전극층(425b)을 포함한다. 또한, 박막 트랜지스터(448)를 덮고, 산화물 절연층(426a), 소스 전극층(425a), 및 드레인 전극층(425b)에 접촉하는 보호 절연층(403)을 제공하고, 그 위에 평탄화 절연층(404)을 제공한다. 평탄화 절연층(404) 위에, 드레인 전극층(425b)과 접촉하는 화소 전극층(427)이 제공되고, 따라서 박막 트랜지스터(448)와 전기적으로 접속된다.
- [0069] 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)이 적층되는 예는 다음과 같음을 알아야 한다. 우선, 제1 산화물 반도체층(442)을, 스퍼터법을 이용하여 아르곤과 같은 희 가스 및 산소 가스의 분위기에서 게이트 절연층(402) 위에 형성한다. 다음으로, 대기에 노출하지 않으면서, 제2 산화물 반도체층(443)을, 산화 규소와 같은 절연성 산화물을 포함하는 산화물 반도체를 이용하여 스퍼터법을 통해 아르곤과 같은 희 가스 및 산소 가스의 분위기에서 제1 산화물 반도체층(442) 위에 형성한다. 그 결과, 제1 산화물 반도체층은 산화 규소와 같은 절연성 산화물을 포함하는 제2 산화물 반도체층보다 낮은 전기 저항율(즉, 높은 도전율)을 갖는다. 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)의 이러한 적층체를 사용하여 박막 트랜지스터를 제조함으로써, 우수한 전기 특성(예를 들면 전계 효과 이동도)을 갖는 박막 트랜지스터를 얻을 수 있다.
- [0070] 여기서, 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)은 다음의 조건에서 형성하는데, In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol%] 및 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [at%])을 이용하고; 기판과 타겟 간의 거리는 100mm이고; 압력은 0.2Pa이고; 직류(DC) 전원은 0.5kW이고; 분위기는 아르곤 및 산소(아르곤:산소=30sccm:20sccm 및 산소 유속 40%) 분위기이다. 펄스 직류(DC) 전원을 사용하면, 먼지를 줄일 수 있고, 막 두께도 균일할 수 있기 때문에 바람직함을 알아야 한다.
- [0071] 스퍼터법의 예는 스퍼터링 전원을 위하여 고주파 전원을 사용하는 RF 스퍼터법, DC 스퍼터법, 및 펄스 방식으로 바이어스를 인가하는 펄스 DC 스퍼터법을 포함함을 알아야 한다. RF 스퍼터법은 주로 절연막을 형성하는 경우에 이용하고, DC 스퍼터법은 주로 금속막을 형성하는 경우에 이용한다.
- [0072] 또한, 재료의 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 형성할 수 있거나, 동일 챔버에서 복수의 종류의 재료를 동시에 방전시켜 형성할 수 있다.
- [0073] 또한, 챔버 내부에 자석 시스템을 구비한, 마그네트론 스퍼터법을 이용하는 스퍼터 장치 및 글로우(glow) 방전을 사용하지 않고 마이크로파를 이용해서 발생시킨 플라즈마를 이용하는 ECR 스퍼터법을 이용하는 스퍼터 장치가 있다.
- [0074] 또한, 스퍼터법을 이용하는 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터 가스 성분을 서로 화학 반응시켜 그것들의 화합물 박막을 형성하는 반응성 스퍼터법 및 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터법도 있다.
- [0075] 화소용 박막 트랜지스터(448)는, 제1 고-저항 소스 영역(424a), 제2 고-저항 소스 영역(424e), 제1 고-저항 드레인 영역(424b), 제2 고-저항 드레인 영역(424f), 및 채널 형성 영역(423)을 포함하는 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)의 적층 막을 포함한다. 소스 전극층(425a)의 하면에 접해서 제1 고-저항 소스 영역(424a)이 형성되고, 그 위에 제2 고-저항 소스 영역(424e)이 형성된다. 또한, 드레인 전극층(425b)의 하면에 접해서 제1 고-저항 드레인 영역(424b) 및 제2 고-저항 드레인 영역(424f)이 형성된다. 박막 트랜지스터(448)에 고전계가 인가되어도, 제1 고-저항 소스 영역(424a), 제2 고-저항 소스 영역(424e), 제1 고-저항 드레인 영역(424b), 제2 고-저항 드레인 영역(424f)이 버퍼가 되어 국소적인 고전계가 인가되지 않는다. 이러한 방식으로 박막 트랜지스터(448)는 내압을 향상시킨 구조를 갖는다. 또한, 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)이 겹치고, 제1 산화물 절연층(426a) 및 제2 산화물 절연층(426b)과 접하는 영역을 제1 영역이라고 한다. 또한, 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)에서, 제2 산화물 반도체층(443)이 소스 전극층(425a) 및 드레인 전극층(425b)과 접해서 중첩하는 영역을 제2 영역이라고 한다.
- [0076] 화소에 배치되는 박막 트랜지스터(448)의 채널 형성 영역(423)은, 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)의 적층 막에 포함되고, 채널 보호층인 산화물 절연층(426a)과 접하고, 게이트 전극층(421a)과 겹치

는 영역이다. 박막 트랜지스터(448)는 산화물 절연층(426a)에 의해 보호되므로, 소스 전극층(425a) 및 드레인 전극층(425b)을 형성하는 에칭 공정에서, 제2 산화물 반도체층(442)이 에칭되는 것을 방지할 수 있다.

- [0077] 박막 트랜지스터(448)는 투광성을 갖는 박막 트랜지스터로서 높은 개구율을 갖는 표시 장치를 실현하기 위해서, 소스 전극층(425a) 및 드레인 전극층(425b)은 투광성 도전막을 사용하여 형성한다.
- [0078] 또한, 박막 트랜지스터(448)의 게이트 전극층(421a)도 투광성 도전막을 사용하여 형성한다.
- [0079] 박막 트랜지스터(448)가 배치되는 화소에는, 화소 전극층(427), 또 다른 전극층(예컨대 커패시터 전극층)이나, 배선층(예컨대 커패시터 배선층)이 가시광에 대하여 투광성을 갖는 도전막을 사용하여 형성되고, 높은 개구율을 갖는 표시 장치를 실현한다. 물론, 게이트 절연층(402) 및 산화물 절연층(426a) 각각은 가시광에 대하여 투광성을 갖는 막을 사용하여 형성하는 것이 바람직하다.
- [0080] 본 명세서에 있어서, 가시광에 대하여 투광성을 갖는 막은 가시광의 투과율이 75% 내지 100%인 두께를 갖는 막을 가리킨다. 그 막이 도전성을 갖는 경우는 투명한 도전막이라고 부른다. 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또 다른 전극층, 또는 또 다른 배선층에 적용하는 금속 산화물로서, 가시광에 대하여 반투명의 도전막을 사용해도 된다. 가시광에 대하여 반투명인 도전막은 가시광의 투과율이 50% 내지 75%인 막을 가리킨다.
- [0081] 또한, 게이트 배선과 소스 배선이 서로 교차하는 배선 교차부는, 기생 용량을 저감하기 위해서, 게이트 전극층(421b)과 소스 전극층(425a) 사이에 게이트 절연층(402)과 산화물 절연층(426b)이 설치된다. 채널 형성 영역(423)과 겹치는 영역의 산화물 절연층(426a) 및 채널 형성 영역(423)과 겹치지 않는 영역의 산화물 절연층(426b)을 다른 참조부호로 나타내고 있지만, 동일한 재료, 동일한 공정에서 형성되는 층이다.
- [0082] 이하에서는, 도 2의 a 내지 e를 참조하여 동일한 기관 위에 박막 트랜지스터(448) 및 배선 교차부를 제조하는 공정을 설명한다. 화소부 내의 박막 트랜지스터 외에, 구동 회로 내의 박막 트랜지스터를 형성할 수 있다. 구동 회로 내의 박막 트랜지스터는 동일한 공정으로 동일한 기관 위에 형성할 수 있다.
- [0083] 우선, 절연 표면을 갖는 기관(400) 위로 투광성을 갖는 도전막을 형성한 후, 제1 포토리소그래피 공정에 의해 게이트 전극층(421a, 421b)을 형성한다. 화소부에는 게이트 전극층(421a, 421b)과 동일한 투광성을 갖는 재료를 사용하여 제1 포토리소그래피 공정에 의해 커패시터 배선층을 형성한다. 화소부뿐만 아니라 구동 회로도 형성할 경우, 구동 회로에 커패시터가 필요하다면 구동 회로에도 커패시터 배선층을 형성한다. 레지스트 마스크를 잉크젯법에서 형성할 수 있음을 알아야 한다. 레지스트 마스크를 잉크젯법에서 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 저감할 수 있다.
- [0084] 상술한 유리 기관으로서, 세라믹 기관, 석영 기관, 또는 사파이어 기관 등의 절연체 형태의 기관을 사용할 수 있음을 알아야 한다. 그 외에도, 결정화 유리 등을 이용할 수 있다.
- [0085] 또한, 기초 막(base film)이 되는 절연막을 기관(400)과 게이트 전극층(421a, 421b) 사이에 설치하여도 된다. 기초 막은 기관(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있어, 질화 규소막, 산화 규소막, 질화 산화 규소막, 및 산화 질화 규소막 중 하나 이상을 사용하는 단층 또는 적층 구조를 갖도록 형성할 수 있다.
- [0086] 게이트 전극층(421a, 421b)의 재료로서, 가시광에 대하여 투광성을 갖는 도전 재료를 사용할 수 있다. 예를 들면 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, 및 Zn-O계의 금속 산화물을 적용할 수 있다. 막 두께는 50nm 이상 300nm 이하의 범위 내에서 적절히 선택할 수 있다. 게이트 전극층(421a, 421b)에 이용하는 금속 산화물의 성막 방법은, 스퍼터법, 진공증착법(전자 빔 증착법 등), 아크(arc) 방전 이온 플래팅(plating)법, 또는 분무(spray)법을 이용한다. 스퍼터법을 이용할 경우, SiO₂를 2중량% 이상 10중량% 이하 함유하는 타깃을 이용해서 성막을 행하고, 투광성을 갖는 도전막에 결정화를 저해하는 SiO_x(X>0)을 포함시킨다. 따라서, 나중의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 투광성 도전막이 결정화되는 것을 방지하는 것이 바람직하다.
- [0087] 다음으로, 게이트 전극층(421a, 421b) 위로 게이트 절연층(402)을 형성한다.
- [0088] 게이트 절연층(402)은, 플라즈마 CVD법, 스퍼터법 등을 이용하고, 산화 규소층, 질화 규소층, 산화 질화 규소층, 질화 산화 규소층, 또는 산화 알루미늄을 단층 또는 적층해서 형성할 수 있다. 예를 들면, 성막 가스로서, SiH₄, 산소, 및 질소를 이용해서 플라즈마 CVD법에 의해 산화 질화 규소층을 형성할 수 있다. 게이트 절연층(402)의 막 두께는, 100nm 이상 500nm 이하이다. 적층 구조의 경우에는, 두께 50nm 이상 200nm 이하의 제1

게이트 절연층과, 두께 5nm 이상 300nm 이하의 제2 게이트 절연층을 이 순서대로 적층한다.

- [0089] 본 실시형태에서, 게이트 절연층(402)은 플라즈마 CVD법에 의해 형성된 200nm 이하의 두께를 갖는 질화 규소층이다.
- [0090] 다음으로, 게이트 절연층(402)위로, 제1 산화물 반도체막을 형성한다. 제1 산화물 반도체막은, 스퍼터법, 진공 증착법, 코팅법 등을 이용하고, 0nm 초과 10nm 미만, 바람직하게는 3nm 이상 5nm 이하의 두께로 형성한다. 제1 산화물 반도체막으로서는, 나중에 제1 산화물 반도체막과 접해서 위에 형성되는 제2 산화물 반도체층보다 전기 저항율이 낮은 산화물이 되는 재료를 이용한다는 점을 알아야 한다.
- [0091] 다음으로, 제1 산화물 반도체막 위로 두께 2nm 이상 200nm 이하의 제2 산화물 반도체막을 형성한다. 여기서, 제2 산화물 반도체막은 스퍼터법, 진공증착법, 또는 코팅법 등을 이용해서 산화 규소와 같은 절연성 산화물을 포함하도록 형성한다. 제2 산화물 반도체막의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도 산화물 반도체막을 비정질 상태로 하기 위해서, 제1 산화물 반도체막과 제2 산화물 반도체막의 총 두께는 바람직하게는 50nm 이하이다. 산화 규소를 포함하는 산화물 반도체막을 사용하여 제2 산화물 반도체막을 얇게 형성할 때, 제2 산화물 반도체층의 형성 후 가열 처리를 수행하는 경우 제2 산화물 반도체층의 결정화를 억제할 수 있다.
- [0092] 제1 산화물 반도체막 및 제2 산화물 반도체막은, In-Ga-Zn-O계 비단결정막, 또는 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, 또는 Zn-O계의 산화물 반도체막을 사용하여 형성한다. 본 실시형태에서는 제1 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타깃을 이용해서 스퍼터법에 의해 형성한다. 또한, 산화물 반도체막은, 희 가스(일반적으로 아르곤) 분위기, 산소 분위기, 또는 희 가스(일반적으로 아르곤) 및 산소 분위기에서 스퍼터법에 의해 형성할 수 있다. 제2 산화물 반도체막의 성막은 스퍼터법을 이용하고, SiO₂를 2중량% 이상 10중량% 이하 포함하는 타깃을 이용해서 행하고, 산화물 반도체막에 결정화를 저해하는 SiO_x(X>0)를 포함시킨다. 따라서, 나중에 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 산화물 반도체막이 결정화되는 것을 방지하는 것이 바람직하다.
- [0093] 제1 산화물 반도체막 및 제2 산화물 반도체막은 간단히 산화물 반도체로 칭하고, 바람직하게는 In을 함유하는 산화물 반도체, 더욱 바람직하게는 In 및 Ga를 함유하는 산화물 반도체로 칭할 수 있다.
- [0094] 다음으로, 제1 산화물 반도체막 및 제2 산화물 반도체막의 적층체를 제2 포토리소그래피 공정에 의해 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)으로 가공한다. 또한, 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)을 형성하기 위한 레지스트 마스크를 잉크젯법에서 형성할 수 있다. 레지스트 마스크를 잉크젯법에서 형성하면 포토마스크를 사용하지 않으므로 제조 비용을 저감할 수 있다.
- [0095] 다음으로, 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제1 가열 처리의 온도는, 400℃ 이상 및 기판의 변형점 미만, 바람직하게는 425℃ 이상이다. 425℃ 이상이면 가열 처리 시간은 1시간 이하일 수 있지만, 425℃ 미만이면 가열 처리 시간은 1시간 이상임을 알아야 한다. 여기서, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고, 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)에 대하여 질소 분위기에서 가열 처리를 행한다. 그 후, 대기에 노출하는 일없이, 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)에의 물 및 수소의 재혼입을 방지하고, 탈수화 또는 탈수소화된 산화물 반도체층을 얻는다. 본 실시형태에서, 온도가 산화물 반도체층의 탈수화 또는 탈수소화를 행하는 가열 온도(T)로부터 물의 혼입을 방지하기 충분한 온도까지 낮아지는 시간까지 가열 처리에 하나의 로를 계속 사용한다. 구체적으로, 온도가 가열 온도(T)보다 100℃ 이상 만큼 내려가는 시간까지 질소 분위기에서 서냉을 수행한다. 또한, 질소 분위기에 한정되지 않고, 헬륨, 네온, 또는 아르곤과 같은 희 가스 분위기에서 탈수화 또는 탈수소화를 행한다.
- [0096] 제1 가열 처리에서는, 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희 가스에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0097] 제1 가열 처리의 조건 및 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 재료에 따라 산화물 반도체층들은 미결정막 또는 다결정막으로 결정화될 수 있다.

- [0098] 대안으로, 제1 가열 처리는, 섬-형상의 산화물 반도체층으로 가공하기 전의 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)에 행할 수 있다. 그 경우에는, 제1 가열 처리 후, 가열 장치로부터 기판을 취출하고, 이어서 포토리소그래피 공정을 행한다.
- [0099] 다음으로, 게이트 절연층(402) 및 섬-형상의 제2 산화물 반도체층(443) 위로 산화물 절연막을 형성한다(도 2의 a 참조).
- [0100] 다음으로, 제3 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 산화물 절연층(426a, 426b)을 형성하고, 그 후 레지스트 마스크를 제거한다. 이 단계에서, 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 적층체는 산화물 절연층과 접하는 영역을 갖는다. 이 영역은, 게이트 전극층과 산화물 절연층(426a)이 그 사이에 개재된 게이트 절연층과 서로 겹치는 영역에 대응하는 채널 형성 영역(423)을 포함한다. 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 적층체의 주면 및 측면을 덮는 산화물 절연층(426b)과 겹치는 영역(424c, 424d)도 형성된다.
- [0101] 산화물 절연층(426a, 426b) 각각은, 적어도 1nm 이상의 두께를 갖도록 스퍼터법 등, 산화물 절연막에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용해서 형성할 수 있다. 본 실시형태에서는, 산화물 절연막으로서 두께 300nm의 산화 규소막을 스퍼터법을 이용해서 형성한다. 성막 시의 기판 온도는 실온 이상 300℃ 이하일 수 있고, 본 실시형태에서는 실온일 수 있다. 산화 규소막의 스퍼터법에 의한 성막은, 희 가스(일반적으로 아르곤) 분위기, 산소 분위기, 또는 희 가스(일반적으로 아르곤) 및 산소 분위기에서 행할 수 있다. 타깃으로서 산화 규소 타깃 또는 규소 타깃을 이용할 수 있다. 예를 들면, 규소 타깃을 이용하고, 산소, 및 질소 분위기에서 스퍼터법에 의해 산화 규소막을 형성할 수 있다. 저항이 감소된 산화물 반도체층과 접해서 형성하는 산화물 절연막으로서, 수분, 수소 이온, 및 OH⁻ 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용한다. 구체적으로, 산화 규소막, 질화 산화 규소막, 산화 알루미늄 막, 또는 산화 질화 알루미늄을 이용한다.
- [0102] 다음으로, 불활성 가스 분위기 또는 질소 가스 분위기에서 바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하의 온도에서 제2 가열 처리를 행한다(도 2의 b 참조). 예를 들면, 질소 분위기에서 250℃로 1시간 동안 제2 가열 처리를 행한다. 제2 가열 처리를 행하면, 산화물 절연층(426b)과 겹치는 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 단부들과, 산화물 절연층(426a)과 겹치는 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 부분들은 산화물 절연층과 접한 상태에서 가열된다. 제2 가열 처리를 행하면, 산화물 절연층과 겹치지 않는 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 부분들은 노출한 상태에서 가열된다는 점을 알아야 한다. 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 적층체가 노출되는 상태에서, 질소 또는 불활성 가스 분위기에서 가열 처리를 행하면, 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 적층체에서 노출되는 저항-증가(i형) 영역(제1 고-저항 소스 영역(424a), 제2 고-저항 소스 영역(424e), 제1 고-저항 드레인 영역(424b), 및 제2 고-저항 드레인 영역(424f))의 저항을 저감할 수 있다. 또한, 산화물 절연층(426a)은 섬-형상의 제1 산화물 반도체층(442)과 섬-형상의 제2 산화물 반도체층(443)의 적층체의 채널 형성 영역 위에 접해서 설치되고, 채널 보호층으로서 기능한다.
- [0103] 다음으로, 게이트 절연층(402), 산화물 절연층(426a, 426b), 섬-형상의 제1 산화물 반도체층(442) 및 섬-형상의 제2 산화물 반도체층(443) 위로, 투광성을 갖는 도전막을 형성한다. 그 후, 제4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 소스 전극층(425a) 및 드레인 전극층(425b)을 형성한다(도 2의 c 참조). 투광성을 갖는 도전막의 형성은, 스퍼터법, 진공증착법(전자 빔 증착법 등), 아크 방전 이온 플래팅법, 또는 분무법을 이용한다. 도전막의 재료로서, 가시광에 대하여 투광성을 갖는 도전 재료를 사용한다. 예를 들면 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, 및 Zn-O계의 금속 산화물 중 임의의 것을 적용할 수 있다. 도전막의 두께는 50nm 이상 300nm 이하 범위 내에서 적절히 선택한다. 스퍼터법을 이용할 경우, SiO₂를 2중량% 이상 10중량% 이하 포함하는 타깃을 이용해서 성막을 행하고, 투광성을 갖는 도전막에 결정화를 저해하는 SiO_x(X>0)를 포함시킨다. 따라서, 나중에 행하는 가열 처리 시에 투광성 도전막이 결정화되는 것을 방지하는 것이 바람직하다.
- [0104] 소스 전극층(425a) 및 드레인 전극층(425b)을 형성하기 위한 레지스트 마스크를 잉크젯법에서 형성할 수 있음을 알아야 한다. 레지스트 마스크를 잉크젯법에서 형성하면 포토마스크가 필요 없으므로, 제조 비용을 저감

할 수 있다.

- [0105] 다음으로, 산화물 절연층(426a, 426b), 소스 전극층(425a), 및 드레인 전극층(425b) 위로 보호 절연층(403)을 형성한다. 본 실시형태에서는, RF 스퍼터법을 이용해서 질화 규소막을 형성한다. RF 스퍼터법은 양산성이 좋기 때문에 보호 절연층(403)의 형성 방법으로서 바람직하다. 보호 절연층(403)은, 수분, 수소 이온, 및 OH⁻ 등의 불순물을 포함하지 않고, 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하여 형성한다. 구체적으로, 질화 규소막, 질화 알루미늄 막, 질화 산화 규소막, 산화 질화 알루미늄 막 등을 이용한다. 물론, 보호 절연층(403)은 투광성을 갖는 절연막이다.
- [0106] 다음으로, 보호 절연층(403) 위로 평탄화 절연층(404)을 형성한다. 평탄화 절연층(404)은 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 또는 에폭시 등의 내열성을 갖는 유기 재료로부터 형성할 수 있다. 이러한 유기 재료 외에, 저-유전율 재료(저-k 재료), 실록산계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등을 이용할 수 있다. 이러한 재료로 형성되는 복수의 절연막을 적층함으로써 평탄화 절연층(404)을 형성할 수 있다.
- [0107] 실록산계 수지는, 실록산계 재료를 출발 재료로서 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다는 점을 알아야 한다. 실록산계 수지는 치환기로서 유기기(예를 들면 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수 있다. 또한, 유기기는 플루오로기를 포함할 수 있다.
- [0108] 평탄화 절연층(404)의 형성법은 특정 방법에 한정되지 않고, 그 재료에 따라 스퍼터법, SOG법, 스핀 코팅법, 담금법, 분무 코팅법, 액적 토출법(잉크젯법, 스크린 인쇄법, 오프셋 인쇄법, 등) 등을 이용할 수 있다. 또한, 평탄화 절연층(404)은 닥터(doctor) 나이프, 롤(roll) 코터, 커튼(curtain) 코터, 나이프 코터 등으로 형성할 수 있다.
- [0109] 다음으로, 제5 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 평탄화 절연층(404) 및 보호 절연층(403)의 에칭에 의해 드레인 전극층(425b)에 도달하는 콘택트 홀(441)을 형성한다. 이어서, 레지스트 마스크를 제거한다(도 2의 d 참조). 도 2의 d에 도시한 바와 같이, 콘택트 홀의 아래쪽으로 산화물 절연층(426b)이 설치되어 있고, 이는 콘택트 홀의 아래쪽으로 산화물 절연층이 설치되지 않는 경우에 비해 제거되는 평탄화 절연층의 두께를 얇게 할 수 있고, 따라서 에칭 시간을 짧게 할 수 있다. 또한, 콘택트 홀의 아래쪽으로 산화물 절연층이 설치되지 않는 경우에 비해 콘택트 홀(441)의 깊이를 얇게 할 수 있고, 따라서 콘택트 홀(441)과 접치는 영역에서 나중에 형성되어 배치되는 투광성을 갖는 도전막의 커버리지가 양호할 수 있다. 또한, 이러한 에칭에 의해 게이트 전극층(421b)에 도달하는 콘택트 홀도 형성한다. 드레인 전극층(425b)에 도달하는 콘택트 홀을 형성하기 위한 레지스트 마스크를 잉크젯법에서 형성할 수 있다. 레지스트 마스크를 잉크젯법에서 형성하면 포토마스크가 필요 없으므로 제조 비용을 저감할 수 있다.
- [0110] 다음으로, 투광성을 갖는 도전막을 형성한다. 투광성을 갖는 도전막은 산화 인듐(In₂O₃), 산화 인듐과 산화 주석의 합금(In₂O₃-SnO₂, ITO로서 약기함) 등을 스퍼터법, 진공증착법 등을 이용해서 형성한다. 대안으로, 질소를 포함시킨 Al-Zn-O계 비단결정막, 즉 Al-Zn-O-N계 비단결정막, Zn-O-N계 비단결정막, 또는 Sn-Zn-O-N계 비단결정막을 사용할 수 있다. Al-Zn-O-N계 비단결정막의 아연의 백분율(원자%)은 47 원자% 이하이고, 비단결정막 내의 알루미늄의 백분율(원자%)보다 높고, 비단결정막 내의 알루미늄의 백분율(원자%)은 비단결정막 내의 질소의 백분율(원자%)보다 높다는 점을 알아야 한다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔류물이 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화 인듐-산화 아연 합금(In₂O₃-ZnO)을 사용할 수 있다.
- [0111] 투광성을 갖는 도전막의 성분들의 백분율 단위는 원자%이고, 성분들의 백분율은 전자 프로브 X선 마이크로 애널리저(EPMA: Electron Probe X-ray MicroAnalyzer)를 이용한 분석에 의해 평가된다는 점을 알아야 한다.
- [0112] 다음으로, 제6 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 에칭에 의해 투광성 도전막의 불필요한 부분을 제거해서 화소 전극층(427)을 형성한다. 이어서 레지스트 마스크를 제거한다(도 2의 e 참조).
- [0113] 상술한 공정에 의해, 6개의 마스크를 이용하고, 동일한 기판 위에 박막 트랜지스터(448) 및 기생 용량이 저감된 배선 교차부를 형성할 수 있다. 화소에 제공된 박막 트랜지스터(448)는, 제1 고-저항 소스 영역(424a), 제2 고-저항 소스 영역(424e), 제1 고-저항 드레인 영역(424b), 제2 고-저항 드레인 영역(424f), 및 채널 형성 영역(423)을 포함하는 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)의 적층체를 포함하는 채널 보호형 박막 트랜지스터이다. 따라서, 박막 트랜지스터(448)에 고전계가 인가되어도, 제1 고-저항 소스 영역(424a), 제2

고-저항 소스 영역(424e), 제1 고-저항 드레인 영역(424b), 및 제2 고-저항 드레인 영역(424f)이 버퍼로서 기능하고, 따라서 국소적인 고전계가 인가되지 않는다. 이러한 방식으로, 박막 트랜지스터(448)는 내압이 개선된 구조를 갖는다.

- [0114] 또한, 게이트 절연층(402)을 유전체로서 사용하는, 커패시터 배선층과 커패시터 전극으로 형성된 축적 커패시터도 동일한 기판 위에 형성할 수 있다. 박막 트랜지스터(448)와 축적 커패시터를, 화소들이 매트릭스 형상으로 배치되어 있는 화소부의 각 화소에 배치함으로써, 액티브 매트릭스 표시 장치를 제조하기 위한 기판 중 하나를 얻을 수 있다. 본 명세서에서는 편의상 이러한 기판을 액티브 매트릭스 기판으로 칭한다.
- [0115] 또한, 동일한 기판 위에 구동 회로용 박막 트랜지스터를 설치할 수 있다. 동일한 기판 위에 구동 회로와 화소부를 제공함으로써, 구동 회로와 외부 신호 사이의 접속 배선을 단축할 수 있고, 따라서 반도체 장치의 소형화 및 저비용화가 이루어질 수 있다.
- [0116] 도 1b에 도시하는 화소용 박막 트랜지스터(448)에서, 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)의 적층체는, 산화물 절연층(426b)과 겹치고, 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)의 적층체의 주연부에 배치하는 영역(424c, 424d)을 구비한다. 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)의 적층체의 주연부인 영역(424c, 424d)은 채널 형성 영역(423) 외에도 산소 과잉 상태이다. 영역(424c, 424d)에 의해, 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)의 적층체 및 산화물 반도체층들과 상이한 전위를 갖는 배선이 서로 근접하게 배치되는 경우 누설 전류 및 기생 용량의 저감을 달성할 수 있다.
- [0117] 산화물 절연층(426b)을 설치함으로써, 제2 산화물 반도체층(443)보다 도전성이 높은 제1 산화물 반도체층(442)의 측면을 덮고, 소스 전극층과 드레인 전극층 간의 단락을 방지한다.
- [0118] 고집적화 면에서, 특히 구동 회로에서는 복수의 배선과 복수의 산화물 반도체층을 그 사이의 간격을 좁혀서 배치하는 것이 바람직하다. 그러한 구동 회로에서, 산화물 절연층(426b)으로 산화물 반도체층을 중첩함으로써 영역(424c, 424d)을 제공하여 누설 전류 및 기생 용량을 저감하는 것이 효과적이다. 또한, 복수의 박막 트랜지스터를 직렬 또는 병렬로 배치하는 경우, 산화물 반도체층은 복수의 박막 트랜지스터 중에서 하나의 점으로 형성되고, 산화물 반도체층이 산화물 절연층(426b)과 겹쳐 소자 분리가 형성된다. 따라서, 산화물 절연층(426b)과 중첩되는 영역이 소자 분리 영역이다. 이러한 방식으로, 좁은 면적에 복수의 박막 트랜지스터를 배치할 수 있어 구동 회로는 고집적화될 수 있다.
- [0119] [실시형태 2]
- [0120] 본 실시형태에서는, 실시형태 1에 나타난 박막 트랜지스터를 이용하여 동일한 기판 위에 화소부와 구동 회로를 형성함으로써 액티브 매트릭스 액정 표시 장치를 제조하는 예를 기술할 것이다.
- [0121] 액티브 매트릭스 기판의 단면 구조의 예를 도 3a에 도시한다.
- [0122] 실시형태 1에서는 화소부의 박막 트랜지스터 및 배선 교차부를 도시하지만, 본 실시형태에서는 박막 트랜지스터와 배선 교차부뿐만 아니라 구동 회로의 박막 트랜지스터, 축적 커패시터, 게이트 배선, 및 소스 배선의 단자부도 도시한다. 커패시터, 게이트 배선, 및 소스 배선의 단자부는 실시형태 1에 나타내는 제조 공정과 동일한 공정에서 형성할 수 있다. 또한, 화소부의 표시 영역이 되는 부분에는 게이트 배선, 소스 배선, 및 커패시터 배선층이 모두 투광성을 갖는 도전막으로 형성되어, 높은 개구율을 실현한다.
- [0123] 도 3a에 있어서, 화소 전극층(227)과 전기적으로 접속하는 박막 트랜지스터(220)는 화소부에 설치되는 채널 보호형 박막 트랜지스터이다. 본 실시형태에서는, 실시형태 1의 박막 트랜지스터(448)와 동일한 구조를 갖는 트랜지스터를 사용한다. 또한, 박막 트랜지스터(220)의 게이트 전극층의 채널 방향의 폭은 박막 트랜지스터(220)의 산화물 반도체층의 채널 방향의 폭보다 좁다.
- [0124] 박막 트랜지스터(220)의 게이트 전극층과 동일한 투광성을 갖는 재료 및 공정으로 형성되는 커패시터 배선층(230)은, 유전체로서 기능하는 그 사이에 개재된 게이트 절연층(202)을 통해 커패시터 전극(231)과 겹치고, 축적 커패시터를 형성한다. 커패시터 전극(231)은 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층과 동일한 투광성을 갖는 재료 공정으로 형성된다. 박막 트랜지스터(220) 외에 축적 커패시터가 투광성 특성을 가지므로, 개구율이 증가할 수 있다.
- [0125] 축적 커패시터의 투광성은 개구율 증가 면에서 중요하다. 특히 10인치 이하의 소형 액정 표시 패널의 경우, 높은 개구율은 예를 들어 게이트 배선의 수를 증가시킴으로써 표시 화상의 더 높은 선명도를 실현하기 위하여 화소의 치수를 감소시키는 경우에도 달성할 수 있다. 또한, 박막 트랜지스터(220) 및 축적 커패시터의 성분을 위

해 투광성 막을 사용함으로써 넓은 시야각을 실현하여, 하나의 화소를 복수의 서브화소로 분할하는 경우에도 높은 개구율을 달성할 수 있다. 즉, 고밀도 박막 트랜지스터의 그룹을 제공하는 경우에도 높은 개구율을 유지할 수 있고, 표시 영역은 상이한 면적을 가질 수 있다. 예를 들면, 하나의 화소가 2개 내지 4개의 서브화소 및 축적 커패시터를 포함하는 경우, 박막 트랜지스터 외에 축적 커패시터도 투광성을 가져 개구율이 증가할 수 있다.

- [0126] 축적 커패시터는 화소 전극층(227) 아래에 제공되고, 커패시터 전극(231)은 화소 전극층(227)과 전기적으로 접촉됨을 알아야 한다.
- [0127] 본 실시형태에서는, 커패시터 전극(231) 및 커패시터 배선층(230)을 이용해서 축적 커패시터를 형성하는 예를 기술하지만, 축적 커패시터를 형성하는 구조는 특별히 한정되지 않는다. 예를 들면, 커패시터 배선층을 제공하지 않고, 화소 전극층을 인접하는 화소의 게이트 배선과 평탄화 절연층, 보호 절연층, 및 게이트 절연층을 개재하여 중첩하는 방식으로 축적 커패시터를 형성할 수 있다.
- [0128] 도 3a에서, 축적 커패시터는, 큰 용량을 형성하기 위해서, 커패시터 배선층과 커패시터 전극 사이에 게이트 절연층(202)만을 포함하는 한편 배선 교차부는, 기생 용량을 저감하기 위해서, 게이트 전극층(421b)과 게이트 전극층(421b) 위에 형성된 형성되는 배선 사이에 제공되는 게이트 절연층(202) 및 산화물 절연층(266b)을 포함한다. 축적 커패시터에 있어서, 커패시터 배선층과 커패시터 전극 사이에 게이트 절연층(202)만을 제공하기 위하여, 에칭 조건 또는 게이트 절연층의 재료를 선택하여 산화물 절연층(266b)을 제거하기 위한 에칭으로 게이트 절연층(202)만을 남길 수 있다. 본 실시형태에서, 산화물 절연층(266b)은 스퍼터법으로 형성된 산화 규소막이고, 게이트 절연층(202)은 플라즈마 CVD법으로 형성된 질화 규소막이고, 선택적으로 제거할 수 있다. 또한, 산화물 절연층(266b)과 게이트 절연층(202)이 동일한 에칭 조건에서 제거되는 재료를 이용하는 경우, 게이트 절연층의 두께가 부분적으로 감소하더라도 게이트 절연층의 적어도 일부가 남아 커패시터를 형성할 수 있도록 두께를 설정하는 것이 바람직함을 알아야 한다. 축적 커패시터에서 큰 용량을 형성하기 위하여 게이트 절연층의 두께는 바람직하게는 얇기 때문에, 산화물 절연층(266b)을 제거하기 위한 에칭 동안 커패시터 배선 위의 게이트 절연층의 일부의 두께를 감소시킬 수 있다.
- [0129] 박막 트랜지스터(260)는 구동 회로에 제공되는 채널 보호형 박막 트랜지스터이다. 박막 트랜지스터(260)는 박막 트랜지스터(220)보다 채널 길이(L)가 짧아 더 높은 동작 속도를 실현한다. 구동 회로에 설치되는 채널 보호형 박막 트랜지스터의 채널 길이(L)는 바람직하게는 0.1 μ m 이상 2 μ m 이하로 설정한다. 박막 트랜지스터(260)의 게이트 전극층(261)의 채널 길이 방향의 폭은 박막 트랜지스터(260)의 산화물 반도체층의 채널 길이 방향의 폭보다 넓다. 게이트 전극층(261)의 단부 면은 그 사이에 개재된 게이트 절연층(202) 및 산화물 절연층(266b)을 통해 소스 전극층(265a) 및 드레인 전극층(265b)과 겹친다.
- [0130] 또한, 박막 트랜지스터(260)의 산화물 반도체층은 제1 산화물 반도체층의 단층으로 형성되어 박막 트랜지스터(220)의 산화물 반도체층보다 얇아 박막 트랜지스터(260)의 동작 속도가 증가한다. 박막 트랜지스터(260)의 산화물 반도체층이 단층인 경우, 금속 박막을 선택적으로 에칭하므로, 포토마스크의 수는 박막 트랜지스터(260)의 산화물 반도체층이 적층인 경우에 비해 1매만큼 증가한다.
- [0131] 박막 트랜지스터(260)는, 절연 표면을 갖는 기판(200) 위로, 게이트 전극층(261); 게이트 절연층(202); 적어도 채널 형성 영역(263), 고-저항 소스 영역(264a), 및 고-저항 드레인 영역(264b)을 갖는 산화물 반도체층; 소스 전극층(265a); 및 드레인 전극층(265b)을 포함한다. 또한, 채널 형성 영역(263)과 접하는 산화물 절연층(266a)이 또한 제공된다.
- [0132] 구동 회로의 박막 트랜지스터(260)의 게이트 전극층은 산화물 반도체층 위에 설치된 도전층(267)과 전기적으로 접촉될 수 있다. 그 경우, 박막 트랜지스터(220)의 드레인 전극층을 화소 전극층(227)에 전기적으로 접속하기 위한 콘택트 홀과 동일한 포토마스크를 이용하여, 평탄화 절연층(204), 보호 절연층(203), 산화물 절연층(266b), 및 게이트 절연층(202)을 선택적으로 에칭해서 콘택트 홀을 형성한다. 이 콘택트 홀을 통해 도전층(267)을 구동 회로의 박막 트랜지스터(260)의 게이트 전극층(261)에 전기적으로 접속한다.
- [0133] 보호 절연층(203)의 경우, 무기 절연막, 예컨대 질화 규소막, 질화 알루미늄 막, 질화 산화 규소막, 산화 질화 알루미늄 막, 또는 산화 알루미늄 막을 이용한다. 본 실시형태에서는 질화 규소막을 이용한다.
- [0134] 박막 트랜지스터(260)에서, 게이트 전극층(261)의 폭은 산화물 반도체층의 폭보다 넓다. 산화물 절연층(266b)은 산화물 반도체층의 주연부와 겹치고, 또한 게이트 전극층(261)과 겹친다. 산화물 절연층(266b)은 드레인 전극층(265b)과 게이트 전극층(261) 사이의 거리를 증가시키고, 드레인 전극층(265b)과 게이트 전극층(261) 사이에 형성된 기생 용량을 저감하는 역할을 한다. 산화물 절연층(266b)과 겹치는 산화물 반도체층의 영역(264c)

및 영역(264d)은 채널 형성 영역(263)처럼 산소 과잉 상태이고, 누설 전류를 저감하고, 또한 기생 용량을 저감한다.

- [0135] 액정 표시 패널의 크기가 10인치를 초과하고, 60인치, 또는 120인치로 설정되는 경우에는 투광성 배선의 저항이 문제가 될 가능성이 있기 때문에, 게이트 배선의 일부를 금속 배선으로 제조하여 배선 저항을 저감하는 것이 바람직하다. 예를 들면, 도 3a와 같이, 소스 전극층(265a) 및 드레인 전극층(265b)을 Ti 등의 금속 배선(금속 전극)을 사용하여 형성한다.
- [0136] 이 경우, 탈수화 또는 탈수소화한 산화물 반도체층 위에 접하여 Ti 등의 금속 전극으로 형성된 소스 전극층 및 드레인 전극층을 형성하고, 소스 전극층과 겹치는 고-저항 소스 영역 및 드레인 전극층과 겹치는 고-저항 드레인 영역이 형성되어, 고-저항 소스 영역과 고-저항 드레인 영역 사이의 영역은 채널 형성 영역의 역할을 한다.
- [0137] 또한, 배선 저항을 저감하기 위해서, 도 3a와 같이, 소스 전극층(265a) 및 드레인 전극층(265b) 위에 더 낮은 저항을 갖는 금속 전극을 사용하여 형성된 보조 전극층(268a, 268b)을 형성한다. 이 경우에도, 금속 배선(금속 전극)을 형성하므로, 실시형태 1에 비해 포토마스크의 수는 1매만큼 증가한다.
- [0138] 소스 전극층(265a), 드레인 전극층(265b), 보조 전극층(268a, 268b), 및 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층은, 투광성 도전막 및 금속 도전막이 적층되고, 포토리소그래피 공정에 의해 선택적으로 에칭되는 방식으로 형성한다. 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층 위의 금속 도전막은 제거한다.
- [0139] 금속 도전막의 에칭 시에, 박막 트랜지스터(220)의 소스 전극 및 드레인 전극도 제거하지 않도록 각각의 재료 및 에칭 조건을 적절히 조절함을 알아야 한다.
- [0140] 예를 들면, 금속 도전막을 선택적으로 에칭하기 위하여 알칼리성 에천트(etchant)를 이용한다. 금속 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 또는 W로부터 선택된 원소, 전술한 원소를 포함하는 합금, 전술한 원소 중 일부를 조합한 합금 막 등이 존재한다. 또한, 금속 도전막은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들면, 규소를 포함하는 알루미늄 막의 단층 구조, 알루미늄 막 위로 티타늄 막을 적층하는 2층 구조, 티타늄 막, 알루미늄 막, 및 티타늄 막을 이러한 순서로 적층한 3층 구조 등을 제공할 수 있다. 대안으로, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 단수 또는 복수의 원소를 Al과 조합한 막, 합금 막, 혹은 질화 막을 사용할 수 있다.
- [0141] 산화물 반도체층과 금속 재료로 형성된 보조 전극층(268a)의 사이에 설치되는 드레인 전극층(265a)은 저-저항 드레인 영역(LRN 영역 또는 LRD 영역으로도 칭함)의 역할을 한다. 산화물 반도체층, 저-저항 드레인 영역, 금속 전극인 보조 전극층(268)의 구조를 채용하는 경우 트랜지스터의 내압을 개선할 수 있다. 특히, 저-저항 드레인 영역의 캐리어 농도는 고-저항 드레인 영역(HRD영역)의 캐리어 농도보다 높고, 바람직하게는 $1 \times 10^{20} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 이하의 범위이다.
- [0142] 복수의 게이트 배선, 소스 배선, 및 커패시터 배선층은 화소 밀도에 따라 제공된다. 단자부에서는, 게이트 배선과 동일한 전위의 복수의 제1 단자 전극, 소스 배선과 동일한 전위의 제2 단자 전극, 커패시터 배선층과 동일한 전위의 제3 단자 전극 등이 배치된다. 각각의 단자 전극의 수는 실시자에 의해 적절하게 결정되는 임의의 수일 수 있다.
- [0143] 단자부에서, 게이트 배선과 동일한 전위의 제1 단자 전극은 화소 전극층(227)과 동일한 투광성 재료를 사용하여 형성할 수 있다. 제1 단자 전극은 게이트 배선에 도달하는 콘택트 홀을 통해 게이트 배선과 전기적으로 접속된다. 게이트 배선에 도달하는 콘택트 홀은, 박막 트랜지스터(220)의 드레인 전극층을 화소 전극층(227)에 전기적으로 접속하기 위한 콘택트 홀과 동일한 포토마스크를 이용하여 평탄화 절연층(204), 보호 절연층(203), 산화물 절연층(266b), 및 게이트 절연층(202)을 선택적으로 에칭하는 방식으로 형성한다.
- [0144] 단자부에서 소스 배선(254) 및 보조 배선(269)과 동일한 전위의 제2 단자 전극(255)은 화소 전극층(227)과 동일한 투광성 재료를 사용하여 형성할 수 있다. 제2 단자 전극(255)은 소스 배선(254)에 도달하는 콘택트 홀을 통해 소스 배선과 전기적으로 접속된다. 소스 배선은 박막 트랜지스터(260)의 소스 전극층(265a)과 동일한 재료 및 공정을 이용하여 형성된 금속 배선이고, 소스 전극층(265a)과 동일한 전위이다. 한편, 보조 배선(269)은 소스 배선(254)보다 낮은 저항을 갖는 금속 재료를 이용하여 형성한 금속 배선이다. 보조 배선(269)은 보조 전극층(268a, 268b)과 동일한 재료 및 공정을 이용하여 형성되고, 보조 전극층(268a, 268b)과 동일한 전위이다.
- [0145] 커패시터 배선층(230)과 동일한 전위의 제3 단자 전극은 화소 전극층(227)과 동일한 투광성 재료를 사용하여 형

성할 수 있다. 커패시터 배선층(230)에 도달하는 콘택트 홀은 커패시터 전극(231)을 화소 전극층(227)에 전기적으로 접속하기 위한 콘택트 홀과 동일한 포토마스크 및 공정을 이용함으로써 형성할 수 있다.

- [0146] 액티브 매트릭스 액정 표시 장치를 제조하는 경우, 액티브 매트릭스 기판 및 대향 전극이 설치된 대향 기판은 그 사이에 개재된 액정층으로 고정된다. 대향 기판에 설치된 대향 전극에 전기적으로 접속하는 공통 전극은 액티브 매트릭스 기판 위에 제공하고, 공통 전극에 전기적으로 접속하는 제4 단자 전극은 단자부에 설치한다. 이러한 제4 단자 전극은 공통 전극을 고정 전위, 예컨대 GND, 0V로 설정하기 위한 단자이다. 제4 단자 전극은 화소 전극층(227)과 동일한 투광성 재료를 사용하여 형성할 수 있다.
- [0147] 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또 다른 전극층, 및 또 다른 배선층을 동일한 재료를 사용하여 형성하는 경우, 공통 스피터 타깃 또는 공통 제조 장치를 사용할 수 있다. 따라서, 이러한 층의 재료 비용 및 에칭시에 사용하는 에천트(또는 에칭 가스)에 필요한 비용을 저감할 수 있고, 따라서 제조 비용을 저감할 수 있다.
- [0148] 도 3a의 구조에 있어서, 평탄화 절연층(204)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.
- [0149] 도 3b는 도 3a에서 도시한 것과는 부분적으로 상이한 단면 구조를 도시한다. 도 3b는 평탄화 절연층(204)이 단자부에 존재하지 않는 점과 구동 회로의 박막 트랜지스터의 구조가 상이한 점 외에는 도 3a와 동일하다. 그러므로 도 3a 및 3b에 공통인 컴포넌트는 동일한 참조부호를 이용하고, 상세한 설명은 생략한다. 도 3b에서는, 금속 배선을 이용하는 박막 트랜지스터(270)를 제공한다. 단자 전극도 금속 배선과 동일한 재료 및 공정을 이용하여 형성한다.
- [0150] 도 3b의 구조에서, 평탄화 절연층(204)으로서 감광성 수지 재료를 이용하고, 레지스트 마스크를 형성하는 공정을 생략한다. 따라서, 레지스트 마스크를 이용하는 일없이, 평탄화 절연층(204)이 단자부에 존재하지 않는 구조가 형성될 수 있다. 단자부에 평탄화 절연층(204)이 존재하지 않으면, FPC로의 양호한 접속을 행하기 쉽다.
- [0151] 박막 트랜지스터(270)는, 절연 표면을 갖는 기판(200) 위로, 게이트 전극층(271); 게이트 절연층(202); 적어도 채널 형성 영역(273), 고-저항 소스 영역(274a), 및 고-저항 드레인 영역(274b)을 갖는 산화물 반도체층; 소스 전극층(275a); 및 드레인 전극층(275b)을 포함한다. 또한, 채널 형성 영역(273)에 접하는 산화물 절연층(276a)도 제공된다. 박막 트랜지스터(270)의 산화물 반도체층에서, 산화물 절연층(276a, 276b)과 접해서 중첩하는 영역을 제1 영역이라고 한다. 또한, 박막 트랜지스터(270)의 산화물 반도체층에서, 소스 전극층(275a) 및 드레인 전극층(275b)과 접해서 중첩하는 영역을 제2 영역이라고 한다.
- [0152] 산화물 절연층(276b)과 겹치는 산화물 반도체층의 영역(274c) 및 영역(274d)은 채널 형성 영역(273)처럼 산소 과잉 상태이고, 누설 전류를 저감하거나, 기생 용량을 저감하는 역할도 한다. 보호 절연층(203)과 접하는 산화물 반도체층의 영역(274e)은 채널 형성 영역(273)과 고-저항 소스 영역(274a) 사이에 설치된다. 보호 절연층(203)과 접하는 산화물 반도체층의 영역(274f)은 채널 형성 영역(273)과 고-저항 드레인 영역(274b) 사이에 설치된다. 박막 트랜지스터(270)의 산화물 반도체층에서, 보호 절연층(203)과 접해서 중첩하는 영역을 제3 영역이라고 한다는 점을 알아야 한다. 보호 절연층(203)과 접하는 산화물 반도체층의 영역(274e) 및 영역(274f)은 오프 전류의 저감을 가능하게 한다.
- [0153] 채널 보호형 박막 트랜지스터에서, 채널 형성 영역의 채널 길이(L)를 짧게 하기 위하여, 감소한 좁은 폭을 갖는 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 설치하는 경우 산화물 절연층 위에 단락이 발생할 수 있다. 그러므로 좁은 폭을 갖는 산화물 절연층(276a)으로부터 단부가 분리되도록 소스 전극층(275a) 및 드레인 전극층(275b)을 제공한다.
- [0154] 구동 회로의 박막 트랜지스터(270)의 게이트 전극층은 산화물 반도체층 위에 설치된 도전층(277)과 전기적으로 접속될 수 있다.
- [0155] 단자부에서 소스 배선(256)과 동일한 전위의 제2 단자 전극(257)은 화소 전극층(227)과 동일한 투광성 재료를 사용하여 형성할 수 있다. 소스 배선은 박막 트랜지스터(270)의 소스 전극층(275a)과 동일한 재료 및 공정을 이용하여 형성된 금속 배선이고, 소스 전극층(275a)과 동일한 전위이다.
- [0156] 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 화소부 또는 구동 회로와 동일한 기판 위에 보호 회로를 설치하는 것이 바람직하다. 보호 회로는 산화물 반도체층을 포함하는 비선형 소자로 형성하는 것이 바람직하다. 예를 들면, 보호 회로는 화소부와, 주사선 입력 단자 및 신호선 입력 단자 사이에 제공된다. 본 실

시형태에서는, 복수의 보호 회로를 제공하여, 주사선, 신호선, 및 커패시터 버스 선에 정전기 등에 의해 서지 (serge) 전압이 인가될 때 야기될 수 있는 화소 트랜지스터 등의 파괴를 방지한다. 그러므로 보호 회로에 서지 전압이 인가되는 경우 공통 배선에 전하를 놓아주기(release) 위하여 보호 회로를 형성한다. 또한, 보호 회로는 주사선과 서로 병렬로 배치된 비선형 소자를 포함한다. 비선형 소자는 다이오드와 같은 2-단자 소자 또는 트랜지스터와 같은 3-단자 소자를 포함한다. 예를 들면, 비선형 소자는 화소부의 박막 트랜지스터(220)와 동일한 공정을 통해 형성할 수도 있고, 비선형 소자의 게이트 단자를 드레인 단자에 접속하는 것에 의해 다이오드와 동일한 특성을 갖게 할 수 있다.

[0157] 평탄화 절연층(204)의 형성 공정을 생략함으로써, 평탄화 절연층(204)을 제공하지 않은 구조를 이용할 수 있다. 이 경우, 도전층(267), 도전층(277), 화소 전극층(227), 및 제2 단자 전극(255,257)은 보호 절연층(203) 위에 접해서 제공된다.

[0158] 본 실시형태는 실시형태 1과 적절하게 조합할 수 있다.

[0159] [실시형태 3]

[0160] 본 실시형태에서는, 박막 트랜지스터와 동일한 기판 위에 설치되는 단자부의 구조의 예를 기술한다. 실시형태 2에서는 소스 배선의 단자부의 예를 기술하지만, 본 실시형태에서는 실시형태 2에서 기술한 단자부와는 상이한 소스 배선의 단자부 및 게이트 배선의 단자부를 도시한다. 도 4의 a1 내지 b2에서는 도 3a 및 도 3b와 공통인 컴포넌트는 동일한 참조부호를 이용하여 설명한다.

[0161] 도 4의 a1 및 a2는 게이트 배선의 단자부의 단면도 및 상면도를 각각 도시한다. 도 4의 a1은 도 4의 a2의 C1-C2 선을 따른 단면도이다. 도 4의 a1에서, 보호 절연층(203) 위로 형성된 투명 도전층(225)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 4의 a1의 단자부에서, 게이트 전극층(421b)과 동일한 재료로 형성된 제1 단자(221), 소스 배선과 동일한 재료로 형성된 접속 전극층(223), 및 접속 전극층(223)보다 낮은 저항을 갖는 금속 전극 재료로 형성된 보조 전극층(228)은 개재된 게이트 절연층(202)을 통해 겹치고, 투명 도전층(225)을 통해 서로 전기적으로 접속된다. 도 3b에 도시한 구조를 이용하는 경우, 접속 전극층(223)은 금속 배선 재료를 사용하여 형성할 수 있다.

[0162] 도 4의 b1 및 b2는 각각 도 3b에 도시하는 소스 배선 단자부와는 상이한 소스 배선의 단자부의 단면도 및 상면도이다. 도 4의 b1은 도 4의 b2의 C3-C4 선을 따른 단면도이다. 도 4의 b1에서, 보호 절연층(203) 위로 형성되는 투명 도전층(225)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 4의 b1의 단자부에서, 게이트 배선과 동일한 재료로 형성되는 전극층(226)은, 소스 배선과 전기적으로 접속되는 제2 단자(222)의 아래쪽으로 게이트 절연층(202)을 통해 겹친다. 전극층(226)은 제2 단자(222)와 전기적으로 접속하고 있지 않다. 전극층(226)의 전위를 제2 단자(222)의 전위와 상이한 전위, 예컨대 플로팅(floating), GND, 또는 0V로 설정하면, 잡음 또는 정전기를 방지하기 위한 커패시터를 형성할 수 있다. 제2 단자(222)보다 낮은 저항을 갖는 금속 전극 재료로 형성된 보조 전극층(229)은 제2 단자(222) 위에 적층하고, 개재된 보호 절연층(203)을 통해 투명 도전층(225)과 전기적으로 접속하고 있다. 또한, 도 3b에 도시하는 구조를 이용하는 경우 제2 단자(222)는 금속 배선 재료를 이용할 수 있다.

[0163] 복수의 게이트 배선, 소스 배선, 및 커패시터 배선은 화소 밀도에 따라 제공된다. 단자부에서, 게이트 배선과 동일한 전위의 복수의 제1 단자, 소스 배선과 동일한 전위의 복수의 제2 단자, 커패시터 배선과 동일한 전위의 복수의 제3 단자 등이 배치된다. 각 단자의 수는 실시자에 의해 적절하게 결정된 임의의 수일 수 있다.

[0164] 본 실시형태는 실시형태 1 또는 2와 적절하게 조합할 수 있다.

[0165] [실시형태 4]

[0166] 본 실시형태에서는, 제1 기판과 제2 기판 사이에 액정층을 봉입하는 액정 표시 장치의 예를 기술하는데, 제2 기판에 설치된 대향 전극과 전기적으로 접속하는 공통 접속부는 제1 기판 위에 형성한다. 제1 기판에는 스위칭 소자로서 박막 트랜지스터가 형성되고, 공통 접속부는 화소부의 스위칭 소자와 동일한 공정으로 제조되어, 공정을 복잡하게 하지 않으면서 형성한다.

[0167] 공통 접속부는 제1 기판과 제2 기판을 접착하기 위한 시일재(sealant)와 겹치는 위치에 제공되고, 시일재에 포함되는 도전성 입자를 통해 대향 전극과 전기적으로 접속된다. 대안으로, 시일재와 겹치지 않는 위치(화소부 제외)에 공통 접속부를 설치하고, 공통 접속부와 중첩되도록 도전성 입자를 포함하는 페이스트를 시일재와는 별도로 설치하고, 이로 인해 공통 접속부는 대향 전극과 전기적으로 접속된다.

- [0168] 도 5a는 박막 트랜지스터와 공통 접속부를 동일한 기판 위에 형성하는 반도체 장치의 단면도이다.
- [0169] 도 5a에 있어서, 화소 전극층(227)과 전기적으로 접속하는 박막 트랜지스터(220)는 채널 보호형 박막 트랜지스터이고, 화소부에 제공된다. 본 실시형태에서, 박막 트랜지스터(220)는 실시형태 1의 박막 트랜지스터(448)와 동일한 구조를 갖는다.
- [0170] 도 5b는 공통 접속부의 상면도의 예를 도시하고, 도 5b의 채선 C5-C6은 도 5a의 공통 접속부의 단면에 상당한다. 도 5b에 있어서, 도 5a에 공통인 컴포넌트는 동일한 참조부호를 이용하여 설명함을 알아야 한다.
- [0171] 공통 전위선(205)은, 게이트 절연층(202) 위로 설치되고, 화소부의 화소 전극층(227)과 동일한 재료 및 동일한 공정에서 형성한다.
- [0172] 또한, 공통 전위선(205)은 보호 절연층(203)으로 덮는다. 보호 절연층(203)은 공통 전위선(205)과 겹치는 복수의 개구부를 갖는다. 이러한 개구부는 박막 트랜지스터(220)의 드레인 전극층을 화소 전극층(227)에 접속하는 컨택트 홀과 동일한 공정을 이용하여 형성한다.
- [0173] 면적이 상당히 다르기 때문에, 여기서는 화소부의 컨택트 홀과 공통 접속부의 개구부 사이를 구분한다는 점을 알아야 한다. 또한, 도 5a에서는 화소부와 공통 접속부를 동일한 스케일로 도시하지 않는다. 예를 들면, 공통 접속부의 채선 C5-C6의 길이는 약 500 μ m인 한편 박막 트랜지스터의 폭은 50 μ m 미만이고, 따라서 공통 접속부는 실제로는 박막 트랜지스터의 면적보다 10배 이상 큰 면적을 갖는다. 그러나 간소화를 위하여, 도 5a에는 화소부와 공통 접속부를 상이한 스케일로 도시한다.
- [0174] 공통 전극층(206)은 보호 절연층(203) 위로 설치되고, 화소부의 화소 전극층(227)과 동일한 재료 및 동일한 공정으로 형성한다. 보조 전극층과 동일한 재료 및 공정으로 형성된 금속 배선을 사용하여 형성되는 보조 배선(210)은 공통 전위선(205) 위에 형성됨을 알아야 한다.
- [0175] 이러한 방식으로, 화소부의 스위칭 소자와 동일한 공정으로 공통 접속부를 제조한다.
- [0176] 화소부와 공통 접속부가 설치된 제1 기판 및 대향 전극을 갖는 제2 기판은 시일재로 고정한다.
- [0177] 시일재에 도전성 입자를 포함시키는 경우, 시일재가 공통 접속부와 중첩되도록 한 쌍의 기판을 배열한다. 예를 들면, 소형 액정 패널에서, 2개의 공통 접속부는 화소부의 대향 코너(opposite corner) 등에 시일재와 중첩되도록 배치된다. 대형 액정 패널에서, 4개 이상의 공통 접속부는 시일재와 중첩되도록 배치된다.
- [0178] 공통 전극층(206)은 시일재에 포함되는 도전성 입자와 접촉하는 전극이고, 제2 기판의 대향 전극과 전기적으로 접속됨을 알아야 한다.
- [0179] 액정 주입법을 이용하는 경우, 한 쌍의 기판은 시일재로 고정되고, 이어서 액정을 한 쌍의 기판 사이에 주입한다. 대안으로, 액정 적하법을 이용하는 경우, 제2 기판 혹은 제1 기판 위에 시일재를 묘화하고, 그 위에 액정을 적하시킨 후, 감압하에서 한 쌍의 기판을 접합한다.
- [0180] 본 실시형태에서는, 대향 전극과 전기적으로 접속하는 공통 접속부의 예를 기술하지만, 이에 한정되지 않고, 이러한 공통 접속부는 또 다른 배선과 접속하는 접속부 또는 외부 접속 단자 등과 접속하는 접속부로서 이용할 수 있다.
- [0181] 도 5c는 도 5a와 부분적으로 상이한 단면 구조를 나타낸다. 도 5c의 구조는, 공통 전극층(206)과 겹치는 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체, 및 단부를 덮는 산화물 절연층이 제공되고, 공통 전위선으로서 금속 배선을 이용하는 점을 제외하고는 도 5a의 구조와 동일하다. 그러므로 동일한 부분에는 동일한 참조부호를 이용하고, 동일한 부분의 상세한 설명은 생략한다.
- [0182] 제1 산화물 반도체층(207a)과 제2 산화물 반도체층(207b)의 적층체는 게이트 절연층(202) 위로 설치되고, 박막 트랜지스터(220)에 적층되는 제1 산화물 반도체층 및 제2 산화물 반도체층과 동일한 재료 및 동일한 공정으로 형성한다. 또한, 제1 산화물 반도체층(207a)과 제2 산화물 반도체층(207b)의 적층체를 덮는 산화물 절연층(208)을 형성한다. 제1 산화물 반도체층(207a)과 제2 산화물 반도체층(207b)의 적층체 위로 금속 배선으로 형성된 공통 전위선(209)을 형성한다. 공통 전위선(209)은, 실시형태 2의 도 3b에 도시한 바와 같이, 구동 회로의 박막 트랜지스터의 소스 전극층 및 드레인 전극층과 동일한 공정으로 형성한다.
- [0183] 공통 전위선(209)은 보호 절연층(203)으로 덮는다. 보호 절연층(203)은 공통 전위선(209)과 겹치는 위치에 복수의 개구부를 갖는다. 개구부는 박막 트랜지스터(220)의 드레인 전극층과 화소 전극층(227) 사이의 접속을 위

한 콘택트 홀과 동일한 공정으로 형성한다.

- [0184] 공통 전극층(206)은 보호 절연층(203) 위로 설치되고, 화소부의 화소 전극층(227)과 동일한 재료 및 동일한 공정으로 형성한다.
- [0185] 이러한 방식으로, 화소부의 스위칭 소자와 동일한 공정으로 공통 접속부를 제조할 수 있고, 공통 전위선으로서 금속 배선을 사용할 수 있어 배선 저항을 저감한다.
- [0186] 본 실시형태는 실시형태 1 내지 3 중 어느 하나와 적절하게 조합할 수 있다.
- [0187] [실시형태 5]
- [0188] 실시형태 1 또는 실시형태 2에서는 게이트 절연층이 단층 구조를 갖는 예를 기술한다. 본 실시형태에서는 적층 구조의 예를 기술할 것이다. 도 6a 및 6b에서, 도 3a 또는 도 3b와 동일한 부분은 동일한 참조부호를 부호를 이용하여 설명함을 알아야 한다.
- [0189] 도 6a는 화소에 설치되는 채널 보호형 박막 트랜지스터(280)를 도시한다. 박막 트랜지스터(280)는, 2층으로 형성된 게이트 절연층 및 2층으로 형성된 산화물 반도체층을 갖는 박막 트랜지스터의 예이다. 또한, 박막 트랜지스터(260)는 구동 회로에 설치되는 채널 보호형 박막 트랜지스터이고, 2층으로 형성된 게이트 절연층 및 단층으로 형성된 산화물 반도체층을 갖는 박막 트랜지스터의 예이다. 도 3a에 도시하는 박막 트랜지스터(260)와 박막 트랜지스터(280)는 동일하므로, 여기서는 설명을 생략함을 알아야 한다.
- [0190] 본 실시형태에서, 게이트 절연층은 두께 50nm 이상 200nm 이하의 제1 게이트 절연층(282a) 및 두께 50nm 이상 300nm 이하의 제2 게이트 절연층(282b)의 적층 구조를 갖는다. 제1 게이트 절연층(282a)로서, 두께 100nm의 질화 규소막 또는 질화 산화 규소막을 이용한다. 제2 게이트 절연층(282b)으로서, 두께 100nm의 산화 규소막을 이용한다.
- [0191] 박막 트랜지스터(280)는, 절연 표면을 갖는 기판 위에, 게이트 전극층(281); 제1 게이트 절연층(282a); 제2 게이트 절연층(282b); 적어도 채널 형성 영역(283), 제1 고-저항 소스 영역(284a), 제2 고-저항 소스 영역(284e), 제1 고-저항 드레인 영역(284b), 및 제2 고-저항 드레인 영역(284f)을 포함하는 적층의 산화물 반도체층; 소스 전극층(285a); 및 드레인 전극층(285b)을 포함한다. 또한, 채널 형성 영역(283)에 접하는 산화물 절연층(286a)의 적층체가 제공된다. 또한, 화소 전극층(227)은 드레인 전극층(285b)과 전기적으로 접속되어 있다.
- [0192] 축적 커패시터는 화소 전극층(227)의 아래쪽으로 설치되고, 커패시터 전극(231)은 화소 전극층(227)과 전기적으로 접속됨을 알아야 한다.
- [0193] 본 실시형태에서는, 커패시터 전극(231) 및 커패시터 배선층(230)을 이용해서 축적 커패시터를 형성한다.
- [0194] 도 6a에서, 축적 커패시터는, 큰 용량을 갖기 위해서, 커패시터 배선과 커패시터 전극 사이에 게이트 절연층만을 포함한다.
- [0195] 본 실시형태에서는, 예로서, 산화물 절연층(286b)은 스퍼터법으로 얻은 산화 규소막으로 형성하고, 산화 규소막으로 형성된 제2 게이트 절연층은 커패시터 배선층(230)과 겹치는 산화물 절연층들의 적층체를 제거할 때 얇게 되도록 에칭하고, 이로 인해 제3 게이트 절연층(282c)이 형성된다. 제1 게이트 절연층(282a)은 질화 규소막 또는 질화 산화 규소막으로 형성하고, 에칭 스톱퍼로서 기능하여 게이트 전극층 또는 기판의 에칭 손실을 방지함을 알아야 한다.
- [0196] 제3 게이트 절연층(282c)이 얇은 두께를 갖는 경우 축적 용량은 증가할 수 있다.
- [0197] 도 6b는 도 6a와는 일부 다른 단면 구조를 나타낸다. 도 6b는 화소에 제공된 채널 보호형 박막 트랜지스터(290)를 도시한다. 박막 트랜지스터(290)는, 2층으로 형성된 게이트 절연층 및 제1 산화물 반도체층과 제2 산화물 반도체층으로 형성된 산화물 반도체층을 갖는 박막 트랜지스터의 예이다. 도 6b에 도시하는 박막 트랜지스터(289)는 보조 전극층(268a, 268b)을 설치하지 않은 점을 제외하고는 도 3a에 도시하는 박막 트랜지스터(260)와 동일하고, 따라서 여기서는 설명을 생략함을 알아야 한다. 박막 트랜지스터(289)처럼, 보조 전극층을 설치하지 않고, 소스 전극층 및 드레인 전극층을 형성하는 구조를 또한 구동 회로에 이용할 수 있다.
- [0198] 도 6b에 도시하는 박막 트랜지스터(290)에서, 게이트 절연층은 두께 50nm 이상 200nm 이하의 제1 게이트 절연층(292a) 및 두께 1nm 이상 50nm 이하의 제2 게이트 절연층(292b)의 적층 구조를 갖는다. 제1 게이트 절연층(292a)로서, 두께 100nm의 산화 규소막을 이용한다. 제2 게이트 절연층(292b)으로서, 두께 10nm의 질화 규소막

또는 질화 산화 규소막을 이용한다.

- [0199] 박막 트랜지스터(290)는, 절연 표면을 갖는 기판(200) 위로, 게이트 전극층(271); 제1 게이트 절연층(292a); 제2 게이트 절연층(292b); 적어도 채널 형성 영역(293), 제1 고-저항 소스 영역(294a), 제2 고-저항 소스 영역(294g), 제1 고-저항 드레인 영역(294b), 및 제2 고-저항 드레인 영역(294h)을 갖는, 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체; 소스 전극층(295a); 및 드레인 전극층(295b)을 포함한다. 또한, 채널 형성 영역(293)에 접하는 산화물 절연층(296a)이 제공된다.
- [0200] 또한, 산화물 절연층(296b)과 접치는 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 영역(294c) 및 영역(294d)은 채널 형성 영역(293)과 동일한 산소 과잉 상태이며, 누설 전류 또는 기생 용량을 저감하는 기능을 갖는다. 또한, 보호 절연층(203)과 접하는 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 영역(294e)은 채널 형성 영역(293)과 제1 고-저항 소스 영역(294a)(및 제2 고-저항 소스 영역(294g)) 사이에 설치된다. 보호 절연층(203)과 접하는 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 영역(294f)은 채널 형성 영역(293)과 제1 고-저항 드레인 영역(294b)(및 제2 고-저항 소스 영역(294h)) 사이에 설치된다. 보호 절연층(203)과 접하는 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 영역(294e) 및 영역(294f)에 의해 오프 전류를 저감할 수 있다.
- [0201] 산화물 반도체층의 영역(294e) 및 영역(294f)은 질화 규소막 또는 질화 산화 규소막으로 형성된 제2 게이트 절연층(292b)과도 접한다. 보호 절연층(203)은, 수분, 수소 이온, 및 OH⁻ 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막으로 형성하고, 예를 들면, 질화 규소막, 질화 알루미늄 막, 질화 산화 규소막, 산화 질화 알루미늄 등을 이용한다.
- [0202] 본 실시형태에서, 예로서, 산화물 절연층(296b)은 스퍼터법으로 얻은 산화 규소막으로 형성하고, 산화물 절연층은, 커패시터 배선층(230)과 접치는 산화물 절연층을 제거할 때, 질화 규소막 또는 질화 산화 규소막을 에칭 스톱퍼로서 사용하여 형성하는 제2 게이트 절연층을 사용하여 에칭한다.
- [0203] 채널 보호형 박막 트랜지스터에서, 채널 형성 영역의 채널 길이(L)를 짧게 하기 위해서, 산화물 절연층의 폭을 좁게 하고, 좁은 폭의 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 설치하는 경우, 산화물 절연층 위에 단락이 발생할 가능성이 있다. 그러므로 좁은 폭을 갖는 산화물 절연층(296a)으로부터 단부를 분리하도록 소스 전극층(295a) 및 드레인 전극층(295b)을 제공한다.
- [0204] 본 실시형태는 실시형태 1 내지 4의 어느 하나와 적절하게 조합할 수 있다.
- [0205] [실시형태 6]
- [0206] 본 실시형태에서, 박막 트랜지스터의 제조 공정의 일부가 실시형태 1과 다른 박막 트랜지스터의 예를 도 7a 내지 7c 및 도 8의 a 내지 e를 참조하여 기술할 것이다. 도 7a 내지 7c 및 도 8의 a 내지 e는, 공정이 일부 상이한 점 외에는 도 1a 내지 1c 및 도 2의 a 내지 e와 동일하다. 그러므로 동일한 부분은 동일한 참조부호로 나타내고, 동일한 부분의 상세한 설명을 생략한다.
- [0207] 우선, 실시형태 1에 따라 기판 위에 게이트 전극층, 게이트 절연층, 금속 박막, 산화물 반도체막을 형성한다. 이어서, 실시형태 1에 따라 섬-형상의 제1 산화물 반도체층(442) 및 섬-형상의 제2 산화물 반도체층(443)을 형성한다.
- [0208] 다음으로, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 위한 제1 가열 처리의 온도는 400℃ 이상 및 기판의 변형점 미만, 바람직하게는 425℃ 이상으로 설정한다. 가열 처리의 온도가 425℃ 이상이면 가열 처리 시간은 1시간 이하일 수 있지만, 가열 처리의 온도가 425℃ 미만이면 가열 처리 시간은 1시간보다 길게 설정한다는 점을 알아야 한다. 본 실시형태에서, 가열 처리 장치 중 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기에서 가열 처리를 수행한다. 이어서, 산화물 반도체층에의 물 및 수소의 재흡입을 방지하도록 산화물 반도체층을 대기에 노출하지 않으면서 산화물 반도체층을 얻는다. 그 후, 동일한 로에 고순도 산소 가스, 고순도 N₂O 가스, 또는 초-건조 에어(노점은 -40℃ 이하, 바람직하게는 -60℃ 이하임)를 도입해서 냉각을 행한다. 산소 가스 또는 N₂O 가스는 물, 수소 등을 포함하지 않는 것이 바람직하다. 대안으로, 가열 처리 장치에 도입하는 산소 가스 또는 N₂O 가스의 순도는 바람직하게는 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상(즉 산소 가스 또는 N₂O 가스의 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하임)이다.

- [0209] 또한, 탈수화 또는 탈수소화를 위한 제1 가열 처리 후, 200℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 300℃ 이하에서 산소 가스 또는 N₂O 가스 분위기에서 가열 처리를 수행할 수 있다.
- [0210] 대안으로, 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)의 제1 가열 처리는 섬-형상의 산화물 반도체층에 가공하기 전의 산화물 반도체막에 행할 수 있다. 그 경우, 제1 가열 처리 후, 가열 장치로부터 기판을 취출하고, 포토리소그래피 공정을 행한다.
- [0211] 상술한 공정을 통해, 제1 산화물 반도체층(442) 및 제2 산화물 반도체층(443)을 산소 파잉 상태로 하고, 따라서 고-저항, 즉 i형 산화물 반도체막을 형성한다.
- [0212] 다음으로, 게이트 절연층(402) 및 제2 산화물 반도체층(443) 위에 스퍼터법으로 산화물 절연막을 형성한다(도 8의 a 참조).
- [0213] 이어서, 제3 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 산화물 절연층(426a, 426b)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 8의 b 참조).
- [0214] 다음으로, 게이트 절연층(402), 산화물 절연층(426a, 426b), 및 제2 산화물 반도체층(443) 위로 투광성 도전막을 형성한다. 이어서, 제4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 소스 전극층(425a) 및 드레인 전극층(425b)을 형성한다(도 8의 c 참조).
- [0215] 다음으로, 박막 트랜지스터의 전기적 특성의 변동을 경감하기 위해서, 불활성 가스 분위기 또는 질소 가스 분위기에서 가열 처리(바람직하게는 150℃ 이상 350℃ 미만)를 수행할 수 있다. 예를 들면, 질소 분위기에서 250℃로 1시간 동안 가열 처리를 행한다.
- [0216] 다음으로, 산화물 절연층(426a, 426b), 소스 전극층(425a), 및 드레인 전극층(425b) 위로 보호 절연층(403)을 형성한다.
- [0217] 다음으로, 보호 절연층(403) 위로 평탄화 절연층(404)을 형성한다.
- [0218] 다음으로, 제5 포토리소그래피 공정을 수행한다. 레지스트 마스크를 형성하고, 평탄화 절연층(404) 및 보호 절연층(403)을 에칭하여 드레인 전극층(425b)에 도달하는 콘택트 홀(441)을 형성한다. 이어서, 레지스트 마스크를 제거한다(도 8의 d 참조).
- [0219] 다음으로, 투광성 도전막을 형성한다.
- [0220] 다음으로, 제6 포토리소그래피 공정을 수행한다. 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소 전극층(427)을 형성한다. 이어서, 레지스트 마스크를 제거한다(도 8의 e 참조).
- [0221] 상술한 공정을 통해, 6매의 마스크를 이용하고, 동일한 기판 위에 박막 트랜지스터(420) 및 기생 용량이 저감된 배선 교차부를 제조할 수 있다.
- [0222] 화소용 박막 트랜지스터(420)는 채널 형성 영역을 포함하는, 제1 산화물 반도체층(442)과 제2 산화물 반도체층(443)의 적층체를 포함하는 채널 보호형 박막 트랜지스터이다.
- [0223] 또한, 도 7a는 화소에 배치되는 채널 보호형 박막 트랜지스터(420)의 평면도이며, 도 7b는 도 7a의 선 D7-D8 및 선 D11-D12를 따라 얻은 단면도이다. 도 7c는 도 7a의 선 D9-D10을 따라 얻은 단면도이다. 도 8의 e는 도 7b와 동일함을 알아야 한다.
- [0224] 본 실시형태는 실시형태 1 내지 5 중 어느 하나와 적절하게 조합할 수 있다.
- [0225] [실시형태 7]
- [0226] 본 실시형태에서는, 실시형태 2와는 상이한 축적 커패시터의 구조의 예를 도 9a 및 도 9b를 참조하여 기술할 것이다. 도 9a는 축적 커패시터의 구조가 다른 점 외에는 도 3a와 동일하다. 그러므로 동일한 부분은 동일한 참조부호로 표기하고, 동일한 부분의 상세한 설명은 생략한다. 도 9a는 화소부의 박막 트랜지스터(220) 및 축적 커패시터의 단면 구조를 나타낸다.
- [0227] 도 9a는, 유전체로서 보호 절연층(203) 및 평탄화 절연층(204)을 사용해서, 화소 전극층(227) 및 화소 전극층(227)과 겹치는 커패시터 배선층(250)에 의해 축적 커패시터가 형성되는 예를 나타낸다. 커패시터 배선층(250)은 화소부의 박막 트랜지스터(220)의 소스 전극층과 동일한 투광성 재료 및 동일한 공정으로 형성하고, 그러므로 커패시터 배선층(250)은 박막 트랜지스터(220)의 소스 배선층과 중첩되지 않도록 배치된다.

- [0228] 도 9a에 도시하는 축적 커패시터에서, 한 쌍의 전극 및 유전체는 투광성을 갖고, 따라서 전체 축적 커패시터는 투광성을 갖는다.
- [0229] 도 9b는 도 9a와 상이한 구조를 갖는 축적 커패시터의 예를 도시한다. 도 9b는 또한 축적 커패시터의 구조가 상이한 점 외에는 도 3a와 동일하다. 그러므로 동일한 부분은 동일한 참조부호로 표기하고, 동일한 부분의 상세한 설명은 생략한다.
- [0230] 도 9b는, 유전체로서 게이트 절연층(202)을 사용해서, 커패시터 배선층(230), 커패시터 배선층(230)과 겹치는 제1 산화물 반도체층(251), 제2 산화물 반도체층(252) 및 커패시터 전극(231)의 적층체에 의해 축적 커패시터가 형성되는 예를 나타낸다. 또한, 제1 산화물 반도체층(251)과 제2 산화물 반도체층(252)의 적층체 위로 커패시터 전극(231)이 접해서 적층되고, 축적 커패시터의 전극 중 하나로서 기능한다. 제1 산화물 반도체층(251)과 제2 산화물 반도체층(252)의 적층체는 박막 트랜지스터(220)의 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체와 동일한 투광성 재료 및 동일한 공정으로 형성할 수 있음을 알아야 한다. 커패시터 배선층(230)은 박막 트랜지스터(220)의 게이트 전극층과 동일한 투광성 재료 및 동일한 공정으로 형성하므로, 커패시터 배선층(230)은 박막 트랜지스터(220)의 게이트 배선층과 중첩되지 않도록 배치된다. 또한, 커패시터 전극(231)은 화소 전극층(227)과 전기적으로 접속되어 있다.
- [0231] 또한, 도 9b에 도시하는 축적 커패시터에서, 한 쌍의 전극 및 유전체는 투광성을 갖고, 따라서 전체 축적 커패시터는 투광성을 갖는다.
- [0232] 도 9a 및 9b에 도시하는 축적 커패시터는 투광성을 갖고, 표시 화상의 고선명도는 예를 들면 게이트 배선의 수를 증가시킴으로써 달성한다. 그러므로 화소 크기가 감소하더라도 충분한 용량 및 높은 개구율을 얻을 수 있다.
- [0233] 본 실시형태는 임의의 다른 실시형태와 적절하게 조합할 수 있다.
- [0234] [실시형태 8]
- [0235] 본 실시형태에서는, 적어도 구동 회로의 일부 및 화소부에 배치된 박막 트랜지스터를 동일한 기판 위에 형성하는 예를 후술할 것이다.
- [0236] 화소부에 배치하는 박막 트랜지스터는 실시형태 1, 2, 5, 및 6 중 어느 것에 기술한 바와 같이 형성한다. 실시형태 1, 2, 5, 및 6 중 어느 것에 기술한 박막 트랜지스터는 n채널형 TFT이므로, 구동 회로 중 n채널형 TFT로 구성할 수 있는 구동 회로의 일부는 화소부의 박막 트랜지스터가 형성되는 기판 위에 형성한다.
- [0237] 도 14a는 액티브 매트릭스 표시 장치의 블록도의 예를 도시한다. 표시 장치의 기판(5300) 위로, 화소부(5301), 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)를 제공한다. 화소부(5301)에는, 신호선 구동 회로(5304)로부터 연장된 복수의 신호선이 배치되고, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303)로부터 연장된 복수의 주사선이 배치된다. 주사선과 신호선의 교차 영역에는, 각각 표시 소자를 갖는 화소가 매트릭스 형상으로 배치됨을 알아야 한다. 표시 장치의 기판(5300)은 플렉시블 인쇄 회로(FPC) 등의 접속부를 통해 타이밍 제어 회로(5305)(컨트롤러 또는 제어 IC로도 칭함)에 접속된다.
- [0238] 도 14a에서, 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)는 화소부(5301)가 형성되는 기판(5300) 위에 형성된다. 결과적으로, 외부에 설치하는 구동 회로 등의 부품의 수가 감소하므로, 비용을 저감할 수 있다. 또한, 배선이 기판(5300) 외부에 제공된 구동 회로로부터 연장되는 경우 형성되는 접속부의 접속 수를 줄일 수 있고, 신뢰성 또는 수율을 증가시킬 수 있다.
- [0239] 타이밍 제어 회로(5305)는 예를 들어 제1 주사선 구동 회로(5302)에 제1 주사선 구동 회로 스타트 신호(GSP1) 및 주사선 구동 회로 클록 신호(GCK1)를 공급함을 알아야 한다. 또한, 타이밍 제어 회로(5305)는 예를 들어 제2 주사선 구동 회로(5303)에 제2 주사선 구동 회로 스타트 신호(GSP2)(스타트 펄스로도 칭함) 및 주사선 구동 회로 클록 신호(GCK2)를 공급한다. 또한, 타이밍 제어 회로(5305)는 신호선 구동 회로(5304)에 신호선 구동 회로 스타트 신호(SSP), 신호선 구동 회로 클록 신호(SCK), 비디오 신호 데이터(DATA, 간단히 비디오 신호로도 칭함), 및 래치 신호(LAT)를 공급한다. 각 클록 신호는 천이된 위상을 갖는 복수의 클록 신호일 수 있거나, 클록 신호를 반전시킴으로써 얻은 신호(CKB)와 함께 공급될 수 있다. 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303) 중 하나를 생략할 수 있음을 알아야 한다.
- [0240] 도 14b는, 구동 주파수가 낮은 회로(예를 들면, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303))를 화소부(5301)가 형성되는 기판(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)가 형성되는 기판

(5300)과 상이한 기관 위에 형성하는 구조를 나타낸다. 이러한 구조로, 단결정 반도체를 포함하는 트랜지스터보다 전계 효과 이동도가 낮은 박막 트랜지스터에 의해 기관(5300) 위에 형성하는 구동 회로를 구성할 수 있다. 따라서, 표시 장치의 대형화, 비용 저감, 수율 개선 등을 달성할 수 있다.

- [0241] 실시형태 1, 2, 5, 및 6의 박막 트랜지스터는 n채널형 TFT이다. 도 15a 및 15b는 n채널형 TFT로 구성하는 신호선 구동 회로의 구조 및 동작의 예를 나타낸다.
- [0242] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로부(5602)를 포함한다. 스위칭 회로부(5602)는 복수의 스위칭 회로(5602_1~5602_N)(N은 자연수)를 포함한다. 스위칭 회로(5602_1~5602_N)는 각각 복수의 박막 트랜지스터(5603_1~5603_k)(k은 자연수)를 포함한다. 박막 트랜지스터(5603_1~5603_k)가 n채널형 TFT인 예를 후술한다.
- [0243] 신호선 구동 회로의 접속 관계는 스위칭 회로(5602_1)를 예로서 이용하여 설명한다. 박막 트랜지스터(5603_1~5603_k)의 제1 단자는 각각 배선(5604_1~5604_k)과 접속된다. 박막 트랜지스터(5603_1~5603_k)의 제2 단자는 각각 신호선(S1~Sk)과 접속된다. 박막 트랜지스터(5603_1~5603_k)의 게이트는 배선(5605_1)과 접속된다.
- [0244] 시프트 레지스터(5601)는 배선(5605_1~5605_N)에 H 레벨 신호(H 신호 또는 높은 전위 전위 레벨로도 칭함)를 순서대로 출력함으로써 스위칭 회로(5602_1~5602_N)를 순서대로 선택하는 기능을 갖는다.
- [0245] 스위칭 회로(5602_1)는 배선(5604_1~5604_k)과 신호선(S1~Sk) 간의 도통(제1 단자와 제2 단자 간의 도통)을 제어하는 기능, 즉 배선(5604_1~5604_k)의 전위를 신호선(S1~Sk)에 공급하는지 여부를 제어하는 기능을 갖는다. 이러한 방식으로, 스위칭 회로(5602_1)는 셀렉터(selector)로서의 기능을 갖는다. 또한, 박막 트랜지스터(5603_1~5603_k)는 각각 배선(5604_1~5604_k)과 신호선(S1~Sk) 간의 도통 상태를 제어하는 기능, 즉 배선(5604_1~5604_k)의 전위를 각각 신호선(S1~Sk)에 공급하는 기능을 갖는다. 이러한 방식으로, 박막 트랜지스터(5603_1~5603_k) 각각은 스위치로서의 기능을 갖는다.
- [0246] 배선(5604_1~5604_k) 각각에는 비디오 신호 데이터(DATA)가 입력된다. 비디오 신호 데이터(DATA)는 흔히 화상 신호 또는 화상 데이터에 대응하는 아날로그 신호이다.
- [0247] 다음으로, 도 15a의 신호선 구동 회로의 동작을 도 15b의 타이밍도를 참조하여 설명한다. 도 15b는 신호(Sout_1~Sout_N) 및 신호(Vdata_1~Vdata_k)의 예를 나타낸다. 신호(Sout_1~Sout_N)는 시프트 레지스터(5601)로부터의 출력 신호의 예이다. 신호(Vdata_1~Vdata_k)는 배선(5604_1~5604_k)에 입력되는 신호의 예이다. 신호선 구동 회로의 1동작 기간은 표시 장치의 1게이트 선택 기간에 대응함을 알아야 한다. 예를 들면, 1게이트 선택 기간은 기간(T1~TN)으로 분할된다. 기간(T1~TN) 각각은 선택된 행 내 화소에 비디오 신호 데이터(DATA)를 기입하기 위한 기간이다.
- [0248] 본 실시형태의 도면 등에 도시한 각 구조에서 신호 파형 왜곡 등은 몇몇 경우에서 단순화를 위하여 과장되어 있음을 알아야 한다. 그러므로 본 실시형태는 도면 등에 도시한 스케일에 한정할 필요는 없다.
- [0249] 기간(T1~TN)에서, 시프트 레지스터(5601)는 H 레벨 신호를 배선(5605_1~5605_N)에 순서대로 출력한다. 예를 들면, 기간(T1)에서, 시프트 레지스터(5601)는 H 레벨 신호를 배선(5605_1)에 출력한다. 이어서, 박막 트랜지스터(5603_1~5603_k)가 온이 되어, 배선(5604_1~5604_k)과 신호선(S1~Sk)이 도통된다. 이때, 배선(5604_1~5604_k)에는 각각 Data(S1) 내지 Data(Sk)가 입력된다. Data(S1) 내지 Data(Sk)는 각각 박막 트랜지스터(5603_1~5603_k)를 통해 선택된 행에 속하는 제1 내지 k번째 열의 화소에 기입된다. 이러한 방식으로, 기간(T1~TN)에서, 선택된 행에 속하는 화소에 k열 만큼 순서대로 비디오 신호 데이터(DATA)가 기입된다.
- [0250] 상술한 바와 같이 비디오 신호 데이터(DATA)를 복수의 열에 의해 화소에 기입하고, 이로 인해 비디오 신호 데이터(DATA)의 수 또는 배선의 수를 줄일 수 있다. 결과적으로, 외부 회로와의 접속 수를 줄일 수 있다. 또한, 비디오 신호 데이터(DATA)를 복수의 열에 의해 화소에 기입하는 경우 기입 시간을 연장할 수 있고, 따라서 비디오 신호 데이터(DATA)의 불충분한 기입을 방지할 수 있다.
- [0251] 실시형태 1, 2, 5, 및 6 중 어느 것의 박막 트랜지스터로 구성된 임의의 회로는 시프트 레지스터(5601) 및 스위칭 회로부(5602)를 위해 사용할 수 있음을 알아야 한다. 그 경우, 시프트 레지스터(5601)는 n채널형 트랜지스터만으로 또는 p채널형 트랜지스터만으로 구성할 수 있다.
- [0252] 주사선 구동 회로의 구조를 설명한다. 주사선 구동 회로는 시프트 레지스터를 포함한다. 따라서, 주사선 구동 회로는 몇몇 경우에서 레벨 시프터, 버퍼, 등을 포함할 수 있다. 주사선 구동 회로에서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)를 입력하여, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해

완충 증폭되고, 그 결과로서의 신호는 대응 주사선에 공급된다. 주사선에는 1라인 분의 화소의 트랜지스터의 게이트 전극이 접속된다. 1라인 분의 화소의 트랜지스터는 동시에 온해야 하므로, 큰 전류를 공급할 수 있는 버퍼가 사용된다.

- [0253] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 이용하는 시프트 레지스터의 한 실시형태는 도 16a 내지 16d 및 도 17a 및 17b를 참조하여 설명할 것이다.
- [0254] 주사선 구동 회로 및/또는 신호선 구동 회로의 시프트 레지스터는 도 16a 내지 16d 및 도 17a 및 17b를 참조하여 설명한다. 시프트 레지스터는 제1 내지 N번째 펄스 출력 회로(10_1~10_N)(N은 3 이상의 자연수임)를 포함한다(도 16a 참조). 도 16a에 도시하는 시프트 레지스터에서, 제1 클록 신호(CK1), 제2 클록 신호(CK2), 제3 클록 신호(CK3), 및 제4 클록 신호(CK4)는 제1 배선(11), 제2 배선(12), 제3 배선(13), 및 제4 배선(14)으로부터 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)에 공급된다. 제1 펄스 출력 회로(10_1)에는 제5 배선(15)으로부터의 스타트 펄스(SP1)(제1 스타트 펄스)가 입력된다. 제2 또는 후속 단의 제n 펄스 출력 회로(10_N)(n은 2 이상 N 이하의 자연수임)에는 이전 단의 펄스 출력 회로로부터의 신호(이러한 신호는 전단 신호 OUT(n-1)로 칭함)(n은 2 이상의 자연수임)가 입력된다. 제1 펄스 출력 회로(10_1)에는 다음 단 후의 단의 제3 펄스 출력 회로(10_3)로부터의 신호가 입력된다. 마찬가지로, 제2 또는 후속 단의 제n 펄스 출력 회로(10_n)에는 다음 단 후의 단의 제(n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(이러한 신호는 후단 신호 OUT(n+2)로 칭함)가 입력된다. 따라서 각 단의 펄스 출력 회로는 후단의 펄스 출력 회로 및/또는 전단 전의 단의 펄스 출력 회로에 입력되는 제1 출력 신호(OUT(1)(SR)~OUT(N)(SR)) 및 또 다른 회로 등에 입력되는 제2 출력 신호(OUT(1)~OUT(N))를 출력한다. 도 16a에 도시한 바와 같이, 시프트 레지스터의 최종 2개의 단에는 후단 신호 OUT(n+2)가 입력되지 않으므로, 예를 들면 제2 스타트 펄스(SP2) 및 제3 스타트 펄스(SP3)는 최종 2개 단의 펄스 출력 회로에 입력될 수 있음을 알아야 한다.
- [0255] 클록 신호(CK)는 일정한 간격으로 H 레벨과 L 레벨(L 신호 또는 낮은 전위 전위 레벨로도 칭함) 사이를 교번하는 신호임을 알아야 한다. 여기서, 제1 클록 신호(CK1) 내지 제4 클록 신호(CK4)는 순차적으로 ¼ 주기만큼 지연된다(즉, 서로 90° 위상 밖에 있음). 본 실시형태에서, 펄스 출력 회로의 구동 등은 제1 클록 신호(CK1) 내지 제4 클록 신호(CK4)로 제어한다. 클록 신호는, 클록 신호가 입력되는 구동 회로에 따라 몇몇 경우에서 GCK 또는 SCK로도 칭하고, 클록 신호는 이하의 설명에서 CK로서 칭함을 알아야 한다.
- [0256] 제1 입력 단자(21), 제2 입력 단자(22), 및 제3 입력 단자(23)는 제1 배선(11) 내지 제4 배선(14) 중 어느 하나와 전기적으로 접속된다. 예를 들면, 도 16a의 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)는 제1 배선(11)과 전기적으로 접속되고, 제2 입력 단자(22)는 제2 배선(12)과 전기적으로 접속되고, 제3 입력 단자(23)는 제3 배선(13)과 전기적으로 접속된다. 제2 펄스 출력 회로(10_2)에서, 제1 입력 단자(21)는 제2 배선(12)과 전기적으로 접속되고, 제2 입력 단자(22)는 제3 배선(13)과 전기적으로 접속되고, 제3 입력 단자(23)는 제4 배선(14)과 전기적으로 접속된다.
- [0257] 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N) 각각은 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27)를 포함한다(도 16b 참조). 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)에 제1 클록 신호(CK1)가 입력되고, 제2 입력 단자(22)에 제2 클록 신호(CK2)가 입력되고, 제3 입력 단자(23)에 제3 클록 신호(CK3)가 입력되고, 제4 입력 단자(24)에 스타트 펄스가 입력되고, 제5 입력 단자(25)에 후단 신호(OUT(3))가 입력되고, 제1 출력 단자(26)로부터 제1 출력 신호(OUT(1)(SR))가 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호(OUT(1))가 출력된다.
- [0258] 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)에서, 3개 단자를 갖는 박막 트랜지스터 외에 상술한 실시형태에서 설명한 4개 단자의 박막 트랜지스터(TFT)를 이용할 수 있다. 도 16c는 상술한 실시형태에서 설명하는 4개 단자를 갖는 박막 트랜지스터(28)의 심벌을 나타낸다. 도 16c에 도시한 박막 트랜지스터(28)의 심벌은 실시형태 1, 2, 5, 및 6 중 임의의 것에서 설명하는 4개 단자를 갖는 박막 트랜지스터를 나타내고, 도면 등에서 사용한다. 본 명세서에서, 박막 트랜지스터가 반도체층을 개재하여 2개의 게이트 전극을 갖는 경우, 반도체층 아래의 게이트 전극을 하부 게이트 전극으로 부르고, 반도체층 위의 게이트 전극을 상부 게이트 전극으로 부른다는 점을 알아야 한다. 박막 트랜지스터(28)는 하부 게이트 전극에 입력되는 제1 제어 신호(G1) 및 상부 게이트 전극에 입력되는 제2 제어 신호(G2)로 IN 단자와 OUT 단자 사이의 전류를 제어할 수 있는 소자이다.
- [0259] 산화물 반도체를 박막 트랜지스터의 채널 형성 영역을 포함하는 반도체층에 이용하는 경우, 임계 전압은 때때로 제조 공정에 따라 네거티브 또는 포지티브 방향으로 시프트한다. 그 때문에, 채널 형성 영역을 포함하는 반도체층에 산화물 반도체를 이용하는 박막 트랜지스터는 바람직하게는 임계 전압을 제어할 수 있는 구조를 갖는다.

도 16c에 도시하는 박막 트랜지스터(28)의 임계 전압은, 박막 트랜지스터(28)의 채널 형성 영역의 상하에 게이트 전극을 제공하고, 상부 게이트 전극과 채널 형성 영역 사이에 그리고 하부 게이트 전극과 채널 형성 영역 사이에 게이트 절연막을 개재함으로써, 그리고 상부 게이트 전극 및/또는 하부 게이트 전극의 전위를 제어함으로써, 원하는 수준으로 제어할 수 있다.

[0260] 다음으로, 펄스 출력 회로의 구체적인 회로 구성의 예도 도 16d를 참조하여 설명할 것이다.

[0261] 펄스 출력 회로(10_1)는 제1 트랜지스터(31) 내지 제13 트랜지스터(43)를 포함한다(도 16d 참조). 전술한 제1 입력 단자(21) 내지 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27) 외에, 제1 고 전원 전위(VDD)가 공급되는 전원선(51), 제2 고 전원 전위(VCC)가 공급되는 전원선(52), 및 저 전원 전위(VSS)가 공급되는 전원선(53)로부터 제1 트랜지스터(31) 내지 제13 트랜지스터(43)에 신호 또는 전원 전위가 공급된다. 도 16d의 전원선의 전원 전위의 관계는 다음과 같은데, 제1 전원 전위(VDD)는 제2 전원 전위(VCC) 이상이고, 제2 전원 전위(VCC)는 제3 전원 전위(VSS)보다 높다. 제1 클록 신호(CK1) 내지 제4 클록 신호(CK4)는 각각 일정한 간격으로 H 레벨과 L 레벨 사이에서 교번하는 신호이고, H 레벨에서의 클록 신호는 VDD이고, L 레벨에서의 클록 신호는 VSS임을 알아야 한다. 전원선(51)의 전위(VDD)를 전원선(52)의 전위(VCC)보다 높게 함으로써, 트랜지스터의 동작에 불리한 영향을 주는 일없이, 트랜지스터의 게이트 전극에 인가되는 전위를 낮출 수 있고, 트랜지스터의 임계 전압의 시프트를 저감할 수 있고, 트랜지스터의 열화를 억제할 수 있다. 도 16d에 도시한 바와 같이, 제1 트랜지스터(31) 내지 제13 트랜지스터(43) 중 제1 트랜지스터(31) 및 제6 트랜지스터(36) 내지 제9 트랜지스터(39)로서 도 16c에서 나타난 4개의 단자를 갖는 박막 트랜지스터(28)를 사용하는 것이 바람직하다는 점을 알아야 한다. 제1 트랜지스터(31) 및 제6 트랜지스터(36) 내지 제9 트랜지스터(39)는, 소스 또는 드레인으로 기능하는 하나의 전극이 접속되는 노드의 전위를 게이트 전극의 제어 신호에 따라 스위칭할 필요가 있고, 게이트 전극에 입력되는 제어 신호에 대한 빠른 응답(온-전류의 급격한 상승)에 의해 펄스 출력 회로의 오동작을 저감할 수 있다. 도 16c에서 나타난 4개의 단자를 갖는 박막 트랜지스터(28)를 이용함으로써, 임계 전압을 제어할 수 있고, 펄스 출력 회로의 오동작을 더욱 저감할 수 있다. 도 16d에서 제1 제어 신호(G1) 및 제2 제어 신호(G2)는 동일한 제어 신호이지만, 제1 제어 신호(G1) 및 제2 제어 신호(G2)는 상이한 제어 신호일 수 있음을 알아야 한다.

[0262] 도 16d에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제1 트랜지스터(31)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제4 입력 단자(24)에 전기적으로 접속된다. 제2 트랜지스터(32)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제4 트랜지스터(34)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제5 트랜지스터(35)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속된다. 제6 트랜지스터(36)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제6 트랜지스터(36)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제5 입력 단자(25)에 전기적으로 접속된다. 제7 트랜지스터(37)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되고, 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제3 입력 단자(23)에 전기적으로 접속된다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제2 입력 단자(22)에 전기적으로 접속된다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제9 트랜지스터(39)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 전원선(52)에 전기적으로 접속된다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속된다. 제11 트랜지스터(41)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지

스터(34)의 게이트 전극에 전기적으로 접속된다. 제12 트랜지스터(42)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제12 트랜지스터(42)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제12 트랜지스터(42)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속된다. 제13 트랜지스터(43)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제13 트랜지스터(43)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되고, 제13 트랜지스터(43)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속된다.

[0263] 도 16d에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극, 및 제9 트랜지스터(39)의 제2 단자가 접속되는 접속점을 노드(A)로 칭한다. 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41) 게이트 전극이 접속되는 접속점을 노드(B)로 칭한다.(도 17a 참조).

[0264] 박막 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자임을 알아야 한다. 박막 트랜지스터는 드레인 영역과 소스 영역 사이에 채널 영역을 갖고, 전류는 드레인 영역, 채널 영역, 및 소스 영역을 통해 흐를 수 있다. 여기서, 박막 트랜지스터의 소스 및 드레인은 박막 트랜지스터의 구조, 동작 조건 등에 따라 변할 수 있으므로, 어느 것이 소스 또는 드레인인지 한정하는 것은 어렵다. 그러므로 소스 및 드레인으로서 기능하는 영역은 몇몇 경우에서 소스 또는 드레인으로 부르지 않는다. 그러한 경우, 예를 들면, 소스 및 드레인 중 하나는 제1 단자로 칭할 수 있고, 다른 하나는 제2 단자로 칭할 수 있다.

[0265] 도 16d 및 도 17a에서, 노드(A)를 플로팅(floating) 상태로 함으로써 부트스트랩 동작을 수행하기 위한 용량 소자를 추가로 설치할 수 있음을 알아야 한다. 또한, 노드(B)의 전위를 유지하기 위해서, 노드(B)에 전기적으로 접속된 하나의 전극을 갖는 용량 소자를 추가로 설치할 수 있다.

[0266] 도 17b는 도 17a에 도시한 복수의 펄스 출력 회로를 구비하는 시프트 레지스터의 타이밍도이다. 시프트 레지스터가 주사선 구동 회로에 포함되는 경우, 도 17b의 기간(61)은 수직 귀선 기간에 대응하고, 기간(62)은 게이트 선택 기간에 대응함을 알아야 한다.

[0267] 도 17a에 도시한 바와 같이, 게이트에 제2 전원 전위(VCC)가 인가되는 제9 트랜지스터(39)를 제공함으로써, 부트스트랩 동작 전후에 다음과 같은 장점이 있음을 알아야 한다.

[0268] 게이트 전극에 제2 전원 전위(VCC)가 인가되는 제9 트랜지스터(39)가 없는 경우, 부트스트랩 동작에 의해 노드(A)의 전위가 상승하면 제1 트랜지스터(31)의 제2 단자인 소스의 전위는 제1 전원 전위(VDD)보다 높은 값으로 상승한다. 이어서, 제1 트랜지스터(31)의 제1 단자, 즉 전원선(51) 측의 단자는 제1 트랜지스터(31)의 소스로서 기능한다. 결과적으로, 제1 트랜지스터(31)에서, 게이트와 소스 사이 그리고 게이트와 드레인 사이에 높은 바이어스 전압이 인가되어 상당한 스트레스가 인가되고, 이는 트랜지스터의 열화를 야기할 수 있다. 한편, 게이트 전극에 제2 전원 전위(VCC)가 인가되는 제9 트랜지스터(39)에 의해, 부트스트랩 동작에 의해 노드(A)의 전위는 상승하지만, 제1 트랜지스터(31)의 제2 단자의 전위의 증가를 방지할 수 있다. 즉, 제9 트랜지스터(39)를 설치함으로써, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압의 수준을 작게 할 수 있다. 따라서, 본 실시형태의 회로 구성은 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압을 감소시킬 수 있어, 스트레스에 의한 제1 트랜지스터(31)의 열화를 억제할 수 있다.

[0269] 제1 트랜지스터(31)의 제2 단자와 제3 트랜지스터(33)의 게이트 사이에 제9 트랜지스터(39)의 제1 단자와 제2 단자를 접속하는 한 제9 트랜지스터(39)는 어느 곳에도 제공할 수 있음을 알아야 한다. 본 실시형태에서 복수의 펄스 출력 회로를 구비하는 시프트 레지스터가 주사선 구동 회로보다 많은 단의 수를 갖는 신호선 구동 회로에 포함되는 경우 제9 트랜지스터(39)를 생략할 수 있고, 이는 트랜지스터의 수를 삭감하는 장점이 있음을 알아야 한다.

[0270] 제1 트랜지스터(31) 내지 제13 트랜지스터(43)의 반도체층으로서 산화물 반도체를 이용하고, 따라서 박막 트랜지스터의 오프-전류를 저감할 수 있고, 온-전류 및 전계 효과 이동도를 높일 수 있고, 트랜지스터의 열화의 정도를 저감할 수 있음을 알아야 한다. 그 결과, 회로의 오동작을 줄일 수 있다. 또한, 산화물 반도체를 포함하는 트랜지스터는 비정질 실리콘을 포함하는 트랜지스터에 비해 게이트 전극에 고 전위가 인가되는 것에 의한 열화가 작다. 결과적으로, 제2 전원 전위(VCC)를 공급하는 전원선에 제1 전원 전위(VDD)를 공급하더라도, 시프트 레지스터는 유사하게 동작할 수 있고, 회로들 사이의 전원선의 수를 저감할 수 있고, 따라서 회로의 크기를 줄일 수 있다.

[0271] 제3 입력 단자(23)로부터 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 공급되

는 클록 신호 및 제2 입력 단자(22)로부터 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클록 신호가 각각 제2 입력 단자(22) 및 제3 입력 단자(23)로부터 공급될 수 있도록 접속 관계가 변하더라도 시프트 레지스터는 유사한 효과를 달성할 것임을 알아야 한다. 도 17a에 도시하는 시프트 레지스터에서, 제7 트랜지스터(37) 및 제8 트랜지스터(38)의 상태가 변해, 제7 트랜지스터(37) 및 제8 트랜지스터(38) 둘 다 온이 되고, 이어서 제7 트랜지스터(37)는 오프가 되고, 제8 트랜지스터(38)는 온이 되고, 이어서 제7 트랜지스터(37) 및 제8 트랜지스터(38)는 오프가 되고, 따라서 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위의 저하에 의해 야기되는, 노드(B)의 전위의 저하는 제7 트랜지스터(37)의 게이트 전극의 전위의 저하 및 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 2회 야기된다. 한편, 도 17a에 도시하는 시프트 레지스터에서 제7 트랜지스터(37) 및 제8 트랜지스터(38)의 상태가 도 17b의 기간(61)에서처럼 변해, 제7 트랜지스터(37) 및 제8 트랜지스터(38) 둘 다 온이 되고, 이어서 제7 트랜지스터(37)는 온이 되고, 제8 트랜지스터(38)는 오프가 되고, 이어서 제7 트랜지스터(37) 및 제8 트랜지스터(38)는 오프가 되어, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위의 저하에 의해 야기되는, 노드(B)의 전위의 저하는 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 1회만 야기된다. 그러므로 접속 관계, 즉 제3 입력 단자(23)로부터 제7 트랜지스터(37)의 게이트 전극에 클록 신호(K3)가 공급되고, 제2 입력 단자(22)로부터 제8 트랜지스터(38)의 게이트 전극에 클록 신호(CK2)가 공급되는 접속 관계는 바람직하다. 이는, 노드(B)의 전위의 충전 횟수를 낮출 수 있어 잡음을 감소시킬 수 있기 때문이다.

[0272] 이러한 방식으로, 제1 출력 단자(26) 및 제2 출력 단자(27)의 전위를 L 레벨로 유지하는 기간 동안 노드(B)에 정기적으로 H 레벨의 신호를 공급하고, 따라서 펄스 출력 회로의 오동작을 억제할 수 있다.

[0273] [실시형태 9]

[0274] 박막 트랜지스터를 제조하고, 박막 트랜지스터를 화소부 및 구동 회로에 사용함으로써, 표시 기능을 갖는 반도체 장치(표시 장치로도 칭함)를 제조할 수 있다. 또한, 박막 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를 화소부가 형성되는 기판 위에 형성할 수 있어, 시스템-온-패널을 얻을 수 있다.

[0275] 표시 장치는 표시 소자를 포함한다. 표시 소자는 액정 소자(액정 표시 소자로도 칭함) 및 발광 소자(발광 표시 소자로도 칭함)를 포함한다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 전계 발광(EL) 소자, 유기 EL 소자 등을 그 범주에 포함한다. 또한, 표시 장치는 전자 잉크와 같은 전기적 작용에 의해 콘트라스트가 변하는 표시 매체를 포함할 수 있다.

[0276] 또한, 표시 장치는 표시 소자가 밀봉된 패널, 및 컨트롤러를 포함하는 IC 등이 패널상에 장착되는 모듈을 포함한다. 또한, 표시 장치의 제조 공정에서, 표시 소자가 완성되기 전의 한 실시형태인 소자 기판은 복수의 화소 각각에서 표시 소자에 전류를 공급하기 위한 수단을 구비한다. 구체적으로, 소자 기판은 표시 소자의 화소 전극만이 형성되는 상태, 화소 전극이 되는 도전막이 형성되지만 화소 전극을 형성하도록 예칭하지 않은 상태, 또는 임의의 다른 상태일 수 있다.

[0277] 본 명세서에서 표시 장치는 화상 표시 장치 또는 광원(조명 장치를 포함함)을 나타냄을 알아야 한다. 또한, 표시 장치는 다음의 모듈 중 임의의 모듈을 그 범주에 또한 포함한다: 커넥터, 예컨대 플렉시블 인쇄 회로(FPC), 테이프 자동화 접착(TAB) 테이프, 또는 테이프 캐리어 패키지(TCP)를 부착하는 모듈; 인쇄 배선 보드가 제공되는 단부에 TAB 테이프 또는 TCP를 갖는 모듈; 및 표시 소자에 칩 온 글래스(COG: Chip On Glass)법으로 직접 장착되는 집적회로(IC)를 갖는 모듈.

[0278] 반도체 장치의 한 실시형태인 액정 표시 패널의 외관 및 단면을 도 10의 a1, a2, 및 b를 참조하여 설명할 것이다. 도 10의 a1 및 a2는 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)가 제1 기판(4001)과 제2 기판(4006) 사이에 시일재(4005)로 밀봉된 패널의 평면도이다. 도 10의 b는 도 10의 a1 및 a2의 M-N에 따른 단면도이다.

[0279] 제1 기판(4001) 위로 설치된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 시일재(4005)가 제공된다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 제공된다. 결과적으로, 화소부(4002)와 주사선 구동 회로(4004)는 제1 기판(4001), 시일재(4005), 및 제2 기판(4006)에 의해 액정층(4008)과 함께 밀봉된다. 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸인 영역과는 상이한 영역에, 별도로 준비된 기판 위의 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.

[0280] 별도로 형성하는 구동 회로의 접속 방법은 특별히 한정되는 것이 아니고, COG법, 와이어 본딩법, TAB법 등을 이용할 수 있음을 알아야 한다. 도 10의 a1은 COG법에 의해 신호선 구동 회로(4003)를 실장하는 예를 나타낸다. 도 10의 a2는 TAB법에 의해 신호선 구동 회로(4003)를 실장하는 예를 나타낸다.

- [0281] 제1 기관(4001) 위로 설치된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 박막 트랜지스터를 포함한다. 도 10의 b는 화소부(4002)에 포함되는 박막 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예로서 나타낸다. 박막 트랜지스터(4010, 4011) 위로 절연층(4041a, 4041b, 4042a, 4042b, 4020, 4021)이 설치된다.
- [0282] 실시형태 1, 2, 5, 및 6에서 기술한 산화물 반도체층을 포함하는 높은 신뢰성의 임의의 박막 트랜지스터를 박막 트랜지스터(4010, 4011)로서 사용할 수 있다. 구동 회로용 박막 트랜지스터(4011)로서 실시형태 1, 2, 5, 및 6에서 기술한 박막 트랜지스터(260, 289, 및 270) 중 임의의 것을 사용할 수 있고, 화소용 박막 트랜지스터(4010)로서 박막 트랜지스터(420, 448, 220, 280, 및 290) 중 임의의 것을 사용할 수 있다. 본 실시형태에서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0283] 구동 회로용 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치는 절연층(4021) 위에 도전층(4040)이 설치된다. 도전층(4040)을 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 설치함으로써, BT 시험 전후의 박막 트랜지스터(4011)의 임계 전압의 변화량을 저감할 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4040)은 또한 제2 게이트 전극층으로서 기능할 수 있다. 대안으로, 도전층(4040)의 전위는 GND 또는 0V일 수 있거나, 도전층(4040)은 플로팅 상태일 수 있다.
- [0284] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)와 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기관(4006) 위로 형성된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 겹치는 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)을 구비하고, 액정층(4008)은 절연층(4032, 4033)을 통해 화소 전극층(4030)과 대향 전극층(4031) 사이에 협지된다는 점을 알아야 한다.
- [0285] 제1 기관(4001) 및 제2 기관(4006)으로서 투광성 기관을 이용할 수 있고, 유리, 세라믹, 또는 플라스틱을 사용할 수 있음을 알아야 한다. 플라스틱은 섬유유리-강화 플라스틱(FRP) 플레이트, 폴리비닐 플루오라이드(PVF) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름일 수 있다.
- [0286] 스페이서(4035)는 절연막을 선택적으로 예칭함으로써 얻은 주상형 스페이서이고, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해서 제공한다. 대안으로, 구형 스페이서를 사용할 수 있다. 대향 전극층(4031)은 박막 트랜지스터(4010)가 형성되는 기관 위에 형성된 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한 쌍의 기관 사이에 배치되는 도전성 입자를 통해 대향 전극층(4031)과 공통 전위선을 서로 전기적으로 접속할 수 있다. 도전성 입자는 시일재(4005)에 포함됨을 알아야 한다.
- [0287] 대안으로, 배향막이 불필요한 블루(blue) 상을 나타내는 액정을 사용할 수 있다. 블루 상은 액정 상 중 하나이고, 콜레스테릭 액정의 온도를 증가시키면서 콜레스테릭 상이 등방(isotropic) 상으로 변하기 직전에 발생하는 상이다. 블루 상은 비교적 좁은 온도 범위 내에서만 발생하므로, 온도 범위를 개선하기 위하여 키랄제(chiral agent)를 5중량% 이상으로 함유하는 액정 조성물을 액정층(4008)에 사용한다. 블루 상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은 1ms 이하의 더 짧은 응답 속도를 갖고, 광학적으로 등방성이므로, 배향 처리가 불필요하고, 시야각 의존성이 작다.
- [0288] 본 실시형태는 투과형 액정 표시 장치 외에 반투과형 액정 표시 장치에도 적용할 수 있음을 알아야 한다.
- [0289] 액정 표시 장치의 예에서, 기관의 외부 표면(뷰어 측)에 편광판을 설치하고, 기관의 내부 표면에 착색층 및 표시 소자에 이용하는 전극층을 순서대로 설치하지만, 편광판은 기관의 내부 표면에 설치할 수 있다. 편광판과 착색층의 적층 구조는 본 실시형태에 한정되지 않고, 편광판과 착색층의 재료 또는 제조 공정 조건에 따라 적절하게 설정할 수 있다. 또한, 블랙 매트릭스로서 기능하는 차광막은 표시부 외의 부분에 제공할 수 있다.
- [0290] 박막 트랜지스터(4011)에서, 채널 보호층으로서 기능하는 절연층(4041a) 및 산화물 반도체층들의 적층체의 주연부(측면을 포함함)를 덮는 절연층(4041b)이 형성되어 있다. 유사한 방식으로, 박막 트랜지스터(4010)에서, 채널 보호층으로서 기능하는 절연층(4042a) 및 산화물 반도체층들의 적층체의 주연부(측면을 포함함)를 덮는 절연층(4042b)이 형성되어 있다.
- [0291] 제1 산화물 반도체층과 제2 산화물 반도체층의 적층체의 주연부(측면을 포함함)를 덮는 산화물 절연층(4041b, 4042b)은 게이트 전극층과 게이트 전극층의 위 또는 주변의 배선층(예를 들면, 소스 배선층 또는 커패시터 배선층) 사이의 거리를 증가시켜 기생 용량을 저감할 수 있다. 절연층(4041a, 4041b, 4042a, 및 4042b)은

실시형태 1에서 기술한 산화물 절연층(426a, 426b)과 유사한 재료 및 방법으로 형성할 수 있다. 또한, 박막 트랜지스터에 기인한 표면 거칠기를 저감하기 위해서, 평탄화 절연막으로서 기능하는 절연층(4021)으로 박막 트랜지스터를 덮는다. 여기서, 절연층(4041a, 4041b, 4042a, 및 4042b)으로서, 실시형태 1에 따른 스퍼터법으로 산화 규소막을 형성한다.

- [0292] 절연층(4041a, 4041b, 4042a, 및 4042b) 위로 절연층(4020)이 형성되어 있다. 절연층(4020)은 실시형태 1에 기술한 보호 절연층(403)과 유사한 재료 및 방법으로 형성할 수 있다. 여기서, 절연층(4020)으로서, RF 스퍼터법으로 질화 규소막을 형성한다.
- [0293] 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)은 실시형태 1에 기술한 평탄화 절연층(404)과 유사한 재료 및 방법으로 형성할 수 있고, 내열성 유기 재료, 예컨대 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드, 또는 에폭시를 사용할 수 있다. 그러한 유기 재료 외에, 저-유전율 재료(낮은-k 재료), 실록산계 수지, 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG) 등을 또한 사용할 수 있다. 이러한 재료로부터 형성되는 복수의 절연막을 적층함으로써 절연층(4021)을 형성할 수 있음을 알아야 한다.
- [0294] 본 실시형태에서, 화소부의 복수의 박막 트랜지스터는 질화물 절연막으로 둘러쌀 수 있다. 예를 들면, 질화물 절연막이 절연층(4020) 및 게이트 절연층으로서 사용되고, 절연층(4020)이 도 10의 a1, a2, 및 b에 도시한 바와 같이 액티브 매트릭스 기판 위의 적어도 화소부를 둘러싸는 주연에서 게이트 절연층과 접하는 구조를 이용할 수 있다. 이러한 제조 공정에서, 외부로부터의 수분의 침입을 방지할 수 있다. 또한, 장치가 반도체 장치, 예를 들면 표시 장치로서 완성된 후에도 장기간 외부로부터의 수분의 침입을 방지할 수 있고, 따라서 장치의 장기간 신뢰성을 개선할 수 있다.
- [0295] 실록산계 수지는 실록산계 재료를 출발 재료로서 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응함을 알아야 한다. 실록산계 수지는 치환기로서 유기기(예를 들면 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수 있다. 유기기는 플루오로기를 포함할 수 있다.
- [0296] 평탄화 절연층(4021)의 형성법은 특별히 한정하지 않는다. 재료에 따라, 절연층(4021)은 스퍼터법, SOG법, 스피ن 코팅법, 담금법, 분무 코팅법, 또는 액적 토출법(예를 들면, 잉크젯법, 스크린 인쇄법, 또는 오프셋 인쇄법)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등과 같은 도구(장치)를 사용함으로써 형성할 수 있다. 절연층(4021)의 소성 공정(baking step) 및 반도체층의 어닐링(annealing)을 조합하는 경우, 효율적으로 반도체 장치를 제조할 수 있다.
- [0297] 화소 전극층(4030) 및 대향 전극층(4031)은 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물(이하에서, ITO로 칭함), 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물과 같은 투광성을 갖는 도전성 재료로부터 형성할 수 있다.
- [0298] 대안으로, 화소 전극층(4030) 및 대향 전극층(4031)으로서, 도전성 고분자(도전성 중합체로도 칭함)를 포함하는 도전성 조성물을 사용할 수 있다. 도전성 조성물을 이용해서 형성한 화소 전극은 바람직하게는 10000Ω/□ 이하의 시트 저항 및 550nm 파장에서 70% 이상의 투광율을 갖는다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율은 바람직하게는 0.1Ω·cm 이하이다.
- [0299] 도전성 고분자로서, 소위 π-전자 공액형 도전성 중합체를 사용할 수 있다. 예로서, 폴리아닐린 및 그 유도체, 폴리피롤 및 그 유도체, 폴리티오펜 및 그 유도체, 및 이러한 재료 중 둘 이상의 공중합체가 있다.
- [0300] 또한, 별도로 형성되는 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 다양한 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0301] 접속 단자 전극(4015)은 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막으로 형성한다. 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로 형성한다.
- [0302] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자와 전기적으로 접속되어 있다.
- [0303] 도 10의 a1, a2, 및 b는, 신호선 구동 회로(4003)를 별도로 형성하고, 제1 기판(4001)에 실장하는 예를 나타내고 있지만, 본 실시형태는 이러한 구조에 한정되지 않음을 알아야 한다. 주사선 구동 회로는 별도로 형성한 후 실장할 수 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성한 후 실장할 수 있다.

- [0304] 도 19는 본 명세서에 기술한 제조 방법에 따라 제조된 TFT 기관(2600)을 사용하여 반도체 장치로서 형성되는 액정 표시 모듈의 예를 나타낸다.
- [0305] 도 19는 액정 표시 모듈의 예를 나타내는데, TFT 기관(2600)과 대향 기관(2601)은 시일재(2602)에 의해 서로 고정되고, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 기관들 사이에 제공되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 수행하는 데 필요하다. RGB 시스템에서, 적색, 녹색, 및 청색의 색에 대응하는 착색층이 화소에 제공된다. TFT 기관(2600)과 대향 기관(2601)의 외부에는 편광판(2606, 2607) 및 확산판(2613)이 제공된다. 광원은 냉음극관(2610) 및 반사판(2611)을 포함한다. 회로 기관(2612)은 플렉시블 배선 기관(2609)에 의해 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로 또는 전원 회로와 같은 외부 회로를 포함한다. 편광판과 액정층은 그 사이에 개재된 위상차 판을 통해 적층할 수 있다.
- [0306] 액정 표시 모듈의 경우 TN(twisted nematic)모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등을 이용할 수 있다.
- [0307] 상술한 바에 의해, 반도체 장치로서 높은 신뢰성의 액정 표시 패널을 제조할 수 있다.
- [0308] 본 실시형태는 다른 실시형태에서 기술한 구조와 적절하게 조합하여 실시할 수 있다.
- [0309] [실시형태 10]
- [0310] 본 실시형태에서, 반도체 장치의 한 실시형태로서 전자 페이퍼의 예를 기술할 것이다.
- [0311] 스위칭 소자와 전기적으로 접속하는 소자에 의해 전자 잉크가 구동되는 전자 페이퍼에 반도체 장치를 사용할 수 있다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)로도 칭하고, 용지와 동일한 수준의 가독성(readability)을 갖고, 다른 표시 장치보다 낮은 소비 전력을 갖고, 얇고 경량일 수 있다는 점에서 유리하다.
- [0312] 전기 영동 디스플레이는 다양한 모드를 가질 수 있다. 전기 영동 디스플레이는 용매 또는 용질에 분산된 복수의 마이크로캡슐을 포함하는데, 각 마이크로캡슐은 플러스 전하를 갖는 제1 입자 및 마이너스 전하를 갖는 제2 입자를 함유한다. 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐 내 입자들이 서로 반대 방향으로 이동하고, 한 측에 집합한 입자들의 색만 표시된다. 제1 입자 및 제2 입자는 각각 안료를 함유하지만, 전계가 없으면 이동하지 않음을 알아야 한다. 또한, 제1 입자와 제2 입자는 상이한 색(무색일 수 있음)을 갖는다.
- [0313] 따라서, 전기 영동 디스플레이는 높은 유전 상수를 갖는 어느 물질이 높은 전계 영역으로 이동하는 것에 의한 소위 유전 영동 효과를 이용하는 디스플레이이다.
- [0314] 상술한 마이크로캡슐이 용매 중에 분산되어 있는 용액은 전자 잉크로 칭한다. 이러한 전자 잉크는 유리, 플라스틱, 천, 용지 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터 또는 안료를 갖는 입자를 사용함으로써 컬러 표시도 달성할 수 있다.
- [0315] 또한, 액티브 매트릭스 기관 위에 복수의 상술한 마이크로캡슐이 적절하게 배치되어 2개의 전극 사이에 개재되는 경우, 액티브 매트릭스 표시 장치가 완성될 수 있고, 마이크로캡슐에 전계를 인가함으로써 표시를 행할 수 있다. 액티브 매트릭스 기관으로서, 예를 들면 실시형태 1, 2, 5, 및 6에서 얻은 임의의 박막 트랜지스터를 사용하는 액티브 매트릭스 기관을 사용할 수 있다.
- [0316] 마이크로캡슐 내 제1 입자 및 제2 입자는 각각 도전성 재료, 절연성 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계 발광 재료, 전기 변색 재료, 및 자기 영동 재료로부터 선택된 1종의 재료, 또는 이들의 복합 재료로 형성할 수 있음을 알아야 한다.
- [0317] 도 18은 반도체 장치의 예로서 액티브 매트릭스 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)는 실시형태 1에서 기술한 박막 트랜지스터와 유사한 방식으로 제조할 수 있는데, 이는 산화물 반도체층을 포함하는 높은 신뢰성의 박막 트랜지스터이다. 실시형태 2, 5, 및 6에서 기술한 임의의 박막 트랜지스터는 또한 본 실시형태의 박막 트랜지스터(581)로서 사용할 수 있다.
- [0318] 도 18의 전자 페이퍼는 트위스팅 볼(twisting ball) 표시 시스템을 이용하는 표시 장치의 예이다. 트위스팅 볼 표시 시스템은 각각 흑색과 백색인 구형 입자들을 표시 소자에 이용하는 전극층들인 제1 전극층과 제2 전극층

사이에 배치하고, 제1 전극층과 제2 전극층 사이의 전위차를 발생시켜 구형 입자들의 배향을 제어함으로써 표시를 수행하는 방법을 칭한다.

- [0319] 박막 트랜지스터(581)는 보텀-게이트 구조를 갖는 박막 트랜지스터이고, 반도체층과 접하는 절연막(583)으로 덮는다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층은 절연층(585)에 형성된 개구에서 제1 전극층(587)과 접하고, 이로 인해 박막 트랜지스터(581)는 제1 전극층(587)과 전기적으로 접속된다. 제1 전극층(587)과 제2 기판(596)에 인접한 제2 전극층(588) 사이에 구형 입자(589)들을 제공한다. 각 구형 입자(589)는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 흑색 영역(590a) 및 백색 영역(590b) 주위의 캐비티(594)를 액체로 충전한다. 구형 입자(589)의 주위는 수지와 같은 충전재(595)로 충전되어 있다(도 18 참조). 제1 전극층(587)은 화소 전극에 대응하고, 제2 전극층(588)은 공통 전극에 대응한다. 제2 전극층(588)은 박막 트랜지스터(581)와 동일한 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자들을 통해 제2 전극층(588)을 공통 전위선과 전기적으로 접속할 수 있다.
- [0320] 또한, 트위스팅 볼 대신, 전기 영동 소자를 또한 사용할 수 있다. 투명한 액체에 플러스 전하의 백색 미립자 및 마이너스 전하의 흑색 미립자가 캡슐화되어 있는 약 10 μ m 내지 200 μ m의 직경을 갖는 마이크로캡슐을 사용한다. 제1 전극층과 제2 전극층 사이에 설치되는 마이크로캡슐에서, 제1 전극층과 제2 전극층에 의해 전계가 공급되면, 백색 미립자와 흑색 미립자가 반대 측으로 이동하여 백색 또는 흑색을 표시할 수 있다. 전기 영동 표시 소자는 액정 표시 소자보다 높은 반사율을 갖는다. 전기 영동 표시 소자는 액정 표시 소자보다 높은 반사율을 갖고, 따라서 보조광은 불필요하고, 소비 전력이 작고, 흐릿한 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한 번 표시된 화상을 유지할 수 있다. 따라서, 표시 기능을 갖는 반도체 장치(간단히 표시 장치 또는 표시 장치를 구비하는 반도체 장치로 칭할 수 있음)가 전파 공급원으로부터 멀리 있는 경우에도, 표시된 화상을 보존할 수 있다.
- [0321] 이러한 공정에 의해 반도체 장치로서 높은 신뢰성의 전자 패키지를 제조할 수 있다.
- [0322] 본 실시형태는 다른 실시형태에서 기술한 임의의 구조와 적절하게 조합해서 실시할 수 있다.
- [0323] [실시형태 11]
- [0324] 반도체 장치로서 발광 표시 장치의 예를 기술할 것이다. 표시 장치에 포함된 표시 소자로서, 여기서는 전계 발광을 이용하는 발광 소자를 기술한다. 전계 발광을 이용하는 발광 소자는 발광 재료가 유기 화합물 또는 무기 화합물인지 여부에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자로 칭하고, 후자는 무기 EL 소자로 칭한다.
- [0325] 유기 EL 소자에서는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터의 전자 및 정공이 발광성 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 캐리어(전자 및 정공)가 재결합하고, 따라서 발광성 유기 화합물이 여기된다. 발광성 유기 화합물이 여기 상태에서부터 기저 상태로 될 때 광을 방출한다. 이러한 메커니즘으로 인해, 이러한 발광 소자는 전류 여기 발광 소자로 칭한다.
- [0326] 무기 EL 소자는 그 소자 구조에 따라 분산형 무기 EL 소자 및 박막 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 결합체에 분산되는 발광층을 갖고, 그 발광 메커니즘은 도너(donor) 준위와 억셉터(acceptor) 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막 무기 EL 소자는 전극들 사이에 개재되는 유전체층들 사이에 발광층이 개재되는 구조를 갖고, 그 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국소형 발광이다. 여기서는 발광 소자로서 유기 EL 소자의 예를 기술함을 알아야 한다.
- [0327] 도 12는 디지털 시간 그레이스케일 범으로 구동할 수 있는 반도체 장치의 예로서 디지털화소 구조의 예를 나타낸다.
- [0328] 디지털 시간 그레이스케일 구동을 적용할 수 있는 화소의 구조 및 동작을 설명한다. 여기서, 1개의 화소는 각각 산화물 반도체층을 채널 형성 영역으로서 포함하는 2개의 n채널형 트랜지스터를 포함한다.
- [0329] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404), 및 용량 소자(6403)를 포함한다. 스위칭용 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 스위칭용 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제1 전극은 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접

속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일한 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.

- [0330] 발광 소자(6404)의 제2 전극(공통 전극(6408))은 저 전원 전위로 설정되어 있다. 저 전원 전위는 전원선(6407)에 설정되는 고 전원 전위를 기준으로 하여 저 전원 전위 < 고 전원 전위를 만족하는 전위임을 알아야 한다. 저 전원 전위로서 예를 들면 GND, 0V 등을 이용할 수 있다. 고 전원 전위와 저 전원 전위 간의 전위차를 발광 소자(6404)에 인가하고, 전류가 발광 소자(6404)에 공급되어, 발광 소자(6404)가 광을 방출한다. 여기서, 발광 소자(6404)가 광을 방출하기 위하여, 고 전원 전위와 저 전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계 전압 이상이 되도록 각각의 전위를 설정한다.
- [0331] 구동용 트랜지스터(6402)의 게이트 커패시터를 용량 소자(6403)를 위한 대체물로서 사용할 수 있어, 용량 소자(6403)를 생략할 수 있음을 알아야 한다. 구동용 트랜지스터(6402)의 게이트 커패시터는 채널 영역과 게이트 전극 사이에 형성할 수 있다.
- [0332] 전압 입력 전압 구동 방법의 경우, 비디오 신호가 구동용 트랜지스터(6402)의 게이트에 입력되어, 구동용 트랜지스터(6402)는 충분히 온인 상태 또는 오프인 상태 중 어느 하나로 된다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 구동용 트랜지스터(6402)가 선형 영역에서 동작하므로, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 신호선(6405)에는 (전원선 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가함을 알아야 한다.
- [0333] 디지털 시간 그레이스케일 법 대신 아날로그 그레이스케일 법을 이용하는 경우, 신호를 상이한 방식으로 입력함으로써 도 12와 동일한 화소 구조를 이용할 수 있다.
- [0334] 아날로그 그레이스케일 구동을 수행하는 경우, 구동용 트랜지스터(6402)의 게이트에는 (발광 소자(6404)의 순방향 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은 원하는 휘도를 얻는 전압을 나타내고, 적어도 순방향 임계 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 것에 의해 비디오 신호가 입력되어, 발광 소자(6404)에 전류를 공급할 수 있다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하기 위하여, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정한다. 아날로그 비디오 신호를 이용하는 경우, 발광 소자(6404)에 비디오 신호에 따른 전류를 공급할 수 있고, 아날로그 그레이스케일 구동을 수행할 수 있다.
- [0335] 화소 구조는 도 12에 나타난 구조에 한정하지 않음을 알아야 한다. 예를 들면, 도 12의 화소는 스위치, 저항 소자, 용량 소자, 트랜지스터, 논리 회로 등을 추가로 포함할 수 있다.
- [0336] 다음으로, 발광 소자의 구조를 도 13a 내지 13c를 참조하여 설명한다. 여기서, 화소의 단면 구조는 n채널형 구동용 TFT를 예로 들어 설명할 것이다. 도 13a, 13b, 및 13c에 도시한 반도체 장치에 이용되는 구동용 TFT(7001, 7011, 및 7021) 각각은 실시형태 1에서 기술한 박막 트랜지스터와 유사한 방식으로 형성할 수 있고, 산화물 반도체층을 포함하는 높은 신뢰성 박막 트랜지스터이다. 대안으로, 실시형태 2, 5, 또는 6에서 기술한 박막 트랜지스터를 구동용 TFT(7001, 7011, 및 7021)로서 사용할 수 있다.
- [0337] 발광 소자로부터 방출된 광을 추출하기 위하여, 양극 및 음극 중 적어도 하나는 광을 투과시켜야 한다. 박막 트랜지스터 및 발광 소자는 기판 위에 형성한다. 발광 소자는 기판에 대향하는 표면을 통해 광 방출이 추출되는 상면 방출 구조, 기판 측의 표면을 통해 광 방출이 추출되는 하면 방출 구조, 또는 기판에 대향하는 표면 및 기판 측의 표면을 통해 광 방출이 추출되는 이중 방출 구조를 가질 수 있다. 화소 구조는 이러한 방출 구조 중 임의의 구조를 갖는 발광 소자에 적용할 수 있다.
- [0338] 상면 방출 구조의 발광 소자는 도 13a를 참조하여 설명한다.
- [0339] 도 13a는, 구동용 TFT(7001)가 n형 TFT이고, 광이 발광 소자(7002)로부터 양극(7005) 측으로 방출되는 경우의 화소의 단면도이다. 도 13a에서, 발광 소자(7002)의 음극(7003)은 구동용 TFT로서 기능하는 TFT(7001)와 전기적으로 접속되고, 발광층(7004) 및 양극(7005)은 음극(7003) 위에 이 순서로 적층되어 있다. 음극(7003)은, 일함수가 작고, 광을 반사하는 다양한 도전성 재료로 형성할 수 있다. 예를 들면, Ca, Al, MgAg, AlLi 등이 바람직하게는 이용된다. 발광층(7004)은 단일층 또는 적층된 복수의 층을 사용하여 형성할 수 있다. 발광층(7004)을 복수의 층을 사용하여 형성하는 경우, 발광층(7004)은 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 및 정공 주입층을 이 순서로 적층함으로써 형성한다. 이러한 층을 모두 형성할 필요는 없다. 양극(7005)은 투광성을 갖는 도전막, 예컨대 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐

주석 산화물(이하에서 ITO로 칭함), 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물의 막을 사용하여 형성한다.

- [0340] 음극(7003)과 양극(7005) 사이에 발광층(7004)을 개재하는 영역이 발광 소자(7002)에 대응한다. 도 13a에 도시한 화소의 경우, 광은 화살표로 나타낸 바와 같이 발광 소자(7002)로부터 양극(7005)으로 방출된다.
- [0341] 다음으로, 하면 방출 구조의 발광 소자에 대해서 도 13b를 참조하여 설명한다. 도 13b는, 구동용 TFT(7011)가 n형이고, 광이 발광 소자(7012)로부터 음극(7013) 측으로 방출되는 경우의 화소의 단면도이다. 도 13b에서, 구동용 TFT(7011)와 전기적으로 접속되는 투광성 도전막(7017) 위에 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위로 발광층(7014) 및 양극(7015)이 이러한 순서로 적층된다. 양극(7015)이 투광성을 갖는 경우, 광을 반사 또는 차폐하기 위한 차광막(7016)을 형성하여 양극(7015)을 덮는다. 음극(7013)의 경우, 음극(7013)이 일함수가 작은 도전성 재료로 형성되는 한 도 13a의 경우처럼 다양한 재료를 사용할 수 있다. 음극(7013)은 광을 투과할 수 있는 두께(바람직하게는, 대략 5nm 내지 30nm)를 갖도록 형성한다. 예를 들면, 20nm의 두께를 갖는 알루미늄 막을 음극(7013)으로서 이용할 수 있다. 도 13a의 경우와 유사하게, 발광층(7014)은 단일층 또는 적층된 복수의 층 중 어느 하나를 이용하여 형성할 수 있다. 양극(7015)은 광을 투과시킬 필요는 없지만, 도 13a의 경우처럼 투광성을 갖는 도전성 재료를 이용해서 형성할 수 있다. 차광막(7016)으로서, 예를 들면 광을 반사하는 금속 등을 이용할 수 있지만, 금속 막에 한정하지 않는다. 예를 들면 흑색 안료를 첨가한 수지 등을 또한 이용할 수 있다.
- [0342] 음극(7013)과 양극(7015) 사이에 발광층(7014)을 개재하고 있는 영역이 발광 소자(7012)에 대응한다. 도 13b에 도시한 화소의 경우, 화살표로 나타낸 바와 같이 광은 발광 소자(7012)로부터 음극(7013) 측으로 방출된다.
- [0343] 다음으로, 이중 방출 구조의 발광 소자에 대해서 도 13c를 참조하여 설명한다. 도 13c에서, 구동용 TFT(7021)와 전기적으로 접속되는 투광성 도전막(7027) 위로 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위로 발광층(7024) 및 양극(7025)이 이러한 순서로 적층되어 있다. 도 13a의 경우처럼, 음극(7023)은 일함수가 작은 도전성 재료로 형성되는 한 임의의 다양한 재료를 이용하여 형성할 수 있다. 음극(7023)은 광을 투과시킬 수 있는 두께를 갖도록 형성한다. 예를 들면, 20nm의 두께를 갖는 Al의 막을 음극(7023)으로서 이용할 수 있다. 발광층(7024)은 도 13a의 경우처럼 단일층 또는 적층된 복수의 층을 이용하여 형성할 수 있다. 도 13a의 경우처럼, 양극(7025)은 투광성을 갖는 도전성 재료를 이용해서 형성할 수 있다.
- [0344] 음극(7023), 발광층(7024), 및 양극(7025)이 서로 겹치는 영역이 발광 소자(7022)에 대응한다. 도 13c에 도시한 화소의 경우, 화살표로 나타낸 바와 같이 광은 발광 소자(7022)로부터 양극(7025) 측과 음극(7023) 측 모두로 방출된다.
- [0345] 여기서, 발광 소자로서 유기 EL 소자를 기술하지만, 발광 소자로서 무기 EL 소자를 또한 제공할 수 있음을 알아야 한다.
- [0346] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되어 있는 예를 기술하지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구조를 이용할 수 있음을 알아야 한다.
- [0347] 반도체 장치의 구조는 도 13a 내지 13c에 도시한 구조에 한정되지 않고, 본 명세서에 개시하는 기법에 기초한 다양한 방식으로 변형할 수 있음을 알아야 한다.
- [0348] 다음으로, 반도체 장치의 한 실시형태인 발광 표시 패널(발광 패널로도 칭함)의 외관 및 단면을 도 11a 및 11b를 참조하여 설명한다. 도 11a는 제1 기판 위에 형성된 박막 트랜지스터 및 발광 소자가 시일재에 의해 제1 기판과 제2 기판 사이에 밀봉되는 패널의 평면도이다. 도 11b는 도 11a의 선 H-I에 따른 단면도이다.
- [0349] 제1 기판(4501) 위로 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 시일재(4505)를 제공한다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기판(4506)이 제공된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제1 기판(4501), 시일재(4505), 및 제2 기판(4506)에 의해 충전재(4507)와 함께 밀봉되어 있다. 이러한 방식으로, 패널이 외부 대기에 노출되지 않도록, 보호 필름(예컨대, 라미네이트 필름 또는 자외선 경화성 수지 필름) 또는 높은 기밀성 및 적은 탈기성을 갖는 커버재로 패널을 패키징(밀봉)하는 것이 바람직하다.
- [0350] 제1 기판(4501) 위로 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로

(4504a, 4504b)는 각각 복수의 박막 트랜지스터를 포함하는데, 화소부(4502)에 포함되는 박막 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)는 도 11b에서 예로서 나타내고 있다.

- [0351] 박막 트랜지스터(4509, 4510)의 경우, 실시형태 1, 2, 5, 및 6 중 임의의 것에서 기술한 산화물 반도체층을 포함하는 높은 신뢰성 박막 트랜지스터를 사용할 수 있다. 구동 회로용 박막 트랜지스터(4509)로서, 실시형태 1, 2, 5, 및 6에서 기술한 임의의 박막 트랜지스터(260, 289, 및 270)를 사용할 수 있다. 화소용 박막 트랜지스터(4510)로서, 임의의 박막 트랜지스터(420, 448, 220, 및 290)를 사용할 수 있다. 본 실시형태에서, 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.
- [0352] 구동 회로용 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 접지도록 절연층(4544)의 일부 위로 도전층(4540)이 제공된다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 접지도록 제공함으로써, BT 시험 전후의 박막 트랜지스터(4509)의 임계 전압의 변화량을 저감할 수 있다. 또한, 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4540)은 제2 게이트 전극층으로서도 기능할 수 있다. 대안으로, 도전층(4540)의 전위는 GND 또는 0V일 수 있거나, 도전층(4540)은 플로팅 상태일 수 있다.
- [0353] 박막 트랜지스터(4509)에서, 채널 보호층으로서 기능하는 절연층(4541a) 및 산화물 반도체층들의 적층체의 주연부(측면을 포함함)를 덮는 절연층(4541b)이 형성되어 있다. 유사한 방식으로, 박막 트랜지스터(4510)에서, 채널 보호층으로서 기능하는 절연층(4542a) 및 산화물 반도체층들의 적층체의 주연부를 덮는 절연층(4542b)이 형성되어 있다.
- [0354] 산화물 반도체층들의 적층체의 주연부(측면을 포함함)를 덮는 산화물 절연층인 절연층(4541b, 4542b) 각각은 게이트 전극층과 배선층, 예컨대 게이트 전극층 위 또는 주변에 형성된 소스 배선층 또는 커패시터 배선층 사이의 거리를 크게 하여 기생 용량을 저감할 수 있다. 절연층(4541a, 4541b, 4542a, 및 4542b)은 실시형태 1에서 기술한 산화물 절연층(426a, 426b)과 유사한 재료 및 방법으로 형성할 수 있다. 또한, 박막 트랜지스터의 표면 거칠기를 저감하기 위해서, 평탄화 절연막으로서 기능하는 절연층(4543)으로 박막 트랜지스터를 덮는다. 여기서, 절연층(4541a, 4541b, 4542a, 및 4542b)으로서, 실시형태 1에서 기술한 바와 같은 스퍼터법으로 산화 규소막을 형성한다.
- [0355] 절연층(4541a, 4541b, 4542a, 및 4542b) 위로 절연층(4543)이 형성되어 있다. 절연층(4543)은 실시형태 1에서 기술한 보호 절연층(403)과 유사한 재료 및 방법으로 형성할 수 있다. 여기서, 절연층(4543)으로서 RF 스퍼터법으로 질화 규소막을 형성한다.
- [0356] 평탄화 절연막으로서 절연층(4544)을 형성한다. 절연층(4544)은 실시형태 1에서 기술한 평탄화 절연층(404)과 유사한 재료 및 방법으로 형성할 수 있다. 여기서, 절연층(4544)으로서 아크릴 수지를 이용한다.
- [0357] 본 실시형태에서, 화소부의 복수의 박막 트랜지스터를 질화물 절연막으로 둘러쌀 수 있다. 절연층(4543) 및 게이트 절연층으로서 질화물 절연막을 이용하고, 도 11a 및 11b에 도시한 바와 같이 액티브 매트릭스 기판 위의 적어도 화소부의 주연을 둘러싸도록 절연층(4543)이 게이트 절연층과 접하는 영역을 제공할 수 있다. 이러한 제조 공정에서, 외부로부터의 수분의 침입을 방지할 수 있다. 또한, 장치가 반도체 장치, 예를 들면 표시 장치로서 완성된 후에도 장기간 외부로부터의 수분의 침입을 방지할 수 있고, 따라서 장치의 장기간 신뢰성을 달성할 수 있다.
- [0358] 또한, 참조부호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 발광 소자(4511)의 구조는 제1 전극층(4517), 전계 발광층(4512), 및 제2 전극층(4513)을 포함하는 적층 구조이지만, 이에 한정되지 않음을 알아야 한다. 발광 소자(4511)로부터 추출하는 광의 방향 등에 따라 발광 소자(4511)의 구조를 적절히 변경할 수 있다.
- [0359] 격벽(partition)(4520)은 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용해서 형성한다. 특히 감광성 재료를 이용하여 격벽(4520)을 형성하고, 제1 전극층(4517) 위로 개구를 형성하여, 개구의 측벽이 연속적인 곡률을 갖는 경사면으로서 형성하는 것이 바람직하다.
- [0360] 전계 발광층(4512)은 단일층 또는 적층된 복수의 층으로 형성할 수 있다.
- [0361] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제2 전극층(4513) 및 격벽(4520) 위로 보호막을 형성할 수 있다. 보호막으로서, 질화 규소막, 질화 산화 규소막, DLC 막 등을 형성할 수 있다.

- [0362] 또한, 신호선 구동 회로(4503a,4503b), 주사선 구동 회로(4504a,4504b), 또는 화소부(4502)에 공급되는 다양한 신호 및 전위는 FPC(4518a,4518b)로부터 공급된다.
- [0363] 접속 단자 전극(4515)은 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전막으로부터 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509,4510)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성된다.
- [0364] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통해 FPC(4518a)에 포함된 단자와 전기적으로 접속되어 있다.
- [0365] 광이 발광 소자(4511)로부터 추출되는 방향에 위치하는 제2 기판은 투광성을 가질 필요가 있다. 그 경우, 유리 판, 플라스틱판, 폴리에스테르 필름, 또는 아크릴 필름과 같은 투광성 재료를 제2 기판에 사용한다.
- [0366] 충전재(4507)로서, 질소 또는 아르곤과 같은 불활성 기체 외에, 자외선 경화성 수지 또는 열경화성 수지를 이용할 수 있다. 예를 들면, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 예를 들면 충전재로서 질소를 사용할 수 있다.
- [0367] 또한, 필요하다면, 발광 소자의 발광 표면 위에 광학 필름, 예컨대 편광판, 원 편광판(타원 편광판 포함함), 위상차 판($\lambda/4$ 판 또는 $\lambda/2$ 판), 또는 컬러 필터를 적절히 제공할 수 있다. 또한, 편광판 또는 원 편광판에 반사 방지막을 제공할 수 있다. 예를 들면, 표면의 돌출부 및 오목부에 의해 반사광을 확산할 수 있는 안티-글레어(anti-glare) 처리를 수행하여 글레어(glare)를 저감할 수 있다.
- [0368] 신호선 구동 회로(4503a,4503b) 및 주사선 구동 회로(4504a,4504b)는 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 구동 회로로서 실장될 수 있다. 대안으로, 신호선 구동 회로만 또는 그 일부, 또는 주사선 구동 회로만 또는 그 일부를 별도로 형성해서 실장할 수 있다. 본 실시형태는 도 11a 및 11b에 도시한 구조에 한정하지 않는다.
- [0369] 상술한 공정에 의해, 반도체 장치로서 높은 신뢰성 발광 표시 장치(표시 패널)를 제조할 수 있다.
- [0370] 본 실시형태는 실시형태 1 내지 4 및 실시형태 6 내지 8 중 임의의 것에서 기술한 구조와 적절히 조합해서 실시할 수 있다.
- [0371] [실시형태 12]
- [0372] 본 명세서에 개시하는 반도체 장치는 전자 페이퍼에 적용할 수 있다. 전자 페이퍼는 데이터를 표시할 수 있는 한 다양한 분야의 전자 기기에 이용할 수 있다. 예를 들면, 전자책 판독기(전자책), 포스터, 전철 등의 운송수단의 광고, 또는 신용카드 등의 각종 카드의 표시에 전자 페이퍼를 적용할 수 있다. 전자 장치의 예를 도 20에 나타낸다.
- [0373] 도 20은 전자책 판독기(2700)의 예를 나타내고 있다. 예를 들면, 전자책 판독기(2700)는 2개의 하우징, 즉 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)에 의해 조합되어, 전자책 판독기(2700)를 힌지(2711)를 축으로 개폐할 수 있다. 이러한 구조로, 전자책 판독기(2700)는 종이책처럼 동작할 수 있다.
- [0374] 하우징(2701) 및 하우징(2703)에는 각각 표시부(2705) 및 표시부(2707)가 포함되어 있다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 상이한 화상들을 표시하는 경우, 예를 들면 우측 표시부(도 20의 표시부(2705))는 텍스트를 표시하고, 좌측 표시부(도 20의 표시부(2707))는 그래픽을 표시할 수 있다.
- [0375] 도 20은 하우징(2701)이 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 하우징(2701)은 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해 페이지를 보낼 수 있다. 하우징의 표시부와 동일한 표면에 키보드, 포인팅 디바이스 등을 제공할 수 있음을 알아야 한다. 또한, 하우징의 뒷면 또는 측면에 외부 접속 단자(이어폰 단자, USB 단자, 각종 케이블과 접속할 수 있는 단자, 예컨대 AC 어댑터 및 USB 케이블 등), 기록 매체 삽입부 등을 제공할 수 있다. 또한, 전자책 판독기(2700)는 전자사전의 기능을 가질 수 있다.
- [0376] 전자책 판독기(2700)는 데이터를 무선으로 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 전자책 서버로부터 원하는 책 데이터 등을 구입 및 다운로드할 수 있다.

- [0377] [실시형태 13]
- [0378] 본 명세서에 개시하는 반도체 장치는 다양한 전자 기기(게임기 포함)에 적용할 수 있다. 전자 기기의 예로는 텔레비전 세트(텔레비전 또는 텔레비전 수신기로도 칭함), 컴퓨터 등의 모니터, 카메라, 예컨대 디지털 카메라 또는 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화 핸드셋(휴대 전화 또는 휴대 전화 장치로도 칭함), 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 대형 게임기, 예컨대 파친고 머신 등이 있다.
- [0379] 도 21a는 텔레비전 세트(9600)의 예를 나타내고 있다. 텔레비전 세트(9600)에서, 표시부(9603)는 하우징(9601)에 포함되어 있다. 표시부(9603)는 화상을 표시할 수 있다. 여기서, 스탠드(9605)에 의해 하우징(9601)이 지지된다.
- [0380] 텔레비전 세트(9600)는 하우징(9601)의 조작 스위치 또는 별도의 원격 조작기(9610)로 조작할 수 있다. 원격 조작기(9610)의 조작 키(9609)로 채널 및 음량을 조절할 수 있어 표시부(9603)에 표시된 화상을 조절할 수 있다. 또한, 원격 조작기(9610)는 원격 조작기(9610)로부터 출력된 데이터를 표시하기 위한 표시부(9607)를 구비할 수 있다.
- [0381] 텔레비전 세트(9600)는 수신기, 모뎀 등을 구비함을 알아야 한다. 수신기를 사용하면, 일반적인 텔레비전 방송을 수신할 수 있다. 수신기를 사용하면, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 표시 장치가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속되는 경우, 한 방향(송신자로부터 수신자에게로) 또는 쌍방향(송신자와 수신자 사이 또는 수신자들 사이) 정보 통신을 수행할 수 있다.
- [0382] 도 21b는 디지털 포토 프레임(9700)의 예를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)에서, 표시부(9703)는 하우징(9701)에 포함되어 있다. 표시부(9703)는 다양한 화상을 표시할 수 있다. 예를 들면, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상 데이터를 표시할 수 있고, 통상적인 사진 액자로서 기능할 수 있다.
- [0383] 디지털 포토 프레임(9700)은 조작부, 외부 접속 단자(USB 단자, 다양한 케이블과 접속할 수 있는 단자, 예컨대 USB 케이블, 등), 기록 매체 삽입부 등을 구비함을 알아야 한다. 이러한 컴포넌트는 표시부가 제공되는 표면 위에 제공할 수 있지만, 디지털 포토 프레임(9700)의 디자인을 위하여 측면 또는 뒷면에 제공하는 것이 바람직하다. 예를 들면, 디지털 포토 프레임의 기록 매체 삽입부에는 디지털 카메라로 촬영한 화상 데이터를 저장하는 메모리가 삽입되고, 이로 인해 화상 데이터를 표시부(9703)에 전달하여 표시할 수 있다.
- [0384] 디지털 포토 프레임(9700)은 데이터를 무선으로 송수신할 수 있다. 원하는 화상 데이터를 무선으로 전달하여 표시하는 구조를 이용할 수 있다.
- [0385] 도 22a는 휴대형 게임기이고, 연결부(9893)에 연결되는 2개의 하우징인 하우징(9881) 및 하우징(9891)으로 구성되어 휴대형 게임기를 열거나 접을 수 있다. 표시부(9882) 및 표시부(9883)는 각각 하우징(9881) 및 하우징(9891)에 포함되어 있다. 또한, 도 22a에 도시하는 휴대형 게임기는 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새, 또는 적외선을 측정하는 기능이 있음), 및 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 오락기의 구조는 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체 장치를 구비한 다른 구조를 사용할 수 있다. 휴대형 오락기는 다른 부속 장비를 적절하게 포함할 수 있다. 도 22a에 도시하는 휴대형 게임기는 기록 매체에 기록되어 있는 프로그램 또는 데이터를 읽어내서 표시부에 표시하는 기능, 및 또 다른 휴대형 게임기와 무선 통신으로 정보를 공유하는 기능을 갖는다. 도 22a에 도시하는 휴대형 게임기의 기능은 상술한 것에 한정되지 않고, 휴대형 게임기는 다양한 기능을 가질 수 있음을 알아야 한다.
- [0386] 도 22b는 대형 오락기인 슬롯머신(9900)의 예를 나타내고 있다. 슬롯머신(9900)에서, 표시부(9903)는 하우징(9901)에 포함되어 있다. 또한, 슬롯머신(9900)은 조작 수단, 예컨대 스타트 레버 또는 스톱 스위치, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯머신(9900)의 구조는 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체 장치를 구비한 다른 구조를 이용할 수 있다. 슬롯머신(9900)은 다른 부속 장비를 적절하게 포함할 수 있다.
- [0387] 도 23a는 휴대형 컴퓨터의 예를 나타내는 사시도다.
- [0388] 도 23a의 휴대형 컴퓨터에서, 상부 하우징(9301) 및 하부 하우징(9302)에 연결하는 힌지 유닛을 폐쇄함으로써, 표시부(9303)를 갖는 상부 하우징(9301) 및 키보드(9304)를 갖는 하부 하우징(9302)을 서로 겹칠 수 있다. 도

23a의 휴대형 컴퓨터는 운반하기 편리하다. 또한, 입력을 위해 키보드를 사용하는 경우, 힌지 유닛을 개방하여 사용자는 표시부(9303)를 보면서 입력할 수 있다.

- [0389] 하부 하우징(9302)은 키보드(9304) 외에, 입력을 행하는 포인팅 디바이스(9306)를 구비한다. 또한, 표시부(9303)가 터치 입력 패널인 경우, 표시부의 일부를 터치함으로써 입력을 수행할 수 있다. 하부 하우징(9302)은 CPU 또는 하드디스크와 같은 연산 기능부를 포함한다. 또한, 하부 하우징(9302)은 또 다른 장치, 예를 들면 USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(9305)를 포함한다.
- [0390] 표시부(9307)를 포함하고, 표시부(9307)를 상부 하우징(9301)의 내부로 활주시켜 유지할 수 있는 상부 하우징(9301)은 큰 표시 화면을 가질 수 있다. 또한, 사용자는 상부 하우징(9301)에서 유지될 수 있는 표시부(9307)의 화면의 방향을 조절할 수 있다. 상부 하우징(9301)에서 유지될 수 있는 표시부(9307)가 터치 입력 패널인 경우, 상부 하우징(9301)에서 유지될 수 있는 표시부(9307)의 일부를 터치함으로써 입력을 수행할 수 있다.
- [0391] 표시부(9303) 또는 상부 하우징(9301)에서 유지될 수 있는 표시부(9307)는 액정 표시 패널, 발광 표시 패널, 예컨대 유기 발광 소자 또는 무기 발광 소자 등의 화상 표시 장치를 사용하여 형성한다.
- [0392] 또한, 도 23a의 휴대형 컴퓨터는 수신기 등을 구비할 수 있고, 텔레비전 방송을 수신해서 화상을 표시부에 표시할 수 있다. 사용자는 상부 하우징(9301)과 하부 하우징(9302)을 연결하는 힌지 유닛을 폐쇄한 채 표시부(9307)를 활주시켜 표시부(9307)의 전체 화면을 노출시켜 텔레비전 방송을 볼 수 있다. 이 경우, 힌지 유닛은 개방하지 않고, 표시는 표시부(9303)에서 수행되지 않는다. 또한, 텔레비전 방송을 표시하기 위한 회로만의 기동을 수행한다. 그러므로 전력을 최소로 소비할 수 있고, 이는 배터리 용량이 제한되는 휴대형 컴퓨터에 유용하다.
- [0393] 도 23b는 손목 시계와 같이 사용자가 손목에 착용할 수 있는 휴대 전화의 예를 나타내는 사시도이다.
- [0394] 이 휴대 전화는, 적어도 전화 기능을 갖는 통신 장치, 및 배터리를 포함하는 본체; 본체를 손목에 착용하게 하는 밴드부(9204); 손목에 고정된 밴드부(9204)의 고정 상태를 조절하기 위한 조절부(9205); 표시부(9201); 스피커(9207); 및 마이크(9208)로 형성한다.
- [0395] 또한, 본체는 조작 스위치(9203)를 구비한다. 조작 스위치(9203)는 개별 기능을 가질 수 있는데, 예를 들어 전원 스위치, 표시 전환 스위치, 활상 개시 지시 스위치 외에, 버튼을 누르면 인터넷용 프로그램을 개시하기 위한 스위치 등의 기능을 할 수 있다.
- [0396] 이러한 휴대 전화의 입력은 손가락 또는 입력 펜으로 표시부(9201)를 터치하고, 조작 스위치(9203)를 조작하고, 또는 마이크(9208)에 음성을 입력함으로써 조작한다. 도 23b에서, 표시부(9201)는 터치 패널(9209)을 포함하고, 표시 버튼(9202)은 표시부(9201)에 표시된다. 입력은 손가락 등으로 표시 버튼(9202)을 터치함으로써 수행할 수 있다.
- [0397] 또한, 본체는 카메라 렌즈를 통해 형성되는 피사체상을 전자 화상 신호로 전환하기 위한 기능이 있는 활상 수단을 포함하는 카메라부(9206)를 구비한다. 카메라부가 반드시 제공될 필요는 없음을 알아야 한다.
- [0398] 도 23b에 도시하는 휴대 전화는 텔레비전 방송의 수신기 등을 구비하고, 텔레비전 방송을 수신함으로써 화상을 표시부(9201)에 표시할 수 있다. 또한, 도 23b에 도시하는 휴대 전화는 메모리와 같은 기억 장치 등을 구비하고, 텔레비전 방송을 메모리에 녹화할 수 있다. 도 23b에 도시하는 휴대 전화는 GPS 등의 위치 정보를 수집할 수 있는 기능을 가질 수 있다.
- [0399] 표시부(9201)로서, 액정 표시 패널, 발광 표시 패널, 예컨대 유기 발광 소자 또는 무기 발광 소자 등의 화상 표시 장치를 이용한다. 도 23b에 도시하는 휴대 전화는 소형이면서 경량이고, 따라서 배터리 용량이 제한된다. 그러므로 표시부(9201)를 위한 표시 장치는 저소비 전력으로 구동할 수 있는 패널을 사용하는 것이 바람직하다.
- [0400] 도 23b는 손목에 착용하는 전자 장치를 도시하지만, 본 실시형태는 휴대가능한 형상을 갖고 있는 한 어디에도 한정되지 않음을 알아야 한다.
- [0401] [실시형태 14]
- [0402] 본 실시형태에서, 반도체 장치의 한 모드로서, 실시형태 1, 2, 5, 및 6 중 임의의 것에서 기술한 박막 트랜지스터를 포함하는 표시 장치의 예를 도 24 내지 도 35를 참조하여 설명할 것이다. 본 실시형태에서, 표시 소자로서 액정 소자를 각각 포함하는 액정 표시 장치의 예를 도 24 내지 도 35를 참조하여 설명한다. 도 24 내지 도 35에 도시한 액정 표시 장치에 사용되는 TFT(628,629)는 실시형태 1, 2, 5, 및 6에서 기술한 임의의 박막 트랜

지스터가 사용될 수 있다. 또한, TFT(628,629)는 실시형태 1, 2, 5, 또는 6에서 기술한 공정과 동일한 공정으로 제조할 수 있고, 높은 전기 특성 및 높은 신뢰성을 갖는다. TFT(628) 및 TFT(629)는 각각 채널 보호층(608) 및 채널 보호층(611)을 포함하고, 반도체막을 채널 형성 영역으로서 포함하는 역 스테거형(inverted staggered) 박막 트랜지스터이다.

- [0403] 우선, 수직 정렬(VA) 액정 표시 장치가 도시되어 있다. VA 액정 표시 장치는 액정 표시 패널의 액정 분자의 배열을 제어하는 형태의 한 종류이다. VA 액정 표시 장치에서, 전압이 인가되지 않는 경우, 액정 분자는 패널 표면에 대하여 수직 방향으로 배열된다. 본 실시형태 모드에서, 특히 화소는 몇 개의 영역(서브화소)으로 나누고, 분자들은 개별 영역에서 상이한 방향으로 배열된다. 이는 멀티-도메인 또는 멀티-도메인 설계로서 칭한다. 이하에서, 멀티-도메인 설계의 액정 표시 장치에 대해서 설명한다.
- [0404] 도 25 및 26은 각각 화소 전극 및 대향 전극을 나타내고 있다. 도 25는 화소 전극이 형성되는 기관 층의 평면도이다. 도 24는 도 25의 선 E-F에 따른 단면 구조를 나타내고 있다. 도 26은 대향 전극이 형성되는 기관 층의 평면도이다. 이하에서, 이러한 도면들을 참조하여 설명한다.
- [0405] 도 24에서, TFT(628), TFT(628)와 접속하는 화소 전극(624), 및 축적 커패시터부(630)가 형성되어 있는 기관(600) 및 대향 전극(640) 등이 구비된 대향 기관(601)은 서로 겹치고, 액정은 기관(600)과 대향 기관(601) 사이에 주입된다.
- [0406] 도시되어 있지 않지만, 대향 기관(601)이 스페이서를 구비하는 위치에, 제1 착색막, 제2 착색막, 제3 착색막, 및 대향 전극(640)이 형성되어 있다. 이러한 구조로, 액정의 배향을 제어하기 위한 돌출부(644)의 높이는 스페이서의 높이와 상이하게 된다. 화소 전극(624) 위로 배향막(648)이 형성되어 있고, 유사하게 대향 전극(640) 위로 배향막(646)이 형성되어 있다. 액정층(650)은 배향막 646과 648 사이에 형성되어 있다.
- [0407] 스페이서로서, 주상 스페이서가 형성될 수 있고, 대안으로, 스페이서 비즈(beads)가 분산될 수 있다. 스페이서가 투광성을 갖는 경우, 기관(600) 위로 형성되는 화소 전극(624) 위에 스페이서를 형성할 수 있다.
- [0408] 기관(600) 위로 TFT(628), TFT(628)에 접속하는 화소 전극(624), 및 축적 커패시터부(630)가 형성된다. 화소 전극(624)은, TFT(628), 배선(616), 및 축적 커패시터부(630)를 덮는 절연막(620)을 관통하고, 또한 절연막(620)을 덮는 제3 절연막(622)을 관통하는 콘택트 홀(623)을 통해 배선(618)과 접속한다. TFT(628)로서, 실시형태 1, 2, 5, 및 6 중 임의의 것에서 기술한 박막 트랜지스터를 적절하게 사용할 수 있다. 또한, 축적 커패시터부(630)는, TFT(628)의 게이트 배선(602)과 동시에 형성한 제1 커패시터 배선(604), 게이트 절연막(606), 및 배선(616) 및 배선(618)과 동시에 형성한 제2 커패시터 배선(617)을 포함한다.
- [0409] 화소 전극(624), 액정층(650), 및 대향 전극(640)이 서로 중첩하여 액정 소자가 형성되어 있다.
- [0410] 도 25는 기관(600) 위의 구조를 나타낸다. 화소 전극(624)은 실시형태 1에서 기술한 재료를 이용해서 형성한다. 화소 전극(624)에는 슬릿(625)이 형성되어 있다. 슬릿(625)은 액정의 배향을 제어하도록 형성한다.
- [0411] 도 25에 도시되어 있는 TFT(629), TFT(629)에 접속하는 화소 전극(626), 및 축적 커패시터부(631)는 각각 TFT(628), 화소 전극(624), 및 축적 커패시터부(630)와 유사한 방식으로 형성할 수 있다. TFT(628) 및 TFT(629) 둘 다는 배선(616)과 접속하고 있다. 이러한 액정 표시 패널의 화소는 화소 전극(624) 및 화소 전극(626)을 포함한다. 화소 전극(624) 및 화소 전극(626)은 서브화소이다.
- [0412] 도 26은 대향 기관 층의 구조를 나타낸다. 차광막(632) 위로 대향 전극(640)이 형성되어 있다. 대향 전극(640)은 화소 전극(624)과 동일한 재료를 이용해서 형성하는 것이 바람직하다. 대향 전극(640) 위로 액정의 배향을 제어하는 돌출부(644)가 형성되어 있다.
- [0413] 도 27은 이러한 화소 구조의 등가 회로를 나타낸다. TFT(628) 및 TFT(629) 둘 다는 게이트 배선(602) 및 배선(616)과 접속한다. 이 경우, 커패시터 배선(604)과 커패시터 배선(605)의 전위가 서로 상이할 때 액정 소자(651)와 액정 소자(652)의 동작을 변경할 수 있다. 즉, 커패시터 배선(604)과 커패시터 배선(605)의 전위를 개별 제어함으로써 액정의 배향을 정밀하게 제어하고 시야각을 넓힌다.
- [0414] 슬릿(625)을 구비한 화소 전극(624)에 전압을 인가하면, 슬릿(625)의 근방에는 왜곡된 전계(경사 전계)가 발생한다. 슬릿(625) 및 대향 기관(601) 층의 돌출부(644)를 교대로 맞물리는 방식으로 배치하고, 따라서 경사 전계가 효과적으로 발생해 액정의 배향을 제어하여, 액정의 배향 방향은 위치에 따라 변한다. 즉, 도메인 증가로 인해 액정 표시 패널의 시야각이 넓어진다.

- [0415] 다음으로, 상술한 장치와는 상이한 또 다른 VA 액정 표시 장치를 도 28 내지도 31을 참조하여 설명한다.
- [0416] 도 28 및 29는 각각 VA 액정 표시 장치의 화소 구조를 나타내고 있다. 도 29는 기관(600)의 평면도를 나타낸다. 도 28은 도 29의 선 Y-Z에 따른 단면 구조를 나타낸다. 이러한 도면들을 참조하여 설명할 것이다.
- [0417] 이러한 화소 구조에서, 하나의 화소에 복수의 화소 전극이 제공되고, 각각의 화소 전극에 TFT가 접속되어 있다. 복수의 TFT는 상이한 게이트 신호로 구동되도록 구성한다. 즉, 멀티-도메인 화소 내 개별 화소 전극에 인가하는 신호들은 서로 무관하게 제어한다.
- [0418] 콘택트 홀(623)을 경유해, 화소 전극(624)은 배선(618)을 통해 TFT(628)와 접속하고 있다. 콘택트 홀(627)을 경유해, 화소 전극(626)은 배선(619)을 통해 TFT(629)와 접속하고 있다. TFT(628)의 게이트 배선(602)은 TFT(629)의 게이트 배선(603)으로부터 분리되어 있어, 상이한 게이트 신호가 공급될 수 있다. 한편, 데이터선으로서 기능하는 배선(616)은 TFT(628) 및 TFT(629)가 공유한다. TFT(628) 및 TFT(629)로서, 실시형태 1, 2, 5, 및 6 중 임의의 것에서 나타난 박막 트랜지스터를 적절히 사용할 수 있다. 또한, 커패시터 배선(690)이 제공된다.
- [0419] 화소 전극(624)의 형상은 화소 전극(626)의 형상과 상이하고, 화소 전극들은 슬릿(625)에 의해 분리되어 있다. 화소 전극(626)은 V 형상을 갖는 화소 전극(624)을 둘러싼다. TFT(628) 및 TFT(629)는 화소 전극(624) 및 화소 전극(626)에 전압을 인가하는 타이밍을 서로 다르게 하여 액정의 배향을 제어한다. 도 31은 이러한 화소 구조의 등가 회로를 나타낸다. TFT(628)는 게이트 배선(602)과 접속하고, TFT(629)는 게이트 배선(603)과 접속한다. 게이트 배선(602) 및 게이트 배선(603)에 상이한 게이트 신호를 공급하면, TFT(628) 및 TFT(629)의 동작 타이밍을 다르게 할 수 있다.
- [0420] 대향 기관(601)에는 제2 착색막(636), 및 대향 전극(640)이 형성되어 있다. 또한, 제2 착색막(636)과 대향 전극(640) 사이에 평탄화 막(637)이 형성되어 액정의 배향 흐트러짐을 방지하고 있다. 도 30은 대향 기관 측의 구조를 나타낸다. 대향 전극(640)은 복수의 화소에 의해 공유되고, 슬릿(641)은 대향 전극(640)에 형성되어 있다. 슬릿(641) 및 화소 전극(624)과 화소 전극(626) 측의 슬릿(625)을 교대로 맞물리는 방식으로 배치하고, 따라서 경사 전계가 효과적으로 발생하고, 액정의 배향이 제어될 수 있다. 따라서, 액정의 배향이 서로 다른 장소에서 변할 수 있어 시야각이 넓어진다.
- [0421] 화소 전극(624), 액정층(650), 및 대향 전극(640)이 서로 중첩하여 제1 액정 소자가 형성되어 있다. 또한, 화소 전극(626), 액정층(650), 및 대향 전극(640)이 서로 중첩하여 제2 액정 소자가 형성되어 있다. 또한, 하나의 화소에 제1 액정 소자 및 제2 액정 소자가 설치된 멀티-도메인 구조를 이용한다.
- [0422] 다음으로, 수평 전계 모드의 액정 표시 장치가 도시되어 있다. 수평 전계 모드에서, 전계는 셀 내 액정 분자에 대하여 수평 방향으로 인가되어, 액정은 그레이 스케일을 표현하도록 구동된다. 이러한 방법에 따르면, 시야각을 약 180°까지 넓힐 수 있다. 이하에서, 수평 전계 모드의 액정 표시 장치를 설명한다.
- [0423] 도 32는, TFT(628) 및 TFT(628)에 접속하는 화소 전극(624)이 제공된 기관(600) 및 대향 기관(601)이 서로 겹치고, 액정이 그 사이에 주입된 상태를 나타낸다. 대향 기관(601)에는 제2 착색막(636), 평탄화 막(637) 등이 형성되어 있다. 화소 전극은 기관(600)에 형성되어 있고, 대향 기관(601)에는 형성되어 있지 않다. 기관(600)과 대향 기관(601) 사이에 액정층(650)이 형성되어 있다.
- [0424] 기관(600) 위로 제1 화소 전극(607), 제1 화소 전극(607)에 접속하는 커패시터 배선(604), 및 실시형태 1, 2, 5, 또는 6에서 기술한 TFT(628)가 형성된다. 제1 화소 전극(607)은 실시형태 1에서 기술한 화소 전극층(427)과 유사한 재료를 이용해서 형성할 수 있다. 제1 화소 전극(607)은 거의 화소의 형상으로 구획화되어 있다. 제1 화소 전극(607) 및 커패시터 배선(604) 위로 게이트 절연막(606)이 형성된다.
- [0425] TFT(628)의 배선(616) 및 배선(618)은 게이트 절연막(606) 위로 형성된다. 배선(616)은 비디오 신호가 이동하는 데이터선이고, 액정 표시 패널에서 한 방향으로 연장되고, TFT(628)의 소스 영역 또는 드레인 영역과 접속하고, 소스 전극 및 드레인 전극 중 하나로서 기능한다. 배선(618)은 소스 전극 및 드레인 전극 중 다른 하나로서 기능하고, 제2 화소 전극(624)과 접속한다.
- [0426] 배선(616) 및 배선(618) 위로 제2 절연막(620)이 형성된다. 또한, 절연막(620) 위로, 절연막(620)에 형성되는 콘택트 홀에서 배선(618)에 접속하는 제2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시형태 1에서 기술한 화소 전극층(427)과 유사한 재료를 이용해서 형성한다.

- [0427] 이러한 방식으로, 기판(600) 위로 TFT(628) 및 TFT(628)에 접속하는 제2 화소 전극(624)이 형성된다. 보유 커패시터는 제1 화소 전극(607)과 제2 화소 전극(624) 사이에 형성한다.
- [0428] 도 33은 화소 전극의 구조를 도시하는 평면도이다. 도 32는 도 33의 선 O-P에 따른 단면 구조를 나타낸다. 화소 전극(624)에는 슬릿(625)이 설치된다. 슬릿(625)은 액정의 배향을 제어하도록 형성한다. 이 경우, 전계는 제1 화소 전극(607)과 제2 화소 전극(624) 사이에서 발생한다. 제1 화소 전극(607)과 제2 화소 전극(624) 사이에는 게이트 절연막(606)이 형성되어 있지만, 게이트 절연막(606)의 두께는 50nm 내지 200nm이고, 이는 2 μ m 내지 10 μ m의 두께를 갖는 액정층의 두께에 비해 충분히 얇다. 그러므로 실질적으로 기판(600)과 평행한 방향(수평 방향)에서 전계가 발생한다. 이러한 전계에 의해 액정의 배향이 제어된다. 기판과 거의 평행한 방향의 전계를 이용해서 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 임의의 상태에서 수평으로 배열되므로, 콘트라스트 등은 시야각에 의한 영향이 적고, 따라서 시야각이 넓어진다. 또한, 제1 화소 전극(607) 및 제2 화소 전극(624) 둘 다가 투광성 전극이므로, 개구율을 개선할 수 있다.
- [0429] 다음으로, 수평 전계 모드의 액정 표시 장치의 다른 예가 도시되어 있다.
- [0430] 도 34 및 35는 IPS 모드의 액정 표시 장치의 화소 구조를 나타내고 있다. 도 35는 평면도이고, 도 34는 도 35의 선 V-W에 따른 단면 구조를 나타내고 있음을 알아야 한다. 이러한 도면들을 참조하여 설명할 것이다.
- [0431] 도 34는, TFT(628) 및 TFT(628)에 접속하는 화소 전극(624)이 형성된 기판(600) 및 대향 기판(601)이 서로 겹치고, 액정이 그 사이에 주입된 상태를 나타내고 있다. 대향 기판(601)에는 제2 착색막(636), 평탄화 막(637) 등이 형성되어 있다. 화소 전극은 기판(600)에 제공되고, 대향 기판(601)에는 제공되지 않는다. 기판(600)과 대향 기판(601) 사이에 액정층(650)이 형성되어 있다.
- [0432] 기판(600) 위로 공통 전위선(609) 및 실시형태 1, 2, 5, 또는 6에서 기술한 TFT(628)가 형성된다. 공통 전위선(609)은 TFT(628)의 게이트 배선(602)과 동시에 형성할 수 있다.
- [0433] TFT(628)의 배선(616) 및 배선(618)은 게이트 절연막(606) 위로 형성된다. 배선(616)은 비디오 신호가 이동하는 데이터선이고, 액정 표시 패널에서 한 방향으로 연장되고, TFT(628)의 소스 영역 또는 드레인 영역과 접속하고, 소스 전극 및 드레인 전극 중 하나로서 기능한다. 배선(618)은 소스 전극 및 드레인 전극 중 다른 하나로서 기능하고, 제2 화소 전극(624)과 접속한다.
- [0434] 배선(616) 및 배선(618) 위로 제2 절연막(620)이 형성된다. 또한, 절연막(620) 위로, 절연막(620)에 형성되는 컨택트 홀(623)과 접해서 배선(618)에 접속하는 제2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시형태 1에서 기술한 화소 전극층(427)과 유사한 재료를 이용해서 형성한다. 도 35에 도시한 바와 같이, 화소 전극(624)은 공통 전위선(609)과 동시에 형성되는 빗(comb) 형상의 전극과 수평 전계가 발생하도록 형성된다는 점을 알아야 한다. 또한, 화소 전극(624)의 빗 형상 부분 및 공통 전위선(609)과 동시에 형성되는 빗 형상 전극은 서로 상응한다.
- [0435] 화소 전극(624)에 인가되는 전위와 공통 전위선(609)의 전위 사이에 전계가 발생하면, 이러한 전계에 의해 액정의 배향이 제어된다. 기판과 거의 평행한 방향의 전계를 이용해서 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 임의의 상태에서 수평으로 배열되므로, 콘트라스트 등은 시야각에 의한 영향이 적고, 따라서 시야각이 넓어진다.
- [0436] 이러한 방식으로, 기판(600) 위로 TFT(628) 및 TFT(628)에 접속하는 화소 전극(624)이 형성된다. 축적 커패시터는 공통 전위선(609)과 커패시터 전극(615) 사이에 게이트 절연막(606)을 제공함으로써 형성된다. 커패시터 전극(615)은 컨택트 홀(633)을 통해 화소 전극(624)과 접속되어 있다.
- [0437] 상술한 공정에 의해, 표시 장치로서 액정 표시 장치를 제조할 수 있다.
- [0438] [실시형태 15]
- [0439] 액정 표시 패널의 크기가 10인치를 초과하고, 60인치, 또는 120인치로 설정되는 경우, 투광성 배선의 배선 저항은 문제가 될 수 있으므로, 본 실시형태에서는 게이트 배선의 일부로서 금속 배선을 사용함으로써 배선 저항을 저감하는 예를 기술할 것이다.
- [0440] 도 3a 및 도 36a의 동일한 부분은 동일한 참조부호를 이용하고, 그 상세한 설명은 생략함을 알아야 한다. 본 실시형태는 실시형태 1에서 기술한 액티브 매트릭스 기판에 적용할 수 있음을 알아야 한다.
- [0441] 도 36a 및 36b는 구동 회로의 박막 트랜지스터의 게이트 전극층을 금속 배선을 사용하여 형성하는 예이다. 구

동 회로에서, 게이트 전극층의 재료는 투광성을 갖는 재료에 한정되지 않는다. 금속 배선이 형성되므로, 실시 형태 1 및 실시 형태 2에 비해 포토마스크의 수는 증가함을 알아야 한다.

- [0442] 도 36a에서, 구동 회로의 박막 트랜지스터(260)는 제1 금속 배선층(242) 위로 제2 금속 배선층(241)이 적층되는 게이트 전극층을 포함한다. 제1 금속 배선층(242)은 제1 금속 배선층(236)과 동일한 재료 및 동일한 공정으로 형성할 수 있음을 알아야 한다. 제2 금속 배선층(241)은 제2 금속 배선층(237)과 동일한 재료 및 동일한 공정으로 형성할 수 있다.
- [0443] 유사한 방식으로, 도 36b에서, 구동 회로의 박막 트랜지스터(270)는 제1 금속 배선층(244) 위로 제2 금속 배선층(243)이 적층되는 게이트 전극층을 포함한다. 제1 금속 배선층(244)은 제1 금속 배선층(236)과 동일한 재료 및 동일한 공정으로 형성할 수 있음을 알아야 한다. 제2 금속 배선층(243)은 제2 금속 배선층(237)과 동일한 재료 및 동일한 공정으로 형성할 수 있다.
- [0444] 제1 금속 배선층(242)과 도전층(267)이 서로 전기적으로 접속하는 경우, 제1 금속 배선층(242)의 산화를 방지하기 위하여 제공되는 제2 금속 배선층(241)은 바람직하게는 질화 금속막이다. 유사한 방식으로, 제1 금속 배선층(244)과 도전층(277)이 서로 전기적으로 접속하는 경우, 제1 금속 배선층(244)의 산화를 방지하기 위하여 제공되는 제2 금속 배선층(243)은 질화 금속막이 바람직하다.
- [0445] 우선, 기판(200) 위로, 탈수화 또는 탈수소화를 위한 제1 가열 처리를 견딜 수 있는 내열성 도전성 재료막(그 두께는 100nm 이상 500nm 이하)을 형성한다.
- [0446] 본 실시 형태에서, 370nm의 두께를 갖는 텅스텐 막과 50nm의 두께를 갖는 질화 탄탈 막을 형성한다. 여기서, 도전막을 질화 탄탈 막과 텅스텐 막의 적층체로 형성하지만, 본 실시 형태는 이에 한정되지 않는다. 도전막은, Ta, W, Ti, Mo, Al, 및 Cu로부터 선택된 원소, 임의의 이러한 원소를 성분으로서 포함하는 합금, 임의의 이러한 원소의 조합을 포함하는 합금 막, 또는 임의의 이러한 원소를 성분으로서 포함하는 질화물을 사용해서 형성한다. 또한, 내열성 도전성 재료 막은 전술한 임의의 원소를 포함하는 단일층 구조에 한정되지 않고, 2층 이상의 적층 구조를 가질 수 있다.
- [0447] 배선은 제1 포토리소그래피 공정을 통해 형성하여, 제1 금속 배선층(236)과 제2 금속 배선층(237), 제1 금속 배선층(242)과 제2 금속 배선층(241), 및 제1 금속 배선층(244)과 제2 금속 배선층(243)을 형성한다. 텅스텐 막 및 질화 탄탈 막의 에칭에는 유도 결합형 플라즈마(ICP: inductively coupled plasma) 에칭법을 이용하는 것이 바람직하다. ICP 에칭법을 이용하여, 에칭 조건(코일 형상 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절함으로써 막을 원하는 테이퍼 형상으로 에칭할 수 있다. 제1 금속 배선층(236)과 제2 금속 배선층(237)을 테이퍼 형상으로 에칭하는 경우, 금속 배선층들과 접해서 형성되는 투광성을 갖는 도전막 형성 시의 결합을 저감할 수 있다.
- [0448] 이어서, 투광성 도전막을 형성한 후, 제2 포토리소그래피 공정에 의해 게이트 배선층(238) 및 박막 트랜지스터(220)의 게이트 전극층을 형성한다. 투광성 도전막은 실시 형태 1에서 기술한 가시광에 대하여 투광성을 갖는 도전성 재료를 이용하여 형성한다.
- [0449] 예를 들면, 제1 금속 배선층(236) 또는 제2 금속 배선층(237)과 접하는 게이트 배선층(238)의 계면이 존재하는 경우, 투광성 도전막의 재료에 따라 접촉 저항이 증가할 수 있도록 나중에 수행하는 가열 처리에 의해 산화막이 형성될 수 있고, 그러므로 제2 금속 배선층(237)은 제1 금속 배선층(236)의 산화를 방지하는 질화 금속막을 이용하여 형성하는 것이 바람직하다.
- [0450] 다음으로, 실시 형태 1의 공정과 유사한 공정으로 게이트 절연층, 산화물 반도체층 등을 형성한다. 이후의 공정을 실시 형태 1에 따라 수행하여 액티브 매트릭스 기판을 제조한다.
- [0451] 도 36a 및 36b에는 제2 금속 배선층(237)의 일부와 겹치는 게이트 배선층(238)을 나타내고 있다. 대안으로, 게이트 배선층은 제1 금속 배선층(236) 및 제2 금속 배선층(237)의 전부를 덮을 수 있다. 즉, 제1 금속 배선층(236) 및 제2 금속 배선층(237)은 게이트 배선층(238)의 저항을 저감하기 위한 보조 배선으로 칭할 수 있다.
- [0452] 또한, 단자부에서, 게이트 배선의 전위와 동일한 전위의 제1 단자 전극은 보호 절연층(203) 위로 형성되고, 제2 금속 배선층(237)과 전기적으로 접속한다. 단자부로부터 주회하는 배선도 금속 배선을 사용하여 형성한다.
- [0453] 또한, 배선 저항을 저감하기 위한 금속 배선, 즉 제1 금속 배선층(236) 및 제2 금속 배선층(237)은, 표시 영역이 아닌 부분의 게이트 배선층 및 커패시터 배선층을 위한 보조 배선으로서 사용할 수도 있다.

[0454] 본 실시형태에서, 금속 배선을 부분적으로 사용함으로써 배선 저항을 저감한다. 따라서, 액정 표시 패널의 크기가 10인치를 초과하고, 60인치, 또는 120인치로 설정되는 경우에도 표시 화상의 높은 선명도를 얻을 수 있고, 높은 개구율을 달성할 수 있다.

[0455] 본원은 그 전반적인 내용이 참조로서 포함되는, 일본특허청에 2009년 7월 31일에 출원한 일본특허 출원번호 2009-179722에 기초한다.

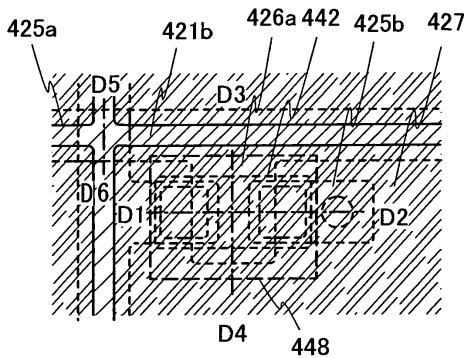
부호의 설명

[0456] 10: 펄스 출력 회로; 11: 배선; 12: 배선; 13: 배선; 14: 배선; 15: 배선; 21: 입력 단자; 22: 입력 단자; 23: 입력 단자; 24: 입력 단자; 25: 입력 단자; 26: 출력 단자; 27: 출력 단자; 28: 박막 트랜지스터; 31: 트랜지스터; 32: 트랜지스터; 33: 트랜지스터; 34: 트랜지스터; 35: 트랜지스터; 36: 트랜지스터; 37: 트랜지스터; 38: 트랜지스터; 39: 트랜지스터; 40: 트랜지스터; 41: 트랜지스터; 42: 트랜지스터; 43: 트랜지스터; 51: 전원선; 52: 전원선; 53: 전원선; 61: 기간; 62: 기간; 200: 기관; 202: 게이트 절연층; 203: 보호 절연층; 204: 평탄화 절연층; 205: 공통 전위선; 206: 공통 전극층; 207: 산화물 반도체층; 208: 산화물 절연층; 209: 공통 전위선; 210: 보조 배선; 220: 박막 트랜지스터; 221: 단자; 222: 단자; 223: 접속 전극층; 225: 투명 도전층; 226: 전극층; 227: 화소 전극층; 228: 보조 전극층; 229: 보조 전극층; 230: 커패시터 배선층; 231: 커패시터 전극; 236: 금속 배선층; 237: 금속 배선층; 238: 게이트 배선층; 241: 금속 배선층; 242: 금속 배선층; 243: 금속 배선층; 244: 금속 배선층; 245: 박막 트랜지스터; 250: 커패시터 배선층; 251: 산화물 반도체층; 252: 산화물 반도체층; 254: 소스 배선; 255: 단자 전극; 256: 소스 배선; 257: 단자 전극; 260: 박막 트랜지스터; 261: 게이트 전극층; 263: 채널 형성 영역; 265a: 소스 전극층; 265b: 드레인 전극층; 267: 도전층; 268: 보조 전극층; 269: 보조 배선; 270: 박막 트랜지스터; 271: 게이트 전극층; 273: 채널 형성 영역; 277: 도전층; 280: 박막 트랜지스터; 281: 게이트 전극층; 283: 채널 형성 영역; 289: 박막 트랜지스터; 290: 박막 트랜지스터; 293: 채널 형성 영역; 400: 기관; 402: 게이트 절연층; 403: 보호 절연층; 404: 평탄화 절연층; 420: 박막 트랜지스터; 422: 산화물 반도체층; 423: 채널 형성 영역; 427: 화소 전극층; 428: 금속층; 429: 산화물 반도체층; 441: 콘택트 홀; 442: 산화물 반도체층; 443: 산화물 반도체층; 448: 박막 트랜지스터; 581: 박막 트랜지스터; 583: 절연막; 585: 절연층; 587: 전극층; 588: 전극층; 589: 구형 입자; 594: 캐비티; 595: 충전재; 600: 기관; 601: 대향 기관; 602: 게이트 배선; 603: 게이트 배선; 604: 커패시터 배선; 605: 커패시터 배선; 606: 게이트 절연막; 607: 화소 전극; 608: 채널 보호층; 609: 공통 전위선; 611: 채널 보호층; 615: 커패시터 전극; 616: 배선; 617: 커패시터 배선; 618: 배선; 619: 배선; 620: 절연막; 622: 절연막; 623: 콘택트 홀; 624: 화소 전극; 625: 슬릿; 626: 화소 전극; 627: 콘택트 홀; 628: TFT; 629: TFT; 630: 축적 커패시터부; 631: 축적 커패시터부; 632: 차광막; 633: 콘택트 홀; 636: 착색막; 637: 평탄화 막; 640: 대향 전극; 641: 슬릿; 644: 돌출부; 646: 배향막; 648: 배향막; 650: 액정층; 651: 액정 소자; 652: 액정 소자; 690: 커패시터 배선; 226b: 산화물 절연층; 2600: TFT 기관; 2601: 대향 기관; 2602: 시일재; 2603: 화소부; 2604: 표시 소자; 2605: 착색층; 2606: 편광판; 2607: 편광판; 2608: 배선 회로부; 2609: 플렉시블 배선 기관; 2610: 냉음극관; 2611: 반사판; 2612: 회로 기관; 2613: 확산판; 264a: 고-저항 소스 영역; 264b: 고-저항 드레인 영역; 264c: 영역; 264d: 영역; 265a: 소스 전극층; 265a: 드레인 전극층; 265b: 드레인 전극층; 266a: 산화물 절연층; 266b: 산화물 절연층; 268a: 보조 전극층; 2700: 전자책 판독기; 2701: 하우징; 2703: 하우징; 2705: 표시부; 2707: 표시부; 2711: 힌지; 2721: 전원 스위치; 2723: 조작 키; 2725: 스피커; 274a: 고-저항 소스 영역; 274b: 고-저항 드레인 영역; 274c: 영역; 274d: 영역; 274e: 영역; 274f: 영역; 275a: 소스 전극층; 275b: 드레인 전극층; 276a: 산화물 절연층; 276b: 산화물 절연층; 282a: 게이트 절연층; 282b: 게이트 절연층; 282c: 게이트 절연층; 284a: 고-저항 소스 영역; 284b: 고-저항 드레인 영역; 285a: 소스 전극층; 285b: 드레인 전극층; 286a: 산화물 절연층; 286b: 산화물 절연층; 292a: 게이트 절연층; 292b: 게이트 절연층; 294a: 고-저항 소스 영역; 294b: 고-저항 드레인 영역; 294c: 영역; 294d: 영역; 294e: 영역; 294f: 영역; 294g: 영역; 294h: 영역; 295a: 소스 전극층; 295b: 드레인 전극층; 296a: 산화물 절연층; 296b: 산화물 절연층; 424a: 제1 고-저항 소스 영역; 424e: 제2 고-저항 소스 영역; 424b: 제1 고-저항 드레인 영역; 424f: 제2 고-저항 드레인 영역; 4001: 기관; 4002: 화소부; 4003: 신호선 구동 회로; 4004: 주사선 구동 회로; 4005: 시일재; 4006: 기관; 4008: 액정층; 4010: 박막 트랜지스터; 4011: 박막 트랜지스터; 4013: 액정 소자; 4015: 접속 단자 전극; 4016: 단자 전극; 4018: FPC; 4019: 이방성 도전막; 4020: 절연층; 4021: 절연층; 4030: 화소 전극층; 4031: 대향 전극층; 4032: 절연층; 4040: 도전층; 421a: 게이트 전극층; 421b: 게이트 전극층; 424a: 고-저항 소스 영역; 424b: 고-저항 드레인 영역; 424c: 영역; 424d: 영역; 425a: 소스 전극층; 425b: 드레인 전극층; 426a: 산화물 절연층; 426b: 산화물 절연층; 4501: 기관; 4502: 화소부; 4505: 시일재; 4506: 기관; 4507: 충전재;

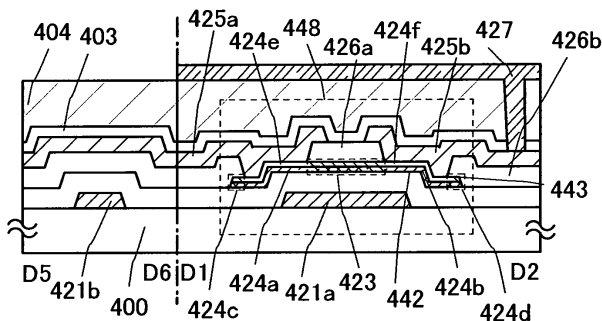
4509: 박막 트랜지스터; 4510: 박막 트랜지스터; 4511: 발광 소자; 4512: 전계 발광층; 4513: 전극층; 4515: 접속 단자 전극; 4516: 단자 전극; 4517: 전극층; 4519: 이방성 도전막; 4520: 격벽; 4540: 도전층; 4543: 절연층; 4544: 절연층; 5300: 기관; 5301: 화소부; 5302: 주사선 구동 회로; 5303: 주사선 구동 회로; 5304: 신호선 구동 회로; 5305: 타이밍 제어 회로; 5601: 시프트 레지스터; 5602: 스위칭 회로부; 5603: 박막 트랜지스터; 5604: 배선; 5605: 배선; 590a: 흑색 영역; 590b: 백색 영역; 6400: 화소; 6401: 스위칭용 트랜지스터; 6402: 구동용 트랜지스터; 6403: 용량 소자; 6404: 발광 소자; 6405: 신호선; 6406: 주사선; 6407: 전원선; 6408: 공통 전극; 7001: TFT; 7002: 발광 소자; 7003: 음극; 7004: 발광층; 7005: 양극; 7011: 구동용 TFT; 7012: 발광 소자; 7013: 음극; 7014: 발광층; 7015: 양극; 7016: 차광막; 7017: 도전막; 7021: 구동용 TFT; 7022: 발광 소자; 7023: 음극; 7024: 발광층; 7025: 양극; 7027: 도전막; 9201: 표시부; 9202: 표시 버튼; 9203: 조작 스위치; 9205: 조절부; 9206: 카메라부; 9207: 스피커; 9208: 마이크; 9301:상부 하우징; 9302: 하부 하우징; 9303: 표시부; 9304: 키보드; 9305: 외부 접속 포트; 9306: 포인팅 디바이스; 9307: 표시부; 9600: 텔레비전 세트; 9601: 하우징; 9603: 표시부; 9605: 스탠드; 9607: 표시부; 9609: 조작 키; 9610: 원격 조작기; 9700: 디지털 포토 프레임; 9701: 하우징; 9703: 표시부; 9881: 하우징; 9882: 표시부; 9883: 표시부; 9884: 스피커부; 9886: 기록 매체 삽입부; 9887: 접속 단자; 9888: 센서; 9889: 마이크; 9890: LED 램프; 9891: 하우징; 9893: 연결부; 9900: 슬롯머신; 9901: 하우징; 9903: 표시부; 4041a: 절연층; 4041b: 절연층; 4042a: 절연층; 4042b: 절연층; 4503a: 신호선 구동 회로; 4504a: 주사선 구동 회로; 4518a: FPC; 4541a: 절연층; 4541b: 절연층; 4542a: 절연층; 4542b: 절연층.

도면

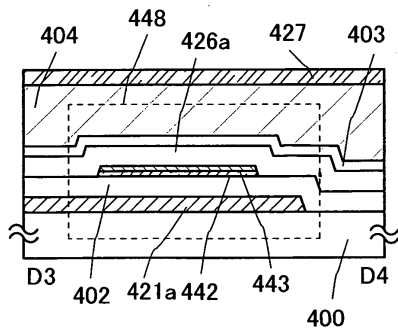
도면1a



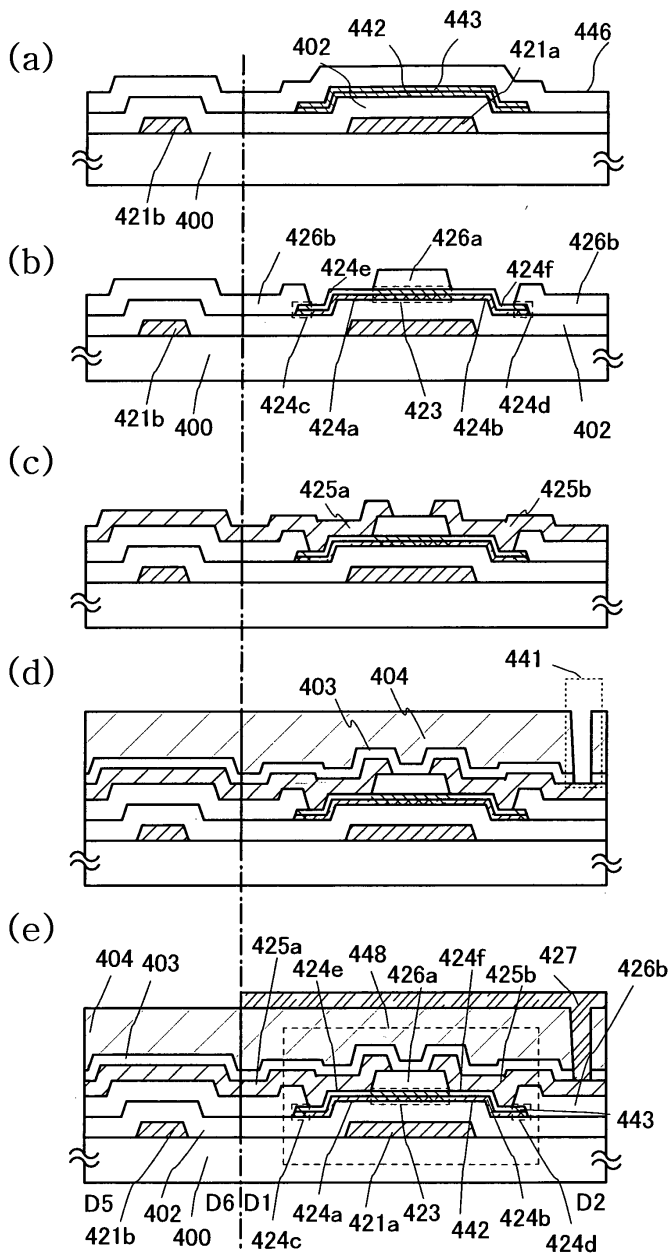
도면1b



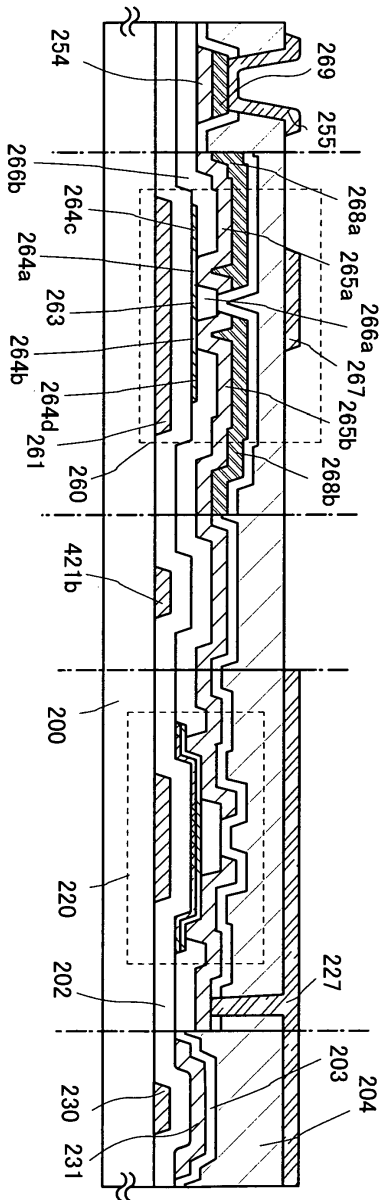
도면1c



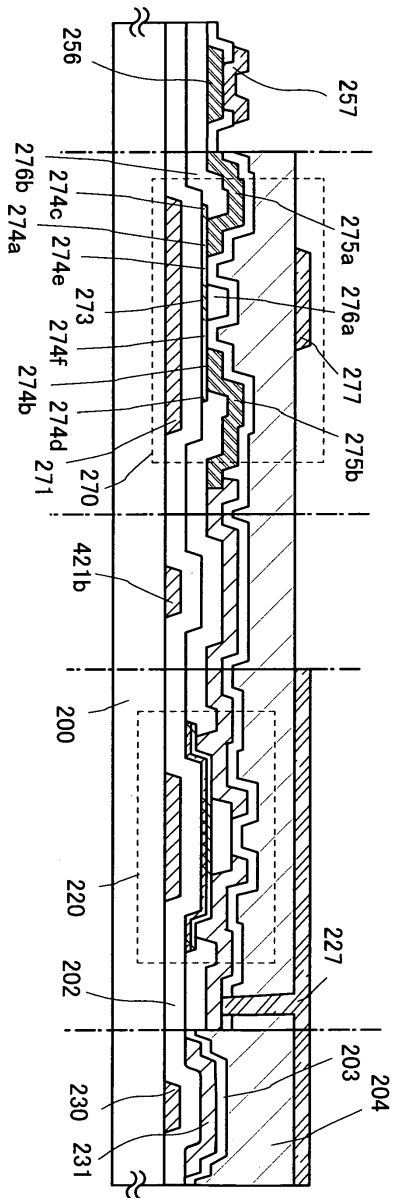
도면2



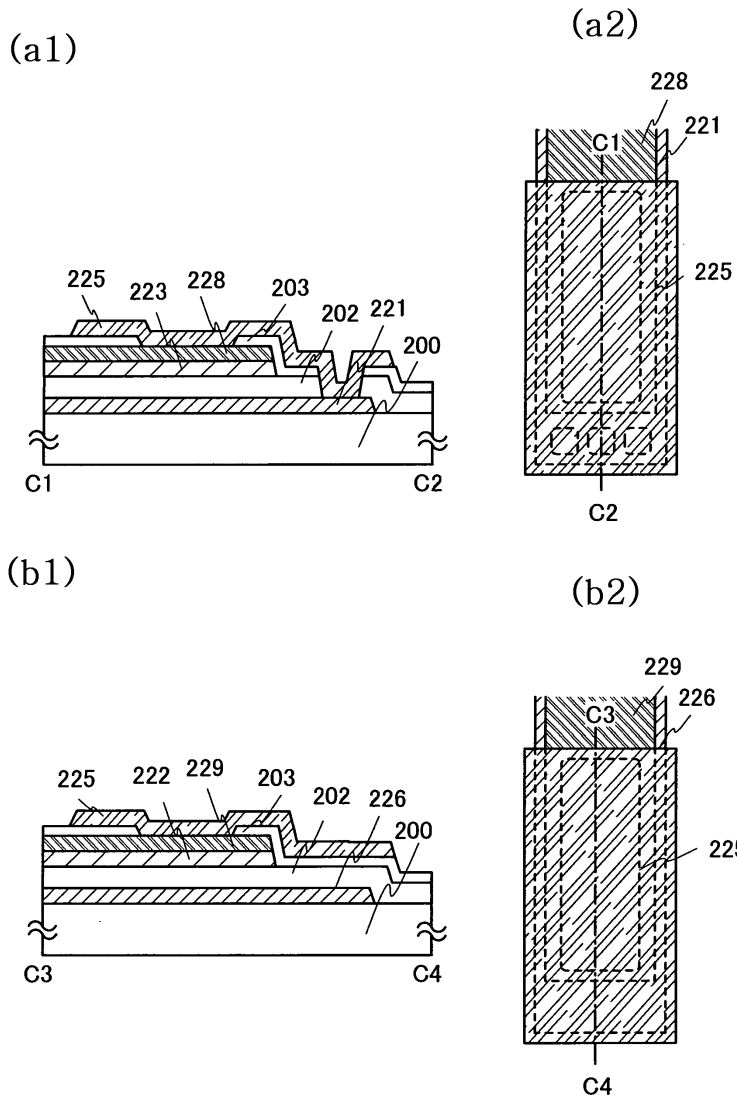
도면3a



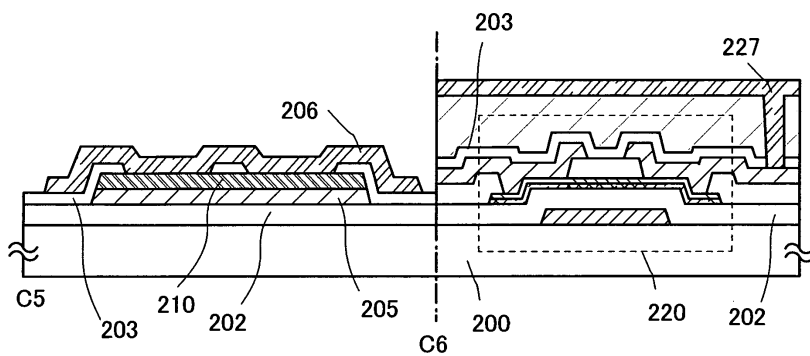
도면3b



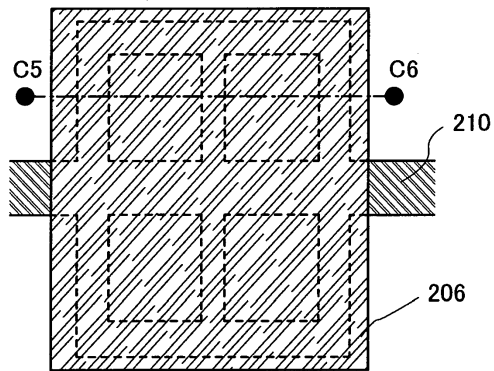
도면4



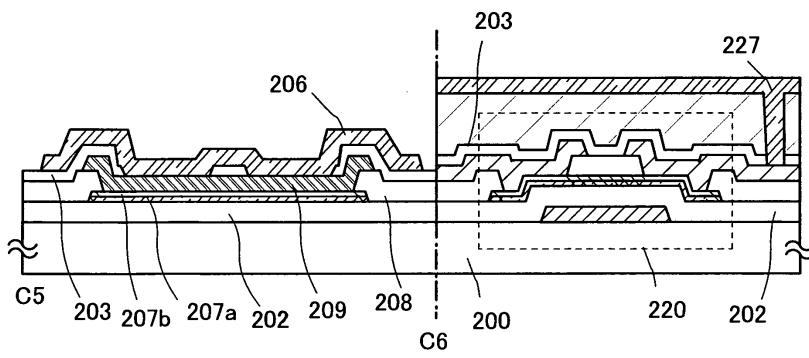
도면5a



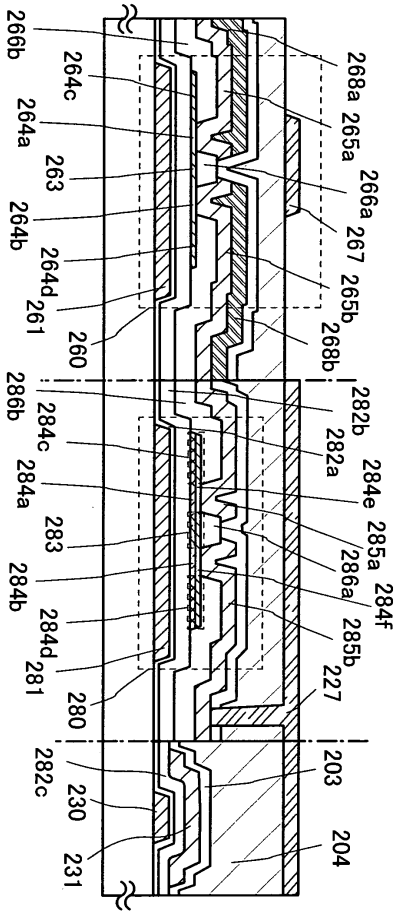
도면5b



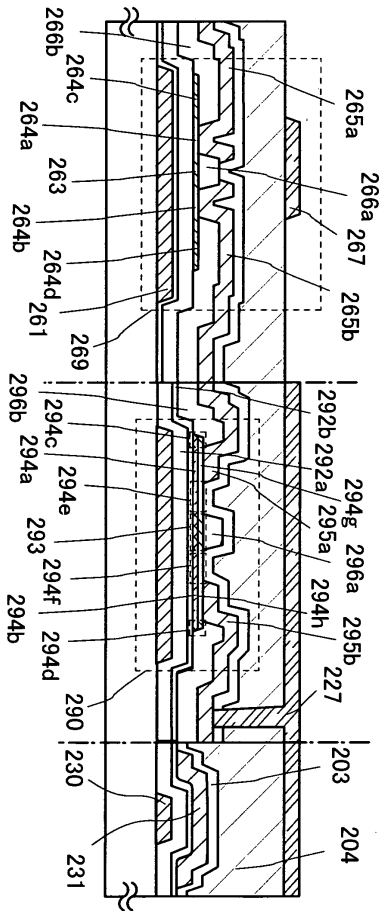
도면5c



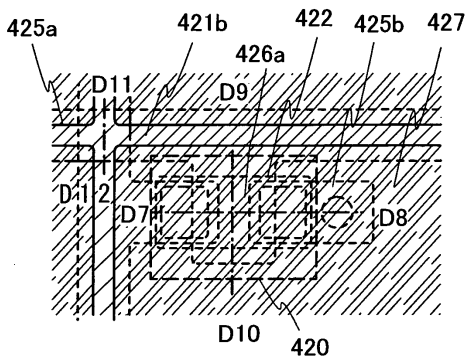
도면6a



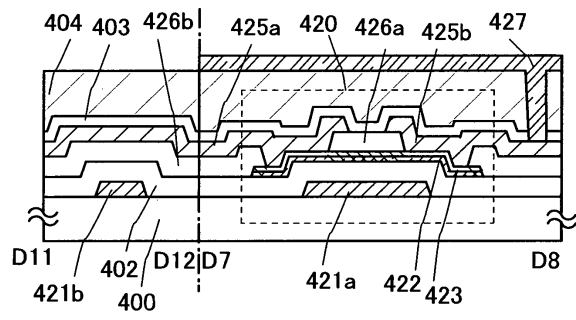
도면6b



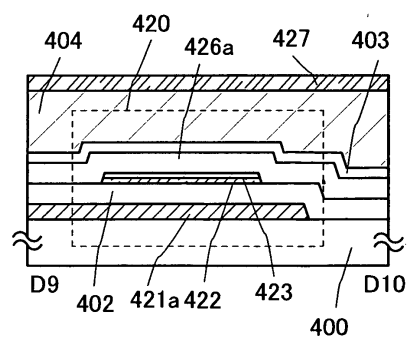
도면7a



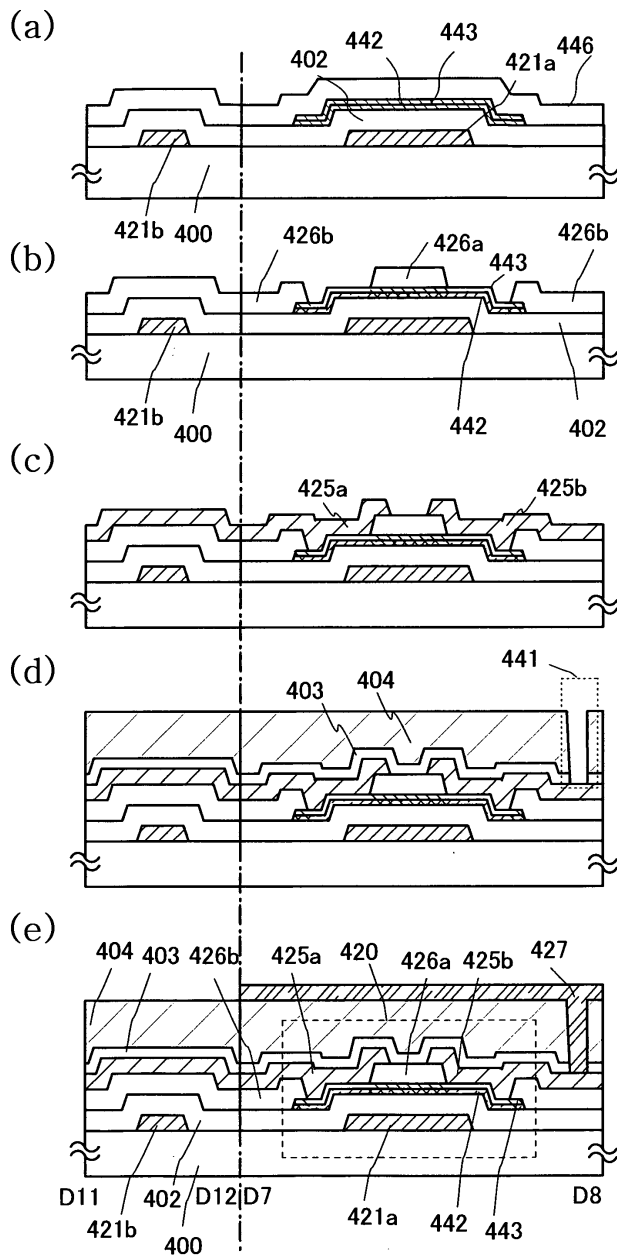
도면7b



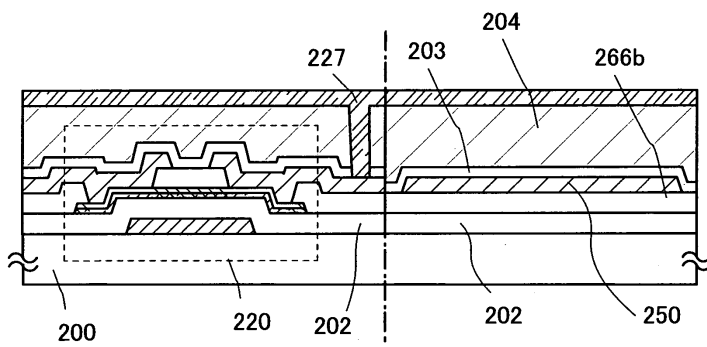
도면7c



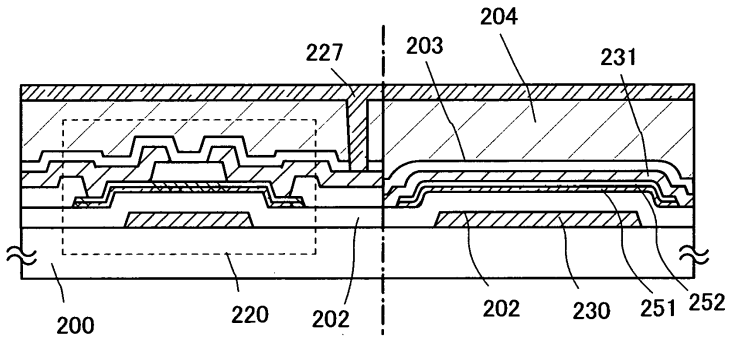
도면8



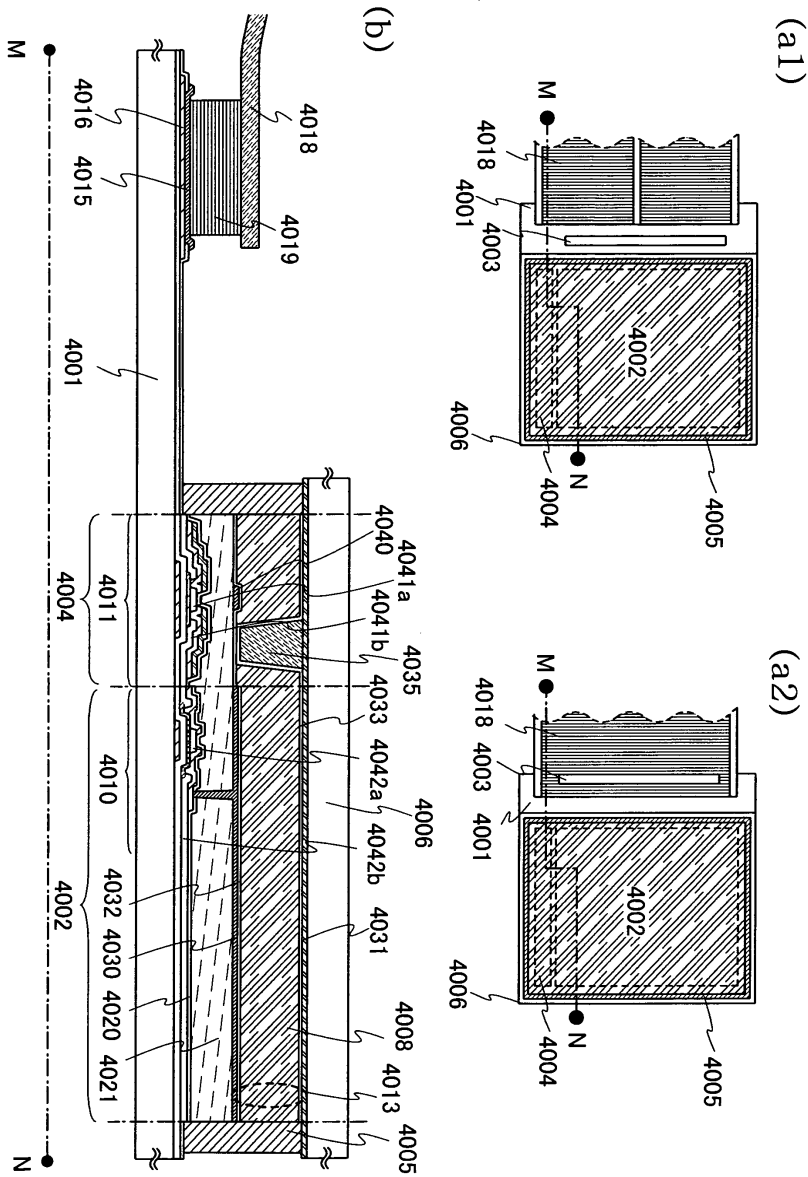
도면9a



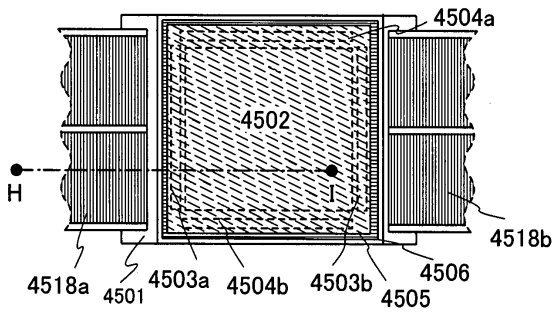
도면9b



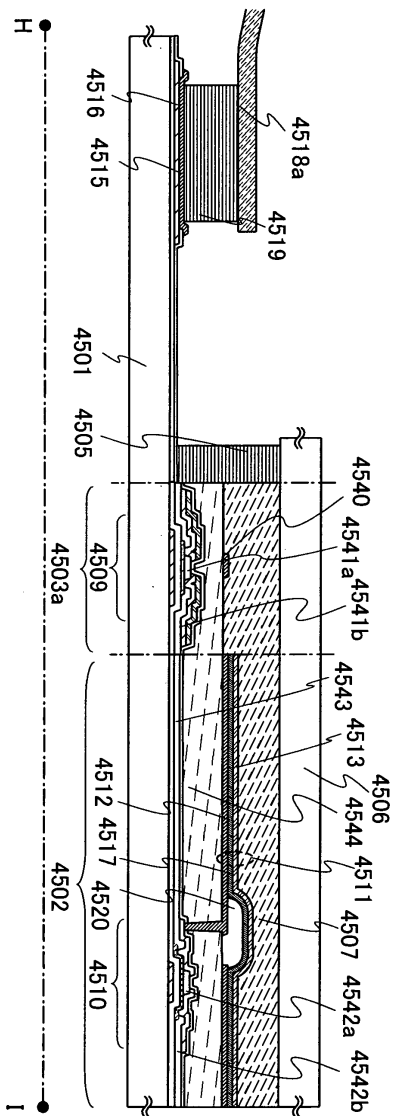
도면10



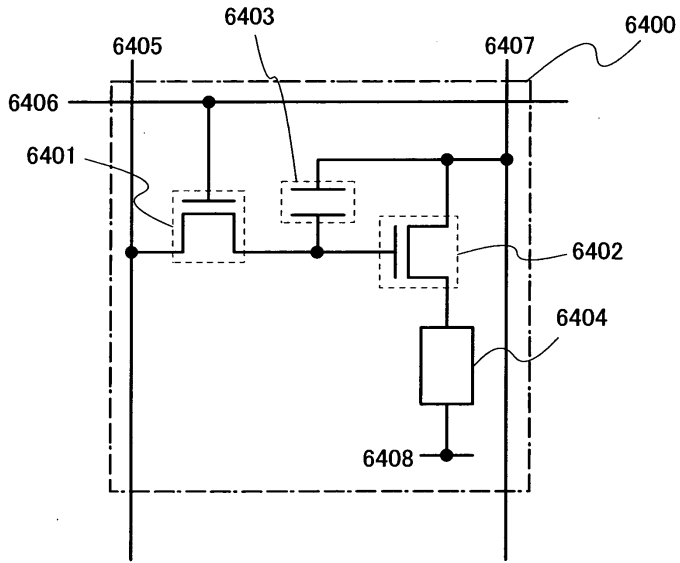
도면11a



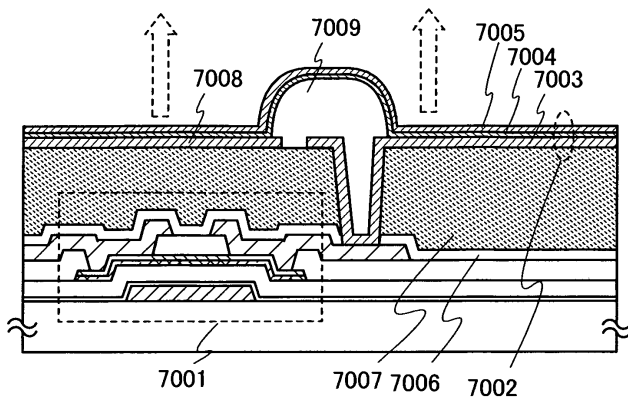
도면11b



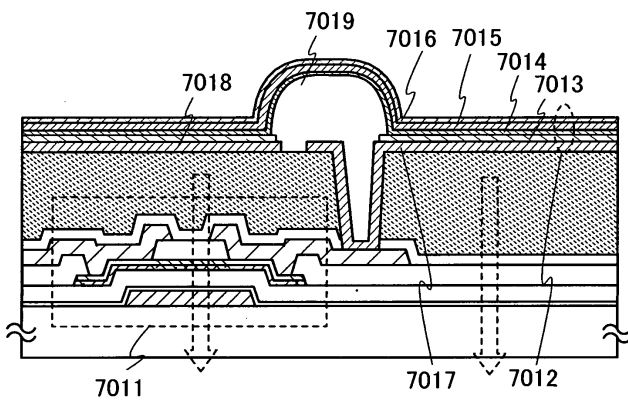
도면12



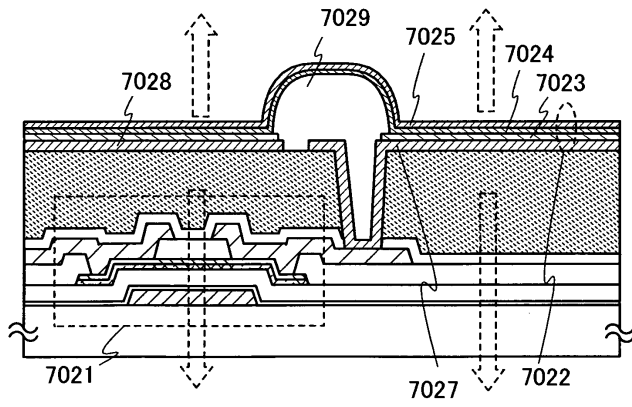
도면13a



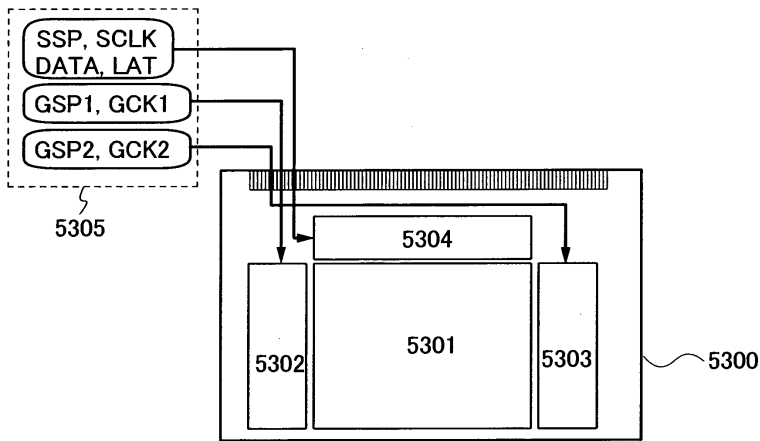
도면13b



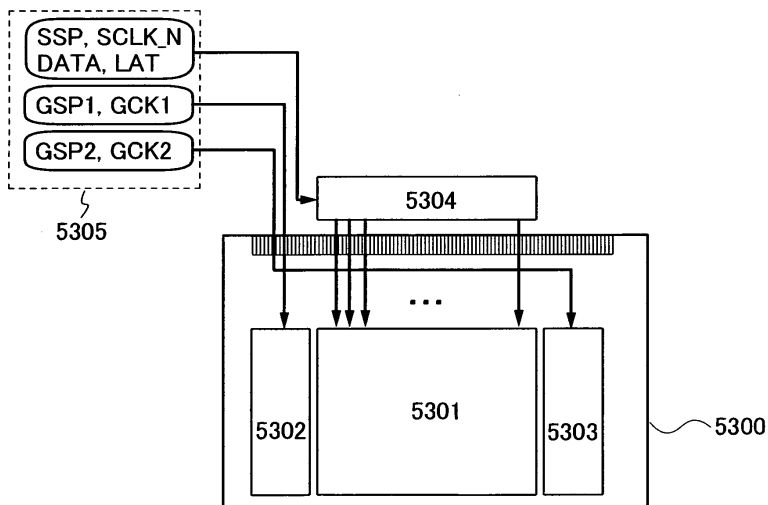
도면13c



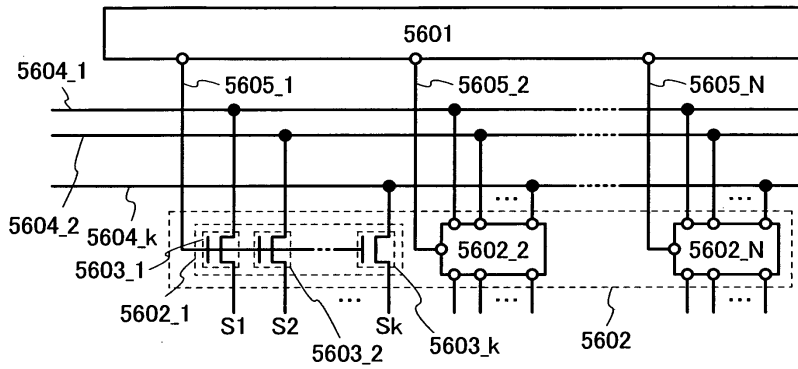
도면14a



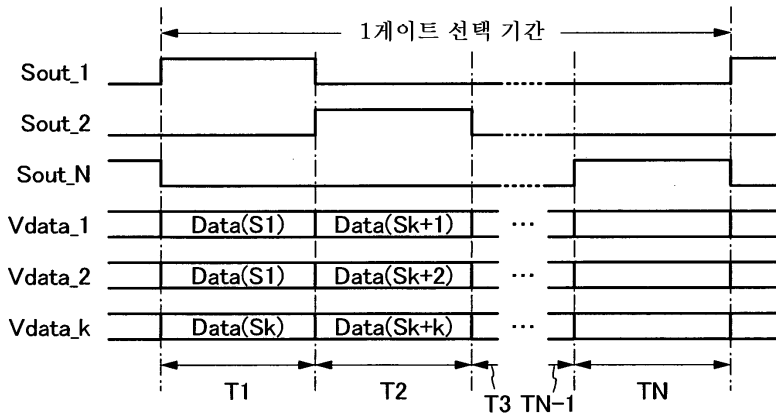
도면14b



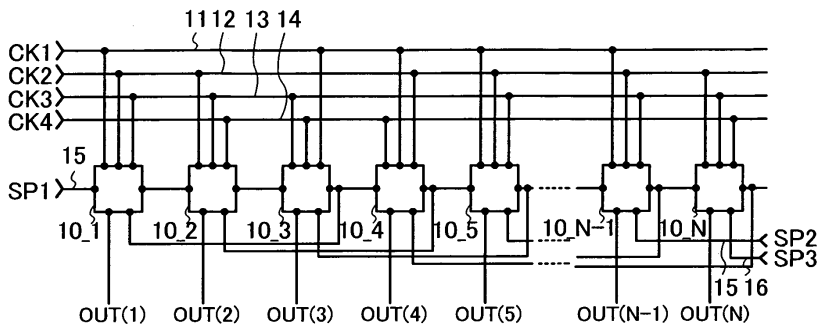
도면15a



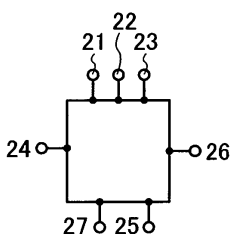
도면15b



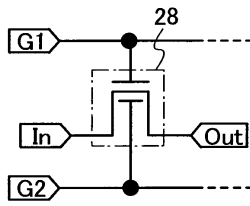
도면16a



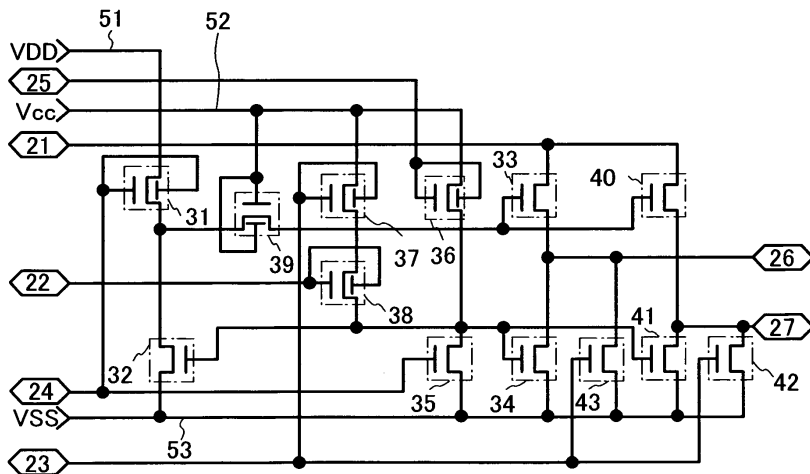
도면16b



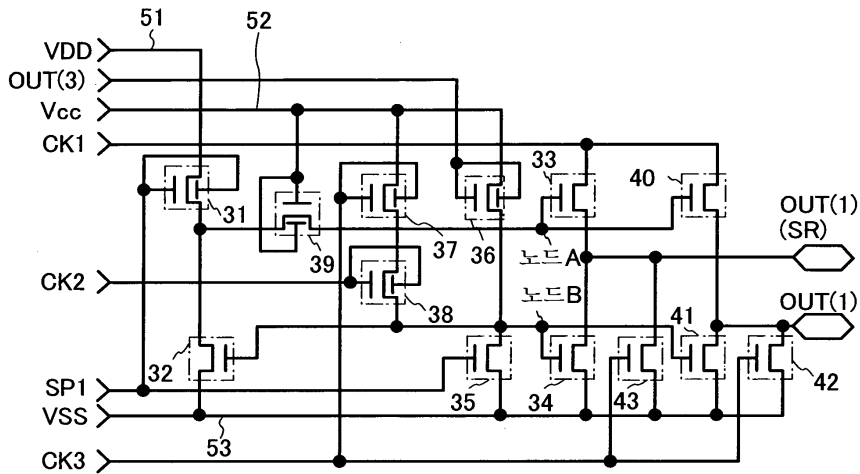
도면16c



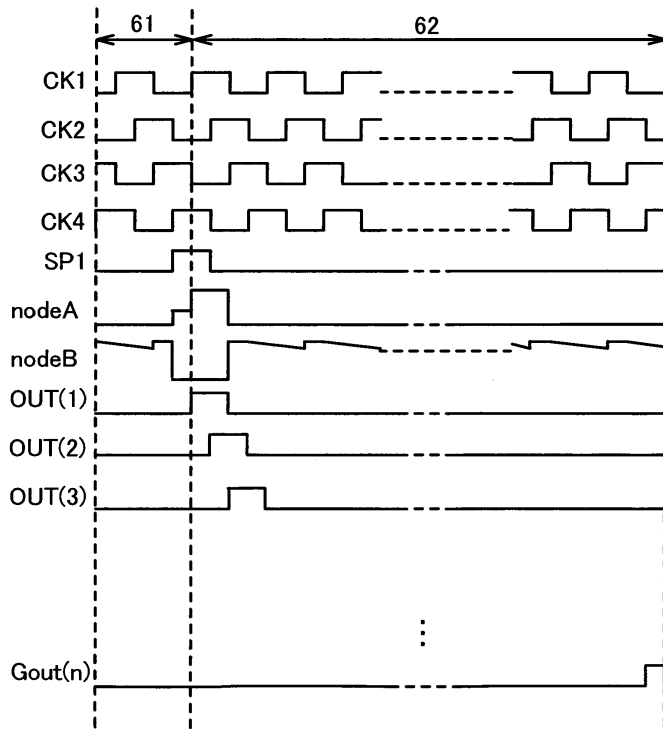
도면16d



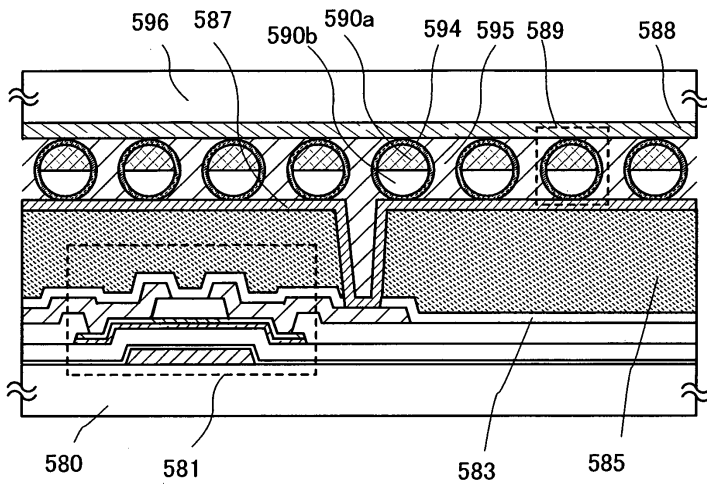
도면17a



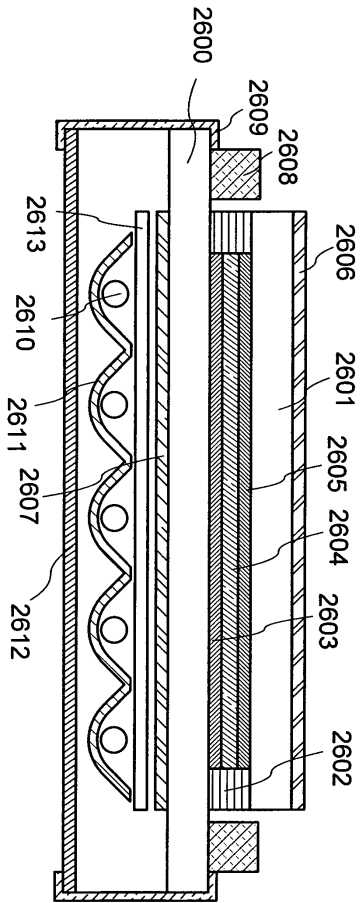
도면17b



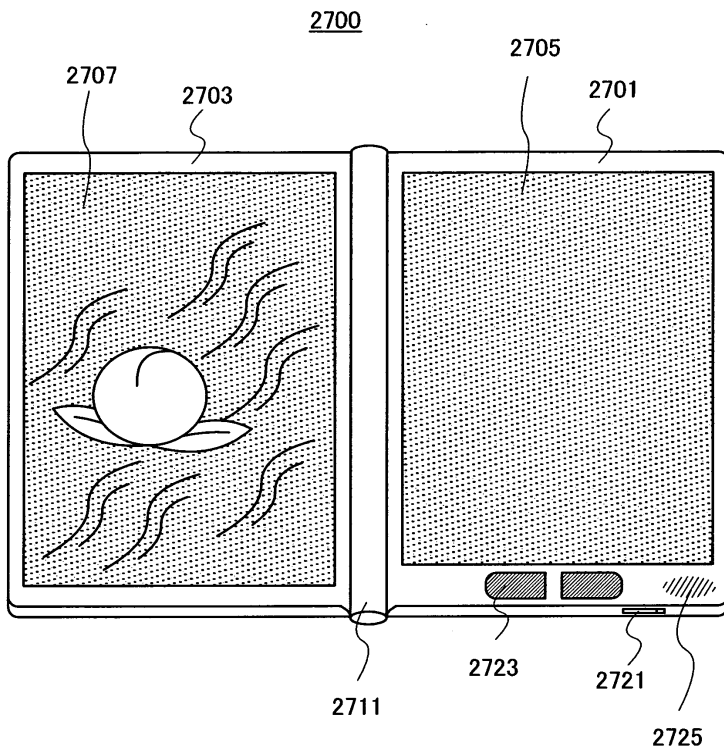
도면18



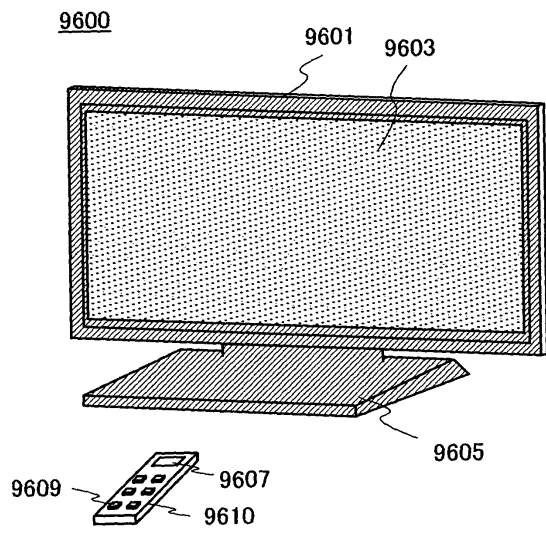
도면19



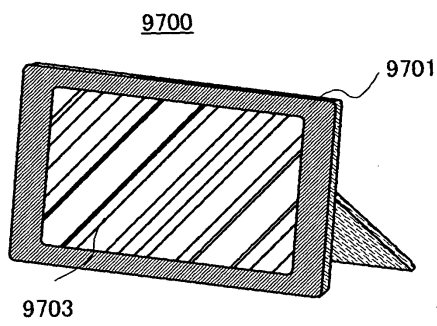
도면20



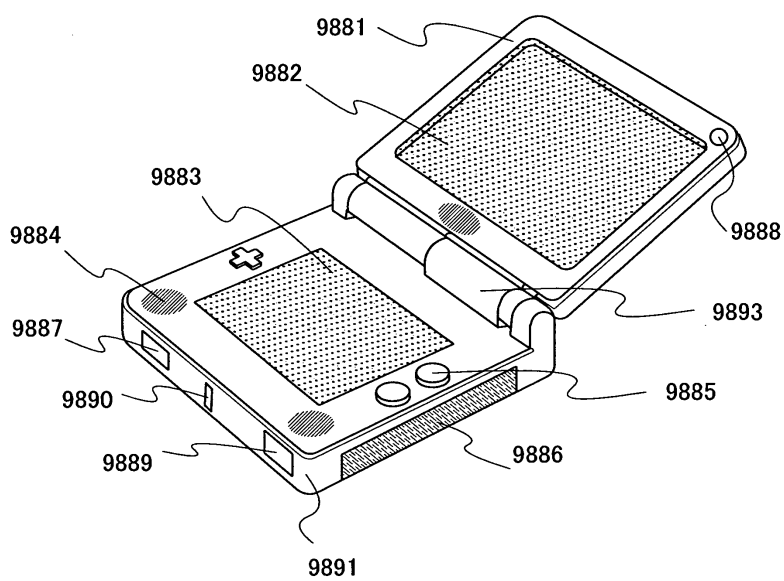
도면21a



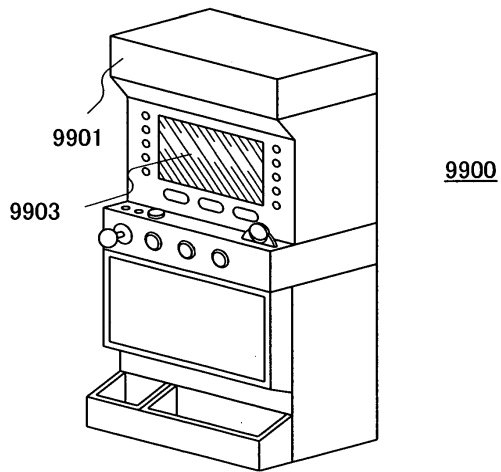
도면21b



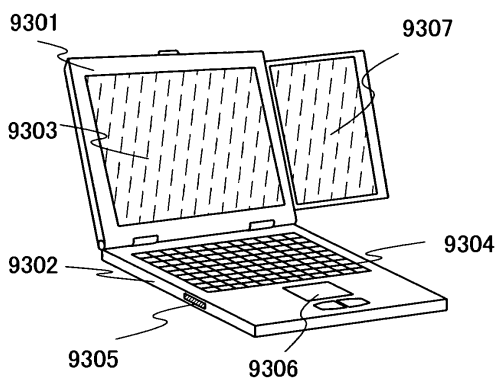
도면22a



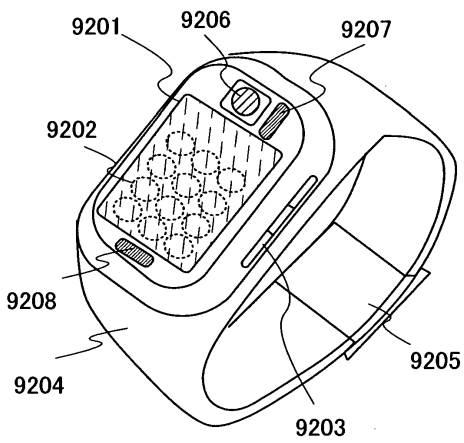
도면22b



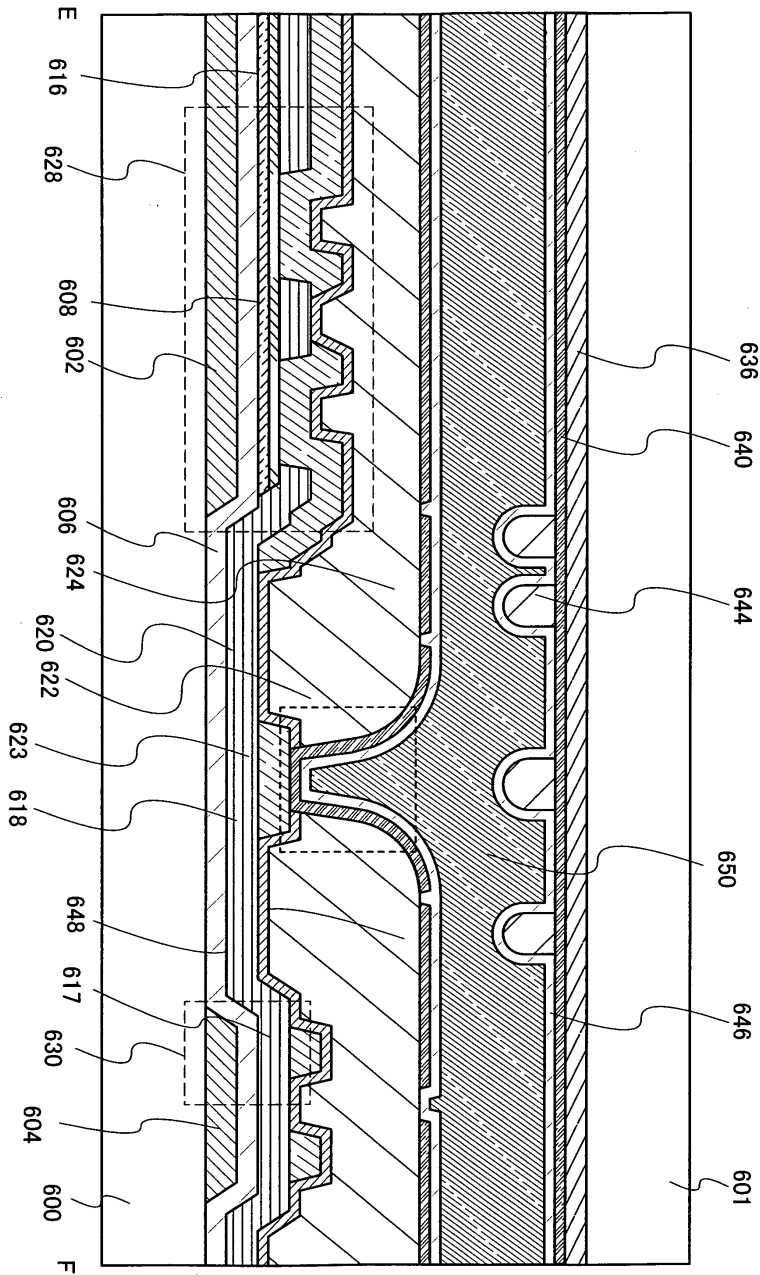
도면23a



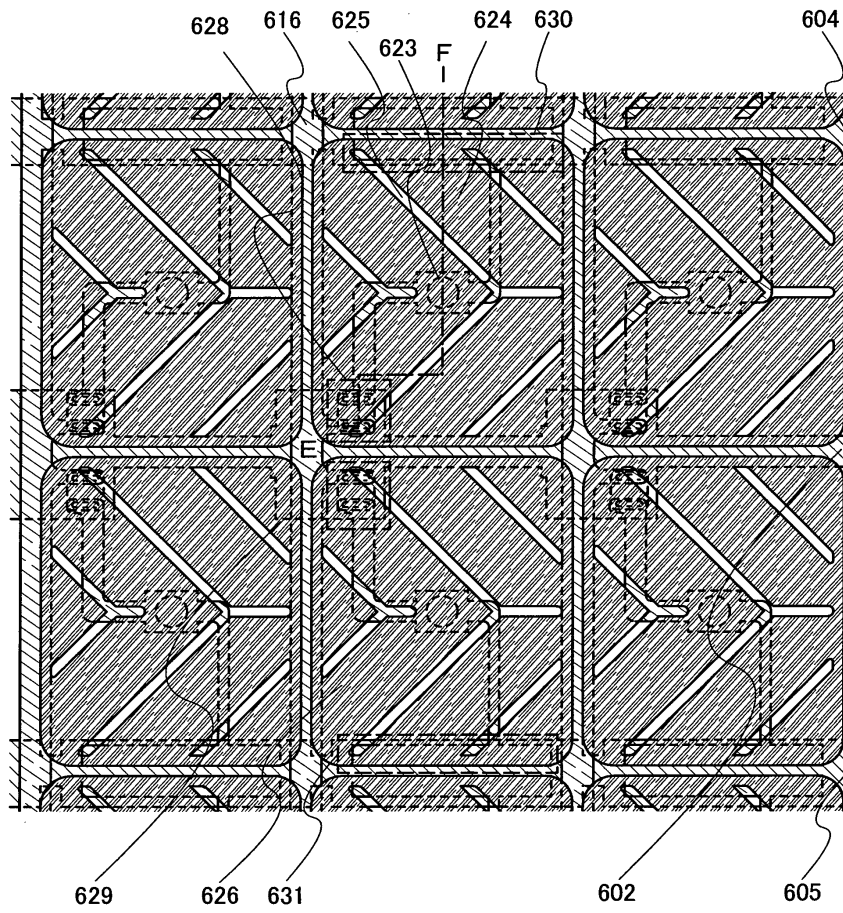
도면23b



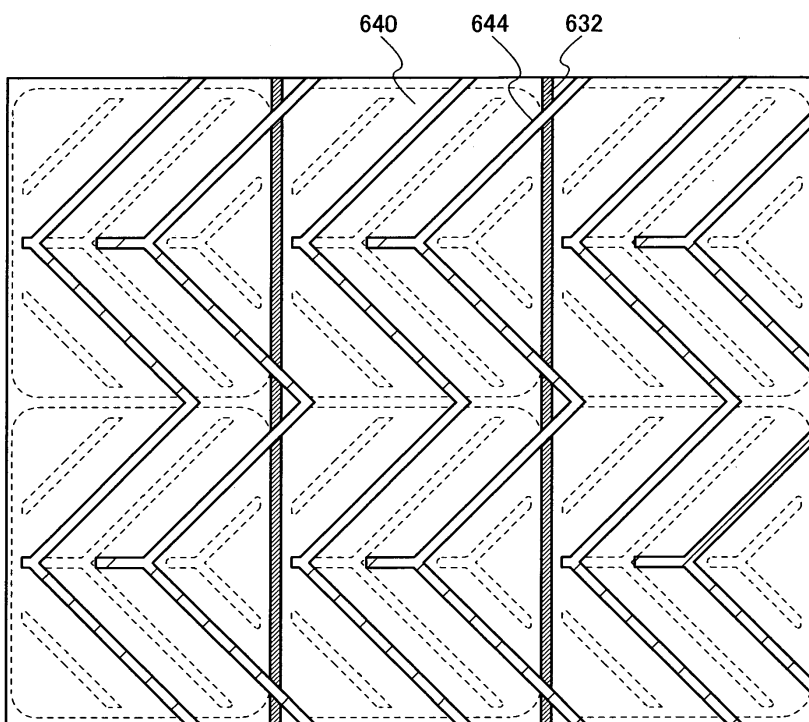
도면24



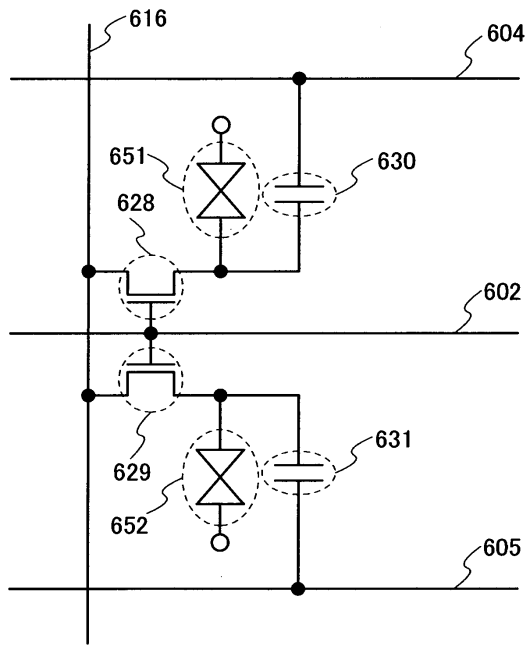
도면25



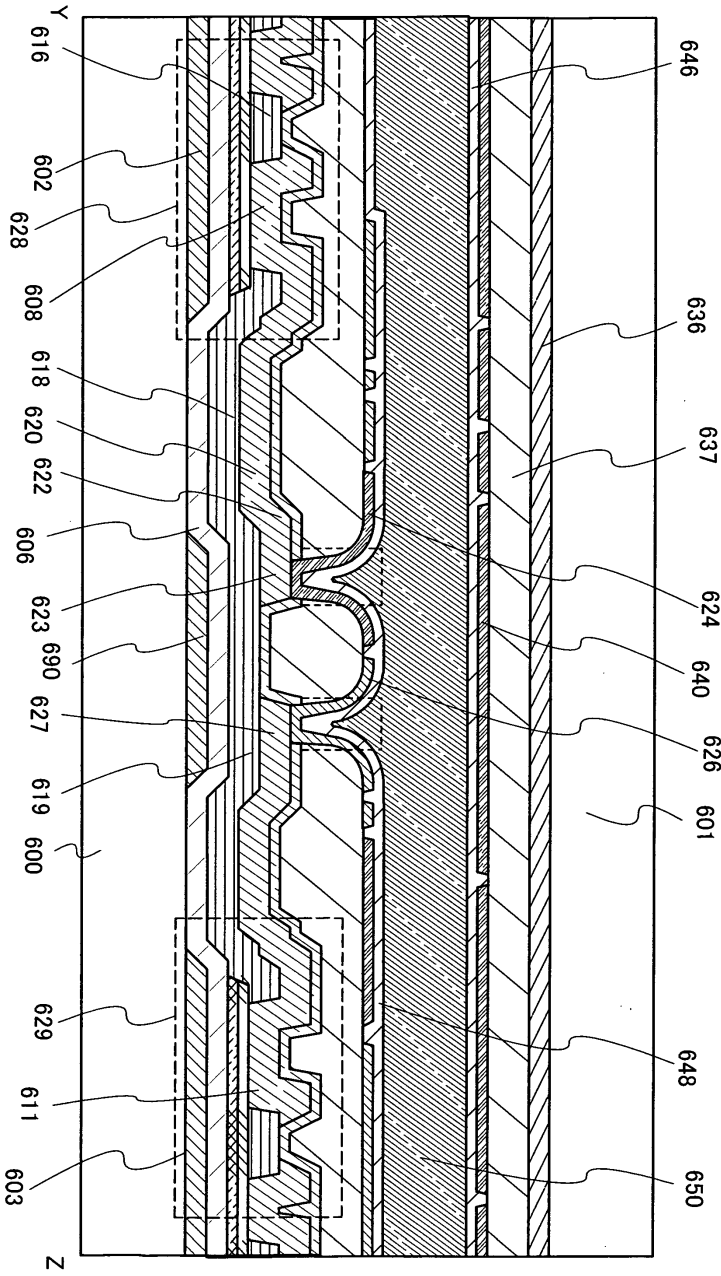
도면26



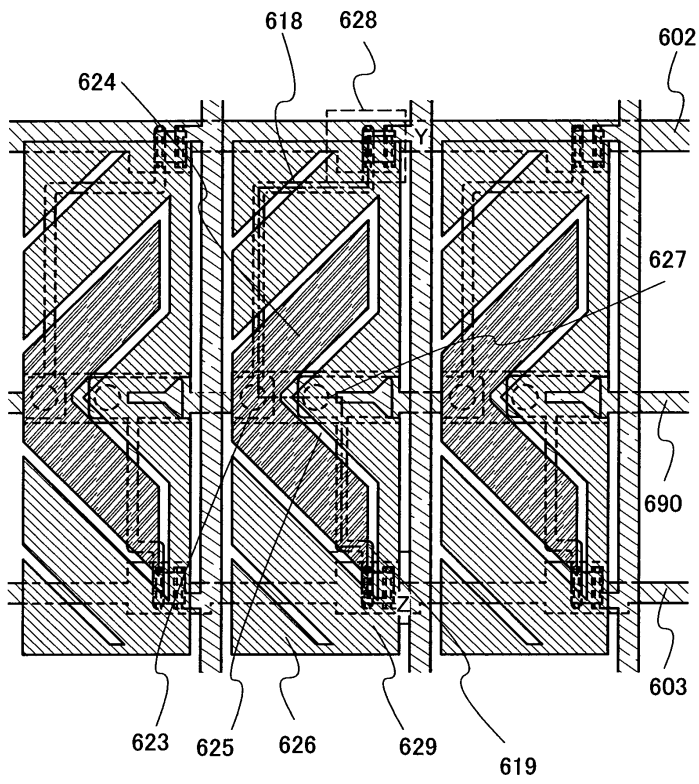
도면27



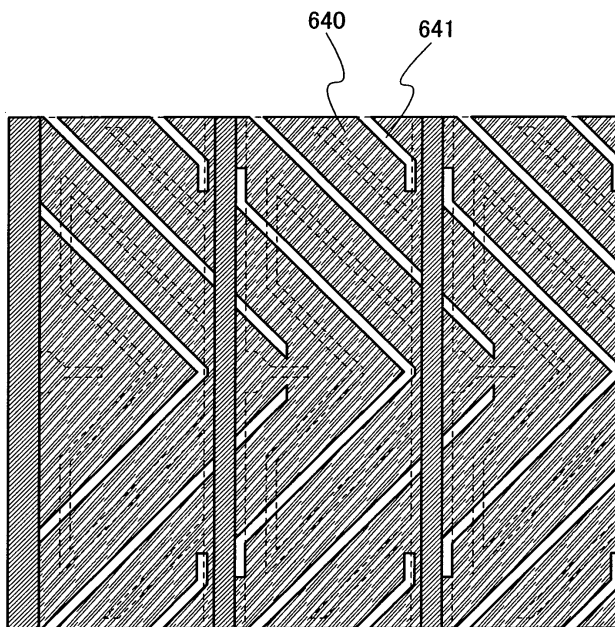
도면28



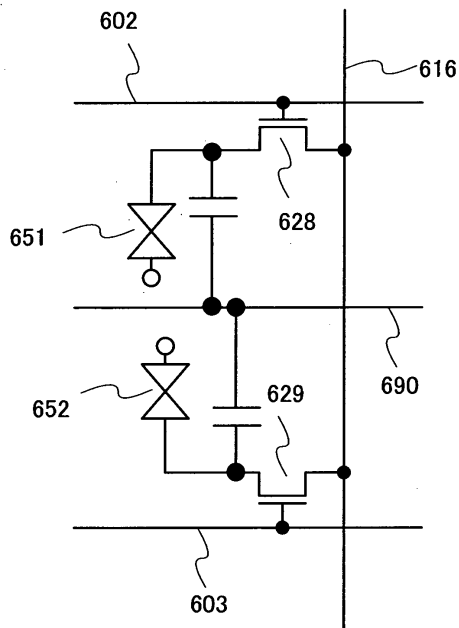
도면29



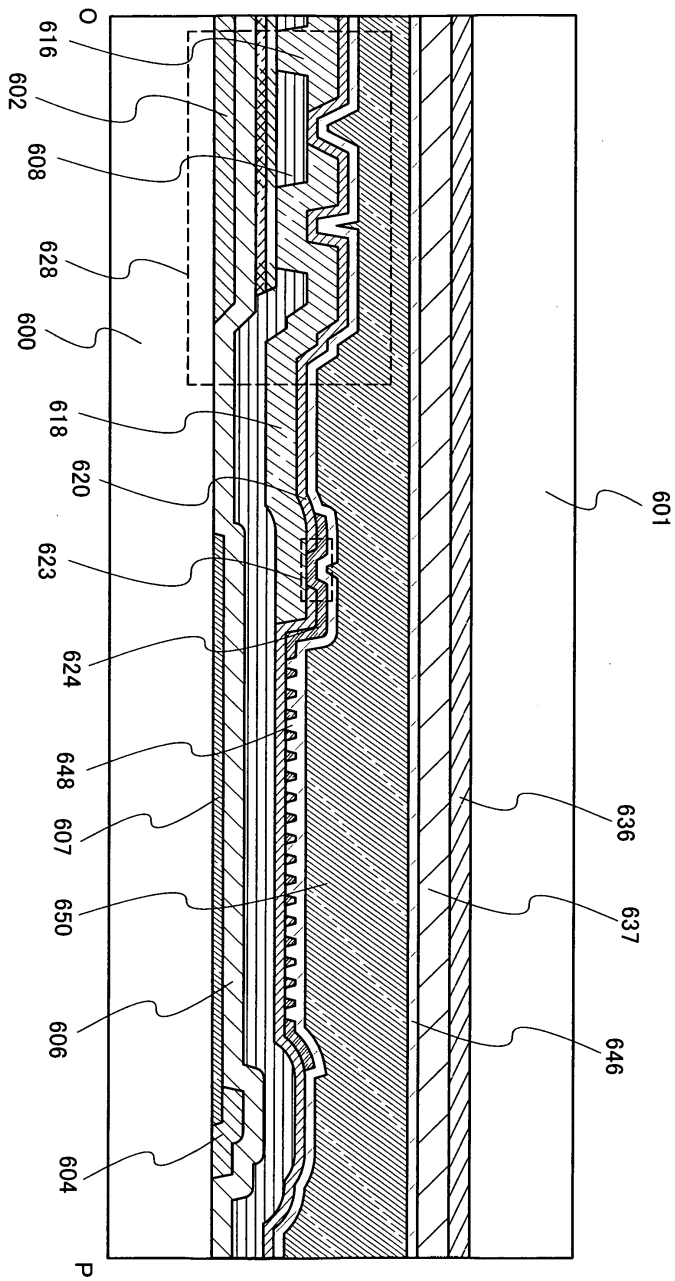
도면30



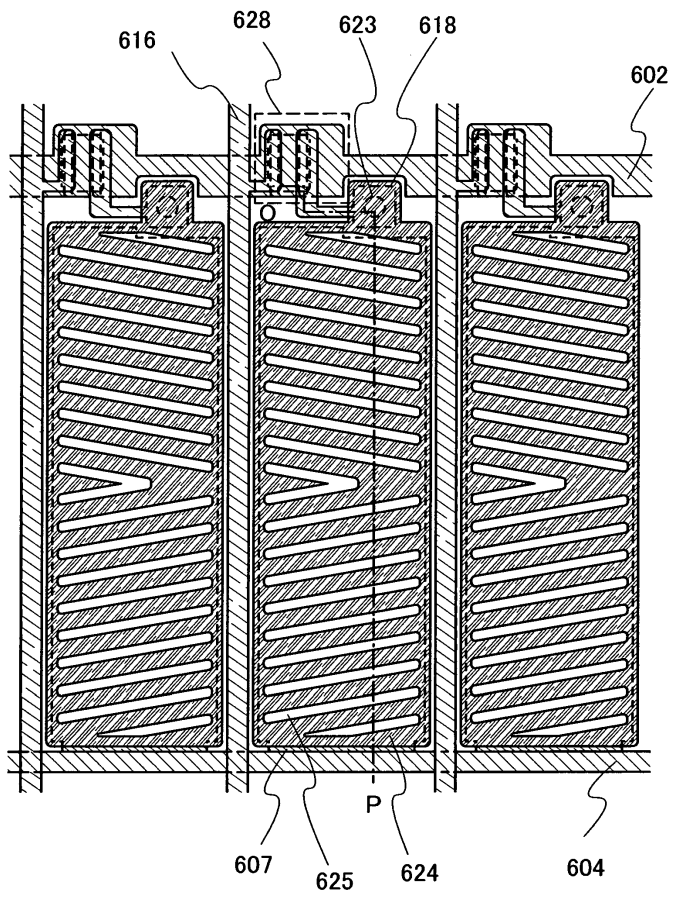
도면31



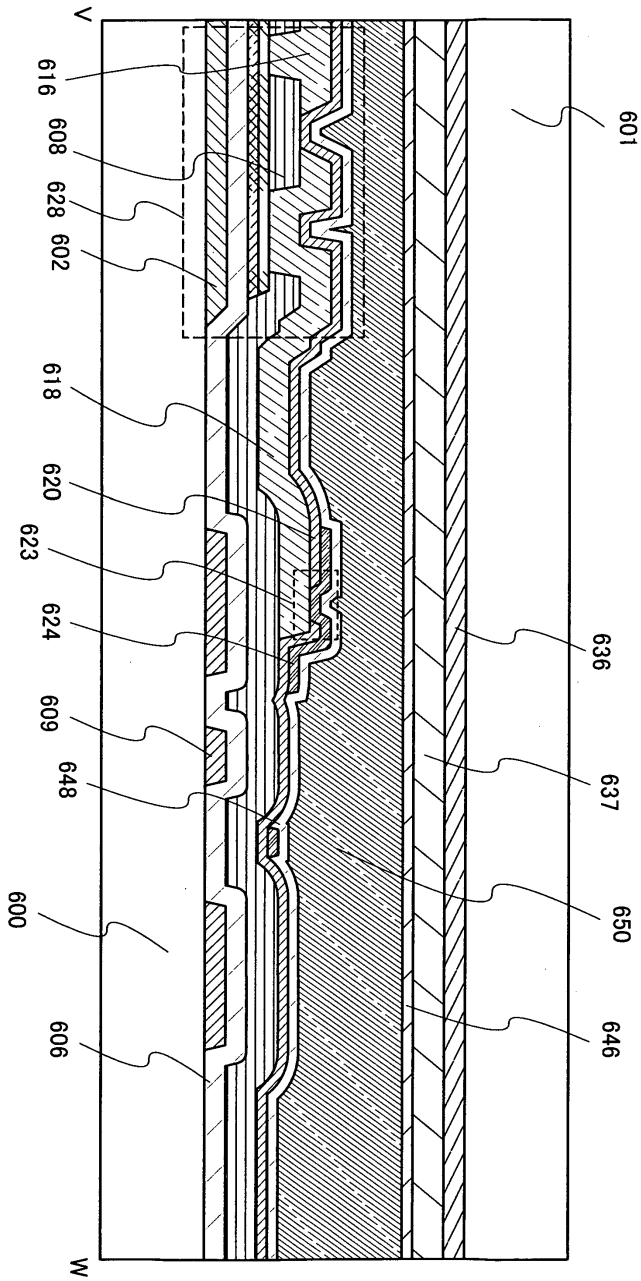
도면32



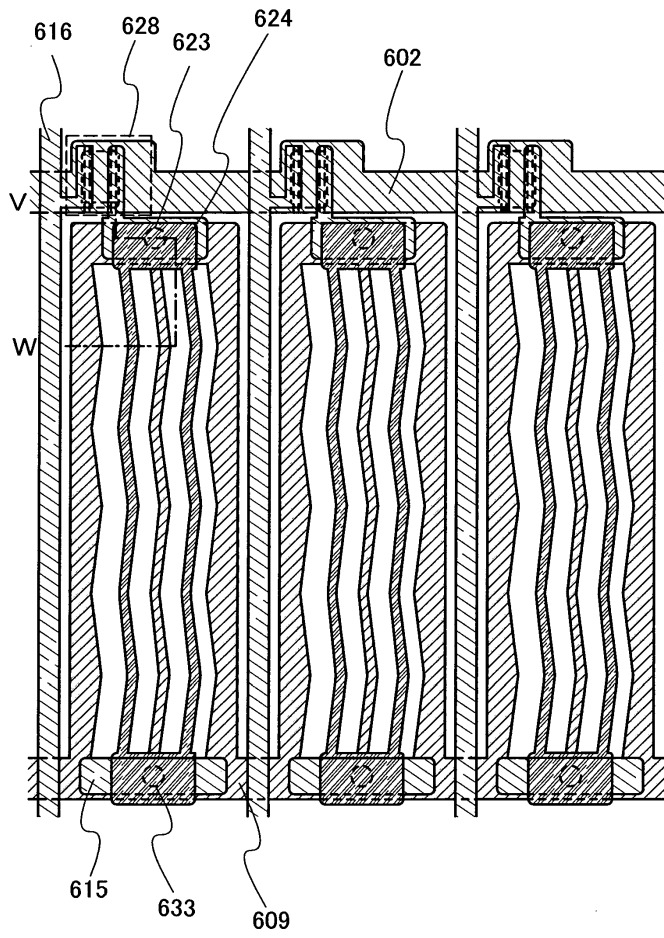
도면33



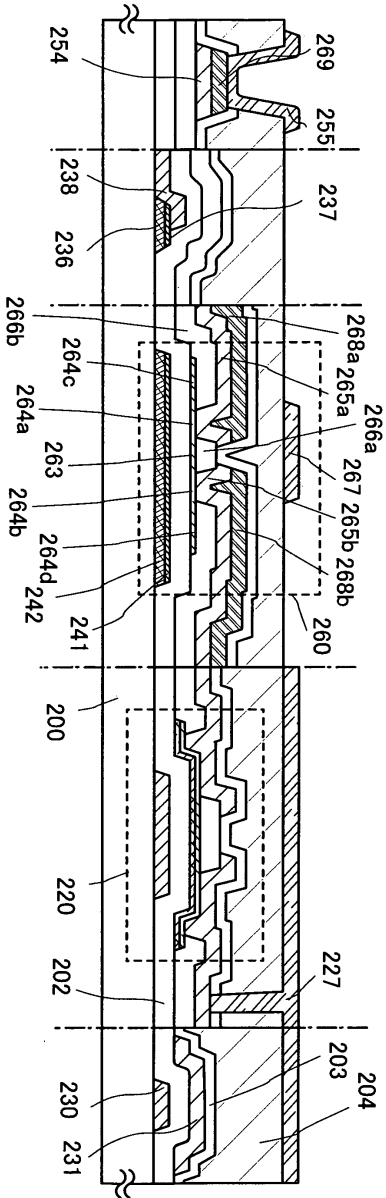
도면34



도면35



도면36a



도면36b

