



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0043469
(43) 공개일자 2010년04월29일

(51) Int. Cl.

H01L 29/861 (2006.01) H01L 29/78 (2006.01)

H01L 27/115 (2006.01)

(21) 출원번호 10-2008-0102517

(22) 출원일자 2008년10월20일

심사청구일자 2008년10월20일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

황선환

경기도 이천시 고담동 고담기숙사 101동 907호

박기선

경기도 용인시 수지구 풍덕천2동 현대프라임아파트 208동 1303호

이기홍

경기도 수원시 영통구 영통동 947-8 와이티오피스텔 712

(74) 대리인

김성남

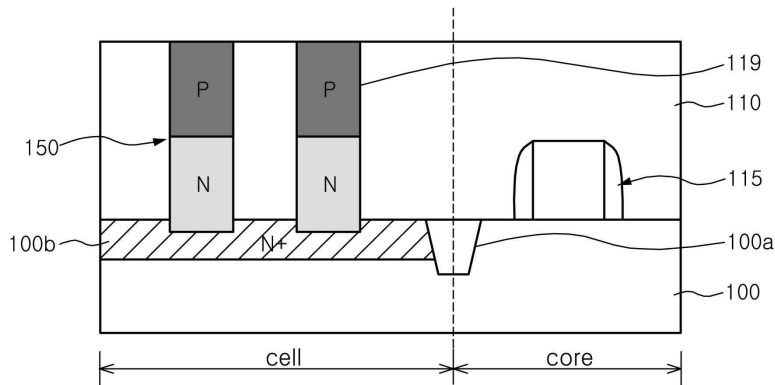
전체 청구항 수 : 총 9 항

(54) 상변화 메모리 소자의 다이오드 형성방법

(57) 요약

상변화 메모리 소자의 다이오드 형성방법을 개시한다. 본 발명은 불순물 영역이 형성된 반도체 기판을 제공하는 단계, 상기 반도체 기판상에 형성된 상기 불순물 영역을 노출시키는 콘택홀을 갖는 절연막을 형성하는 단계, 상기 콘택홀 내에 폴리 실리콘 또는 단결정 실리콘을 매립하는 단계, 및 상기 실리콘층 내에 가스 클러스터 이온빔 방식으로 P 타입 도펀트 소스 가스를 도핑하는 단계를 포함하는 상변화 메모리 소자의 다이오드 형성방법 관한 것이다.

대표도 - 도3



특허청구의 범위

청구항 1

불순물 영역이 형성된 반도체 기판을 제공하는 단계;

상기 반도체 기판상에 형성된 상기 불순물 영역을 노출시키는 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀 내에 폴리 실리콘 또는 단결정 실리콘을 매립하는 단계; 및

상기 실리콘층 내에 가스 클러스터 이온 빔 방식으로 P 타입 도펀트 소스 가스를 도핑하는 단계를 포함하는 상변화 메모리 소자의 다이오드 형성방법.

청구항 2

제 1 항에 있어서,

상기 P 타입 도펀트 가스는 P 타입 클러스터 이온 및 비활성 가스를 포함하는 상변화 메모리 소자의 다이오드 형성방법.

청구항 3

제 2 항에 있어서,

상기 P 타입 도펀트 소스 가스는 디보란(B_2H_6) 가스 및 아르곤(Ar) 가스를 포함하는 상변화 메모리 소자의 다이오드 형성방법.

청구항 4

제 2 항에 있어서,

상기 P 타입 도펀트 소스 가스는 삼불화붕소(BF_3) 및 아르곤(Ar) 가스를 포함하는 상변화 메모리 소자의 다이오드 형성방법.

청구항 5

제 2 항에 있어서,

상기 P 타입 도펀트 소스 가스는 디보란(B_2H_6) 가스, 삼불화질소(NF_3), 및 산소(O_2) 가스를 포함하는 상변화 메모리 소자의 다이오드 형성방법.

청구항 6

제 2 항에 있어서,

상기 P 타입 도펀트 소스 가스는 삼불화붕소(BF_3), 삼불화질소(NF_3) 및 산소(O_2) 가스를 포함하는 상변화 메모리 소자의 다이오드 형성방법.

청구항 7

제 2 항에 있어서,

상기 P 타입 도펀트 소스 가스를 도핑 시 온도는 $10^\circ C \sim 500^\circ C$ 범위인 상변화 메모리 소자의 다이오드 형성방법.

청구항 8

제 2 항에 있어서,

상기 P 타입 도펀트 소스 가스를 도핑 시 에너지는 $5 \sim 80KeV$ 범위에서 진행되는 상변화 메모리 소자의 다이오드 형성방법.

청구항 9

제 2 항에 있어서,

상기 P 타입 도펀트 소스 가스를 도핑 시 도우르는 $1E^{11} \sim 5E^{17}/\text{Cm}^2$ 의 범위인 상변화 메모리 소자의 다이오드 형성방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 상변화 메모리 소자의 형성방법에 관한 것으로, 보다 구체적으로는 상변화 메모리 소자의 다이오드 형성방법에 관한 것이다.

배경기술

[0002] 상변화 메모리 소자의 디바이스의 상용화에 있어서, 가장 큰 문제점은 상변화 메모리 소자 작동에 있어서, 수 mA의 동작 전류가 필요하지만 현재 개발되고 있는 트랜지스터는 이를 만족시키기 힘들다. 이를 해결하기 위해서는 기존의 스위칭을 하는 트랜지스터 대신에 그와 동일한 역할을 할 수 있는 다이오드를 형성하는 연구가 활발히 진행되고 있다.

[0003] 한편, 하부 전극 콘택 물질과 인터콘택(Intercontact)의 코발트 실리사이드 등에 대해서도, 안정하면서 극 저항을 구현하는 실리사이드 계열 구성의 실리콘 다이오드 셀 구현은 고집적 반도체 소자의 콘택 저항 감소를 통한 동작 전류 개선을 위한 매우 강건한(Robust) 구성으로 물질간의 연결 콘택 저항을 감소하는 최적의 대안이나, 이때 필연적으로 레이어(Layer) 형성 공정에 따른 물질간에 계면 반응을 통한 비정상 표면층 형성으로 콘택 저항 열화가 동반된다. 이러한 콘택 저항 열화는 동작 전류를 열화시켜 다이오드 동작 실패를 발생시키는 문제점을 가지고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 따라서, 본 발명의 목적은 동작 전류 특성 및 콘택 저항 특성을 개선할 수 있는 상변화 메모리 소자의 다이오드 형성방법을 제공하는 것이다.

과제 해결수단

[0005] 상기한 본 발명의 목적을 달성하기 위한 본 발명은 불순물 영역이 형성된 반도체 기판을 제공하는 단계, 상기 반도체 기판상에 형성된 상기 불순물 영역을 노출시키는 콘택홀을 갖는 절연막을 형성하는 단계, 상기 콘택홀 내에 폴리 실리콘 또는 단결정 실리콘을 매립하는 단계, 및 상기 실리콘층 내에 가스 클러스터 이온 빔 방식으로 P 타입 도펀트 소스 가스를 도핑하는 단계를 포함한다.

효과

[0006] 본 발명에 의하면, 기존 붕소(B11B), 삼불화붕소(BF₃)가 대비하여 가스 클러스터 이온 빔(Gas Cluster Ion Beam; GCIB)으로 P형 불순물 영역을 형성할 경우 불순물의 활성화비(Activation Ratio) 증가에 의한 다이오드의 콘택 저항 개선으로 동작 전류가 증가되고, 다이오드 주변의 결점이 형성되지 않기 때문에 누설 전류(Leakage Current) 발생을 억제할 수 있다.

발명의 실시를 위한 구체적인 내용

[0007] 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다.

[0008] 설명에 앞서, 반도체 기판(100)은 셀(Cell) 영역과 주변회로(Core) 영역으로 나누어 정의되어 있고, 주변회로

영역에는 상세히 도시되지 않았으나, 게이트 절연막, 게이트 도전층, 그 측벽에 형성된 스페이서를 포함하는 게이트 전극 구조체를 포함하며, 게이트 전극 구조체 양측의 반도체 기판에는 소오스/드레인 영역(도시되지 않음)이 형성되어 있는 모스 트랜지스터 소자(115)가 구비되어 있다.

- [0009] 이하에서는, 상기 주변 영역에 모스 트랜지스터 소자(115) 형성을 완성한 후에, 셀 영역에 PRAM 다이오드를 형성하는 방법에 대하여 설명하기로 한다.
- [0010] 도 1 내지 도 3은 본 발명에 따른 PRAM 소자의 다이오드 형성방법에 관한 각 공정별 단면도이다.
- [0011] 우선, 도 1에 도시된 바와같이, 반도체 기판(100)의 셀(Cell) 영역에 N 타입 도펀트를 주입하여, N 타입 도펀트 불순물 영역(100b)을 형성한 다음, 반도체 기판 (100)의 결과물 상부에 절연막(110)을 형성한다.
- [0012] 다음, 절연막(110)은 TEOS(tetraethyl orthosilicate), USG(Undoped Silicate Glass), SOG(Spin on glass), FOX(flowable oxide), 또는 HDP-CVD 산화물 등과 같은 산화물을 사용하여 형성된다. 또한 절연막(110)은 화학 기상 증착 공정(CVD), 저압 화학 기상 증착(LPCVD), 플라즈마 화학 기상 증착(PECVD) 또는 고밀도 플라즈마 화학 기상 증착(HPCVD) 공정을 이용하여 형성할 수 있다.
- [0013] 그리고 난 후, 절연막(110)상에 포토레지스트 패턴(130)을 형성한 후, 상기 포토레지스트 패턴(130)을 식각 마스크(130)로 이용하여 절연막(115)을 소정부분 식각함으로써, 불순물 영역(100b)들을 부분적으로 노출시키는 콘택홀(119)을 형성한다.
- [0014] 다음, 도 2에 도시된 바와같이, 콘택홀(119) 형성 후, 콘택홀(119) 내부를 N형의 불순물이 도핑된 실리콘층(120)을 이용하여 매립한다. 상기 실리콘층(120)은 폴리 실리콘층 또는 단결정 실리콘층일 수 있다.
- [0015] 다음, 상기 N 타입의 불순물이 도핑된 실리콘층(120)에 P 타입 가스 클러스터 소스를 이용하여, P 타입 불순물 도핑 공정(140)을 실시한다.
- [0016] 여기서, 상기 P 타입 도펀트 소스 가스는 삼불화붕소(BF₃) 및 아르곤 가스(Ar) 화합물, 디보란(B₂H₆) 및 아르곤(Ar) 가스 화합물, 삼불화붕소(BF₃), 삼불화질소(NF₃) 및 산소(O₂) 화합물 또는 디보란(B₂H₆), 삼불화질소(NF₃) 및 산소(O₂) 화합물일 수 있다.
- [0017] 이때, 상기 P 타입 도펀트 소스 가스 도핑 공정(140)으로 플라즈마 도핑, 클러스터 이온 빔, 가스 클러스터 이온 빔(Gas Cluster Ion Beam이하; GCIB) 등을 사용할 수 있으며, 본 실시예에서는 가스 클러스터이온 빔 방식을 이용하였다.
- [0018] 여기서, 상기 GCIB 장치에 대해 도 4에 개략적으로 설명하였다.
- [0019] 우선, GCIB 장치는 고도로 조준된 방향성 이온 빔으로 폐쇄 루프의 피드백이 조정된 정밀한 기계적 스캐닝과 원천 화학종, 가속 전압과 이온 조사량에 따라 정의된 공정 파라미터를 제공함으로써 이온 주입에서 볼 수 있는 것과 같은 수준의 생산품 균일성과 재생성을 얻을 수 있다.
- [0020] 그러나, 클러스터 이온과 목표물질 표면과의 상호작용은 이온 주입기에서 공급하는 모노머 이온과는 완전히 다르다.
- [0021] 아르곤(Ar)같은 비활성 기체를 사용하는 GCIB의 경우 목표물질에 충격을 가하는 클러스터 이온은 튕김 효과를 주는데 이것은 원자 수준의 평탄하게 함과 세척에 유용하다.
- [0022] 또한, 산소(O₂), 질소(N₂), 사불화탄소(CF₄), 육불화황(SF₆) 또는 불소(F₂) 같은 목표물질과 반응할 수 있는 화학종을 사용하는 경우 클러스터의 충격이 만들어 내는 국지적 온도와 압력이 클러스터의 원자와 목표물질의 원자간에 지극히 효과적인 화학 반응을 일으키며, 이러한 GCIB 적용에 따른 장점으로는 실제로 이온 프리(Free) 공정이며, 하나의 차지(Charge) 당 5000개 이상의 원자를 포함하고 있음으로 양산성이 우수하며 아주 얇은(20nm 이하) 이온 주입 공정이 가능하다.
- [0023] 도 4에서 도면 부호 201은 노즐, 202는 스키머, 203은 이온화기, 204는 빔 광학기, 205는 자력 필터링, 206은 빔 중화기, 207은 조리개, 208은 기계적 스캐너, 209는 패러데이 전류 모니터를 나타낸다.
- [0024] 도 4를 참조하면, 적용 부분에 따라 클러스터는 아르곤(Ar), 산소(O₂), 질소(N₂)와 이들과 다양한 반응성 기체인 사불화탄소(CF₄) 또는 육불화황(SF₆) 등의 혼합기체를 포함하는 많은 서로 다른 기체에서 생산될 수 있다.

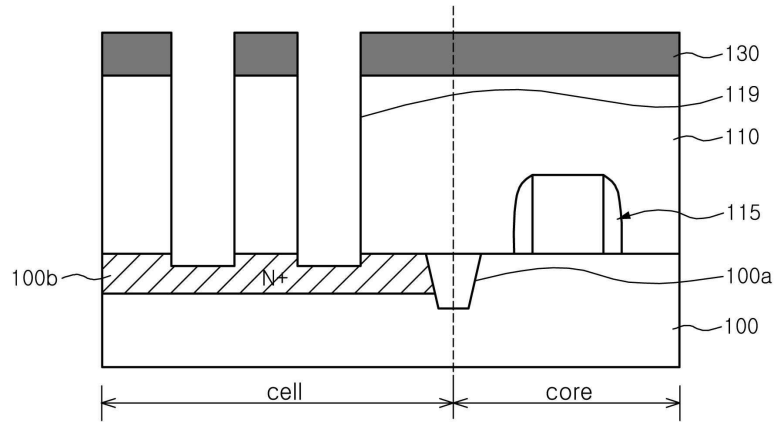
- [0025] 우선, 제 1 진공 단계에서 원천 기체를 고압에서 노즐(201)을 통하여 초음속으로 진공에 팽창시키면 중성 클러스터가 형성된다.
- [0026] 스키머(202)를 통과하여 제 2 진공 단계에 들어간 클러스터는 전자의 맹폭을 받고 이온화되어 몇 킬로볼트로부터 몇 십 킬로볼트까지 이 빔의 응용 의도에 맞게 고에너지로 가속된다. 추출된 빔은 자력 필터링(205)으로 모노머 이온을 걸러내고 몇 백에서 몇 천 원자 범위의 크기 분포를 가진 클러스터로만 된 빔이 된다.
- [0027] 제 3 진공 단계에서, 목표 기질의 균일한 처리를 위하여 기계적 스캐너(208)를 이용한다. 패러데이 전류 모니터(209)로 조사량을 조정한다. 시스템은 기질 취급 로봇이 있어 기질을 빔에 대하여 조정할 수 있다. 이러한 과정을 거쳐 가스 클러스터 이온 빔이 발생된다.
- [0028] 본 발명에서는 도펀트 도핑시 안정적인 공정을 위해, 기판 지지대인 칠러(Chiller) 온도 즉, 공정 온도는 10℃ ~500℃을 유지하며, 임플란트 에너지는 5~80KeV, 임플란트 도우즈는 $1 \times 10^{11} \sim 5.0 \times 10^{17} / \text{cm}^2$ 의 범위로 진행할 수 있다.
- [0029] 그 후, 도 3에 도시된 바와같이, 절연막(110) 상에 잔류하는 하드 마스크로 이용된 포토레지스트 패턴(130)을 공지의 애칭(Ashing) 공정 및 스트리핑 공정을 이용하여 제거한다.
- [0030] 이후의 후속 공정은 일반적인 상변화 메모리 소자의 형성 공정 절차와 동일하게 할 수 있다.
- [0031] 도 5는 가스 클러스터 이온 빔(GCIB)과 기존의 이온 빔 방식의 불순물 활성화 분포를 보여주는 그래프이다.
- [0032] 도 5를 참조하면, 붕소(11B) 또는 불화붕소(BF₂) GCIB 이온 주입 에너지가 300eV일때 GCIB이 이온 빔 방식보다 활성화가 더 많이 이루어졌음을 알 수 있다. 이때, X축의 단위는 접합길이(10^{-10}cm^2), Y축의 단위는 면저항(Ω / \square)을 나타낸다.
- [0033] 이상 본 발명을 바람직한 실시 예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

도면의 간단한 설명

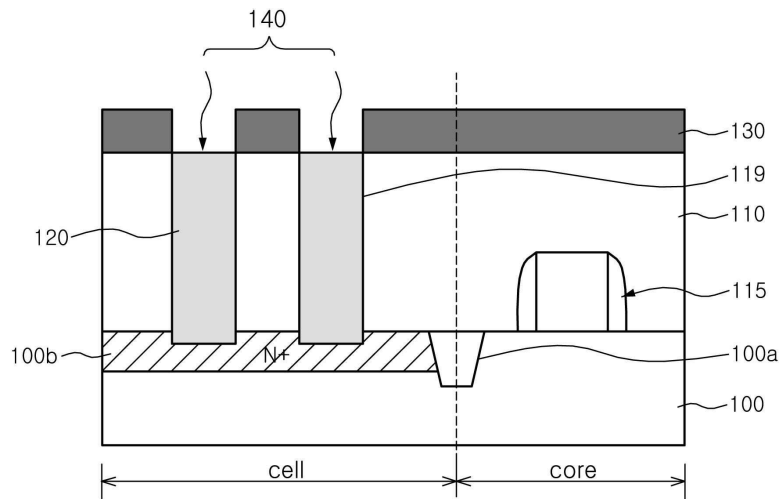
- [0034] 도 1 내지 도 3은 본 발명의 일 실시예에 따른 공정 순서 단면도,
- [0035] 도 4는 본 발명의 실시예에 사용된 가스 클러스터 이온 빔(GCIB) 장치의 구성도, 및
- [0036] 도 5는 가스 클러스터 이온 빔(GCIB)과 기존의 이온 빔 방식의 불순물 활성화 분포를 보여주는 그래프이다.
- [0037] <도면의 주요부분에 대한 부호의 설명>
- [0038] 100 : 반도체 기판 100a : 소자 분리막
- [0039] 100b : 불순물 영역 110 : 층간 절연층
- [0040] 115 : 트랜지스터 소자 120 : 폴리 실리콘 또는 단결정 실리콘
- [0041] 119 : 콘택홀 130 : 포토레지스트 패턴
- [0042] 140 : P 타입 가스 클러스터 이온 빔(GCIB)
- [0043] 150 : PN 다이오드

도면

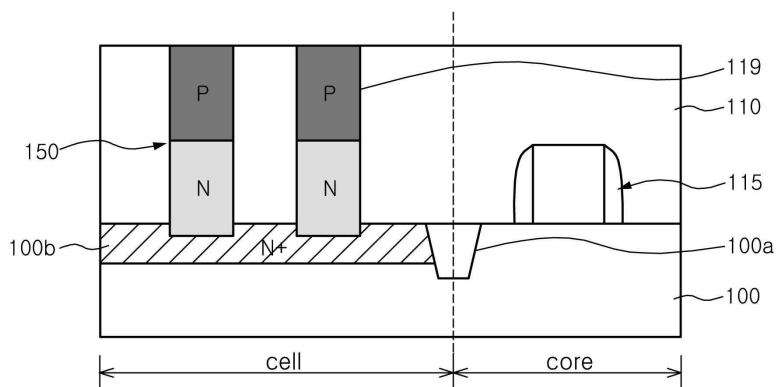
도면1



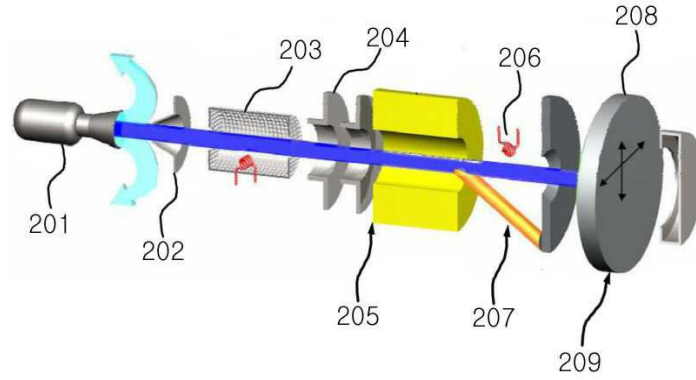
도면2



도면3



도면4



도면5

