



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I718245 B

(45) 公告日：中華民國 110 (2021) 年 02 月 11 日

(21) 申請案號：106104007

(22) 申請日：中華民國 106 (2017) 年 02 月 08 日

(51) Int. Cl. : **G06F9/455 (2006.01)****H01L21/768 (2006.01)**

(30) 優先權：2016/02/11 南韓

10-2016-0015820

2016/08/05 南韓

10-2016-0100122

2017/01/31 美國

15/420,514

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：柳星民 RYU, SEONG-MIN (KR)；元孝植 WON, HYO-SIG (KR)

(74) 代理人：林孟閱；盧佩君；陳怡如

(56) 參考文獻：

TW 201523313A

CN 101887469A

US 2008/0097641A1

US 2013/0256758A1

US 2014/0167219A1

US 2015/0021738A1

US 2015/0206800A1

US 2015/0287628A1

審查人員：馮耀嘉

申請專利範圍項數：25 項 圖式數：18 共 85 頁

(54) 名稱

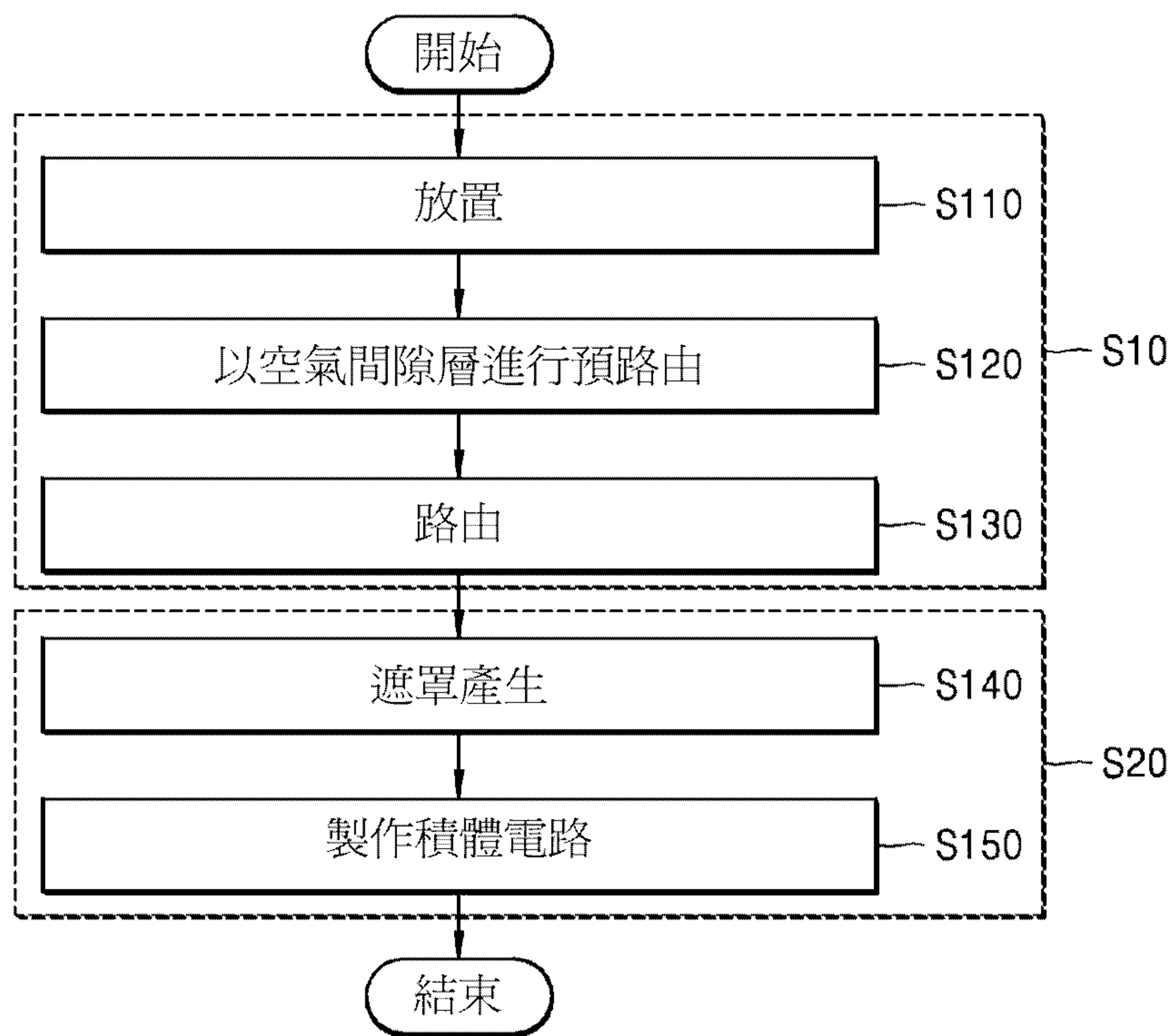
積體電路、製造其的電腦實施方法以及定義其的標準元件

(57) 摘要

本發明提供積體電路、製造其的電腦實施方法以及定義其的標準元件。製造積體電路的電腦實施方法包括：放置多個標準元件，所述多個標準元件定義所述積體電路；自包含於所放置的標準元件中的多個定時路徑中選擇定時緊要路徑；以及自包含於定時緊要路徑中的多個網路中選擇至少一個網路作為至少一個定時緊要網路。所述方法更包括：以空氣間隙層對至少一個定時緊要網路進行預路由；對未選擇的網路進行路由；使用被預路由的至少一個定時緊要網路及被路由的未選擇的網路來產生佈局；以及基於佈局來製造所述積體電路。

Provided are integrated circuits, a computer-implemented method of manufacturing the same, and a standard cell defining the same. The computer-implemented method of manufacturing an integrated circuit includes placing a plurality of standard cells that define the integrated circuit, selecting a timing critical path from among a plurality of timing paths included in the placed standard cells, and selecting at least one net from among a plurality of nets included in the timing critical path as at least one timing critical net. The method further includes pre-routing the at least one timing critical net with an air-gap layer, routing unselected nets, generating a layout using the pre-routed at least one timing critical net and the routed unselected nets, and manufacturing the integrated circuit based on the layout.

指定代表圖：



符號簡單說明：

S10 . . . 積體電路設計操作/製程/操作

S20 . . . 積體電路製造製程/製程

S110、S120、S130、S140、S150 . . . 操作

【圖1】



I718245

【發明摘要】

IPC分類：G06F 17/50 (2006.01)
H01L 21/768 (2006.01)

【中文發明名稱】積體電路、製造其的電腦實施方法以及定義其的標準元件

【英文發明名稱】INTEGRATED CIRCUITS,
COMPUTER-IMPLEMENTED METHOD OF MANUFACTURING
THE SAME, AND STANDARD CELL DEFINING THE SAME

【中文】本發明提供積體電路、製造其的電腦實施方法以及定義其的標準元件。製造積體電路的電腦實施方法包括：放置多個標準元件，所述多個標準元件定義所述積體電路；自包含於所放置的標準元件中的多個定時路徑中選擇定時緊要路徑；以及自包含於定時緊要路徑中的多個網路中選擇至少一個網路作為至少一個定時緊要網路。所述方法更包括：以空氣間隙層對至少一個定時緊要網路進行預路由；對未選擇的網路進行路由；使用被預路由的至少一個定時緊要網路及被路由的未選擇的網路來產生佈局；以及基於佈局來製造所述積體電路。

【英文】 Provided are integrated circuits, a computer-implemented method of manufacturing the same, and a standard cell defining the same. The computer-implemented method of manufacturing an integrated circuit includes placing a plurality of standard cells that define the integrated circuit, selecting a timing critical path from

among a plurality of timing paths included in the placed standard cells, and selecting at least one net from among a plurality of nets included in the timing critical path as at least one timing critical net. The method further includes pre-routing the at least one timing critical net with an air-gap layer, routing unselected nets, generating a layout using the pre-routed at least one timing critical net and the routed unselected nets, and manufacturing the integrated circuit based on the layout.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

S10：積體電路設計操作/製程/操作

S20：積體電路製造製程/製程

S110、S120、S130、S140、S150：操作

【特徵化學式】

無

【發明說明書】

【中文發明名稱】積體電路、製造其的電腦實施方法以及定義其的標準元件

【英文發明名稱】INTEGRATED CIRCUITS,
COMPUTER-IMPLEMENTED METHOD OF MANUFACTURING
THE SAME, AND STANDARD CELL DEFINING THE SAME

【技術領域】

【0001】本申請案主張於 2016 年 2 月 11 日提出申請的韓國專利申請案第 10-2016-0015820 號及於 2016 年 8 月 5 日提出申請的韓國專利申請案第 10-2016-0100122 號的優先權，所述申請案的揭露內容併入本案供參考。

【0002】本發明概念的示例性實施例是有關於一種積體電路，且更具體而言，是有關於一種包括空氣間隙層的積體電路及製造其的電腦實施方法。

【先前技術】

【0003】隨著半導體製程技術的進步，製程變得越來越精細。因此，寄生電容可隨著導電圖案之間の間隔減小而增大。為減小寄生電容，正實施其中在導電圖案之間放置空氣間隙圖案的空氣間隙技術。由於空氣具有小的介電常數，因此寄生電容可因空氣間隙圖案而減小，且半導體晶片的運作速度可得到提高。

【發明內容】

【0004】 根據本發明概念的示例性實施例，一種製造積體電路的電腦實施方法包括：放置多個標準元件，多個標準元件定義所述積體電路；自包含於所放置的標準元件中的多個定時路徑中選擇定時緊要路徑（timing critical path）；自包含於定時緊要路徑中的多個網路中選擇至少一個網路作為至少一個定時緊要網路（timing critical net）；以空氣間隙層對至少一個定時緊要網路進行預路由（pre-routing）；對未選擇的網路進行路由；使用被預路由的至少一個定時緊要網路及被路由的未選擇的網路來產生佈局；以及基於佈局來製造積體電路。

【0005】 根據本發明概念的示例性實施例，一種積體電路包括：第一導電圖案，在第一方向上延伸；第二導電圖案，在不同於第一方向的第二方向上延伸；第一介層窗，電性連接第一導電圖案與第二導電圖案；以及第一空氣間隙圖案至第四空氣間隙圖案。第一空氣間隙圖案在第一方向上延伸且安置於第一導電圖案的第一側上。第二空氣間隙圖案在第一方向上延伸且安置於第一導電圖案的第二側上。第一導電圖案的第一側與所述第一導電圖案的第二側相對。第三空氣間隙圖案在第二方向上延伸且安置於第二導電圖案的第一側上。第四空氣間隙圖案在第二方向上延伸且安置於第二導電圖案的第二側上。第二導電圖案的第一側與第二導電圖案的第二側相對。

【0006】 根據本發明概念的示例性實施例，一種積體電路包括：第一導電圖案，在第一方向上延伸；第二導電圖案，在不同於第

一方向的第二方向上延伸；第一介層窗，電性連接第一導電圖案與第二導電圖案；第一空氣間隙圖案，在第一方向上延伸且安置於第一導電圖案的第一側上；以及第二空氣間隙圖案，在第二方向上延伸且安置於第二導電圖案的第一側上。

【0007】 根據本發明概念的示例性實施例，一種積體電路包括：第一導電圖案，在第一方向上延伸；第二導電圖案，在不同於第一方向的第二方向上延伸；第三導電圖案，在第一方向上延伸；以及第一空氣間隙圖案至第三空氣間隙圖案。第一空氣間隙圖案在第一方向上延伸且安置於第一導電圖案的第一側上。第二空氣間隙圖案在第二方向上延伸且安置於第二導電圖案的第一側上。第三空氣間隙圖案在第一方向上延伸且安置於第三導電圖案的第一側上。第一導電圖案、第二導電圖案、第三導電圖案、第一空氣間隙圖案、第二空氣間隙圖案及第三空氣間隙圖案安置於同一層中。

【0008】 根據本發明概念的示例性實施例，一種定義積體電路的標準元件包括：第一主動區域；第二主動區域；多個鰭，在第一方向上延伸；多個第一金屬線，在與第一方向交叉的第二方向上延伸；以及第二金屬線，在第一方向上延伸。多個第一金屬線及第二金屬線安置於第一主動區域與第二主動區域之間。標準元件更包括：多個第一空氣間隙圖案，在第二方向上延伸且安置於多個第一金屬線之間；以及第二空氣間隙圖案，在第一方向上延伸且安置於第二金屬線的第一側上。

【圖式簡單說明】

【0009】 藉由參考附圖詳細闡述本發明概念的示例性實施例，本發明概念的以上及其他特徵將變得更顯而易見，在附圖中：

【0010】 圖 1 是說明根據本發明概念示例性實施例的一種製造積體電路的方法的流程圖。

【0011】 圖 2A 及圖 2B 是說明根據本發明概念示例性實施例的分別包括空氣間隙層的各積體電路的剖視圖。

【0012】 圖 3 及圖 4 說明根據本發明概念示例性實施例的積體電路設計系統。

【0013】 圖 5 是說明根據本發明概念示例性實施例的一種設計積體電路的方法的流程圖。

【0014】 圖 6 是根據本發明概念示例性實施例的一種設計積體電路的方法的流程圖。

【0015】 圖 7 是繪示根據本發明概念示例性實施例的定時分析結果的曲線圖。

【0016】 圖 8 說明根據本發明概念示例性實施例的使用空氣間隙層而進行路由的佈線結構。

【0017】 圖 9A 至圖 9E 是說明根據本發明概念示例性實施例的以空氣間隙層而進行路由的定時緊要網路的立體圖。

【0018】 圖 10 說明根據本發明概念示例性實施例的使用正常層而進行路由的佈線結構。

【0019】 圖 11A 是說明根據本發明概念示例性實施例的藉由應用

空氣間隙圖案而進行路由的積體電路的平面圖。

【0020】 圖 11B 是說明根據本發明概念示例性實施例的圖 11A 所示積體電路的立體圖。

【0021】 圖 12A 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路的平面圖。

【0022】 圖 12B 是說明根據本發明概念示例性實施例的圖 12A 所示積體電路的立體圖。

【0023】 圖 13A 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路的平面圖。

【0024】 圖 13B 是說明根據本發明概念示例性實施例的圖 13A 所示積體電路的立體圖。

【0025】 圖 14A 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路的平面圖。

【0026】 圖 14B 是說明根據本發明概念示例性實施例的圖 14A 所示積體電路的立體圖。

【0027】 圖 15 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路的立體圖。

【0028】 圖 16 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路的立體圖。

【0029】 圖 17 是根據本發明概念示例性實施例的包含於積體電路中的標準元件的佈局。

【0030】 圖 18 是說明根據本發明概念示例性實施例的儲存媒體的

方塊圖。

【實施方式】

【0031】 以下將參考附圖更充分地闡述本發明概念的示例性實施例。在附圖中，相同參考編號可自始至終指代相同組件。

【0032】 應理解，在本文中使用的用語「第一」、「第二」、「第三」等來區分各個組件，且所述組件並非受限於該些用語。因此，在一示例性實施例中的「第一」組件可在另一示例性實施例中被闡述為「第二」組件。更應理解，當兩個部件或方向被闡述為實質上彼此平行或彼此垂直延伸時，所述兩個部件或方向則精確地彼此平行或彼此垂直延伸，抑或近似彼此平行或彼此垂直延伸，如此項技術中具有通常知識者將理解。

【0033】 圖 1 是說明根據本發明概念示例性實施例的一種製造積體電路的方法的流程圖。

【0034】 參考圖 1，根據示例性實施例，一種製造積體電路的方法可包括積體電路設計操作 S10 及積體電路製造製程 S20。積體電路設計操作 S10 可包括其中使用用於設計積體電路的工具來設計積體電路的佈局的操作 S110 至操作 S130。在此種情形中，用於設計積體電路的工具可為包括由處理器執行的多個指令的程式。所述程式可儲存於記憶體上。因此，積體電路設計操作 S10 可被稱為可由處理器執行的設計積體電路的電腦實施方法。積體電路製造製程 S20 對應於根據基於所設計佈局的積體電路來製造半導體裝置的操作，且可由半導體製程裝置來實行。

【0035】 積體電路可由多個元件來定義。舉例而言，可使用包括所述多個元件的特徵資訊的元件庫來設計積體電路。舉例而言，在元件庫中，可定義元件的元件名稱、尺寸、閘極寬度、引腳、延遲特性、漏電流、臨限電壓、及功能。在示例性實施例中，元件庫可為標準元件庫。標準元件庫可包括例如（舉例而言）多個標準元件的佈局資訊及定時資訊等資訊。包括標準元件庫的元件庫可儲存於電腦可讀取儲存媒體中。

【0036】 在操作 S110 中，可例如由處理器使用放置及路由（placement and routing，P/R）工具來實行操作 S110。首先，接收定義積體電路的輸入資料。此處，可藉由使用標準元件庫對以積體電路行為的摘要形式所定義的資料（例如，在暫存器轉移層次（register transfer level，RTL）中定義的資料）進行合成來產生輸入資料。輸入資料可為例如藉由對由甚高速積體電路（very high speed integrated circuit，VHSIC）硬體描述語言（hardware description language，VHDL）及硬體描述語言（hardware description language，HDL）（例如，舉例而言，VERILOG）定義的積體電路進行合成而產生的位元流或網路連線表（netlist）。隨後，對儲存有標準元件庫的儲存媒體進行存取，且放置根據輸入資料而自儲存於標準元件庫中的多個標準元件中選出的標準元件。

【0037】 在操作 S120 中，以空氣間隙層對自所放置標準元件中選擇的網路進行預路由，如下文進一步所述。在操作 S130 中，對自所放置標準元件中選擇的網路進行路由（例如，在無空氣間隙

層的情況下)。本文中，空氣間隙層指代包括空氣間隙或空氣間隙圖案的層。舉例而言，可選擇包含於所放置標準元件中的所述多個網路中的至少一者，且可將所述被選擇的至少一個網路分配給空氣間隙層。在示例性實施例中，所述至少一個網路可對應於定時緊要路徑的一個網路，如下文進一步所述。

【0038】 本文中，網路可表示積體電路的等效電路圖中的等電位（equipotential）。一個網路可對應於積體電路的佈局中的一個互連。互連可對應於例如包括彼此電性連接的多個佈線層及介層窗的佈線結構。佈線層中的每一者可包括例如多個導電圖案。形成於可安置於不同層次上的佈線層中的導電圖案可藉由由導電材料形成的介層窗而彼此電性連接。在示例性實施例中，佈線層可包含金屬作為導電材料，且可被稱為金屬層。在示例性實施例中，佈線層可包含除金屬外的導電材料。

【0039】 根據示例性實施例，網路可包括：第一導電圖案，包含於第一佈線層中；第二導電圖案，包含於第二佈線層中；以及介層窗，安置於所述第一導電圖案與所述第二導電圖案之間且電性連接所述第一導電圖案與所述第二導電圖案。所述第一佈線層與所述第二佈線層可安置於不同層次處。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，網路可包括包含於同一佈線層中的導電圖案。此外，在示例性實施例中，網路可包括包含於第一佈線層中的多個第一導電圖案以及包含於第二佈線層中的多個第二導電圖案。

【0040】 根據示例性實施例，由於空氣間隙圖案鄰近（例如，緊鄰）與被選擇的網路對應的導電圖案安置，因此可以空氣間隙層對被選擇的網路進行預路由。在示例性實施例中，空氣間隙層可由雙向空氣間隙層來實施。舉例而言，包含於空氣間隙層中的空氣間隙圖案可在第一方向上延伸，或可在實質上垂直於所述第一方向的第二方向上延伸。以下，將參考圖 2A 來闡述根據示例性實施例的空氣間隙層。

【0041】 圖 2A 是說明根據本發明概念示例性實施例的包括空氣間隙層的積體電路 IC 的剖視圖。

【0042】 參考圖 2A，積體電路 IC 可包括第一佈線層至第三佈線層 M1、M2 及 M3、第一絕緣層 ILD1 及第二絕緣層 ILD2、以及第一障壁層 BM1 及第二障壁層 BM2。積體電路 IC 可例如根據圖 1 所示製程 S10 來設計，且可例如根據圖 1 所示製程 S20 來製造。

【0043】 第一佈線層 M1 可在 X 方向上延伸，第一障壁層 BM1 可包括安置於第一佈線層 M1 上的多個障壁層，且第一絕緣層 ILD1 可安置於第一障壁層 BM1 上。第二佈線層 M2 可安置於第一絕緣層 ILD1 上且在 Y 方向上延伸，第二障壁層 BM2 可包括安置於第二佈線層 M2 上的多個障壁層，且第二絕緣層 ILD2 可安置於第二障壁層 BM2 上。第一絕緣層 ILD1 及第二絕緣層 ILD2 可被稱為層間介電質。第三佈線層 M3 安置於第二絕緣層 ILD2 上且在 X 方向上延伸。

【0044】 在示例性實施例中，可預先選擇第一佈線層 M1 至第三佈

線層 M3 中的欲分配給空氣間隙層 AGL 的一者。在示例性實施例中，可基於第一佈線層 M1 至第三佈線層 M3 的高度及/或寬度來選擇欲分配給空氣間隙層 AGL 的佈線層。舉例而言，第一佈線層 M1 至第三佈線層 M3 中具有相對大的高度及/或寬度的佈線層可具有相對低的電阻。此佈線層可被選擇為空氣間隙層。舉例而言，例如第一佈線層 M1 等較低層次的佈線層的電阻可高於例如第三佈線層 M3 等較高層次的佈線層的電阻。在示例性實施例中，可基於連接第一佈線層 M1 至第三佈線層 M3 的介層窗的高度及/或寬度來選擇欲分配給空氣間隙層 AGL 的佈線層。舉例而言，例如第一佈線層 M1 等較低層次的佈線層的介層窗的電阻可低於例如第三佈線層 M3 等較高層次的佈線層的介層窗的電阻。在示例性實施例中，可基於第一佈線層 M1 至第三佈線層 M3 的高度及/或寬度以及連接第一佈線層 M1 至第三佈線層 M3 的介層窗的高度及/或寬度來選擇欲分配的佈線層作為空氣間隙層 AGL。

【0045】 在示例性實施例中，第二佈線層 M2 可分配給包括空氣間隙圖案 AGP 的空氣間隙層 AGL，而第一佈線層 M1 及第三佈線層 M3 可分配給不包括空氣間隙圖案 AGP 的正常層，如在圖 2A 中所示。在示例性實施例中，可以空氣間隙層 AGL 對第二佈線層 M2 進行預路由，且可以正常層對第一佈線層 M1 及第三佈線層 M3 進行路由。因此，可藉由兩階段佈線方案（two-stage wiring scheme）而對第一佈線層至第三佈線層 M1、M2、及 M3 進行路由。在示例性實施例中，在以正常層對其他層進行路由之前或在以正常層對

其他層進行路由之後，可以空氣間隙層 AGL 對以空氣間隙層 AGL 進行預路由的佈線層進行預路由。

【0046】 根據示例性實施例，第二佈線層 M2 可包括在 Y 方向上延伸的導電圖案 CPT 以及安置於各導電圖案 CPT 之間的空氣間隙圖案 AGP。可藉由以空氣置換各導電圖案 CPT 之間的金屬間介電質（inter-metal dielectric，IMD）材料來產生空氣間隙圖案 AGP。由於空氣的介電係數為低的值 1，因此空氣間隙圖案 AGP 可減小各導電圖案 CPT 之間的寄生電容，且因此可提高包括積體電路 IC 的半導體晶片的運作速度。然而，由於在產生空氣間隙圖案 AGP 時例如遮罩成本等製程成本增加，因此在包含於積體電路 IC 中的所有第一佈線層至第三佈線層 M1、M2、及 M3 均使用空氣間隙層來實施時，晶片的製造成本顯著增加。

【0047】 因此，根據示例性實施例，包含於積體電路 IC 中的所有層（例如，圖 2A 中所示的示例性實施例中的第一佈線層至第三佈線層 M1、M2、及 M3）均不使用空氣間隙層來實施。而是，僅某些層（例如，與定時緊要路徑的網路對應的層）—例如（舉例而言）僅圖 2A 所示示例性實施例中的第二佈線層 M2—可使用空氣間隙層來實施。因此，可在不顯著增加製造成本的情況下改良積體電路 IC 的效能。舉例而言，根據示例性實施例，可將其中實施有積體電路 IC 的晶片的運作速度提高至與其中使用空氣間隙層來實施其所有層的積體電路的水準實質上等效的水準。

【0048】 圖 2B 是說明根據本發明概念示例性實施例的包括空氣

間隙層的積體電路 IC'的剖視圖。

【0049】 參考圖 2B，積體電路 IC'可包括第一佈線層至第三佈線層 M1、M2'、及 M3、第一絕緣層 ILD1 及第二絕緣層 ILD2、以及第一障壁層 BM1 及第二障壁層 BM2。圖 2B 中所示的示例性實施例包括與圖 2A 所示示例性實施例的某些相似之處。為便於闡釋，在本文中可省略先前參考圖 2A 所述的組件及配置的進一步詳細說明。在示例性實施例中，第二佈線層 M2'可分配給包括空氣間隙圖案 AGP 的空氣間隙層 AGL，而第一佈線層 M1 及第三佈線層 M3 可分配給不包括空氣間隙圖案 AGP 的一般層。

【0050】 根據示例性實施例，第二佈線層 M2'可包括在 Y 方向上延伸的導電圖案 CPT。舉例而言，導電圖案 CPT 可包括：第一導電圖案 CPT1，具有安置於第一導電圖案 CPT1 的相對側表面上的空氣間隙圖案 AGP；第二導電圖案 CPT2，具有安置於第二導電圖案 CPT2 的一個側表面上的空氣間隙圖案 AGP；以及第三導電圖案 CPT3，不具有安置於第三導電圖案 CPT3 的任一相對側表面上的空氣間隙圖案 AGP。因此，第一導電圖案 CPT1 及第二導電圖案 CPT2 可被稱為空氣間隙導電圖案，而第三導電圖案 CPT3 可被稱為正常導電圖案。因此，在示例性實施例中，包含於空氣間隙層 AGL（例如，圖 2B 所示示例性實施例中的第二佈線層 M2'）中的導電圖案 CPT 中的一者可使用空氣間隙導電圖案來實施。

【0051】 返回參考圖 1，在操作 S130 之後，可將定義積體電路的輸出資料提供至半導體製程裝置。此處，輸出資料可具有包括標

準元件的所有佈局資訊的格式。舉例而言，輸出資料可包括所有層的圖案資訊，且可具有例如圖形設計系統（graphic design system，GDS）II 格式。此外，輸出資料可具有包括標準元件的外部資訊（例如，舉例而言，標準元件的引腳）的格式。舉例而言，輸出資料可具有庫交換格式（Library Exchange Format，LEF）或銀河（MILKYWAY）格式。

【0052】 如上所述，根據示例性實施例，可藉由對所排列標準元件應用兩階段佈線方案而實行路由。舉例而言，所排列標準元件的路由可包括第一路由操作（例如操作 S120）及第二路由操作（例如操作 S130）。舉例而言，所排列標準元件中的多個定時緊要路徑中的定時緊要路徑的至少一個網路可分配給空氣間隙層，且其餘網路可分配給正常層。因此，可藉由使用少量空氣間隙層來製造高效能積體電路。

【0053】 設計積體電路的操作 S10 可包括上述操作 S110 至操作 S130。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，操作 S10 可包括與設計積體電路相關的各種操作，例如（舉例而言）標準元件庫的產生、標準元件庫的校正、及佈局的驗證。此外，在示例性實施例中，操作 S110 至操作 S130 可對應於積體電路設計過程的後端設計過程，且可在操作 S110 之前實行前端設計過程。前端設計過程可包括例如設計規範的確定、動作層次（act level）的建模及驗證、暫存器轉移層次（register-transfer level，RTL）的設計、功能的驗證、邏輯的合成、及閘層次的驗證

(或預先佈局的模擬)。

【0054】 在操作 S140 中，基於佈局來產生遮罩。舉例而言，首先，可基於所述佈局來實行光學鄰近校正 (optical proximity correction, OPC)。光學鄰近校正是指根據光學鄰近效應而在反映錯誤的同時改變佈局的過程。隨後，可根據基於光學鄰近校正效能結果而改變的佈局來製造所述遮罩。然後，可使用反映光學鄰近校正的佈局 (例如，舉例而言，反映光學鄰近校正的圖形資料系統 (graphic data system, GDS)) 來製造所述遮罩。

【0055】 在操作 S150 中，使用所述遮罩來製造積體電路。舉例而言，藉由使用所述遮罩對例如晶圓等半導體基板實行各種半導體製程而形成其中實施有積體電路的半導體裝置。使用所述遮罩的製程可指代例如藉由微影製程而進行的圖案化製程。可藉由圖案化製程而在半導體基板或材料層上形成所需圖案。半導體製程可包括例如沈積製程、蝕刻製程、離子化製程、及清潔製程。半導體製程可更包括例如包括以下操作的封裝製程：在印刷電路板 (printed circuit board, PCB) 上安裝半導體裝置及以密封劑來密封半導體。半導體製程可更包括例如測試半導體裝置或封裝的測試製程。

【0056】 圖 3 是根據本發明概念示例性實施例的積體電路設計系統 10。

【0057】 參考圖 3，積體電路設計系統 10 可包括處理器 11、工作記憶體 13、輸入/輸出裝置 15、輔助儲存器 17、及匯流排 19。積

體電路設計系統 10 可實行圖 1 所示積體電路設計過程。在示例性實施例中，積體電路設計系統 10 可由積體裝置來實施，且因此，可被稱為積體電路設計設備。積體電路設計系統 10 可被提供作為用於設計半導體裝置的積體電路的專用設備，且可為用於驅動各種模擬工具或設計工具的電腦。

【0058】 處理器 11 可用以執行用於實行各種積體電路設計操作中的至少一者的指令。處理器 11 可藉由匯流排 19 而實行與工作記憶體 13、輸入/輸出 (input/output, I/O) 裝置 15、及輔助儲存器 17 的通訊。處理器 11 可執行藉由驅動被加載於工作記憶體 13 中的放置及路由 (placement and routing, P&R) 模組 13a 及定時分析模組 13b 而設計積體電路的操作。舉例而言，處理器 11 可執行藉由執行儲存於記憶體中且與放置及路由以及定時分析相關的指令而設計積體電路的操作。

【0059】 工作記憶體 13 可儲存放置及路由模組 13a (例如，與放置及路由相關的指令) 及定時分析模組 13b (例如，與定時分析相關的指令)。放置及路由模組 13a 及定時分析模組 13b 可自輔助儲存器 17 加載至工作記憶體 13。工作記憶體 13 可為揮發性記憶體，例如 (舉例而言) 靜態隨機存取記憶體 (static random access memory, SRAM) 或動態隨機存取記憶體 (dynamic random access memory, DRAM)，抑或可為非揮發性記憶體，例如 (舉例而言) 相變隨機存取記憶體 (phase change random access memory, PRAM)、磁阻式隨機存取記憶體 (magneto-resistive random access

memory, MRAM)、基於電阻的隨機存取記憶體 (resistance based random access memory, ReRAM)、或反或快閃記憶體。

【0060】 放置及路由模組 13a 可為例如包括用於根據圖 1 所示操作 S110 而實行排列操作以及根據圖 1 所示操作 S120 及操作 S130 而實行佈線操作的指令的程式。定時分析模組 13b 可為例如包括用於判斷是否滿足定時限制條件 (timing constraint) 的指令的程式。判斷是否滿足定時限制條件可包括例如對所排列標準元件中的所有定時路徑實行定時分析。定時分析模組 13b 可指代例如靜態定時分析 (static timing analysis, STA) 工具。

【0061】 輸入/輸出裝置 15 可控制來自使用者介面裝置的使用者輸入以及輸出。輸入/輸出裝置 15 可包括例如 (舉例而言) 鍵盤、滑鼠、或觸摸板等輸入裝置, 且可接收定義積體電路的輸入資料。輸入/輸出裝置 15 可包括例如 (舉例而言) 顯示器或揚聲器等輸出裝置, 且可顯示例如排列結果、佈線結果、或定時分析結果。

【0062】 輔助儲存器 17 可儲存與放置及路由模組 13a 及定時分析模組 13b 相關的各種資料。輔助儲存器 17 可包括例如記憶卡 (例如, 多媒體卡 (multimedia card, MMC)、嵌式多媒體卡 (embedded multimedia card, eMMC)、安全數位 (secure digital, SD) 卡、微安全數位卡等)、固態驅動機、及硬碟驅動機。

【0063】 圖 4 是根據本發明概念示例性實施例的積體電路設計系統 20。

【0064】 參考圖 4, 積體電路設計系統 20 可包括使用者裝置 21、

積體電路設計平台 22、及輔助儲存器 23。積體電路設計系統 20 可實行圖 1 所示積體電路設計操作 S10。在示例性實施例中，使用者裝置 21、積體電路設計平台 22、及輔助儲存器 23 中的至少一者可為單獨的裝置，且使用者裝置 21、積體電路設計平台 22、及輔助儲存器 23 可藉由網路經由有線/無線通訊而彼此通訊。在示例性實施例中，使用者裝置 21、積體電路設計平台 22、及輔助儲存器 23 中的至少一者可安置於與其他部件不同的位置處。

【0065】 使用者裝置 21 可包括處理器 21a 及使用者介面 (user interface, UI) 21b。處理器 21a 可根據經由使用者介面 21b 而輸入的使用者輸入來驅動積體電路設計平台 22。積體電路設計平台 22 為一組用於設計積體電路的電腦可讀取指令，且可包括放置及路由模組 22a (例如，對應於與放置及路由相關的指令) 及定時分析模組 22b (例如，對應於與定時分析相關的指令)。輔助儲存器 23 可包括元件庫資料庫 (database, DB) 23a 及佈局資料庫 23b。元件庫資料庫 23a 儲存與用於產生積體電路的佈局的元件相關的資訊，且佈局資料庫 23b 儲存與由放置及路由模組 22a 產生的佈局相關的資訊 (例如，佈局的物理資訊)。

【0066】 圖 5 是說明根據本發明概念示例性實施例的一種設計積體電路的方法 S10A 的流程圖。

【0067】 參考圖 5，根據示例性實施例的設計積體電路的方法 S10A 可對應於圖 1 所示積體電路設計操作 S10 的實施。可例如由圖 3 所示積體電路設計系統 10 的處理器 11 或圖 4 所示積體電路

設計系統 20 的處理器 21a 來實行設計積體電路的方法 S10A。

【0068】 在操作 S210 中，實行基楚規劃（floor planning）。基楚規劃是放置規劃階段，且指代簡要地規劃標準元件及巨集元件（macro cell）的放置/佈線方式的操作。舉例而言，基楚規劃可包括例如（舉例而言）將輸入/輸出墊、標準元件、隨機存取記憶體（random access memory，RAM）等放置於晶片中等操作。

【0069】 在操作 S220 中，放置定義積體電路的標準元件。之後，可實行放置後最佳化。在操作 S230 中，實行時脈樹合成。時脈樹合成指代當產生電路的佈局時自動地產生時脈網路以及在合適的位置處插入緩衝器的操作。一旦在操作 S220 及操作 S230 中放置標準元件且實行時脈樹合成之後，標準元件的放置便已完成。

【0070】 在操作 S240 中，選擇空氣間隙層。在示例性實施例中，可選擇包含於所放置標準元件中的多個定時路徑中的定時緊要路徑，且可將所述定時緊要路徑分配給空氣間隙層。在操作 S250 中，選擇定時緊要路徑上的網路（以下亦被稱為定時緊要網路）。在示例性實施例中，可將包含於定時緊要路徑範圍內的網路選擇為定時緊要網路。在示例性實施例中，可在放置操作 S220 期間實行操作 S240 及/或操作 S250。在示例性實施例中，可在預路由操作 S260 及路由操作 S270 期間實行操作 S240 及/或操作 S250。

【0071】 在示例性實施例中，積體電路設計方法可更包括在操作 S250 之後重新選擇定時緊要網路的操作。舉例而言，可基於例如定時緊要網路的延遲、與定時緊要網路對應的佈線層的物理條件

等而自空氣間隙層目標網路排除定時緊要網路中的某些。可經由重新選擇操作來排除該些先前被選擇的定時緊要網路。

【0072】 在示例性實施例中，可比較與其中使用空氣間隙導電圖案（例如，圖 2B 所示 CPT1 或 CPT2）對定時緊要網路進行路由的情形對應的延遲（例如，空氣間隙導電圖案路由的延遲）和與其中使用正常導電圖案（例如，圖 2B 所示 CPT3）對定時緊要網路進行路由的情形對應的延遲（例如，正常導電圖案路由的延遲），且可基於比較結果來重新選擇定時緊要網路。舉例而言，當被選擇的定時緊要網路中的第一網路的長度為小時（例如，當第一網路連接同一佈線層的兩個連接點時），所述第一網路的空氣間隙導電圖案的延遲可大於正常導電圖案路由的延遲。因此，可自被選擇的定時緊要網路（例如，經由重新選擇操作）排除所述第一網路。

【0073】 在示例性實施例中，可判斷與定時緊要網路對應的導電圖案與鄰近導電圖案之間的空間是否小於臨限值，且可基於所述判斷結果來重新選擇定時緊要網路。舉例而言，在示例性實施例中，若與被選擇的定時緊要網路中的第一網路對應的導電圖案附近的空間不小於臨限值，則可自被選擇的定時緊要網路（例如，經由重新選擇操作）排除所述第一網路。

【0074】 此外，在示例性實施例中，可確定與定時緊要網路對應的導電圖案的位置，且可基於所述確定結果來重新選擇定時緊要網路。舉例而言，當與被選擇的定時緊要網路的第一網路對應的

導電圖案位於佈線層的遠端處時，可自被選擇的定時緊要網路（例如，經由重新選擇操作）排除第一網路。

【0075】 在操作 S260 中，在空氣間隙層上以高優先級對定時緊要網路進行預路由。在操作 S270 中，對所放置標準元件中的定時路徑中的非緊要路徑的網路（以下亦被稱為未選擇的網路）進行路由。以此種方式，根據示例性實施例，在設計積體電路的方法 S10A 中，可藉由使用少量空氣間隙層且藉由應用兩階段佈線方案來實施高效能積體電路，其中在空氣間隙層上以相對高的優先級對包含於定時緊要路徑中的網路進行預路由，且其中在無空氣間隙層的情況下以相對低的優先級對非緊要路徑的網路進行路由。

【0076】 圖 6 是說明根據本發明概念示例性實施例的一種設計積體電路的方法 S10B 的流程圖。

【0077】 參考圖 6，根據示例性實施例的設計積體電路的方法 S10B 可對應於圖 5 所示積體電路設計製程 S10A 的實施。可例如由圖 3 所示積體電路設計系統 10 的處理器 11 或圖 4 所示積體電路設計系統 20 的處理器 21a 來實行設計積體電路的方法 S10B。

【0078】 在操作 S310 中，放置定義積體電路的多個標準元件。可例如使用放置工具及路由工具（例如，圖 3 所示部件 13a 或圖 4 所示部件 22a）來實行操作 S310。在示例性實施例中，操作 S310 可對應於圖 5 所示操作 S220。此外，在示例性實施例中，操作 S310 可對應於圖 5 所示操作 S220 及操作 S230。

【0079】 在操作 S320 中，可對所放置標準元件進行嘗試路由

(trial-routing)。此處，嘗試路由指代用於將定時緊要路徑進行分類的路由。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中可省略操作 S320。舉例而言，當僅藉由操作 S310 的標準元件的放置資訊來啟用定時分析時，可省略操作 S320。在操作 S330 中，實行定時分析。舉例而言，可實行定時分析以選擇所放置標準元件中的多個定時路徑中的定時緊要路徑，且可提供定時分析結果資料。舉例而言，在操作 S330 中，可基於藉由實行定時分析所獲得的定時分析結果資料而自包含於所放置標準元件中的多個定時路徑中選擇定時緊要路徑。此外，可基於所述定時分析結果資料而選擇至少一個網路作為定時緊要網路。

【0080】 定時路徑可被劃分成例如資料路徑、時脈路徑、時脈閘控路徑、及異步路徑。各定時路徑中的每一者具有起點及終點。定時路徑可指代例如積體電路的各零件之間（例如，舉例而言，輸入墊與輸出墊之間、輸入墊與正反器的資料輸入之間、正反器的資料輸出與另一正反器的資料輸入之間、以及正反器的資料輸出與輸出墊之間）的組合邏輯及互連。經過定時路徑的延遲可對積體電路的運作速度產生重大影響。

【0081】 定時緊要路徑可指代其中自輸入（例如，起點）至輸出（例如，終點）的總定時延遲超過定時限制條件的定時路徑。其中自輸入（例如，起點）至輸出（例如，終點）的總定時延遲不超過定時限制條件的定時路徑可被稱為非緊要路徑。在示例性實施例中，定時緊要路徑可指代具有最大延遲的定時路徑。以下，

將參考圖 7 更詳細地闡述定時分析。

【0082】 圖 7 是繪示根據本發明概念示例性實施例的定時分析結果的曲線圖。

【0083】 參考圖 7，橫軸表示遲緩時間 (slack) 而縱軸表示定時路徑的數目。此處，遲緩時間表示定時要求所需要的時間與實際到達時間之間的差，且可藉由定時分析器或定時分析模組 (例如，圖 3 所示定時分析模組 13b 或圖 4 所示定時分析模組 22b) 來量測。正的遲緩時間說明尚未發生定時違規 (timing violation) (例如，滿足定時要求)，而負的遲緩時間說明已發生定時違規 (例如，不滿足定時要求)。因此，與圖 7 中的負遲緩時間對應的定時路徑可對應於定時緊要路徑 (timing critical path, TCP)。

【0084】 返回參考圖 6，在操作 S340 中，選擇定時緊要路徑的網路。舉例而言，可藉由對在操作 S310 中所放置的標準元件應用在操作 S330 中所獲取的分析資料 (例如，藉由對實行操作 S320 的嘗試路由之前的狀態應用所述分析資料) 來選擇包含於定時緊要路徑中的多個網路中的至少一者。舉例而言，可選擇與定時緊要路徑的特定範圍對應的網路。因此，在操作 S340 中，可自包含於定時緊要路徑中的多個網路中選擇至少一個網路。此被選擇的至少一個網路可被稱為定時緊要路徑的至少一個定時緊要網路。

【0085】 在操作 S350 中，以空氣間隙層對被選擇的網路進行預路由。在示例性實施例中，被選擇的網路可對應於包含於第一佈線層中的第一導電圖案、電性連接至所述第一導電圖案的介層窗、

及包含於第二佈線層中且電性連接至所述介層窗的第二導電圖案。在示例性實施例中，可藉由在第一導電圖案的相對側上安置空氣間隙圖案以及藉由在第二導電圖案的相對側上安置空氣間隙圖案而以兩個空氣間隙層來對被選擇的網路進行路由。以下，將參考圖 8 以及圖 9A 至圖 9C 更詳細地闡述操作 S350。

【0086】 圖 8 說明根據本發明概念示例性實施例的使用空氣間隙層 AGL 進行路由的佈線結構 81。

【0087】 參考圖 8，佈線結構 81 對應於定時緊要路徑。在佈線結構 81 中，以空氣間隙層 AGL 僅對與佈線結構 81 的某些區域對應的第五佈線層 M5 及第六佈線層 M6 進行路由。第五佈線層 M5 及第六佈線層 M6 可對應於定時緊要路徑的被選擇的網路（例如，定時緊要網路）。第一佈線層 M1 可包括第一引腳 P1 及第二引腳 P2。第一引腳 P1 及第二引腳 P2 可對應於例如定時緊要路徑的輸入引腳（例如，起點）及輸出引腳（例如，終點）。

【0088】 定時緊要路徑為所放置標準元件中的定時路徑中不滿足定時限制條件的一者。因此，定時緊要路徑的各導電圖案之間的寄生電容可顯著地影響積體電路以及包括積體電路的晶片的效能（例如，運作速度）。根據示例性實施例，以空氣間隙層對包含於定時緊要路徑中的被選擇的網路（例如，定時緊要網路）進行預路由。以空氣間隙層對被選擇的網路進行預路由包括例如在與被選擇的網路對應的佈線層的相對側上安置空氣間隙圖案。

【0089】 根據示例性實施例，由於以空氣間隙層對定時緊要路徑

的被選擇的網路進行預路由，因此與定時緊要路徑的被選擇的網路對應的各導電圖案之間的寄生電容可減小。因此，定時緊要路徑的定時延遲可減小，從而使得定時緊要路徑滿足定時限制條件。因此，可提高積體電路及包括積體電路的晶片的運作速度。

【0090】 圖 9A 至圖 9E 是說明根據本發明概念示例性實施例的以空氣間隙層進行路由的定時緊要網路的立體圖。在圖 9A 以及圖 9C 至圖 9E 中例示的定時緊要網路可例如對應於圖 8 所示第五佈線層 M5 及第六佈線層 M6。在圖 9B 中例示的定時緊要網路可包括第五佈線層 M5 及第八佈線層 M8，如下文進一步所述。

【0091】 參考圖 9A，可在連續金屬層（例如，連續佈線層）上安置雙向空氣間隙層。舉例而言，可在連續第五佈線層 M5 及連續第六佈線層 M6 上安置包括空氣間隙圖案 AGP1、空氣間隙圖案 AGP1'、空氣間隙圖案 AGP2、及空氣間隙圖案 AGP2' 的雙向空氣間隙層。在圖 9A 中，定時緊要網路 100 可為連接第一連接點 CP1 與第二連接點 CP2 的網路。定時緊要網路 100 可包括：第五佈線層 M5，電性連接至第一連接點 CP1；介層窗 V5，安置於第五佈線層 M5 上且電性連接至第五佈線層 M5；以及第六佈線層 M6，安置於介層窗 V5 上且電性連接至介層窗 V5 及第二連接點 CP2。第五佈線層 M5 可在 Y 方向上延伸，而第六佈線層 M6 可在 X 方向上延伸。在所有各圖中，X 方向與 Y 方向可實質上彼此垂直。第五佈線層 M5 及第六佈線層 M6 可分別對應於例如圖 8 所示第五佈線層 M5 及第六佈線層 M6。

【0092】 在圖 9A 所示示例性實施例中，第五佈線層 M5 及第六佈線層 M6 兩者可由空氣間隙層來實施。舉例而言，可在第五佈線層 M5 的相對兩側上安置空氣間隙圖案 AGP1 及空氣間隙圖案 AGP1'，且可在第六佈線層 M6 的相對兩側上安置空氣間隙圖案 AGP2 及 AGP2'。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，可在第五佈線層 M5 的僅一個側上安置空氣間隙圖案，且可在第五佈線層 M5 的相對的側上安置包含一般介電材料的金屬間介電質。相似地，可在第六佈線層 M6 的僅一個側上安置空氣間隙圖案，且可在第六佈線層 M6 的相對的側上安置包含一般介電材料的金屬間介電質。

【0093】 在示例性實施例中，空氣間隙圖案 AGP1 及空氣間隙圖案 AGP1' 可在 Y 方向上延伸，而空氣間隙圖案 AGP2 及 AGP2' 可在 X 方向上延伸。根據示例性實施例，定時緊要網路 100 可如 9A 中所示由包括空氣間隙圖案且在在兩個不同方向上延伸的雙向空氣間隙層來實施。此外，根據示例性實施例，可如圖 9A 以及圖 9C 至圖 9E 中所示在 Z 方向上的兩個連續佈線層上抑或如圖 9B 中所示在 Z 方向上的兩個非連續佈線層上安置空氣間隙圖案。舉例而言，在示例性實施例中，第五佈線層 M5 及第六佈線層 M6 為如圖 9A 以及圖 9C 至圖 9E 中所示在 Z 方向上鄰近（例如，緊鄰）彼此的兩個連續佈線層，且由空氣間隙層實施。因此，根據示例性實施例，由於利用雙向空氣間隙層，因此可增大空氣間隙體積，而無論定時緊要網路 100 的第一連接點 CP1 及第二連接點 CP2 的

位置如何。因此，可增大積體電路的效能增益。在示例性實施例中，空氣間隙體積可因利用雙向空氣間隙層而變為約 100%，而無論定時緊要網路 100 的第一連接點 CP1 及第二連接點 CP2 的位置如何。

【0094】 參考圖 9B，可在非連續金屬層（例如，非連續佈線層）上安置雙向空氣間隙層。舉例而言，可在非連續的第五佈線層 M5 及第八佈線層 M8 上安置包括空氣間隙圖案 AGP1、空氣間隙圖案 AGP1'、空氣間隙圖案 AGP2、及空氣間隙圖案 AGP2' 的雙向空氣間隙層。可在非連續的第五佈線層 M5 與第八佈線層 M8 之間安置中間佈線層 M6 及中間佈線層 M7。在圖 9B 中，定時緊要網路 100 可為連接第一連接點 CP1 與第二連接點 CP2 的網路。定時緊要網路 100 可包括：第五佈線層 M5，電性連接至第一連接點 CP1；介層窗 V5，安置於第五佈線層 M5 上且電性連接至第五佈線層 M5；第六佈線層 M6，安置於介層窗 V5 上且電性連接至介層窗 V5；介層窗 V6，安置於第六佈線層 M6 上且電性連接至第六佈線層 M6；第七佈線層 M7，安置於介層窗 V6 上且電性連接至介層窗 V6；介層窗 V7，安置於第七佈線層 M7 上且電性連接至第七佈線層 M7；以及第八佈線層 M8，安置於介層窗 V7 上且電性連接至介層窗 V7 及第二連接點 CP2。第五佈線層 M5 及第七佈線層 M7 可在 Y 方向上延伸，而第六佈線層 M6 及第八佈線層 M8 可在 X 方向上延伸。在所有各圖中，X 方向與 Y 方向可實質上彼此垂直。

【0095】 在圖 9B 所示示例性實施例中，作為非連續佈線層的第五佈線層 M5 與第八佈線層 M8 可由空氣間隙層實施。舉例而言，可在第五佈線層 M5 的相對兩側上安置空氣間隙圖案 AGP1 及空氣間隙圖案 AGP1'，且可在第八佈線層 M8 的相對兩側上安置空氣間隙層 AGP2 及空氣間隙圖案 AGP2'。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，可在第五佈線層 M5 的僅一個側上安置空氣間隙圖案，且可在第五佈線層 M5 的相對的側上安置包含一般介電材料的金屬間介電質。相似地，可在第八佈線層 M8 的僅一個側上安置空氣間隙圖案，且可在第八佈線層 M8 的相對的側上安置包含一般介電材料的金屬間介電質。在示例性實施例中，空氣間隙圖案 AGP1 及空氣間隙圖案 AGP1' 可在 Y 方向上延伸，而空氣間隙圖案 AGP2 及空氣間隙圖案 AGP2' 可在 X 方向上延伸。根據示例性實施例，可如圖 9B 所示在 Z 方向上的兩個非連續佈線層上安置空氣間隙圖案。舉例而言，在示例性實施例中，第五佈線層 M5 及第八佈線層 M8 如圖 9B 中所示為在 Z 方向上不鄰近（例如，不緊鄰）彼此的兩個非連續佈線層，且可由空氣間隙層來實施。

【0096】 參考圖 9C 至圖 9E，可在第五佈線層 M5 及/或第六佈線層 M6 的僅一個側上安置空氣間隙圖案。可在僅在其一個側上安置空氣間隙圖案的第五佈線層 M5 及/或第六佈線層 M6 的相對的側上安置包含一般介電材料的金屬間介電質。舉例而言，在圖 9C 所示示例性實施例中，雙向空氣間隙層可包括安置於第五佈線層 M5

的相對兩側上的空氣間隙圖案 AGP1 及空氣間隙圖案 AGP1'以及安置於第六佈線層 M6 的僅一個側上的空氣間隙圖案 AGP2。包含一般介電材料的金屬間介電質可安置於第六佈線層 M6 的不包括鄰近其安置的空氣間隙圖案的一側上。在圖 9D 所示示例性實施例中，雙向空氣間隙層可包括安置於第六佈線層 M6 的相對兩側上的空氣間隙圖案 AGP2 及空氣間隙圖案 AGP2'以及安置於第五佈線層 M5 的僅一個側上的空氣間隙圖案 AGP1。包含一般介電材料的金屬間介電質可安置於第五佈線層的不包括鄰近其安置的空氣間隙圖案的一側上。在圖 9E 所示示例性實施例中，雙向空氣間隙層可包括安置於第五佈線層 M5 的僅一個側上的空氣間隙圖案 AGP1 以及安置於第六佈線層 M6 的僅一個側上的空氣間隙圖案 AGP2。包含一般介電材料的金屬間介電質可安置於第五佈線層 M5 及第六佈線層 M6 的不包括鄰近其安置的空氣間隙圖案的一側上。

【0097】 如參考圖 9A 至圖 9E 所述，可以各種方式實行對被選擇的網路（例如，定時緊要網路）的預路由。舉例而言，可基於定時分析結果而根據遲緩時間的大小來可變地確定空氣間隙層的數目及/或空氣間隙圖案的數目。此外，可鑒於其他限制條件（例如，舉例而言，功率限制條件或面積限制條件以及定時限制條件）來可變地確定空氣間隙層的數目及/或空氣間隙圖案的數目。可以上述方式利用空氣間隙層對多個被選擇的網路（例如，定時緊要網路）進行預路由。

【0098】 返回參考圖 6，在操作 S360 中，對未選擇的網路進行路

由。在示例性實施例中，未選擇的網路可包括在標準元件中的所述多個定時路徑中的非緊要路徑中所包含的網路。此外，未選擇的網路可包括在定時緊要路徑中所包含的除在操作 S340 中所選擇的網路外的網路。舉例而言，在定時緊要路徑內，某些網路可被選擇為定時緊要網路且可以空氣間隙層來進行預路由，而其他網路可不被選擇且可在無空氣間隙層的情況下進行路由（例如，以不包括空氣間隙圖案的層進行路由）。未選擇的網路亦可被稱為非緊要網路。

【0099】 在示例性實施例中，未選擇的網路可對應於包含於第一佈線層中的第一導電圖案、電性連接至所述第一導電圖案的介層窗、以及包含於第二佈線層中且電性連接至所述介層窗的第二導電圖案。未選擇的網路可在無空氣間隙層的情況下進行路由。舉例而言，可藉由在第一導電圖案及第二導電圖案中的每一者的相對兩側上安置一般介電材料而非在第一導電圖案及第二導電圖案中的每一者的相對兩側上安置空氣間隙圖案來對未選擇的網路進行路由。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，可以空氣間隙層對未選擇的網路中的至少一者進行路由。舉例而言，定時緊要路徑的數目或長度可相對小（例如，小於預定臨限值），且包含於定時緊要路徑中的網路的數目亦可相對小（例如，小於預定臨限值）。因此，在操作 S340 中所選擇的網路的數目可為小的。在此種情形中，當空氣間隙層的資源剩餘時，可以空氣間隙層對操作 S360 中未選擇的網路中的至少一者進行路

由。

【0100】 以下，將參考圖 10 來更詳細地闡述操作 S360。

【0101】 圖 10 說明根據本發明概念示例性實施例的使用正常層而進行路由的佈線結構 101。

【0102】 參考圖 10，佈線結構 101 可對應於非緊要路徑，且包含於佈線結構 101 中的第一佈線層 M1 至第六佈線層 M6 可以正常層來進行路由（例如，在無空氣間隙層的情況下進行路由）。第一佈線層 M1 可包括第一引腳 P1 及第二引腳 P2。第一引腳 P1 及第二引腳 P2 可分別對應於例如非緊要路徑的輸入引腳（例如，起點）以及輸出引腳（例如，終點）。

【0103】 非緊要路徑為所放置標準元件中的定時路徑中滿足定時限制條件的一者。因此，非緊要路徑的各導電圖案之間的寄生電容可不會顯著影響積體電路及包括積體電路的晶片的效能（例如，運作速度）。因此，根據示例性實施例，可由正常層替代空氣間隙層來對包含於非緊要路徑中的網路進行路由。舉例而言，可在佈線層的與包含於非緊要路徑中的網路對應的相對兩側上安置包含一般介電材料的金屬間介電質（例如，而非在其相對兩側上安置空氣間隙圖案）。

【0104】 根據本發明概念的示例性實施例，可藉由以下方式來減少在製造包括空氣間隙層的積體電路時使用的空氣間隙層的數目：以空氣間隙層對定時緊要路徑的被選擇的網路進行預路由，以及以正常層（例如，使用包含一般介電材料的金屬間介電質）

而非空氣間隙層來對未選擇的網路（例如，非緊要路徑的網路及/或定時緊要路徑的未選擇的網路）進行路由。因此，可降低積體電路的製造成本，且可提高積體電路及包括積體電路的晶片的運作速度。

【0105】 返回參考圖 6，在操作 S370 中，實行路由後最佳化。路由後最佳化會糾正在路由完成之後可能存在的定時及/或設計規則的違規。在路由後最佳化之後，可藉由實行工程設計變更命令（engineering change order，ECO）路由並在網路連線表中反映任何改變而產生最終佈局。

【0106】 圖 11A 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路 200 的平面圖。圖 11B 是說明根據本發明概念示例性實施例的圖 11A 所示積體電路 200 的立體圖。

【0107】 參考圖 11A 及圖 11B，積體電路 200 可對應於包括第一連接點 210 及第二連接點 215（在圖 11A 及圖 11B 中由 CP 標示）以及導電圖案 220（在圖 11A 及圖 11B 中由 Mb 標示）的一個網路。第一連接點 210 與第二連接點 215 可安置於同一層中，且第一連接點 210 與第二連接點 215 的 Y 座標可為相同的而第一連接點 210 與第二連接點 215 的 X 座標可為不同的。積體電路 200 可包括例如安置於第一連接點 210 與第二連接點 215 之間的導電圖案 220 以及安置於導電圖案 220 的相對兩側上的空氣間隙圖案 230 及 235（在圖 11A 及圖 11B 中由 AGPb 標示）。

【0108】 在示例性實施例中，導電圖案 220 可對應於定時緊要路徑。因此，空氣間隙圖案 230 及空氣間隙圖案 235 可安置於導電圖案 220 的相對兩側上。導電圖案 220 可在 X 方向上延伸，且因此，空氣間隙圖案 230 及空氣間隙圖案 235 亦可在 X 方向上延伸。導電圖案 220 可對應於例如圖 8 所示第五佈線層 M5 或第六佈線層 M6。

【0109】 圖 12 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路 300 的平面圖。圖 12B 是說明根據本發明概念示例性實施例的圖 12A 所示積體電路 300 的立體圖。

【0110】 參考圖 12A 及圖 12B，積體電路 300 可對應於包括第一連接點 310 及第二連接點 315（在圖 12A 及圖 12B 中由 CP 標示）以及第一導電圖案 320 及第二導電圖案 350（在圖 12A 及圖 12B 中分別由 Ma 及 Mb 標示）的一個網路。第一連接點 310 與第二連接點 315 可安置於不同層中，且第一連接點 310 與第二連接點 315 的 Y 座標可為相同的而第一連接點 310 與第二連接點 315 的 X 座標可為不同的。積體電路 300 可包括例如：第一導電圖案 320，連接至第一連接點 310；第一介層窗 340 及第二介層窗 345，安置於第一導電圖案 320 上；第二導電圖案 350，安置於第二介層窗 345 上；第一空氣間隙圖案 330 及第一空氣間隙圖案 335（在圖 12A 及圖 12B 中由 AGPa 標示），安置於第一導電圖案 320 的相對兩側上；以及第二空氣間隙圖案 360 及第二空氣間隙圖案 365（在圖

12A 及圖 12B 中由 AGPb 標示)，安置於第二導電圖案 350 的相對兩側上。

【0111】 在示例性實施例中，第一導電圖案 320 及第二導電圖案 350 可對應於定時緊要路徑。因此，第一空氣間隙圖案 330 及第一空氣間隙圖案 335 可安置於第一導電圖案 320 的相對兩側上，且第二空氣間隙圖案 360 及第二空氣間隙圖案 365 可安置於第二導電圖案 350 的相對兩側上。第一導電圖案 320 可在 X 方向上延伸，且因此，第一空氣間隙圖案 330 及第一空氣間隙圖案 335 亦可在 X 方向上延伸。第二導電圖案 350 可在 X 方向上延伸，且因此，第二空氣間隙圖案 360 及第二空氣間隙圖案 365 亦可在 X 方向上延伸。第一導電圖案 320 及第二導電圖案 350 可分別對應於例如圖 8 所示第五佈線層 M5 及第六佈線層 M6。

【0112】 圖 13A 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路 400 的平面圖。圖 13B 是說明根據本發明概念示例性實施例的圖 13A 所示積體電路 400 的立體圖。

【0113】 參考圖 13A 及圖 13B，積體電路 400 可對應於包括第一連接點 410 及第二連接點 415（在圖 13A 及圖 13B 中由 CP 標示）以及導電圖案 420（在圖 13A 及圖 13B 中由 Ma 標示）的一個網路。第一連接點 410 與第二連接點 415 可安置於同一層中，且第一連接點 410 與第二連接點 415 的 X 座標可為相同的而第一連接點 410 與第二連接點 415 的 Y 座標可為不同的。積體電路 400 可

包括例如安置於第一連接點 410 與第二連接點 415 之間的導電圖案 420 以及安置於導電圖案 420 的相對側上的空氣間隙圖案 430 及空氣間隙圖案 435。

【0114】 在示例性實施例中，導電圖案 420 可對應於定時緊要路徑。因此，空氣間隙圖案 430 及空氣間隙圖案 435（在圖 13A 及圖 13B 中由 AGPa 標示）可安置於導電圖案 420 的相對側上。導電圖案 420 可在 Y 方向上延伸，且因此，空氣間隙圖案 430 及空氣間隙圖案 435 亦可在 Y 方向上延伸。導電圖案 420 可對應於例如圖 8 所示第五佈線層 M5 或第六佈線層 M6。

【0115】 圖 14A 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路 600 的平面圖。圖 14B 是說明根據本發明概念示例性實施例的圖 14A 所示積體電路 600 的立體圖。

【0116】 參考圖 14A 及圖 14B，積體電路 600 可對應於包括第一連接點 610 及第二連接點 615（在圖 14A 及圖 14B 中由 CP 標示）以及第一導電圖案 620 及第二導電圖案 650（在圖 14A 及圖 14B 中分別由 Ma 及 Mb 標示）的一個網路。第一連接點 610 與第二連接點 615 可安置於不同層中，且第一連接點 610 與第二連接點 615 的 X 座標及 Y 座標可為不同的。積體電路 600 可包括例如：第一導電圖案 620，連接至第一連接點 610；介層窗 640，安置於第一導電圖案 620 上；第二導電圖案 650，安置於介層窗 640 上；第一空氣間隙圖案 630 及第一空氣間隙圖案 635（在圖 14A 及圖 14B

中由 AGPa 標示)，安置於第一導電圖案 620 的相對側上；以及第二空氣間隙圖案 660 及第二空氣間隙圖案 665(在圖 14A 及圖 14B 中由 AGPb 標示)，安置於第二導電圖案 650 的相對兩側上。

【0117】 在示例性實施例中，第一導電圖案 620 及第二導電圖案 650 可對應於定時緊要路徑。因此，第一空氣間隙圖案 630 及第一空氣間隙圖案 635 可安置於第一導電圖案 620 的相對兩側上，且第二空氣間隙圖案 660 及第二空氣間隙圖案 665 可安置於第二導電圖案 650 的相對兩側上。第一導電圖案 620 可在 Y 方向上延伸，且因此，第一空氣間隙圖案 630 及第一空氣間隙圖案 635 亦可在 Y 方向上延伸。第二導電圖案 650 可在 X 方向上延伸，且因此，第二空氣間隙圖案 660 及第二空氣間隙圖案 665 亦可在 X 方向上延伸。第一導電圖案 620 及第二導電圖案 650 可分別對應於例如圖 8 所示第五佈線層 M5 及第六佈線層 M6。

【0118】 以此種方式，根據本發明概念的示例性實施例，第一空氣間隙圖案 630 及第一空氣間隙圖案 635 可被安置成在 Y 方向上延伸，而第二空氣間隙圖案 660 及第二空氣間隙圖案 665 可被安置成在 X 方向上延伸。因此，第一空氣間隙圖案 630、第一空氣間隙圖案 635、以及第二空氣間隙圖案 660、第二空氣間隙圖案 665 由雙向空氣間隙圖案來實施。因此，在 Z 方向上鄰近（例如，緊鄰）彼此的兩個連續層可由空氣間隙層來實施（例如，每一連續層均可包括空氣間隙圖案）。舉例而言，當僅利用單向空氣間隙圖案時，兩個鄰近（例如，緊鄰）層可不由空氣間隙層實施，而僅

交替排列的層可由空氣間隙層來實施。在本發明概念的示例性實施例中，利用雙向空氣間隙圖案來容許在 Z 方向上鄰近（例如，緊鄰）彼此的兩個連續層由空氣間隙層來實施。舉例而言，根據示例性實施例，鄰近（例如，緊鄰）彼此的兩個層可分別包括空氣間隙圖案。因此，根據本發明概念的示例性實施例，可減小與定時緊要路徑的網路對應的各導電圖案之間的寄生電容，且可提高積體電路及包括積體電路的晶片的運作速度。

【0119】 圖 15 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路 700 的立體圖。

【0120】 參考圖 15，積體電路 700 可對應於包括第一連接點 710 及第二連接點 715（在圖 15 中由 CP 標示）以及第一導電圖案 720a 至第三導電圖案 720c（在圖 15 中由 Mx 標示）的一個網路。第一連接點 710 與第二連接點 715 可安置於同一層中，且第一連接點 710 與第二連接點 715 的 X 座標及 Y 座標可為不同的。第一導電圖案 720a 至第三導電圖案 720c 可安置於同一層中。第一導電圖案 720a 至第三導電圖案 720c 可對應於例如圖 8 所示第五佈線層 M5 或第六佈線層 M6。

【0121】 在示例性實施例中，安置於同一層中的第一導電圖案 720a 至第三導電圖案 720c 可對應於定時緊要路徑。因此，第一導電圖案 720a 至第三導電圖案 720c 可由空氣間隙導電圖案來實施。舉例而言，第一空氣間隙圖案 730a 及第一空氣間隙圖案 735a（在圖 15 中由 AGPx 標示）可安置於第一導電圖案 720a 的相對

兩側上。第一導電圖案 720a 以及第一空氣間隙圖案 730a 及第一空氣間隙圖案 735a 可在 X 方向上延伸。第二空氣間隙圖案 730b 及第二空氣間隙圖案 735b (在圖 15 中由 AGPx 標示) 可安置於第二導電圖案 720b 的相對兩側上。第二導電圖案 720b 以及第二空氣間隙圖案 730b 及第二空氣間隙圖案 735b 可在 Y 方向上延伸。第三空氣間隙圖案 730c 及第三空氣間隙圖案 735c (在圖 15 中由 AGPx 標示) 可安置於第三導電圖案 720c 的相對兩側上。第三導電圖案 720c 以及第三空氣間隙圖案 730c 及第三空氣間隙圖案 735c 可在 X 方向上延伸。

【0122】 第二空氣間隙圖案 730b 及第二空氣間隙圖案 735b 可在 Y 方向上延伸，而第一空氣間隙圖案 730a 及第一空氣間隙圖案 735a 以及第三空氣間隙圖案 730c 及第三空氣間隙圖案 735c 可在 X 方向上延伸。因此，在示例性實施例中，安置於同一層中的第一空氣間隙圖案 730a 至第三空氣間隙圖案 735c 可由雙向空氣間隙圖案實施。因此，在示例性實施例中，在不同方向上延伸且安置於同一層中的導電圖案可由空氣間隙導電圖案來實施。

【0123】 圖 16 是說明根據本發明概念示例性實施例的藉由應用空氣間隙圖案而進行路由的積體電路 800 的立體圖。

【0124】 參考圖 16，積體電路 800 可對應於包括第一連接點 810 及第二連接點 815 (在圖 16 中由 CP 標示) 以及第一導電圖案 820 至第四導電圖案 850 (在圖 16 中由 Ma、Ma+2、及 Mb、Mb+2 標示) 的一個網路。第一連接點 810 與第二連接點 815 可安置於不

同層中，且第一連接點 810 與第二連接點 815 的 X 座標及 Y 座標可為不同的。第一導電圖案 820 至第四導電圖案 850 可安置於不同層中。第一導電圖案 820 及第二導電圖案 830 可分別對應於圖 8 所示第五佈線層 M5 及第六佈線層 M6，且第三導電圖案 840 及第四導電圖案 850 可對應於安置於第六佈線層 M6 上方的第七佈線層及第八佈線層。

【0125】 積體電路 800 可包括例如：第一導電圖案 820，連接至第一連接點 810；介層窗 880，安置於第一導電圖案 820 上；第二導電圖案 830，安置於介層窗 880 上；介層窗 885，安置於第二導電圖案 830 上；第三導電圖案 840，安置於介層窗 885 上；介層窗 890，安置於第三導電圖案 840 上；以及第四導電圖案 850，安置於介層窗 890 上。積體電路 800 可更包括安置於第一導電圖案 820 的相對兩側上的第一空氣間隙圖案 860 及第一空氣間隙圖案 865（在圖 16 中由 AGPa 標示）以及安置於第四導電圖案 850 的相對兩側上的第二空氣間隙圖案 870 及第二空氣間隙圖案 875（在圖 16 中由 AGPb 標示）。

【0126】 在示例性實施例中，安置於不同層中的第一導電圖案 820 至第四導電圖案 850 可對應於定時緊要路徑。在示例性實施例中，第一導電圖案 820 及第四導電圖案 850 可由空氣間隙導電圖案來實施。舉例而言，第一空氣間隙圖案 860 及第一空氣間隙圖案 865 可安置於第一導電圖案 820 的相對兩側上。第一導電圖案 820 以及第一空氣間隙圖案 860 及第一空氣間隙圖案 865 可在 Y 方向上

延伸。第二空氣間隙圖案 870 及第二空氣間隙圖案 875 可安置於第四導電圖案 850 的相對兩側上。第四導電圖案 850 以及第二空氣間隙圖案 870 及第二空氣間隙圖案 875 可在 X 方向上延伸。

【0127】 因此，根據示例性實施例，第一空氣間隙圖案 860 及第一空氣間隙圖案 865 可在 Y 方向上延伸，而第二空氣間隙圖案 870 及第二空氣間隙圖案 875 可在 X 方向上延伸。因此，在示例性實施例中，第一空氣間隙圖案 860、第一空氣間隙圖案 865 以及第二空氣間隙圖案 870、第二空氣間隙圖案 875 可由雙向空氣間隙圖案來實施。因此，在示例性實施例中，在 Z 方向上不鄰近（例如，不緊鄰）的兩個不連續層可由空氣間隙層來實施。舉例而言，在示例性實施例中，不緊鄰彼此的兩個層（例如，在其之間安置有中間層的兩個層）可由空氣間隙層來實施，而中間層可不由空氣間隙層來實施（例如，中間層可包括含有一般介電材料且安置於其至少一個側上的金屬間介電質）。

【0128】 圖 17 是根據本發明概念示例性實施例的包含於積體電路中的標準元件 900 的佈局。

【0129】 參考圖 17，標準元件 900 可由元件邊界 CB 來定義，且可包括多個鰭 FN、第一主動區域 AR1 及第二主動區域 AR2、多個閘極線 GLa、GLb、及 GLc (GL)、多個第一金屬線 M1a、M1b、及 M1c (M1)、以及第二金屬線 M2。標準元件 900 可更包括第一空氣間隙圖案 AGP1a 及第一空氣間隙圖案 AGP1b 以及第二空氣間隙圖案 AGP2a 及第二空氣間隙圖案 AGP2b。第一金屬線 M1a、安

置於第一金屬線 M1a 上的第二介層窗 V1、以及第二金屬線 M2 可對應於定時緊要網路。

【0130】 元件邊界 CB 為定義標準元件 900 的輪廓。放置工具及路由工具（例如，圖 3 所示放置及路由模組 13a 或圖 4 所示放置及路由模組 22a）可利用元件邊界 CB 來識別標準元件 900。元件邊界 CB 包括四條邊界線。

【0131】 所述多個鰭 FN 可在 X 方向上延伸，且可沿實質上垂直於 X 方向的 Y 方向實質上彼此平行地安置。第一主動區域 AR1 與第二主動區域 AR2 可實質上彼此平行地安置，且可具有不同的導電類型。舉例而言，在示例性實施例中，可在第一主動區域 AR1 及第二主動區域 AR2 中的每一者中安置三個鰭 FN。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，安置於第一主動區域 AR1 及第二主動區域 AR2 中的每一者中的鰭的數目可有所改變。

【0132】 安置於第一主動區域 AR1 及第二主動區域 AR2 中的所述多個鰭 FN 可被稱為主動鰭。儘管圖 17 僅說明主動鰭，但本發明概念並非僅限於此。舉例而言，在示例性實施例中，標準元件 900 可更包括安置於元件邊界 CB 與第一主動區域 AR1 之間的區域中、第一主動區域 AR1 與第二主動區域 AR2 之間的區域中、或第二主動區域 AR2 與元件邊界 CB 之間的區域中的虛設鰭。

【0133】 所述多個閘極線 GL 可在 Y 方向上延伸，且可沿 X 方向實質上彼此平行地安置。閘極線 GL 可包含例如（舉例而言）多晶

矽、金屬、或金屬合金等導電材料。為便於說明，圖 17 說明標準元件 900 包括三個閘極線 GL。然而，本發明概念並非僅限於此。舉例而言，根據示例性實施例，標準元件 900 可包括在 Y 方向上延伸且在 X 方向上彼此平行地安置的四或更多個閘極線 GL。

【0134】 第一介層窗 V0 可分別安置於所述多個閘極線 GLa、GLb、及 GLc 上，且可分別電性連接所述多個閘極線 GLa、GLb、及 GLc 與所述多個第一金屬線 M1a、M1b、及 M1c。第一介層窗 V0 可包含例如（舉例而言）多晶矽、金屬、或金屬合金等導電材料。

【0135】 所述多個第一金屬線 M1 可形成安置於所述多個閘極線 GL 上的一個層。第一金屬線 M1a 可對應於例如圖 14B 所示第一導電圖案 620。第一金屬線 M1 可包含例如（舉例而言）多晶矽、金屬、或金屬合金等導電材料。

【0136】 在示例性實施例中，第一金屬線 M1 可僅在 Y 方向上延伸，且可沿 X 方向實質上彼此平行地安置。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，第一金屬線 M1 中的一第一金屬線的一部分可在 Y 方向上延伸，而所述第一金屬線的另一部分可形成在 X 方向上延伸的 L 形狀。為便於說明，圖 17 說明標準元件 900 包括三個第一金屬線 M1。然而，本發明概念並非僅限於此。舉例而言，根據示例性實施例，標準元件 900 可包括四或更多個第一金屬線 M1。

【0137】 第二介層窗 V1 可分別安置於所述多個第一金屬線 M1a

及 M1c 上，且可連接所述多個第一金屬線 M1a 及 M1c 與第二金屬線 M2。安置於第一金屬線 M1a 上的第二介層窗 V1 可對應於圖 14B 所示介層窗 640。第二介層窗 V1 可包含例如（舉例而言）多晶矽、金屬、或金屬合金等導電材料。

【0138】 第二金屬線 M2 可形成安置於所述多個第一金屬線 M1 上的一個層。第二金屬線 M2 可對應於例如圖 14B 所示第二導電圖案 650。第二金屬線 M2 可包含例如（舉例而言）多晶矽、金屬、或金屬合金等導電材料。

【0139】 第二金屬線 M2 可僅在 X 方向上延伸。然而，本發明概念並非僅限於此。舉例而言，在示例性實施例中，第二金屬線 M2 的一部分可在 X 方向上延伸，而第二金屬線 M2 的另一部分可形成在 Y 方向上延伸的 L 形狀。為便於說明，圖 17 說明標準元件 900 包括一個第二金屬線 M2。然而，本發明概念並非僅限於此。舉例而言，根據示例性示例性，標準元件 900 可包括二或更多個第二金屬線 M2。

【0140】 根據示例性實施例，第一空氣間隙圖案 AGP1a 及第一空氣間隙圖案 AGP1b 可安置於所述多個第一金屬線 M1a 至 M1c 之間。第一空氣間隙圖案 AGP1a 及 AGP1b 可在 Y 方向上延伸。所述多個第一金屬線 M1a 至 M1c 與第一空氣間隙圖案 AGP1a 及第一空氣間隙圖案 AGP1b 可形成第一空氣間隙層。因此，根據本發明概念的示例性實施例，所述多個第一金屬線 M1a 至 M1c 之間的寄生電容可減小。

【0141】 根據示例性實施例，第二空氣間隙圖案 AGP2a 及第二空氣間隙圖案 AGP2b 可安置於第二金屬線 M2 的相對兩側上。第二空氣間隙圖案 AGP2a 及第二空氣間隙圖案 AGP2b 可在 X 方向上延伸。第二金屬線 M2 與第二空氣間隙圖案 AGP2a 及第二空氣間隙圖案 AGP2b 可形成第二空氣間隙層。因此，根據本發明概念的示例性實施例，第二金屬線 M2 與鄰近金屬線之間的寄生電容可減小。

【0142】 如參考圖 1 至圖 17 所述，根據本發明概念的示例性實施例，在設計積體電路的佈局的過程中，可自所放置標準元件中的多個定時路徑中選擇定時緊要路徑，且可自被選擇的定時緊要路徑的網路中選擇至少一個網路。隨後，可以空氣間隙層對所述被選擇的至少一個網路進行預路由，且可以正常層（例如，在無空氣間隙層的情況下）對非緊要路徑的網路及/或定時緊要路徑的未選擇的網路進行路由。因此，根據本發明概念的示例性實施例，可藉由使用少量空氣間隙層而以低成本實施高效能積體電路。

【0143】 圖 18 是說明根據本發明概念示例性實施例的儲存媒體 1000 的方塊圖。

【0144】 本發明概念的示例性實施例可直接實施於硬體中、實施於由處理器執行的軟體中、或實施於所述硬體與所述軟體的組合中。軟體模組可有形地實施於非暫時性程式儲存裝置（例如圖 18 所示儲存媒體 1000）上。

【0145】 參考圖 18，儲存媒體 1000 可儲存元件庫 1100、佈局資

料 1200、放置及路由程式 (P&R program) 1300、及定時分析程式 1400。儲存媒體 1000 為電腦可讀取儲存媒體 (例如, 非暫時性電腦可讀取儲存媒體), 且可包括可由電腦讀取以將指令及/或資料提供至所述電腦的儲存媒體。所述指令可由電腦的處理器執行。電腦可讀取儲存媒體 1000 可包括例如磁性媒體或光學媒體 (例如, 磁碟、磁帶、光碟唯讀記憶體 (Compact Disc Read-Only Memory, CD-ROM)、數位多功能光碟唯讀記憶體 (digital versatile disk-ROM, DVD-ROM)、可記錄光碟 (Compact Disk-Recordable, CD-R)、可重寫光碟 (CD-Rewritable, CD-RW)、可記錄數位多功能光碟 (DVD-Recordable, DVD-R)、或可重寫數位多功能光碟 (DVD-Rewritable, DVD-RW))、揮發性記憶體或非揮發性記憶體 (例如隨機存取記憶體、唯讀記憶體、或快閃記憶體)、可經由通用串列匯流排 (Universal Serial Bus, USB) 介面而進行存取的非揮發性記憶體、及微機電系統 (microelectromechanical system, MEMS)。然而, 電腦可讀取儲存媒體 1000 並非僅限於此。電腦可讀取儲存媒體可插入電腦中, 可整合於電腦中, 或可藉由例如有線網路或無線網路等通訊媒體而與電腦加以組合。

【0146】 元件庫 1100 可為標準元件庫, 且可包括關於作為構成積體電路的單元的標準元件的資訊。在示例性實施例中, 關於標準元件的資訊可包括為產生佈局而需要的佈局資訊。在示例性實施例中, 關於標準元件的資訊可包括例如為對佈局進行驗證或模擬而需要的定時資訊。

【0147】 佈局資料 1200 可包括關於藉由放置及路由操作而產生的佈局的物理資訊。在示例性實施例中，佈局資料 1200 可包括例如導電圖案的寬度及間距值以及排列於各導電圖案之間的空氣間隙圖案的數目及大小。

【0148】 放置及路由程式 1300 可包括多個指令，所述指令用以實行根據示例性實施例藉由使用標準元件庫來產生積體電路的佈局的方法。舉例而言，放置及路由程式 1300 可用於實行圖 1 所示操作 S110 及操作 S130、圖 5 所示操作 S210、操作 S260、及操作 S270、或圖 6 所示操作 S310、操作 S320、操作 S350、及操作 S360。

【0149】 定時分析程式 1400 可為例如靜態定時分析（static timing analysis，STA）程式。靜態定時分析可對應於對數位電路的預期定時進行計算的模擬方法。可對所放置標準元件的所有定時路徑實行定時分析，且可輸出定時分析結果。可使用定時分析程式 1400 來實行例如圖 1 所示操作 S120、圖 5 所示操作 S240 及操作 S250、或圖 6 所示操作 S330。

【0150】 在示例性實施例中，儲存媒體 1000 可更儲存分析程式。分析程式可包括多個指令，所述多個指令用於實行基於定義積體電路的輸入資料而分析積體電路的方法。在示例性實施例中，儲存媒體 1000 可更儲存資料結構。資料結構可包括用於自元件庫 1100 提取特定資訊或管理在利用分析程式來分析積體電路特性的過程中所產生的資料的儲存空間。

【0151】 儘管已參考本發明概念的示例性實施例具體示出及闡述

了本發明概念，然而熟習此項技術者應理解，在不背離由以下申請專利範圍界定的本發明概念的精神及範圍的條件下，可作出各種形式及細節上的改變。

【符號說明】

【0152】

10、20：積體電路設計系統

11、21a：處理器

13：工作記憶體

13a、22a：放置及路由模組/部件

13b、22b：定時分析模組

15：輸入/輸出裝置

17、23：輔助儲存器

19：匯流排

21：使用者裝置

21b：使用者介面

22：積體電路設計平台

23a：元件庫資料庫

23b：佈局資料庫

81、101：佈線結構

100：定時緊要網路

200、300、400、600、700、800、IC、IC'：積體電路

210、310、410、610、710、810、CP1：第一連接點

215、315、415、615、715、815、CP2：第二連接點

220、420、CPT：導電圖案

230、235、430、435、AGP、AGP1、AGP1'、AGP2、AGP2'：

空氣間隙圖案

320、620、720a、820、CPT1、Ma：第一導電圖案

330、335、630、635、730a、735a、860、865、AGP1a、AGP1b：

第一空氣間隙圖案

340、V0：第一介層窗

345、V1：第二介層窗

350、650、720b、830、CPT2、Ma+2：第二導電圖案

360、365、660、665、730b、735b、870、875、AGP2a、AGP2b：

第二空氣間隙圖案

640、V5、V6、V7、880、885、890：介層窗

720c、840、CPT3、Mb、Mx：第三導電圖案

730c、735c：第三空氣間隙圖案

850、Mb+2：第四導電圖案

900：標準元件

1000：儲存媒體/電腦可讀取儲存媒體

1100：元件庫

1200：佈局資料

1300：放置及路由程式

1400：定時分析程式

AGL：空氣間隙層

AGPa：第一空氣間隙圖案/空氣間隙圖案

AGPb：空氣間隙圖案/第二空氣間隙圖案

AGPx：第一空氣間隙圖案/第二空氣間隙圖案/第三空氣間隙

圖案

AR1：第一主動區域

AR2：第二主動區域

BM1：第一障壁層

BM2：第二障壁層

CB：元件邊界

CP：第一連接點/第二連接點

FN：鰭

GL、GLa、GLb、GLc：閘極線

ILD1：第一絕緣層

ILD2：第二絕緣層

M1：第一佈線層/第一金屬線

M1a、M1b、M1c：第一金屬線

M2：第二佈線層/第二金屬線

M2'：第二佈線層

M3：第三佈線層

M5：第五佈線層/非連續第五佈線層

M6：第六佈線層/中間佈線層

M7：第七佈線層/中間佈線層

M8：非連續第八佈線層/第八佈線層

P1：第一引腳

P2：第二引腳

S10：積體電路設計操作/製程/操作

S10A、S10B：方法

S20：積體電路製造製程/製程

S110、S120、S130、S140、S150、S210、S230、S240、S250、

S310、S320、S330、S340、S350、S360、S370：操作

S220：放置操作/操作

S260、S270：預路由操作/操作

TCP：定時緊要路徑

X、Y、Z：方向

【發明申請專利範圍】

【第1項】 一種製造積體電路的電腦實施方法，包括：

放置多個標準元件，所述多個標準元件定義所述積體電路；

自包含於所放置的所述標準元件中的多個定時路徑中選擇定時緊要路徑；

自包含於所述定時緊要路徑中的多個網路中選擇至少一個網路作為至少一個定時緊要網路；

以空氣間隙層對所述至少一個定時緊要網路進行預路由；

對未選擇的網路進行路由；

使用被預路由的所述至少一個定時緊要網路及被路由的所述未選擇的網路來產生佈局；以及

基於所述佈局來製造所述積體電路。

【第2項】 如申請專利範圍第 1 項所述的電腦實施方法，其中所述未選擇的網路是在無所述空氣間隙層的情況下進行路由。

【第3項】 如申請專利範圍第 1 項所述的電腦實施方法，其中所述空氣間隙層包括空氣間隙圖案，且所述未選擇的網路是以不包括所述空氣間隙圖案的層進行路由。

【第4項】 如申請專利範圍第 1 項所述的電腦實施方法，其中所述未選擇的網路包含於所述多個定時路徑中的至少一個非緊要路徑中。

【第5項】 如申請專利範圍第 1 項所述的電腦實施方法，其中所述未選擇的網路包含於所述定時緊要路徑中。

【第6項】 如申請專利範圍第 1 項所述的電腦實施方法，其中自所述定時緊要路徑的輸入至所述定時緊要路徑的輸出的總定時延遲超過定時限制條件。

【第7項】 如申請專利範圍第 1 項所述的電腦實施方法，其中製造所述積體電路包括：

基於所述佈局產生遮罩；以及
使用所述遮罩製造所述積體電路。

【第8項】 如申請專利範圍第 1 項所述的電腦實施方法，更包括：
對所放置的所述標準元件進行嘗試路由；以及
對被嘗試路由的所述標準元件實行定時分析，以產生定時分析資料，

其中所述定時緊要路徑是基於所述定時分析資料而自所述多個定時路徑中選擇。

【第9項】 如申請專利範圍第 1 項所述的電腦實施方法，更包括：
對所述標準元件實行定時分析，以產生定時分析資料，其中所述定時緊要路徑是基於所述定時分析資料而自所述多個定時路徑中選擇。

【第10項】 如申請專利範圍第 9 項所述的電腦實施方法，其中所述至少一個網路是基於所述定時分析資料而被選擇為所述至少一個定時緊要網路。

【第11項】 如申請專利範圍第 1 項所述的電腦實施方法，其中放置所述多個標準元件、對所述至少一個定時緊要網路進行預路由

以及對所述未選擇的網路進行路由是在積體電路設計過程的後端設計過程期間實行。

【第12項】 如申請專利範圍第 1 項所述的電腦實施方法，其中所述多個標準元件是使用放置工具及路由工具進行放置。

【第13項】 如申請專利範圍第 1 項所述的電腦實施方法，其中所述至少一個定時緊要網路包括：

第一導電圖案，在第一方向上延伸；

第二導電圖案，在不同於所述第一方向的第二方向上延伸；

以及

第一介層窗，電性連接所述第一導電圖案與所述第二導電圖案，

其中所述空氣間隙層包括：

第一空氣間隙圖案，在所述第一方向上延伸且安置於所述第一導電圖案的第一側上；以及

第二空氣間隙圖案，在所述第二方向上延伸且安置於所述第二導電圖案的第一側上。

【第14項】 如申請專利範圍第 13 項所述的電腦實施方法，其中所述第一方向實質上垂直於所述第二方向。

【第15項】 如申請專利範圍第 13 項所述的電腦實施方法，其中所述第一導電圖案及所述第二導電圖案在不同於所述第一方向及所述第二方向的第三方向上為連續的導電圖案。

【第16項】 如申請專利範圍第 13 項所述的電腦實施方法，其中所

述第一導電圖案及所述第二導電圖案在不同於所述第一方向及所述第二方向的第三方向上為不連續的導電圖案。

【第17項】如申請專利範圍第13項所述的電腦實施方法，其中所述至少一個定時緊要網路更包括：

第三導電圖案，在所述第二方向上延伸且經由所述第一介層窗而連接至所述第一導電圖案；

第四導電圖案，在所述第一方向上延伸；

第二介層窗，連接所述第三導電圖案與所述第四導電圖案；

以及

第三介層窗，連接所述第四導電圖案與所述第二導電圖案，

其中所述第三導電圖案及所述第四導電圖案安置於所述第一導電圖案與所述第二導電圖案之間。

【第18項】如申請專利範圍第13項所述的電腦實施方法，其中所述至少一個定時緊要網路更包括：

第三導電圖案，在所述第一方向上延伸；以及

第二介層窗，電性連接所述第二導電圖案與所述第三導電圖案，

其中所述空氣間隙層更包括：

第三空氣間隙圖案，在所述第一方向上延伸且安置於所述第三導電圖案的第一側上。

【第19項】如申請專利範圍第13項所述的電腦實施方法，

其中所述空氣間隙層更包括第三空氣間隙圖案及第四空氣間

隙圖案，所述第三空氣間隙圖案在所述第一方向上延伸且安置於與所述第一導電圖案的所述第一側相對的所述第一導電圖案的所述第二側上，所述第四空氣間隙圖案在所述第二方向上延伸且安置於與所述第二導電圖案的所述第一側相對的所述第二導電圖案的所述第二側上。

【第20項】如申請專利範圍第1項所述的電腦實施方法，其中被選擇為所述至少一個定時緊要網路的所述至少一個網路是基於所述至少一個網路的高度及寬度中的至少一者來選擇。

【第21項】如申請專利範圍第1項所述的電腦實施方法，其中被選擇為所述至少一個定時緊要網路的所述至少一個網路是基於與所述至少一個網路電性連接的介層窗的高度及寬度中的至少一者來選擇。

【第22項】一種積體電路，包括：

第一導電圖案，在第一方向上延伸；

第二導電圖案，在不同於所述第一方向的第二方向上延伸；

第一介層窗，在第三方向上安置於所述第一導電圖案與所述第二導電圖案之間，且電性連接所述第一導電圖案至所述第二導電圖案；

第一空氣間隙圖案，在所述第一方向上延伸且安置於所述第一導電圖案的第一側上；

第二空氣間隙圖案，在所述第一方向上延伸且安置於所述第一導電圖案的所述第二側上，其中所述第一導電圖案的所述第一側與

所述第一導電圖案的所述第二側相對；

第三空氣間隙圖案，在所述第二方向上延伸且安置於所述第二導電圖案的第一側上；以及

第四空氣間隙圖案，在所述第二方向上延伸且安置於所述第二導電圖案的所述第二側上，其中所述第二導電圖案的所述第一側與所述第二導電圖案的所述第二側相對。

【第23項】 一種積體電路，包括：

第一導電圖案，在第一方向上延伸；

第二導電圖案，在不同於所述第一方向的第二方向上延伸；

第一介層窗，在第三方向上安置於所述第一導電圖案與所述第二導電圖案之間，且電性連接所述第一導電圖案至所述第二導電圖案；

第一空氣間隙圖案，在所述第一方向上延伸且安置於所述第一導電圖案的第一側上；以及

第二空氣間隙圖案，在所述第二方向上延伸且安置於所述第二導電圖案的第一側上。

【第24項】 一種積體電路，包括：

第一導電圖案，在第一方向上延伸；

第二導電圖案，在與所述第一方向交叉的第二方向上延伸；

第三導電圖案，在所述第一方向上延伸；

第一空氣間隙圖案，在所述第一方向上延伸且安置於所述第一導電圖案的第一側上；

第二空氣間隙圖案，在所述第二方向上延伸且安置於所述第二導電圖案的第一側上；以及

第三空氣間隙圖案，在所述第一方向上延伸且安置於所述第三導電圖案的第一側上，

其中所述第一導電圖案、所述第二導電圖案、所述第三導電圖案、所述第一空氣間隙圖案、所述第二空氣間隙圖案及所述第三空氣間隙圖案安置於同一層中，以及

其中所述第一導電圖案電性連接至所述第二導電圖案。

【第25項】 一種定義積體電路的標準元件，包括：

第一主動區域；

第二主動區域；

多個鰭，在第一方向上延伸；

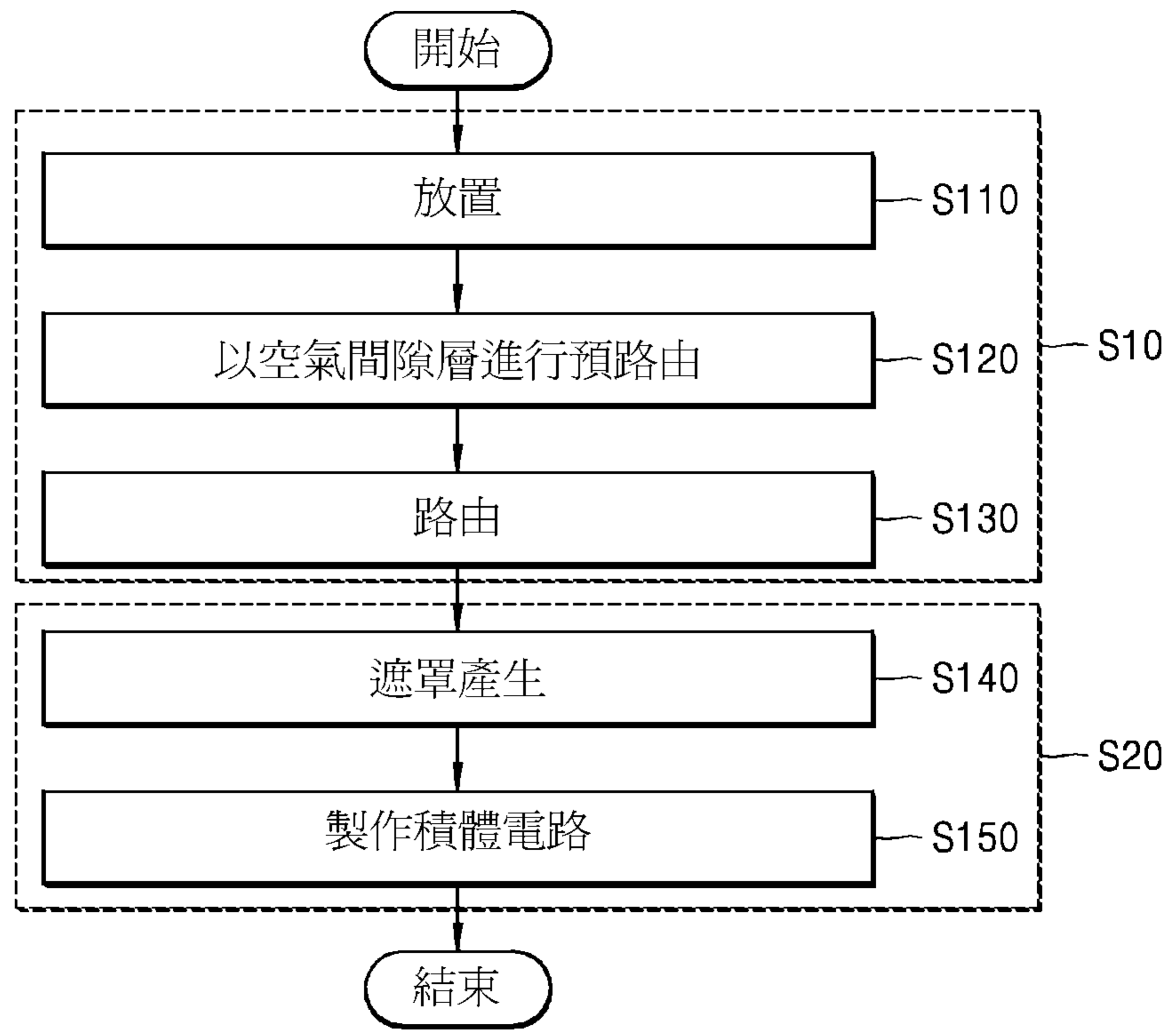
多個第一金屬線，在與所述第一方向交叉的第二方向上延伸；

第二金屬線，在所述第一方向上延伸，其中所述多個第一金屬線及所述第二金屬線安置於所述第一主動區域與所述第二主動區域之間；

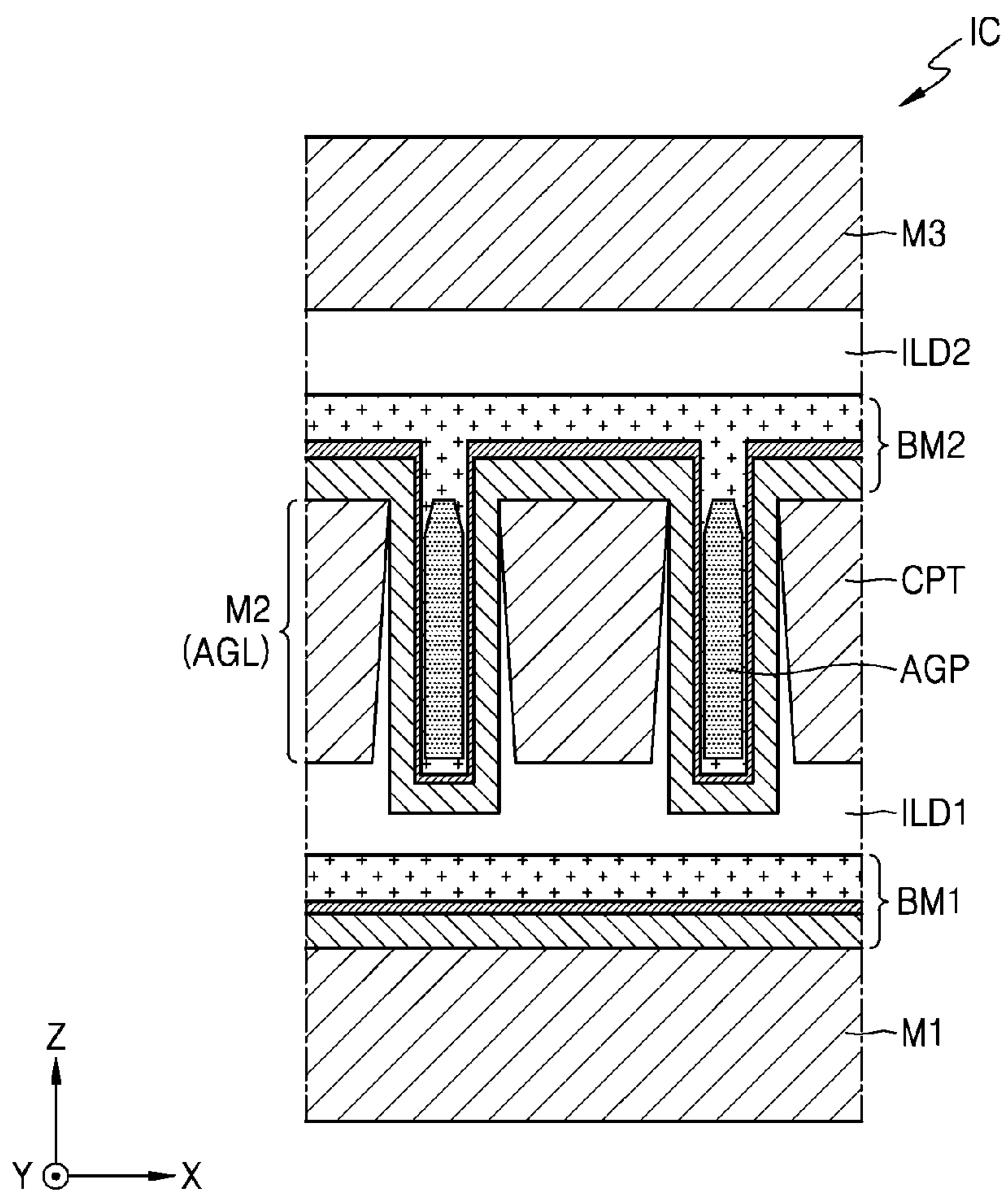
多個第一空氣間隙圖案，在所述第二方向上延伸且安置於所述多個第一金屬線之間；以及

第二空氣間隙圖案，在所述第一方向上延伸且安置於所述第二金屬線的第一側上。

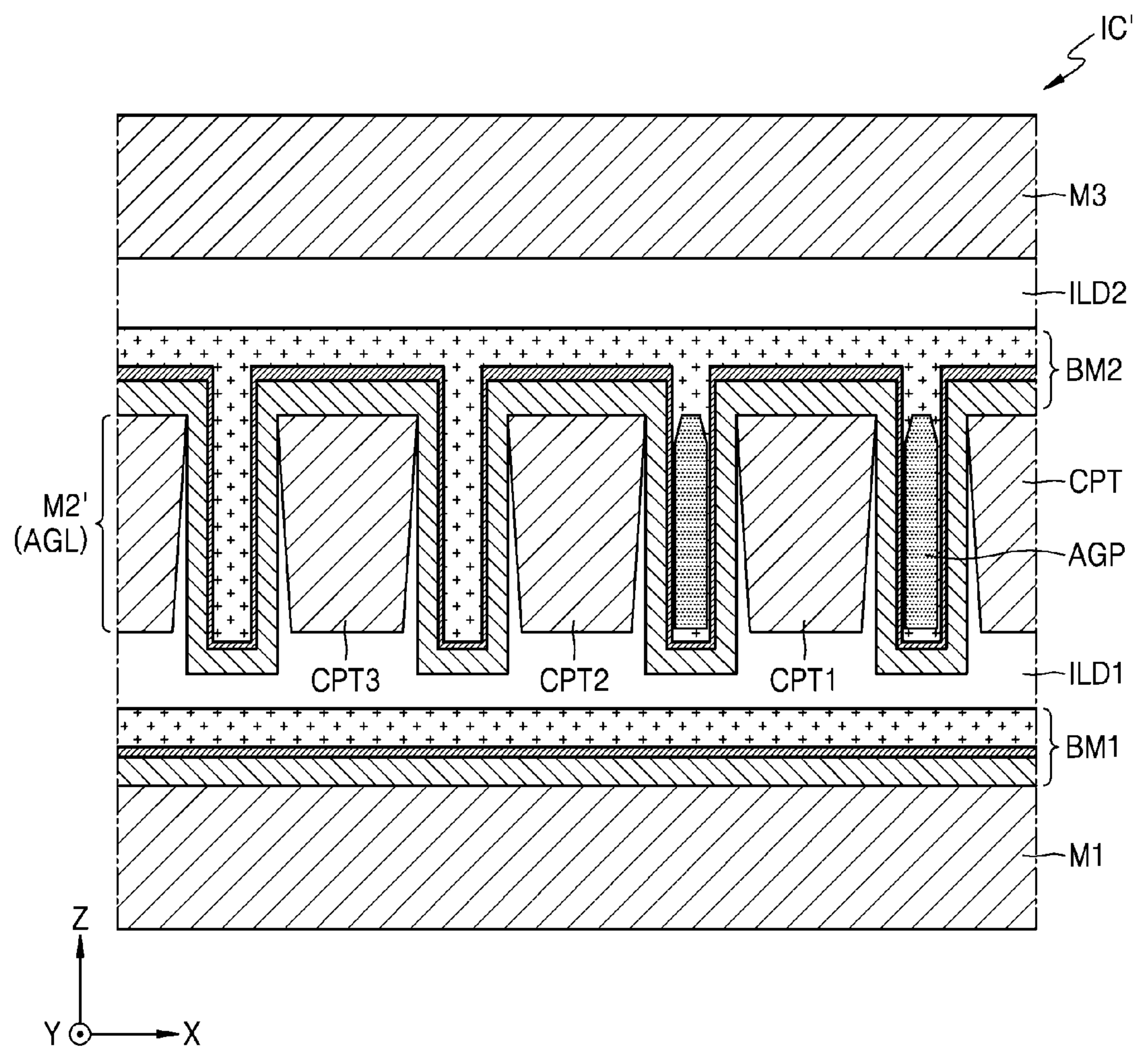
【發明圖式】



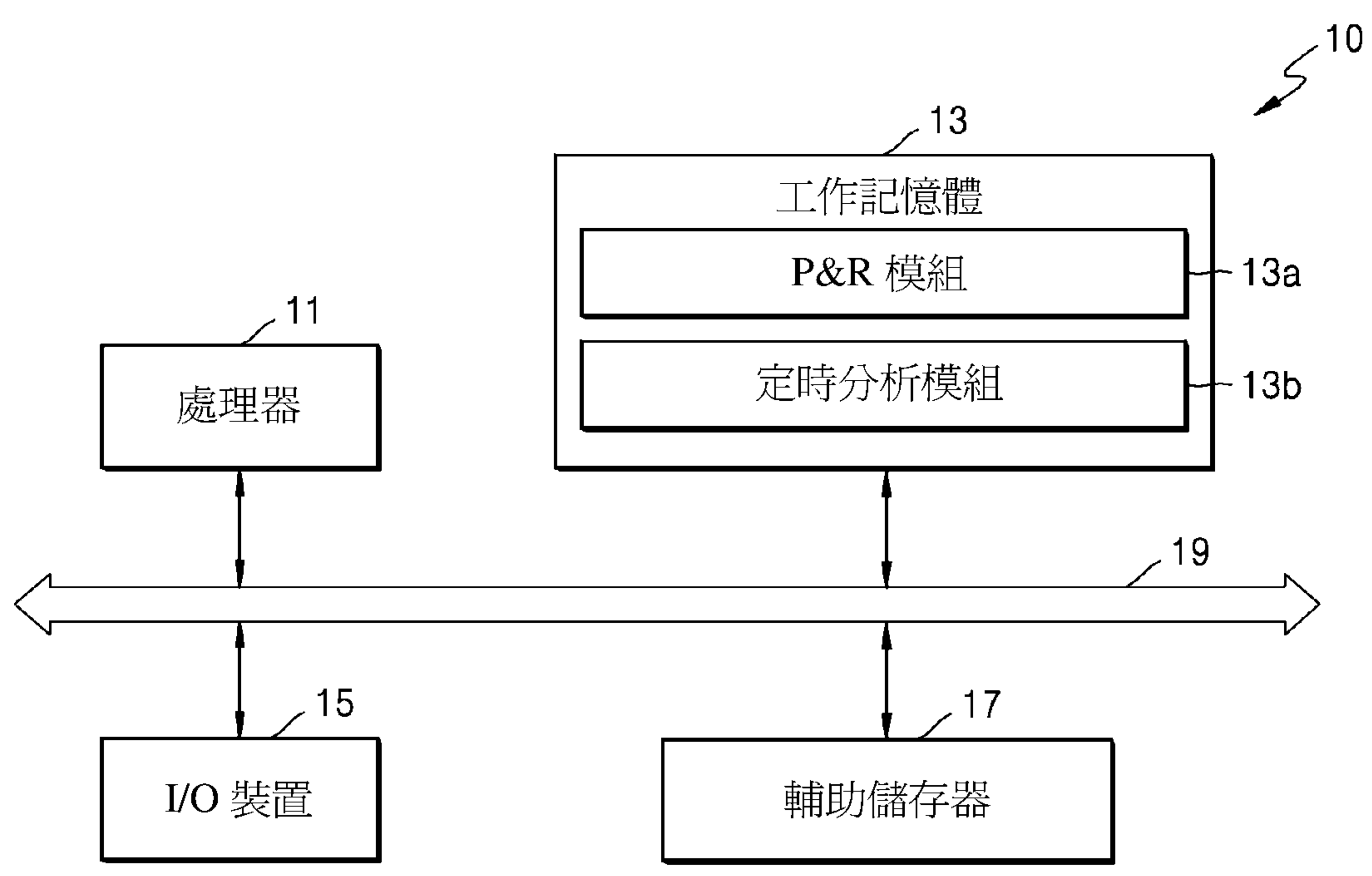
【圖1】



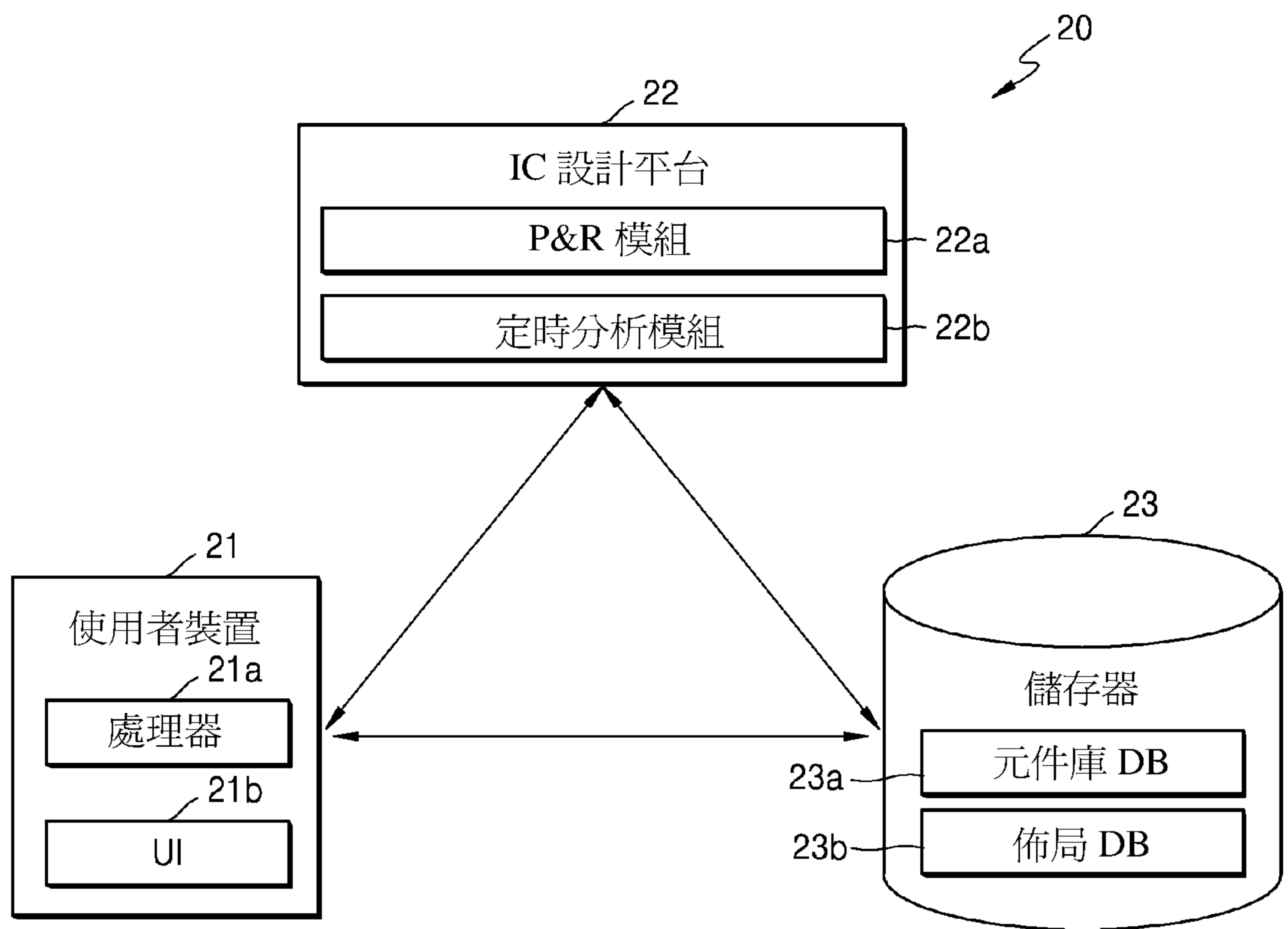
【圖2A】



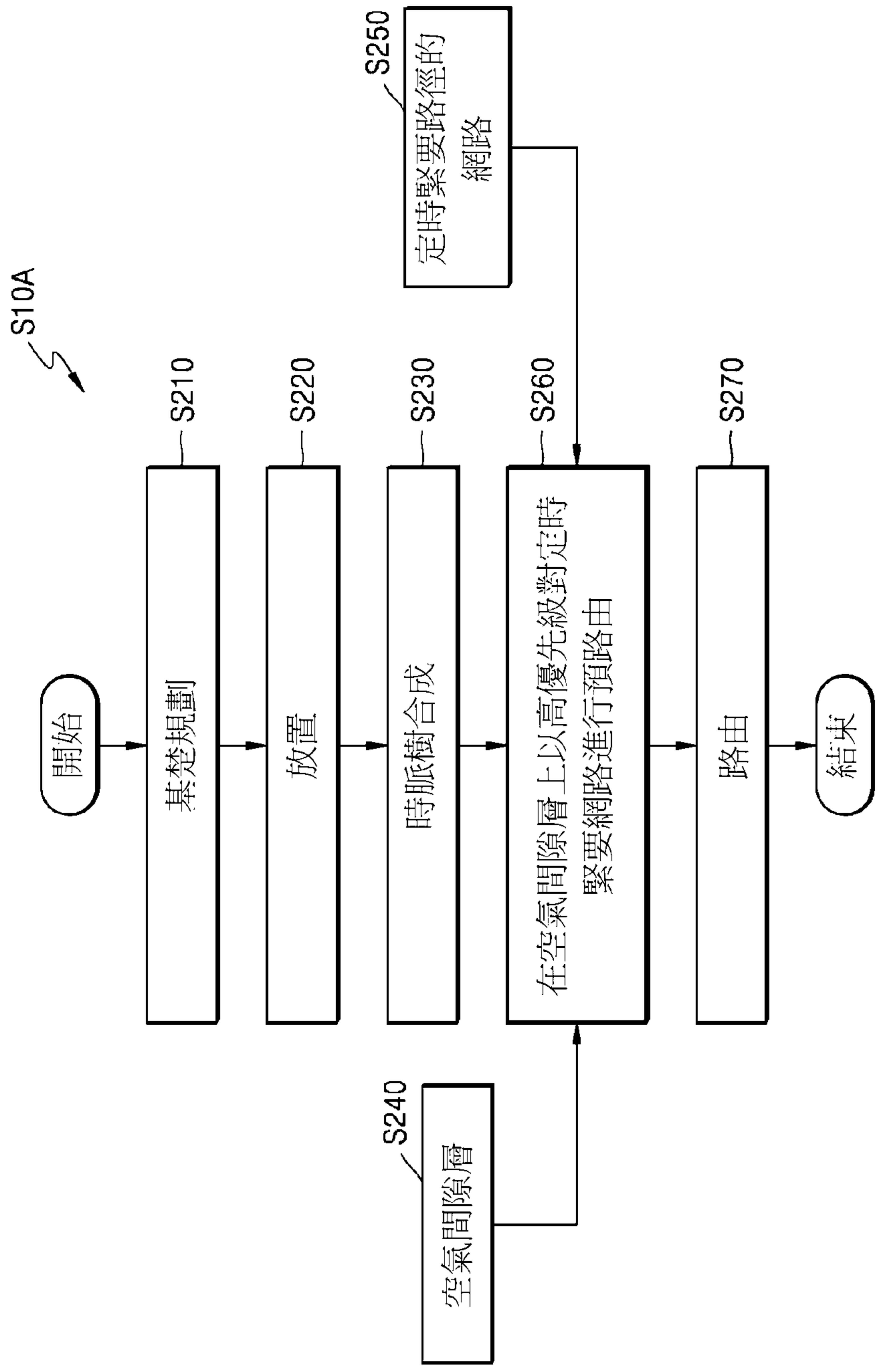
【圖2B】



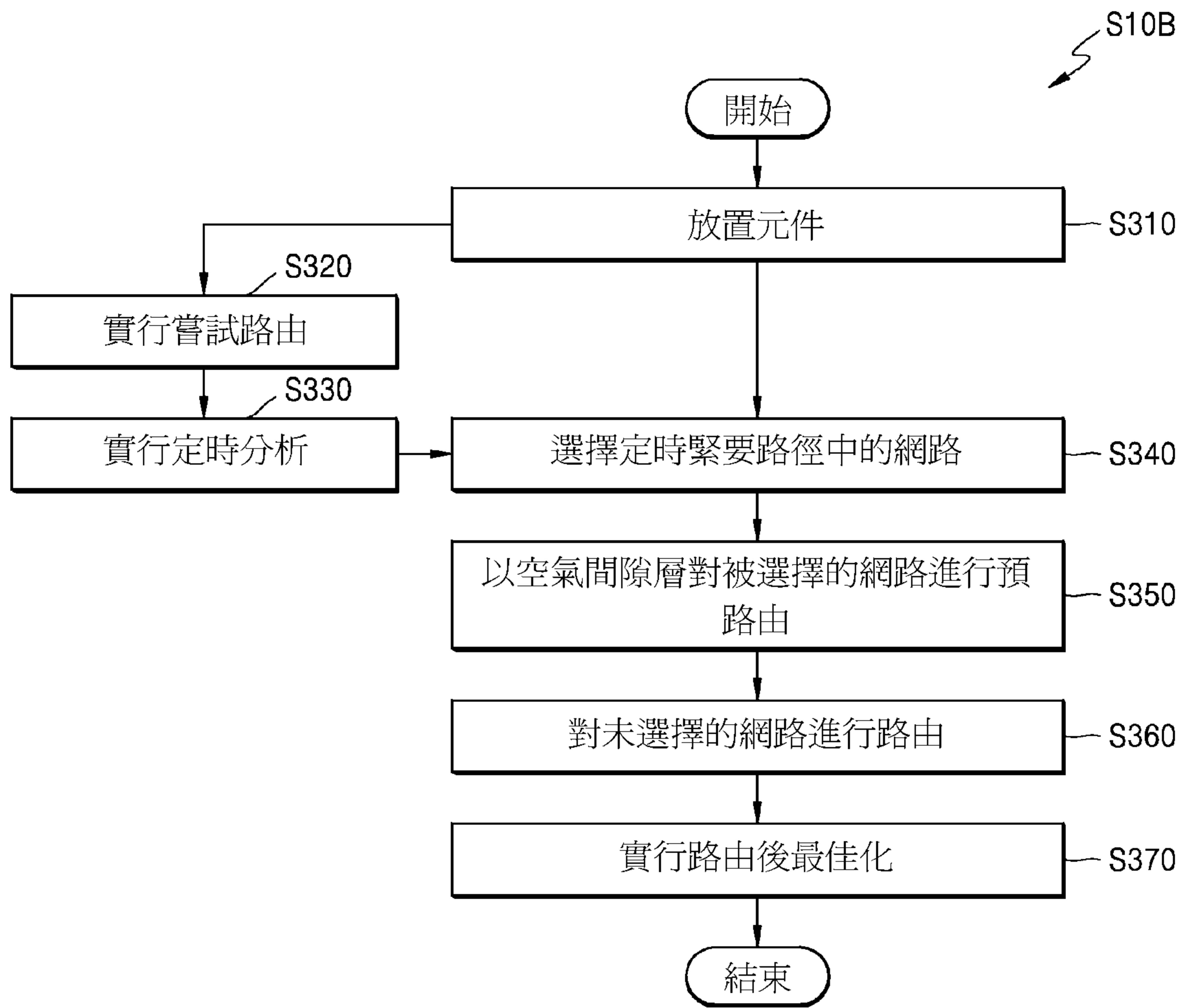
【圖3】



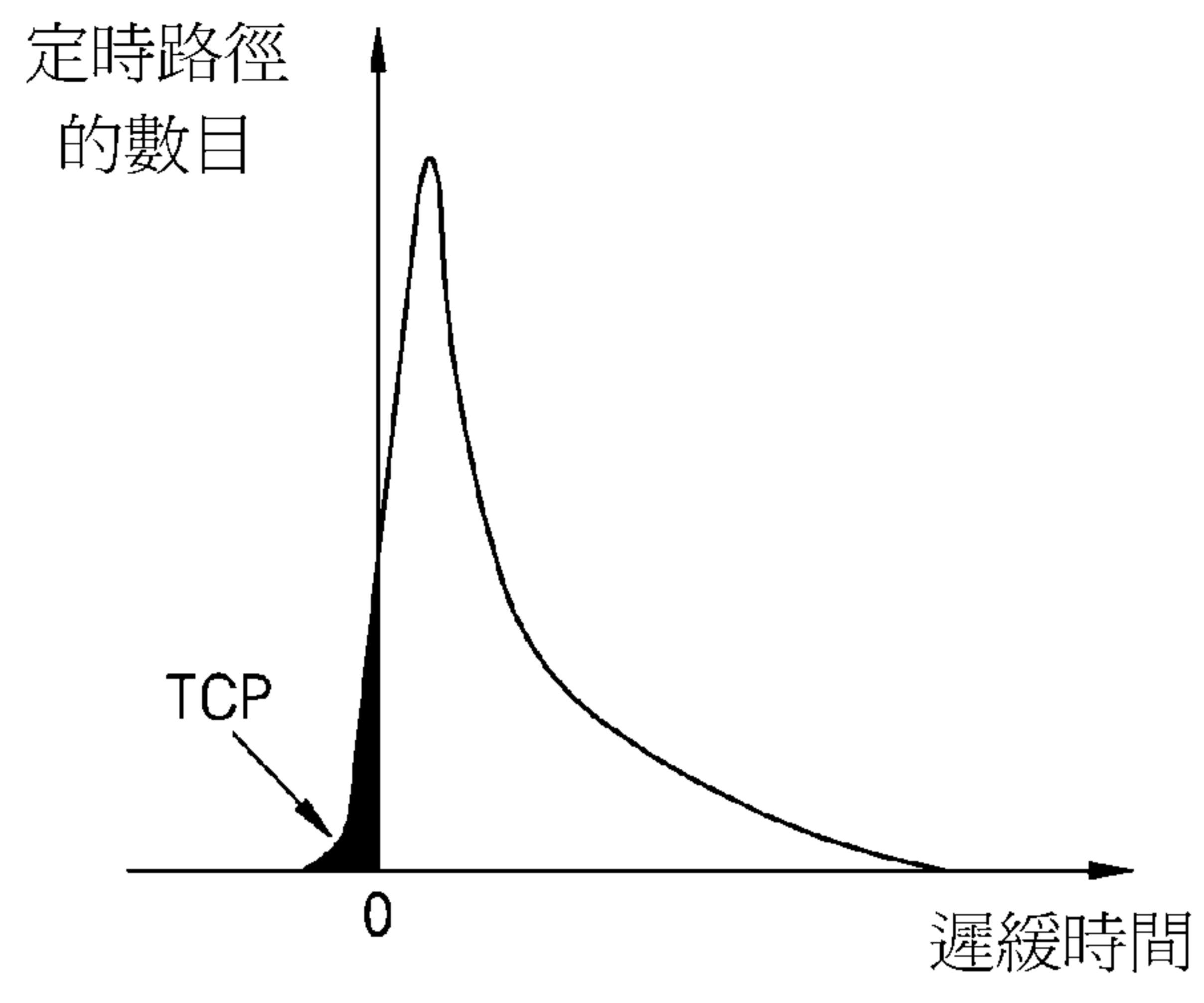
【圖4】



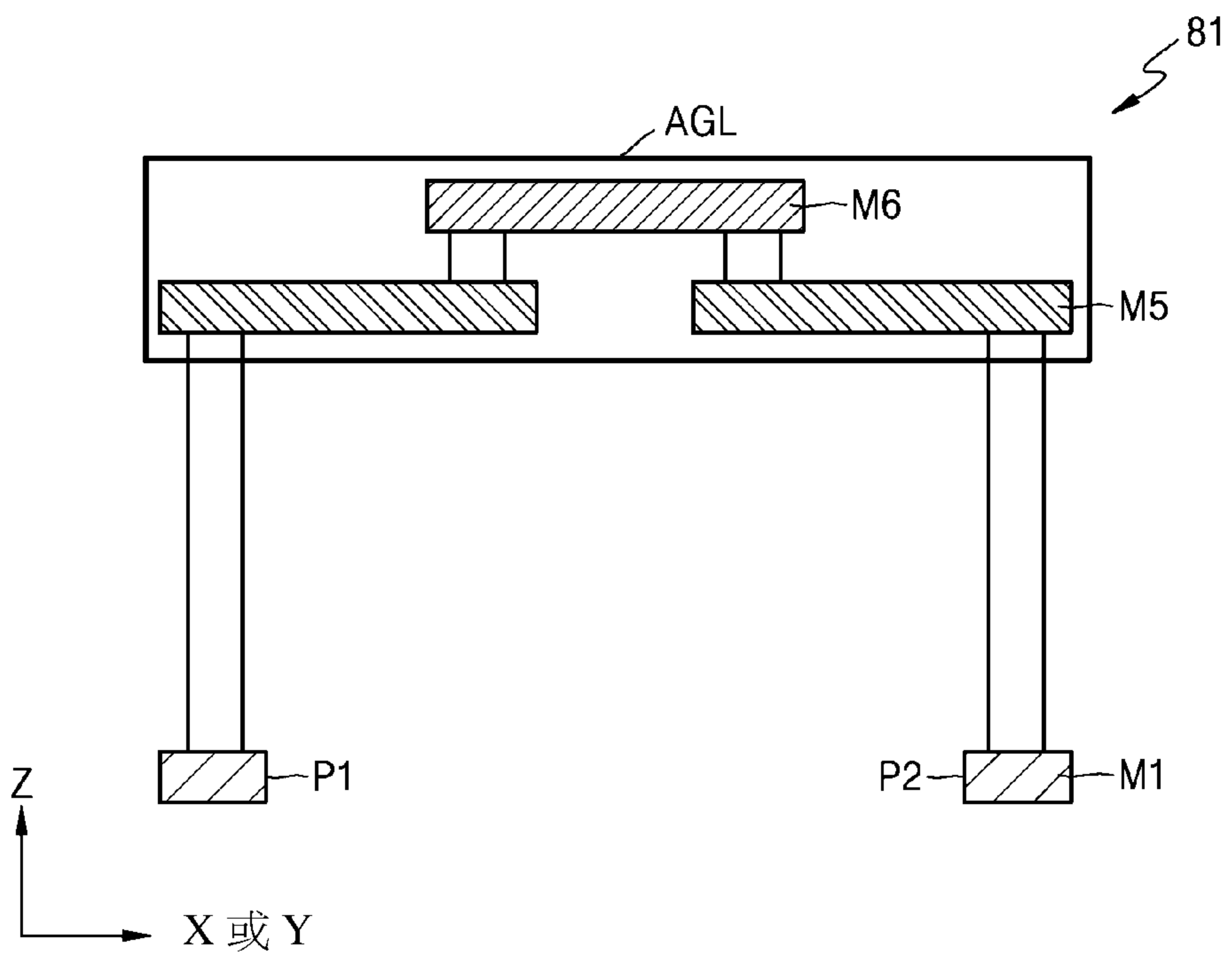
【圖 5】



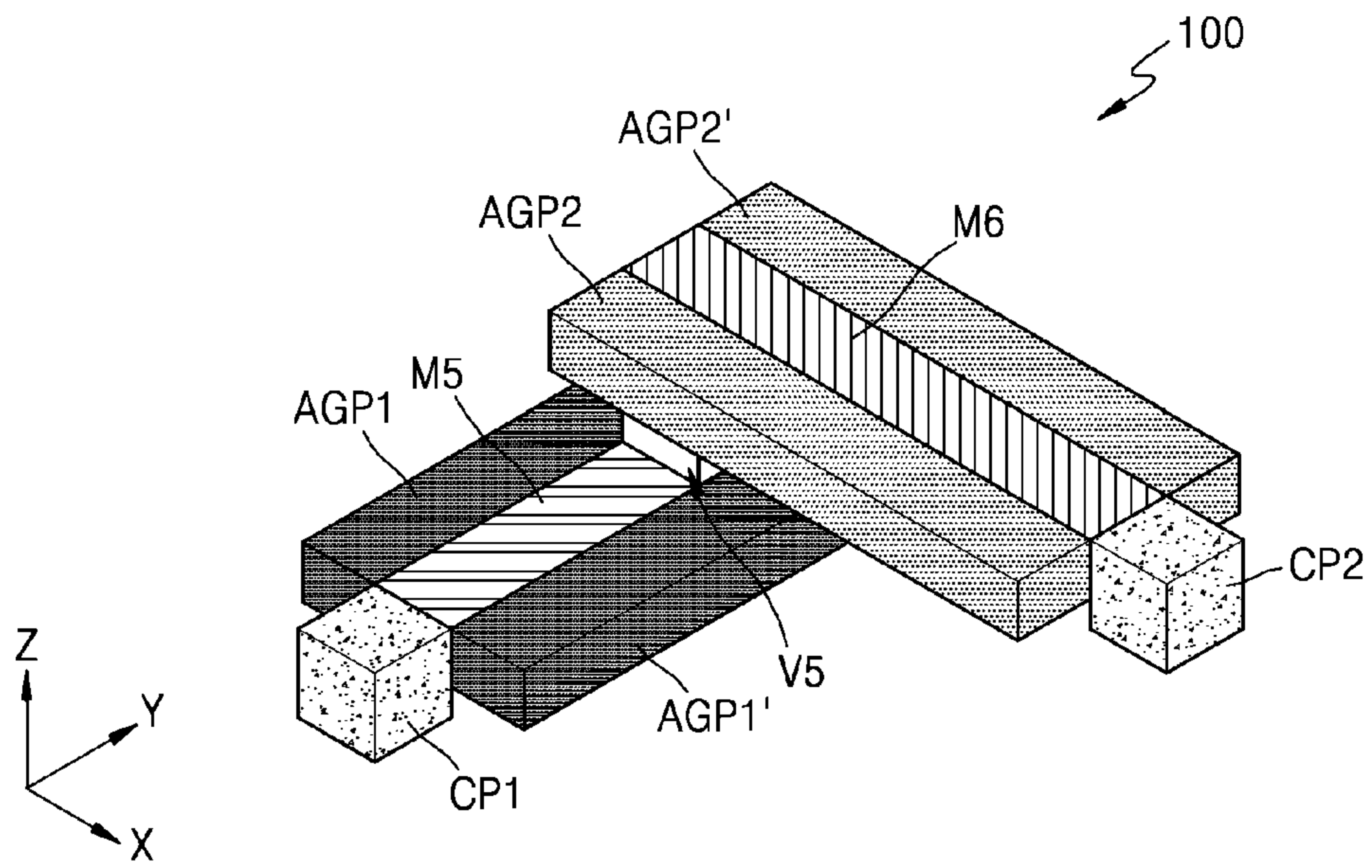
【圖6】



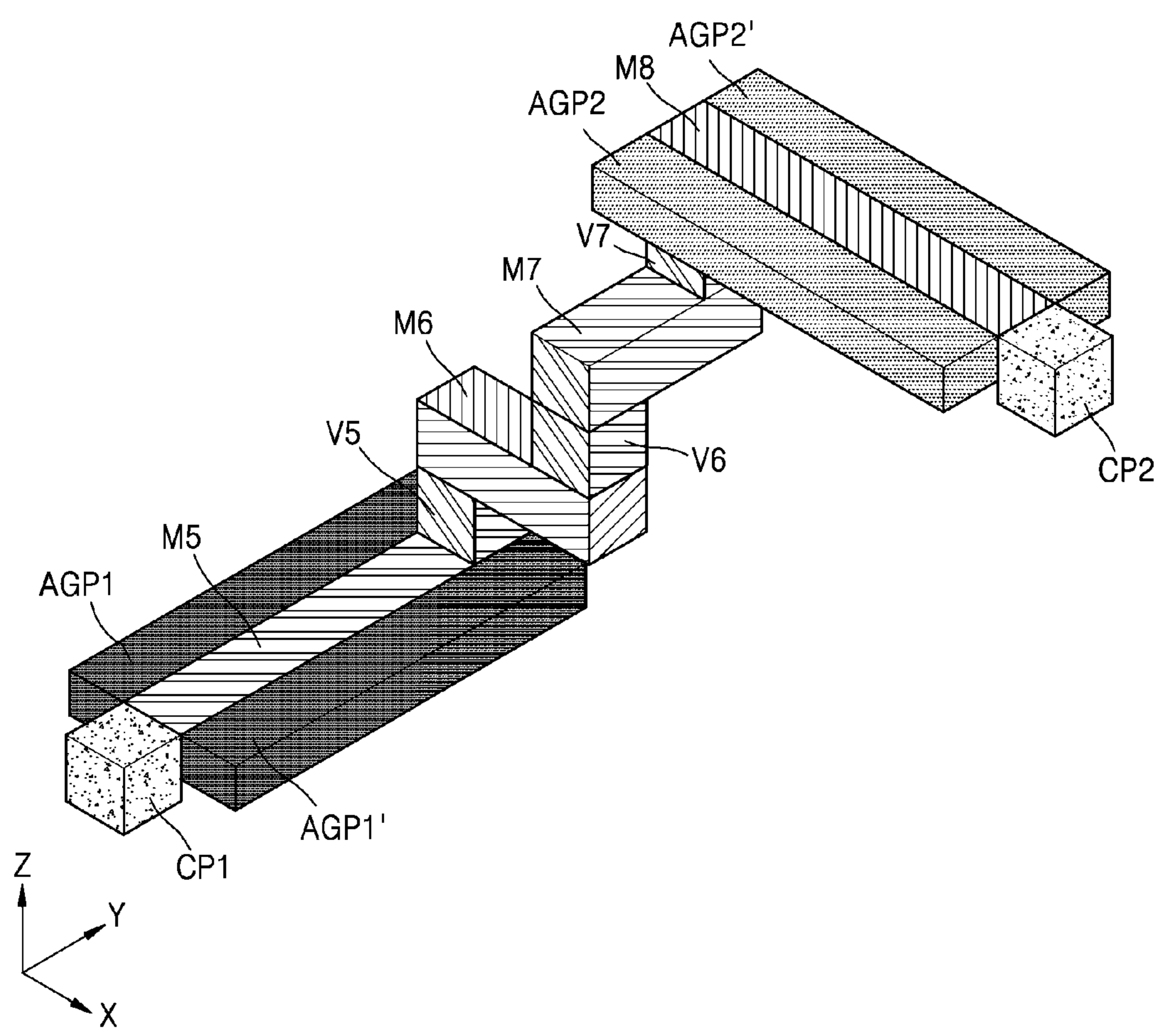
【圖7】



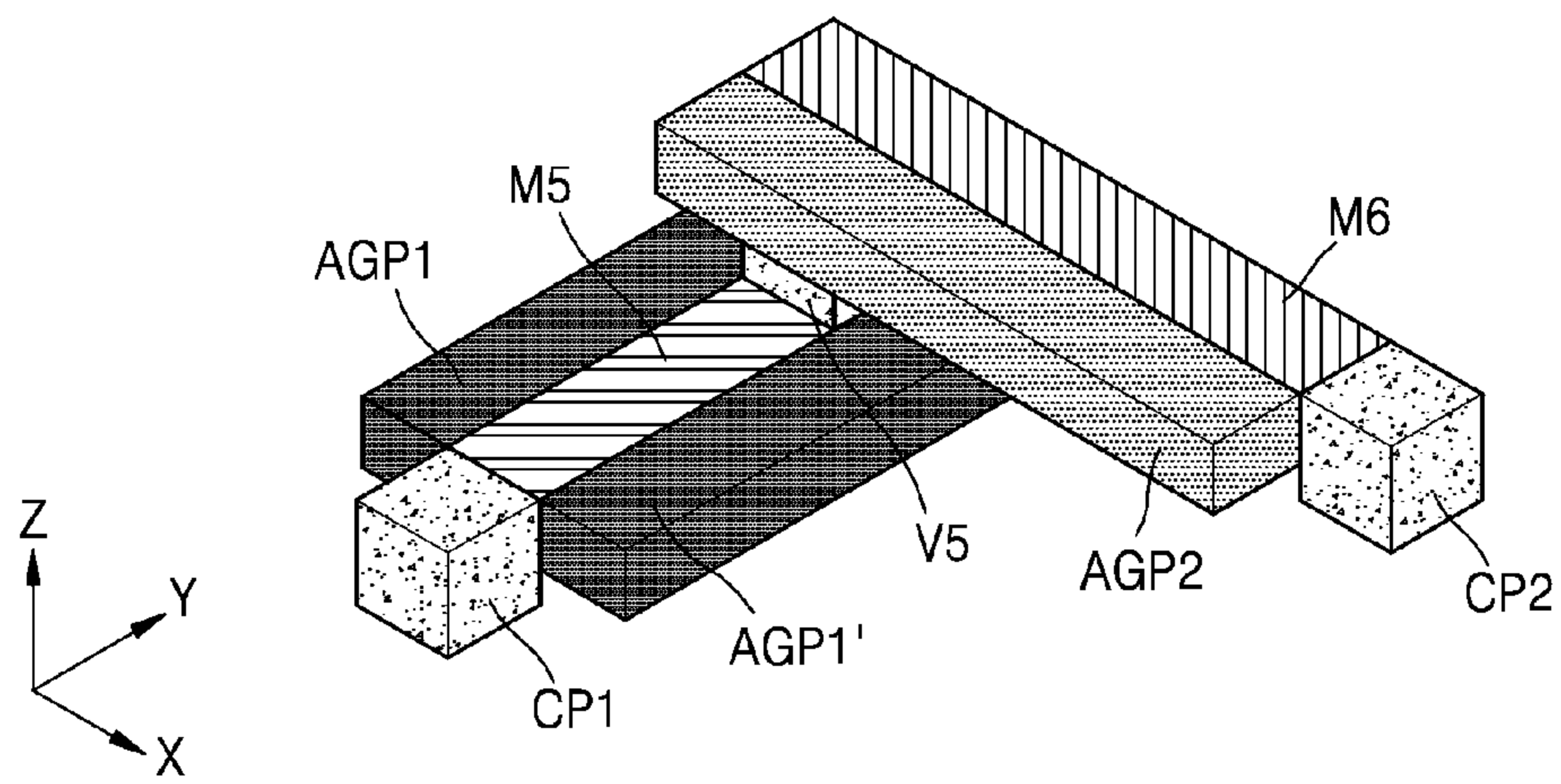
【圖8】



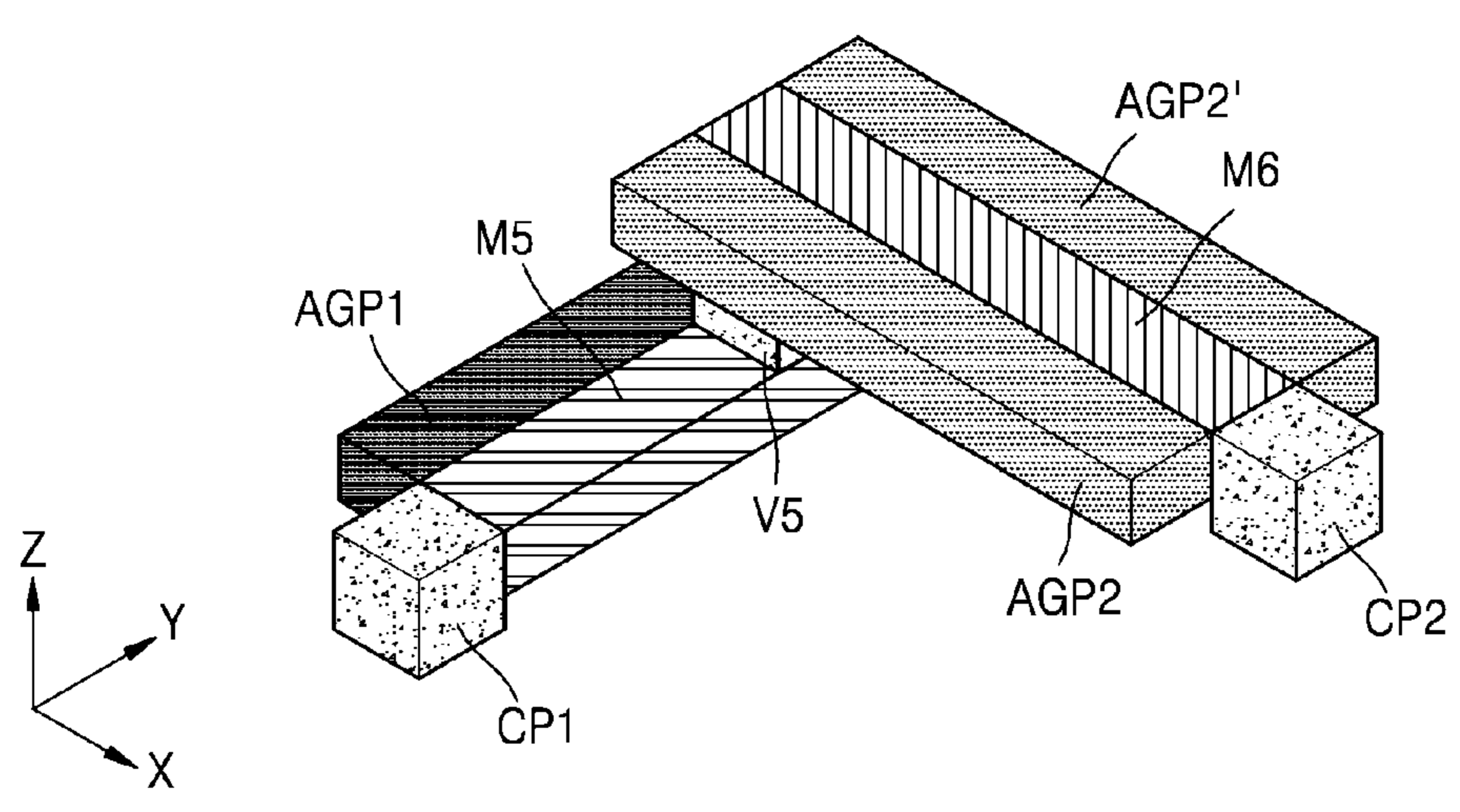
【圖9A】



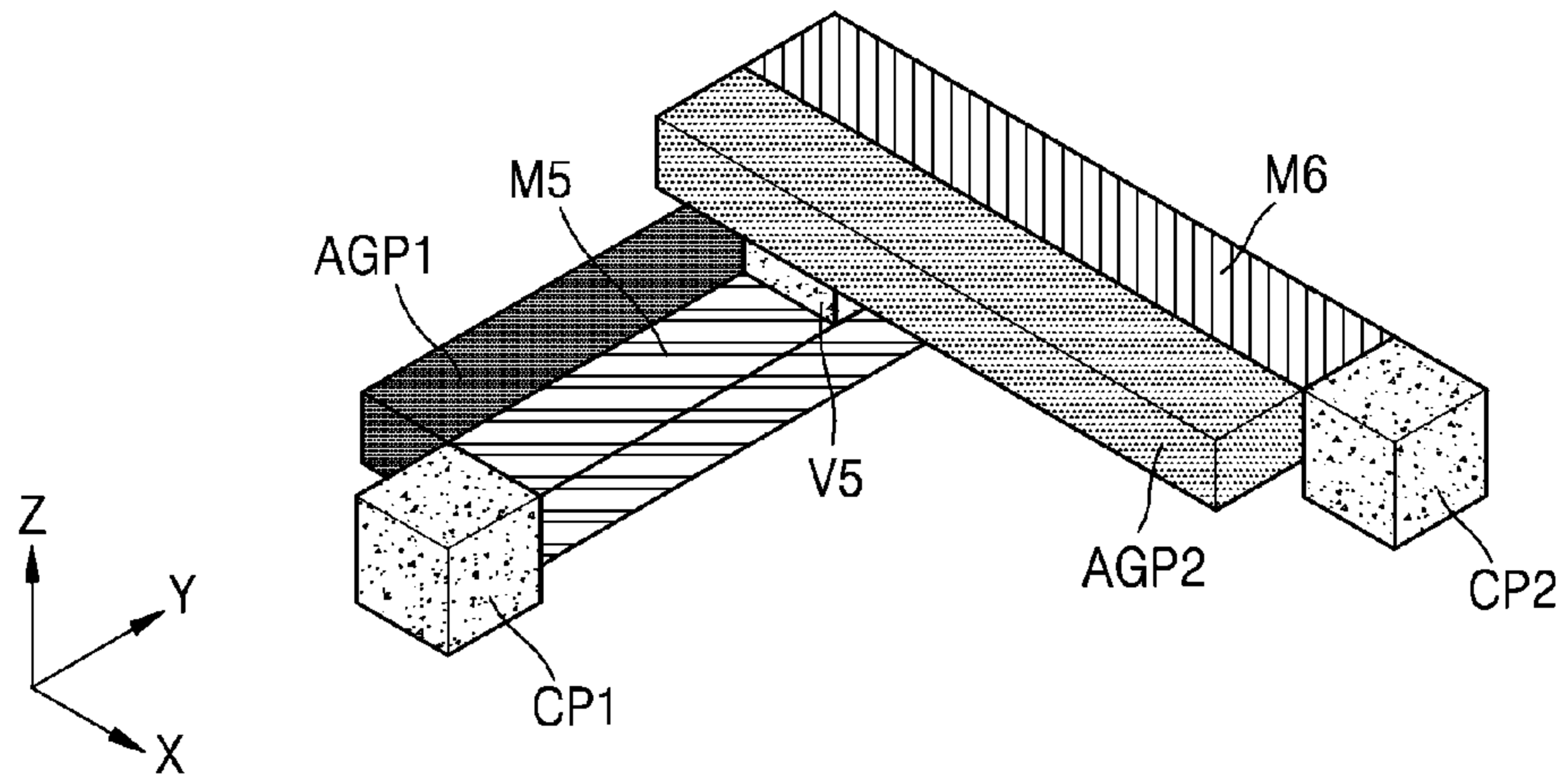
【圖9B】



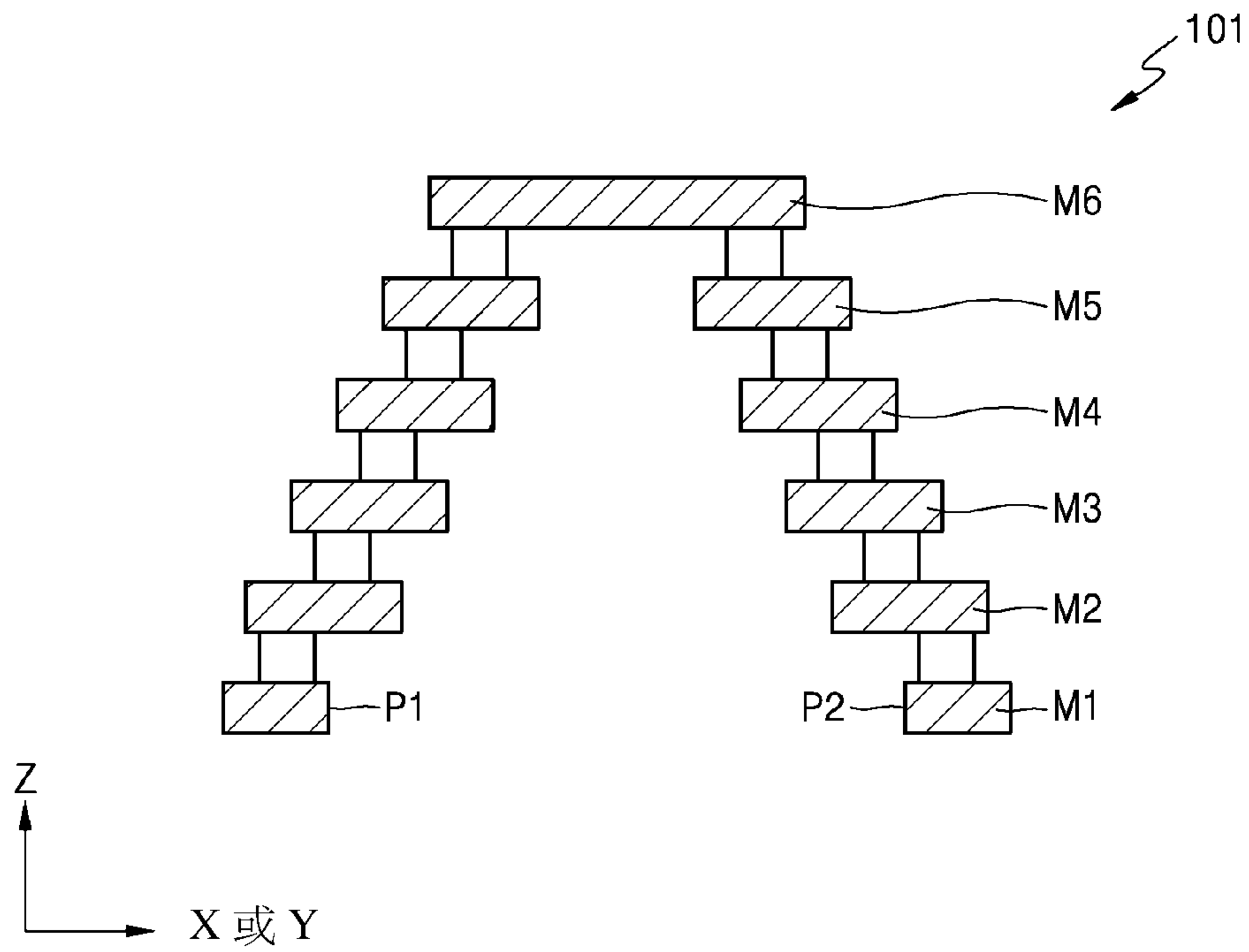
【圖9C】



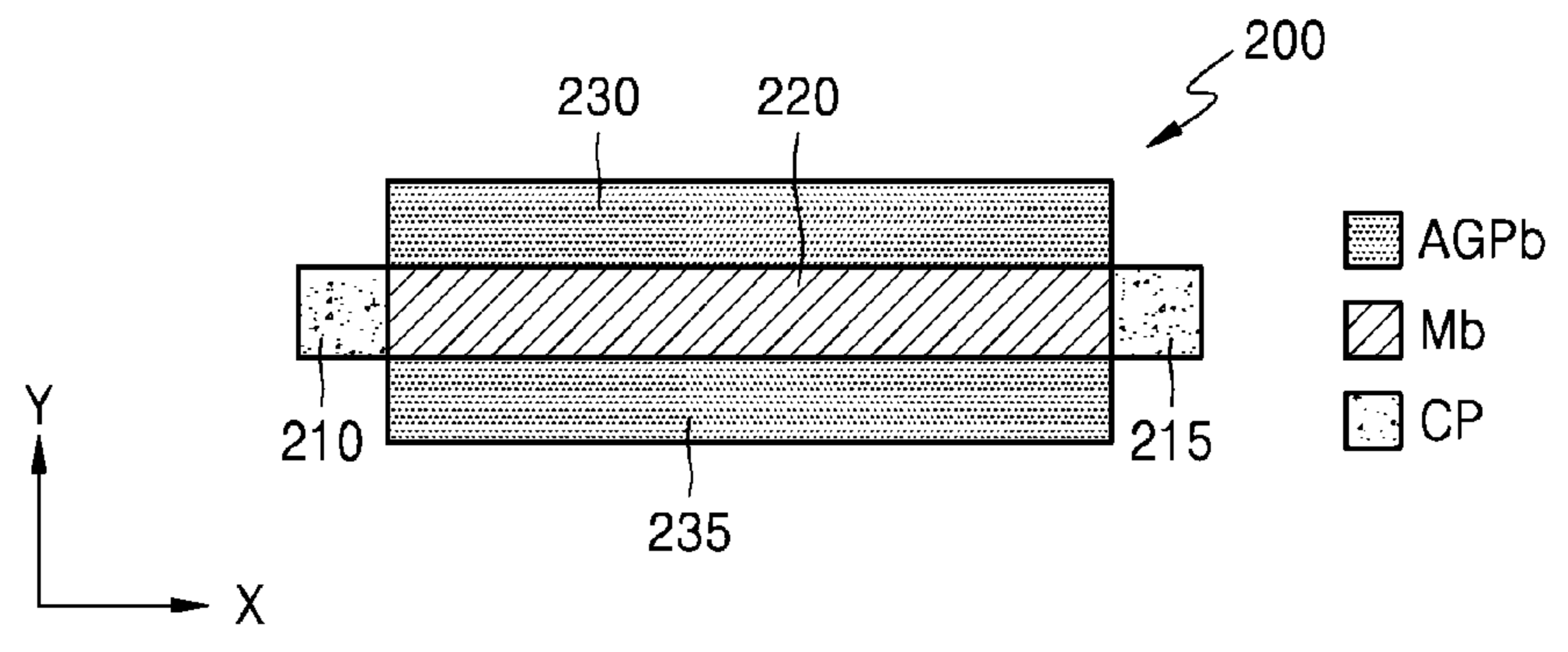
【圖9D】



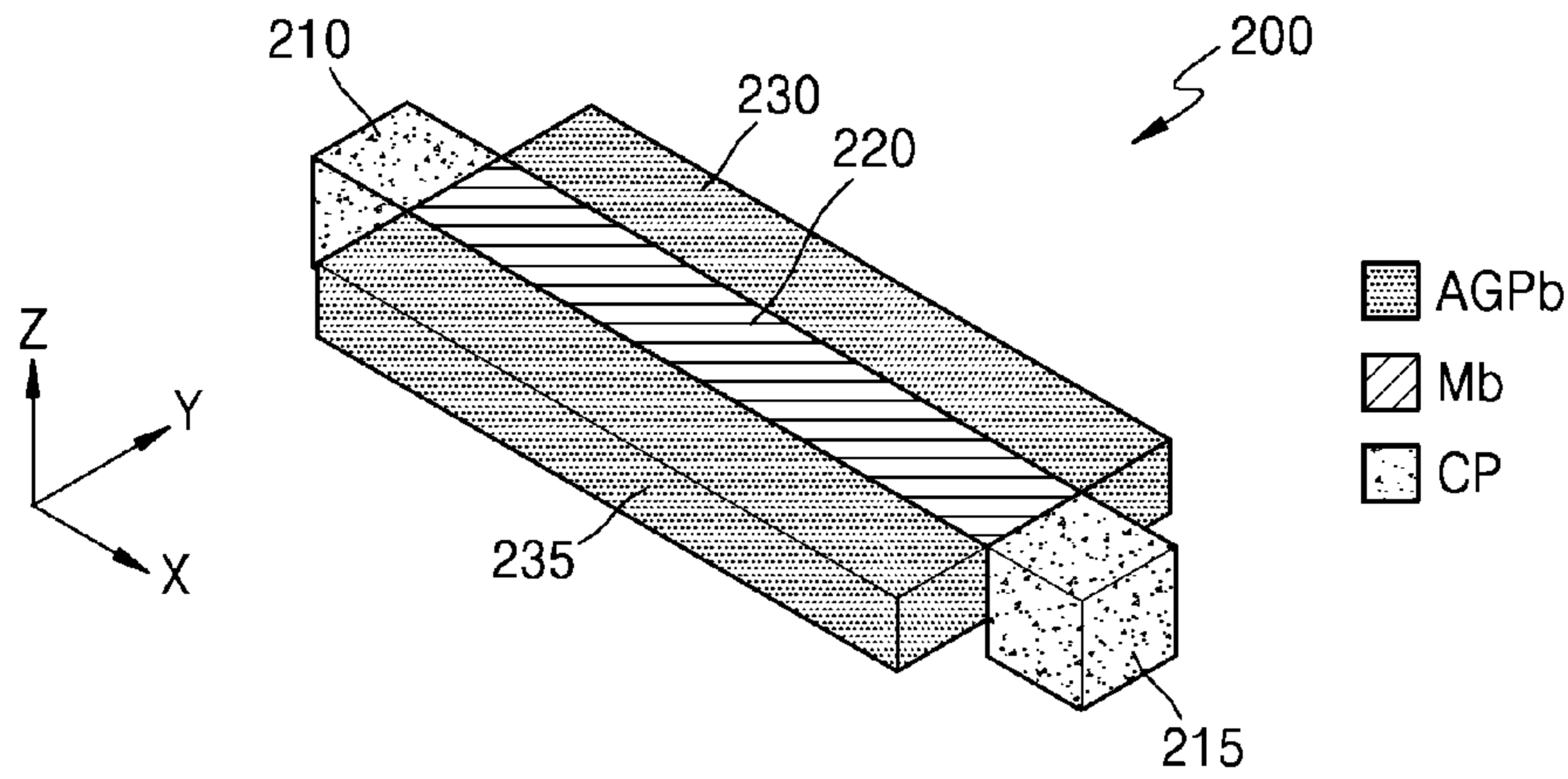
【圖9E】



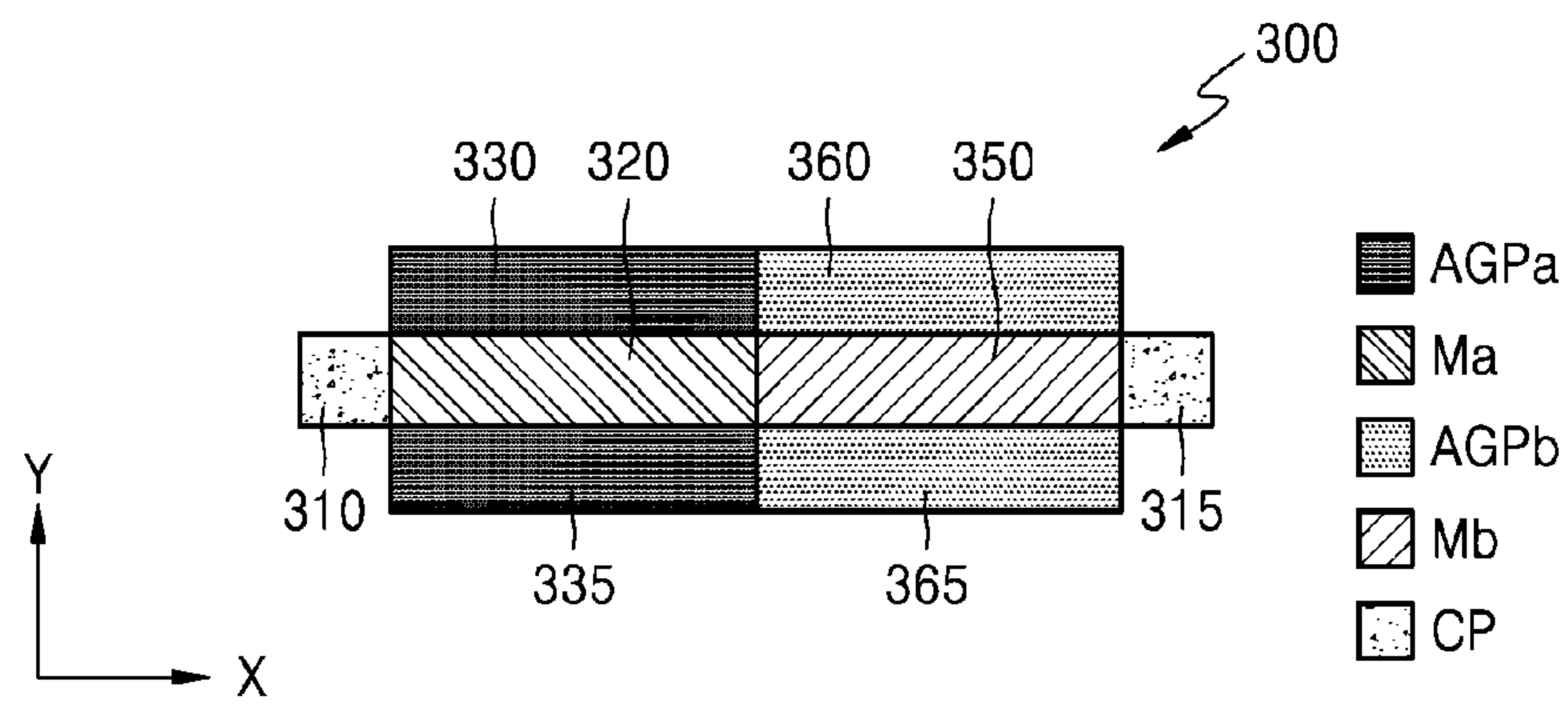
【圖10】



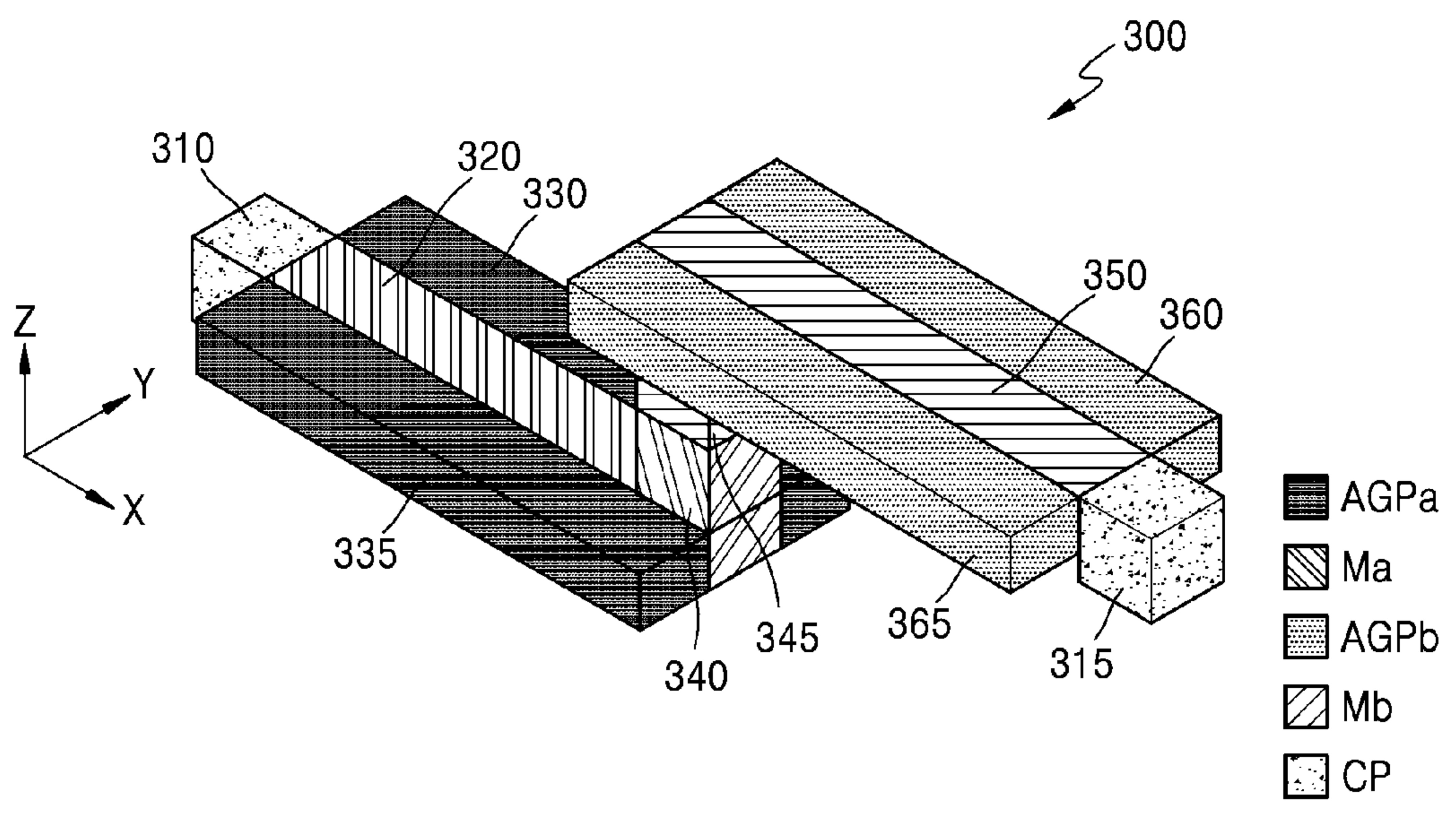
【圖11A】



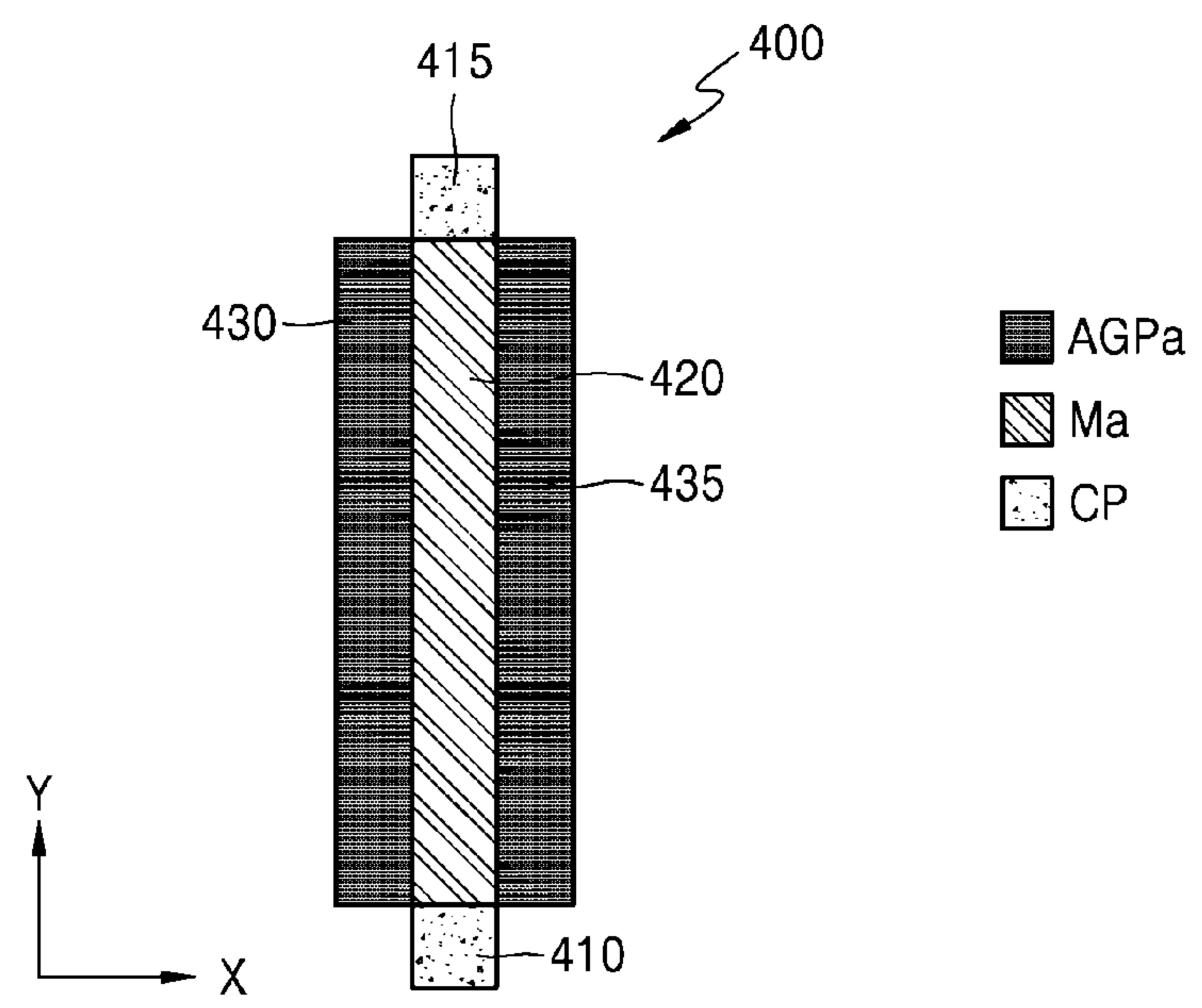
【圖11B】



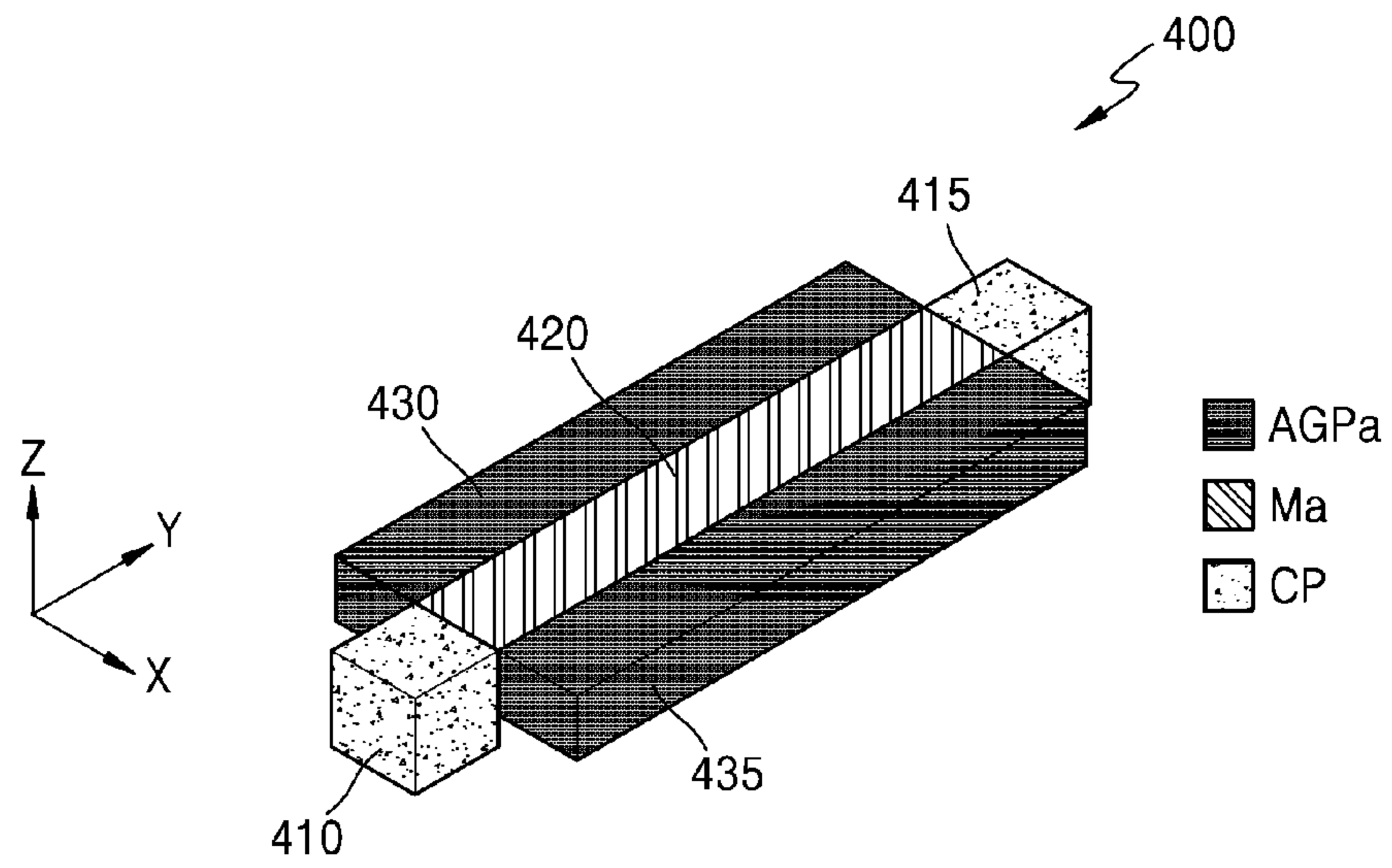
【圖12A】



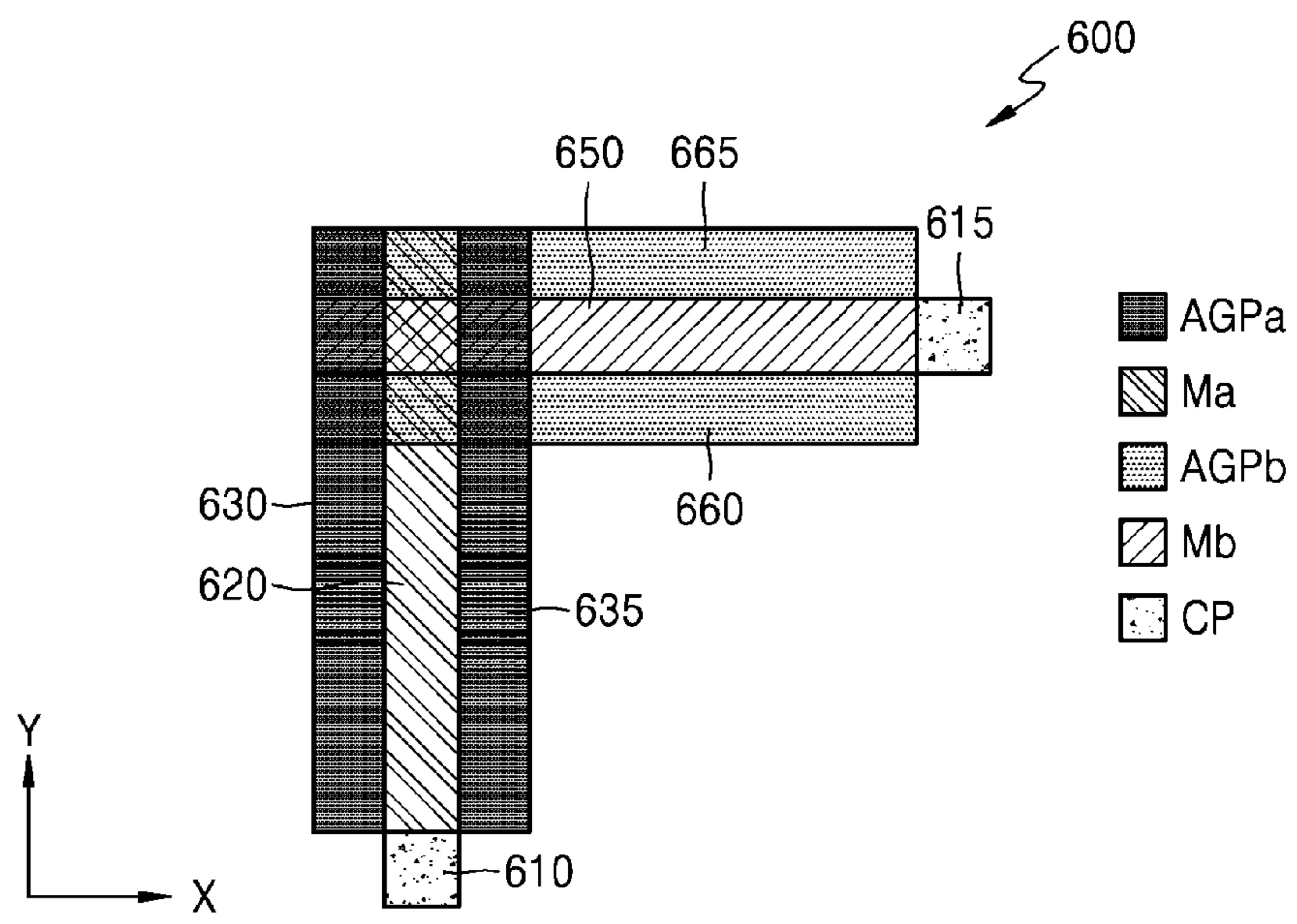
【圖12B】



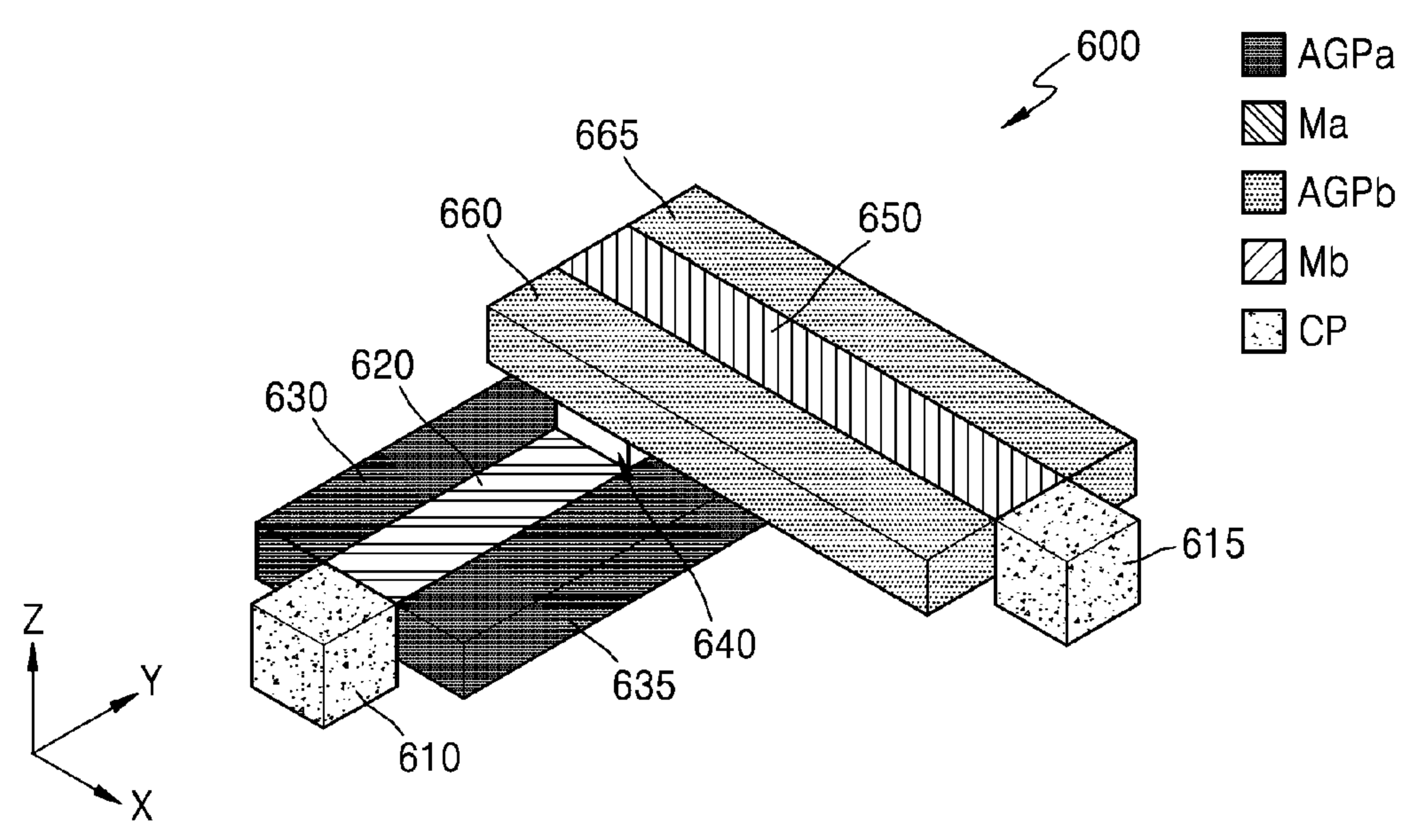
【圖13A】



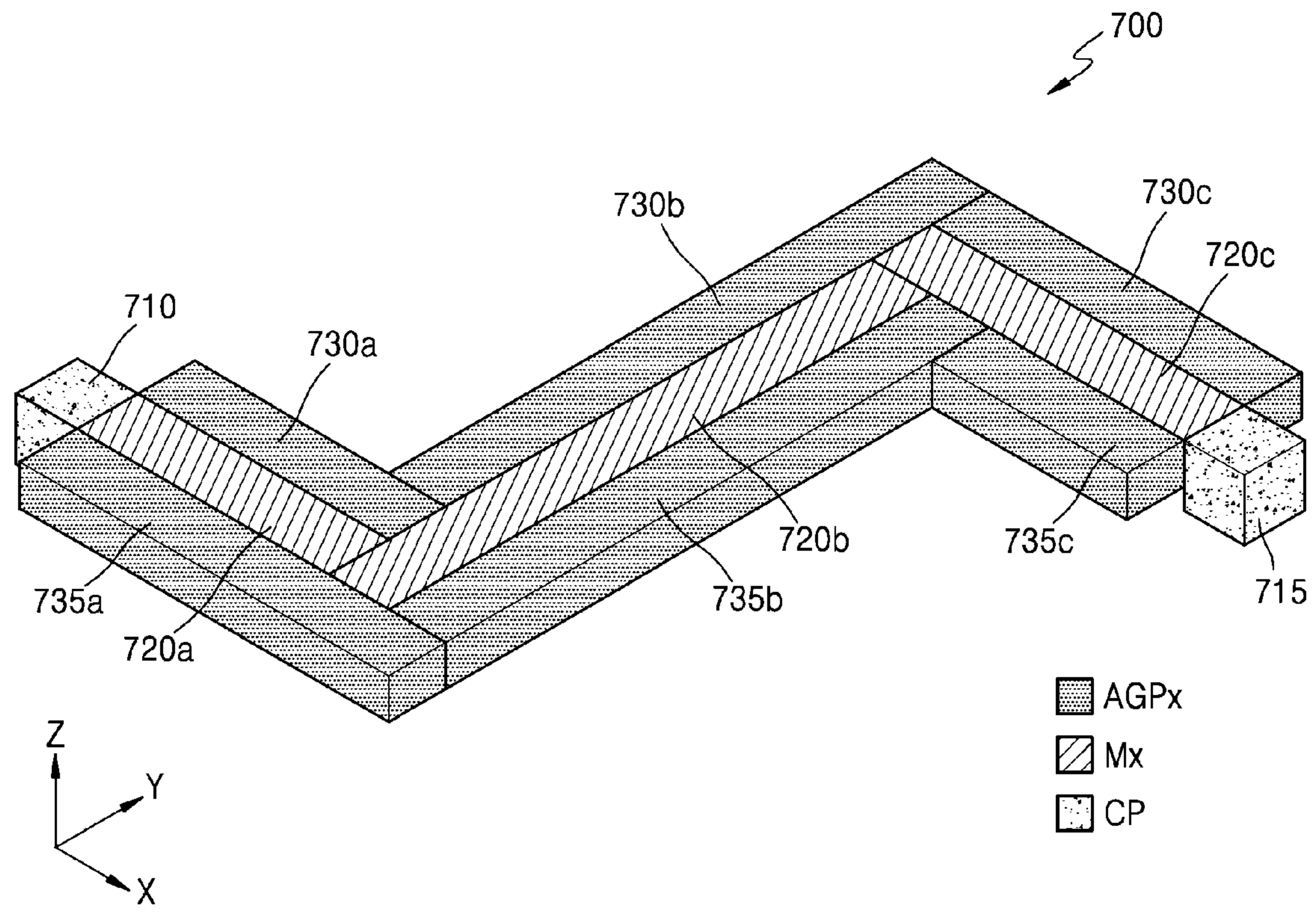
【圖13B】



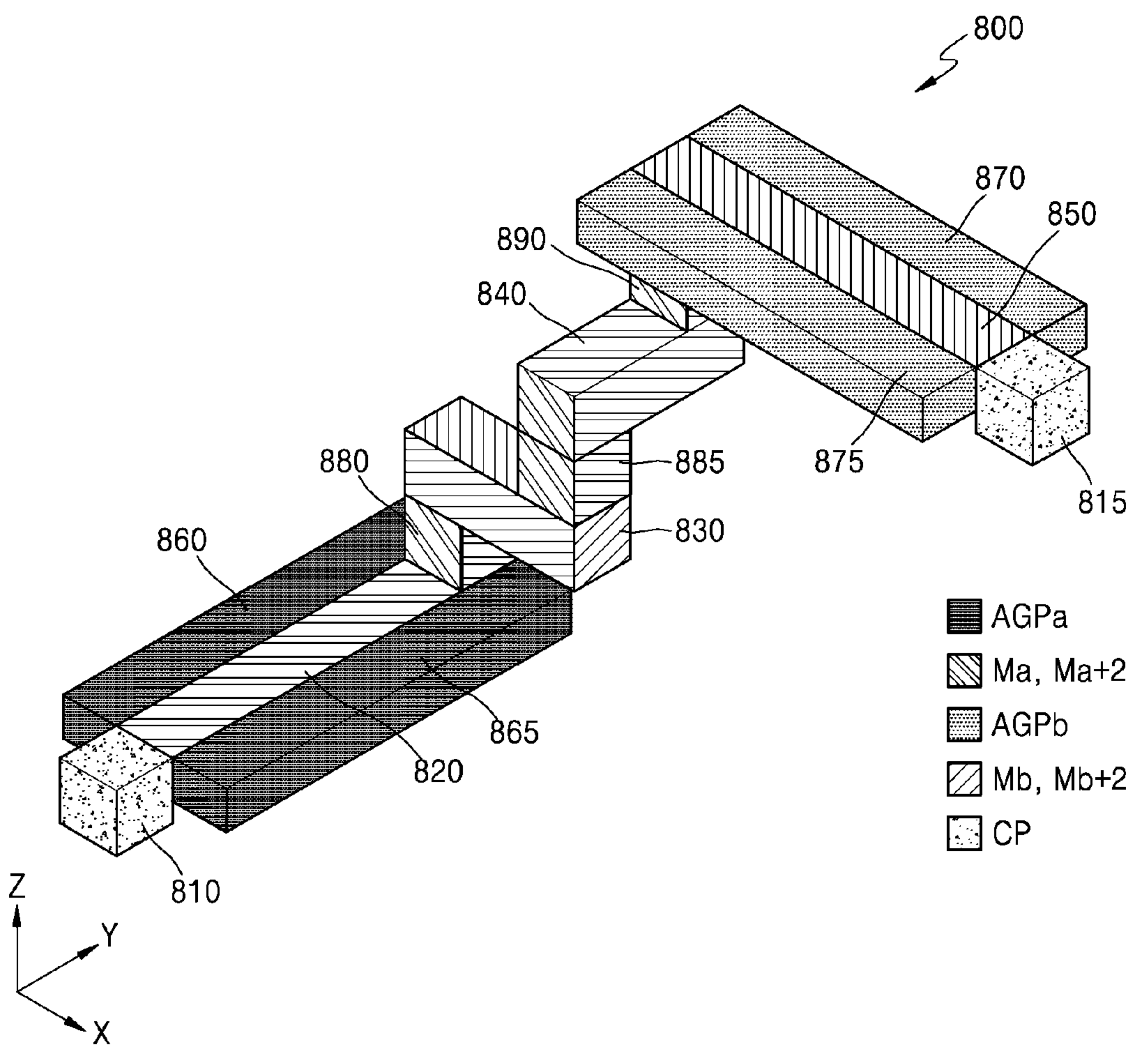
【圖14A】



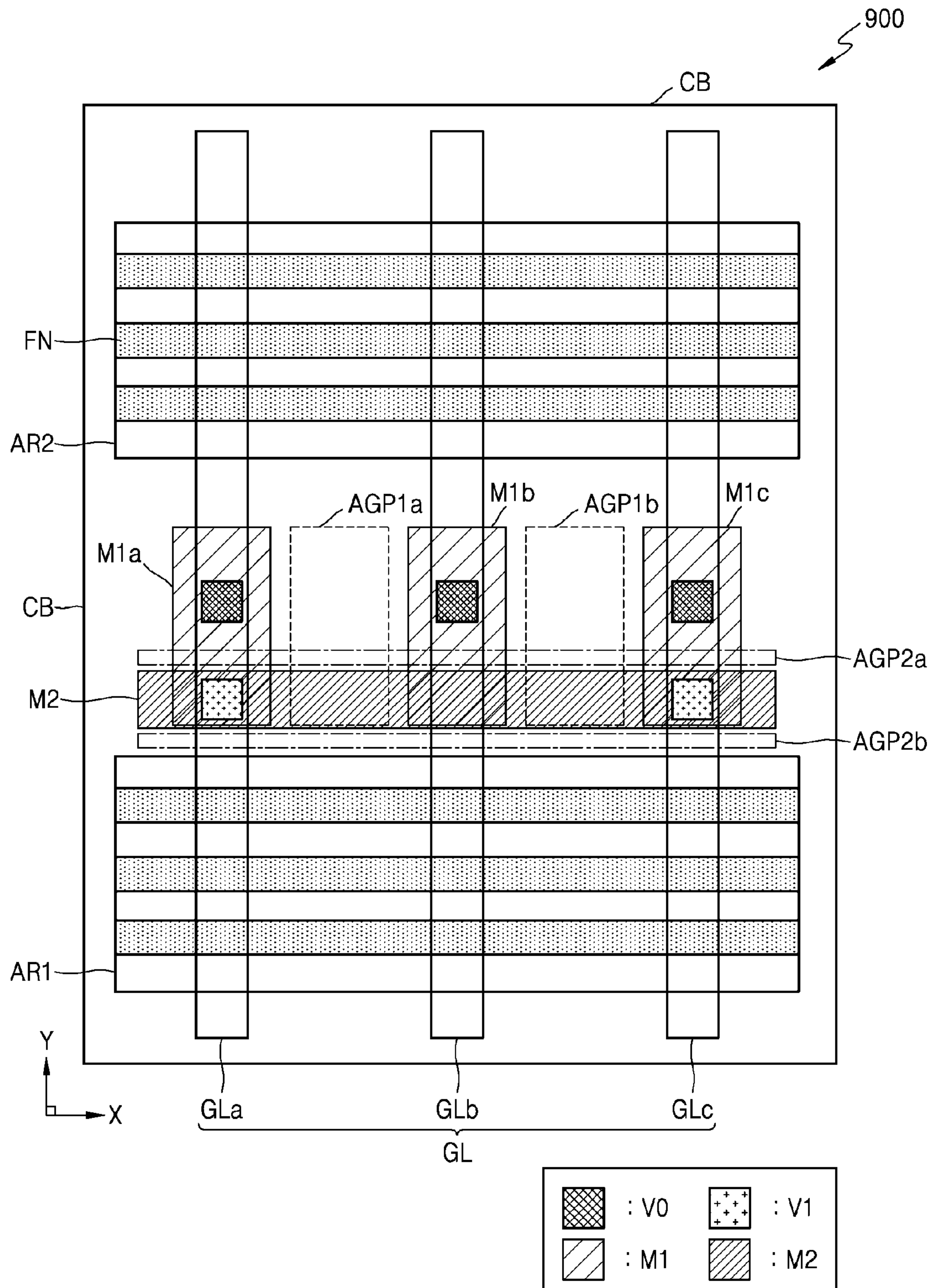
【圖14B】



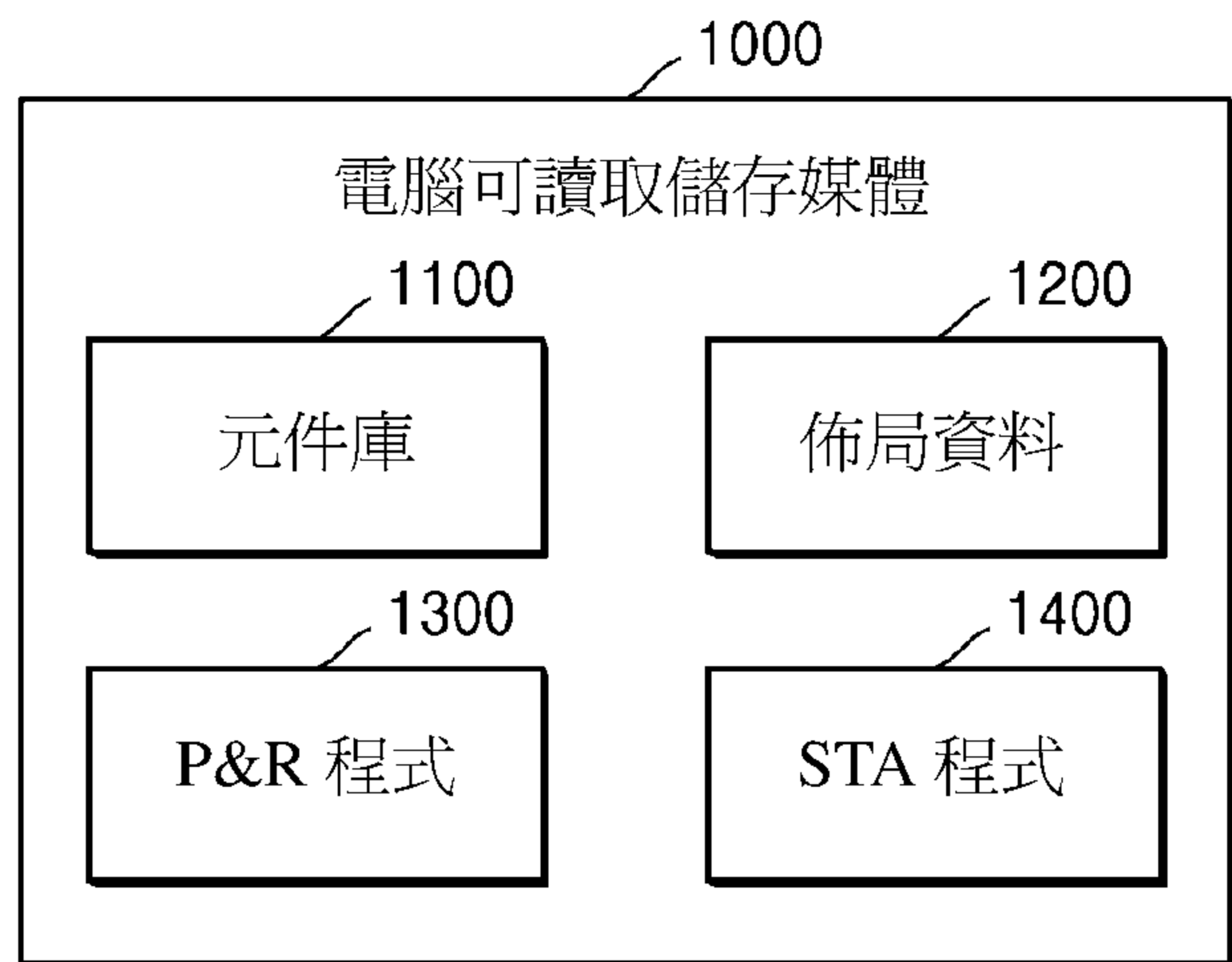
【圖15】



【圖16】



【圖17】



【圖18】