



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월10일
(11) 등록번호 10-2215664
(24) 등록일자 2021년02월07일

- (51) 국제특허분류(Int. Cl.)
H05K 1/02 (2006.01)
- (52) CPC특허분류
H05K 1/0298 (2013.01)
H05K 2203/166 (2013.01)
- (21) 출원번호 10-2019-7010197
- (22) 출원일자(국제) 2017년09월26일
심사청구일자 2019년04월09일
- (85) 번역문제출일자 2019년04월09일
- (65) 공개번호 10-2019-0049826
- (43) 공개일자 2019년05월09일
- (86) 국제출원번호 PCT/CN2017/103329
- (87) 국제공개번호 WO 2019/019339
국제공개일자 2019년01월31일
- (30) 우선권주장
201710630682.8 2017년07월28일 중국(CN)
- (56) 선행기술조사문헌
JP06061652 A*
JP11112152 A
JP10270860 A
CN104582331 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
빅토리 자이언트 테크놀로지 (후이저우) 컴퍼니., 리미티드.
중국 516200 광둥 후이저우 후이양 단수이 타운 신췌우 빌리지 항청 사이언스 파크
- (72) 발명자
리 승제
중국 516200 광둥 후이저우 후이양 단수이 타운 신췌우 빌리지 항청 사이언스 파크
리 버
중국 516200 광둥 후이저우 후이양 단수이 타운 신췌우 빌리지 항청 사이언스 파크
(뒷면에 계속)
- (74) 대리인
박소현

전체 청구항 수 : 총 8 항

심사관 : 오주철

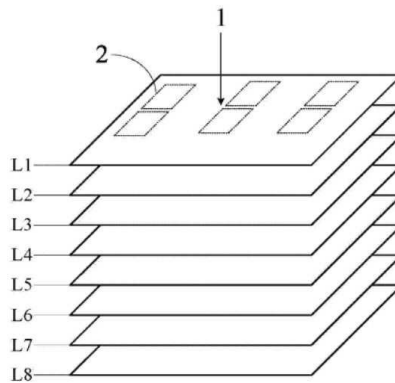
(54) 발명의 명칭 다기능 회로판 검출 모듈 및 검출 방법

(57) 요약

다기능 회로판 검출 모듈의 검출 방법은 각 하나의 테스트 블록을 각각 테스트하고, 각 하나의 테스트 블록에서 제2 내지 제N-1 구리 스트립이 도통하는지의 여부를 순차적으로 테스트하며, 구체적으로는 제1 연결홀과 기타 연결홀 사이에 도통하는지의 여부를 검출하고, 도통하지 않으면, 내층 공정을 진행할 시 과도하게 에칭한 것으로

(뒷면에 계속)

대표도 - 도1



로 판정하고, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 구리 스트립이 가장 좁은 곳의 폭을 결합하여 과도한 에칭량을 판정하는 단계; 각 하나의 테스트 블록을 각각 테스트하고, 각 하나의 테스트 블록에서 제2 내지 제N-1 구리층 사이에 도통하는 지의 여부를 순차적으로 테스트하며, 구체적으로는 제2 내지 제N-1 연결 홀 사이에 도통하는 지의 여부를 검출하고, 도통하면, 라미네이션을 진행할 시 층 편이가 발생한 것으로 판정하고; 모든 구리층이 모두 도통하면, 드릴링 시 홀 편이가 발생한 것으로 판정하며, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 고리형 구리 프리 영역의 폭을 결합하여 홀 편이의 편이량을 판정하는 단계를 포함한다. 내층, 라미네이션, 드릴링 공정의 제어 요구에 한하여 테스트 블록을 설계하고, 내층 공정 중의 에칭량, 라미네이션 공정 중의 층 편이, 드릴링 공정 중의 홀 편이에 대해 판단할 수 있으며, 이로써 회로판 제품이 정식으로 제작되기 전에 신빙성 있는 참조를 제공할 수 있고, 엔지니어링 자료 및 공정 실시의 조절을 진행하여, 제조 공정 능력 및 제품 품질을 향상시킨다.

(72) 발명자

중 조우디

중국 516200 광둥 후이저우 후이양 단수이 타운 신
쥔우 빌리지 항청 사이언스 파크

허 엔쥬

중국 516200 광둥 후이저우 후이양 단수이 타운 신
쥔우 빌리지 항청 사이언스 파크

명세서

청구범위

청구항 1

다기능 회로판 검출 모듈에 있어서,

이는 PCB 테스트 보드를 포함하고, 상기 PCB 테스트 보드는 다층 회로판이며, 상측으로부터 하측으로 순차적으로 설치되는 제1 내지 제N 구리층을 포함하고, 총 N층 구리층이며, N은 6보다 큰 짝수이고; PCB 테스트 보드에 한 개 또는 다수 개의 테스트 블록이 설치되어 있으며, 상기 테스트 블록은 제1 관통홀 그룹 및 제2 관통홀 그룹을 포함하고, 상기 제1 관통홀 그룹은 3라인으로 배열된 6 내지 12개의 테스트 홀을 포함하며, 상기 테스트 홀은 홀 직경이 동일한 관통홀이고; 제2 관통홀 그룹은 제1 연결홀 내지 제N-1 연결홀을 포함하며, 총 N-1개 연결홀이고, 상기 연결홀은 홀 직경이 동일한 관통홀이며; 상기 테스트 홀과 연결홀에 홀 구리가 설치되어 있고;

제1 구리층에 제1 관통홀 그룹과 대응되는 제1 팩 구리 블록이 설치되어 있으며; 제N 구리층에 제1 관통홀 그룹과 대응되는 제N 팩 구리 블록이 설치되어 있고; 상기 제1 및 제N 팩 구리 블록은 모든 테스트 홀의 홀 구리와 연결되며;

상기 제2 내지 제N-1 구리층에 제1 관통홀 그룹과 대응되는 제2 내지 제N-1 구리 스트립이 각각 순차적으로 설치되어 있고, 총 N-2개 구리 스트립이며, 제2 구리층에 제1 관통홀 그룹과 대응되는 제2 구리 스트립이 설치되어 있고, 제3 구리층에 제1 관통홀 그룹과 대응되는 제3 구리 스트립이 설치되어 있으며, 순차적으로 유추하고; 동일한 테스트 블록 내부의 구리 스트립이 가장 좁은 곳의 폭은 동일하며; 상기 제2 내지 제N-1 구리 스트립은 제1 관통홀 그룹 내부의 각 라인의 테스트 홀의 상하측을 따라 휘어지게 둘러싸고, 각각 제2 내지 제N-1 구리층에서 각 하나의 테스트 홀에 대응되게 고리형 구리 프리 영역이 형성되며; 동일한 테스트 블록의 고리형 구리 프리 영역의 폭은 동일하고; 상기 제2 내지 제N-1 구리 스트립의 일단은 제1 연결홀과 연결되며, 타단은 각각 순차적으로 제2 내지 제N-1 연결홀과 연결되고, 제2 구리 스트립의 타단은 제2 연결홀과 연결되며, 제3 구리 스트립의 타단은 제3 연결홀과 연결되고, 순차적으로 유추하는 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 2

제 1항에 있어서,

제1 및 제N 구리층에 제2 관통홀 그룹의 모든 연결홀에 대응되게 구리 홀 링이 설치되어 있고; 상기 제2 내지 제N-1 구리층에 제1 연결홀에 대응되게 구리 홀 링이 설치되어 있으며; 제2 내지 제N-1 구리층에 제2 내지 제N-1 연결홀에 각각 순차적으로 대응되게 구리 홀 링이 설치되어 있고, 제2 구리층에 제2 연결홀에 대응되게 구리 홀 링이 설치되어 있으며, 제3 구리층에 제3 연결홀에 대응되게 구리 홀 링이 설치되어 있고, 순차적으로 유추하며; 상기 구리 홀 링은 상응한 연결홀의 홀 구리와 연결되고; 상기 제2 내지 제N-1 구리 스트립의 양단은 구리층에 대응되게 설치되는 두 개의 구리 홀 링과 각각 연결되는 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 3

제 1항에 있어서,

상기 제2 내지 제N-1 구리 스트립에서 제1 관통홀 그룹 내부의 각 라인의 테스트 홀 사이에 위치하는 부분에 구리 브릿지가 각각 형성되고; 동일한 구리 스트립에서 서로 인접한 구리 브릿지 사이의 최소 거리는 0.1mm보다 크거나 같은 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

서로 인접한 연결홀의 홀 간격은 1.0 내지 1.1mm이고; 테스트 홀과 연결홀의 홀 직경은 0.2mm이며; 테스트 홀과 연결홀 사이의 거리는 1mm보다 큰 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 5

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 제1 관통홀 그룹은 3라인으로 배열된 9개의 테스트 홀을 포함하는 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 6

제 1항 내지 제 3항 중 어느 한 항에 있어서,

PCB 테스트 보드에 6개의 테스트 블록이 설치되어 있는 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 7

제 6항에 있어서,

상기 6개의 테스트 블록에서 고리형 구리 프리 영역의 폭은 각각 0.075mm, 0.1mm, 0.127mm, 0.15mm, 0.178mm, 0.2mm인 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 8

제 6항에 있어서,

상기 6개의 테스트 블록에서 구리 스트립이 가장 좁은 곳의 폭은 각각 0.075mm, 0.1mm, 0.127mm, 0.15mm, 0.178mm, 0.2mm인 것을 특징으로 하는 다기능 회로판 검출 모듈.

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 회로판 공정 분야에 관한 것으로, 특히는 다기능 회로판 검출 모듈 및 검출 방법에 관한 것이다.

배경 기술

[0002] PCB 생산 과정에서, 각각의 공정의 실제 작업 능력(제조 공정 능력)의 높고 낮음은 이미 PCB 기업의 핵심 경쟁력으로 자리 잡았고, 제조 공정 능력의 향상 역시 기업 발전의 수요로서, 제조 과정 중 각각의 공정의 제조 공정 능력을 어떻게 효과적으로 모니터링하여, 제조 공정 능력의 향상에 참조적인 근거를 제공할 것인지는 PCB 기업이 중점적으로 해결해야 할 과제로 남았는 바, 특히는 다층판(6층 이상) 내층 수축 및 팽창, 내층 예칭 능력, 라미네이션 수축 및 팽창, 라미네이션 층 편이, 드릴링 수축 및 팽창, 드릴링 홀 편이 등 문제이며, 불량률 발생하면 제품의 기능에 직접적인 영향을 일으킬 수 있다.

발명의 내용

해결하려는 과제

[0003] 상기 문제에 한하여, 본 발명은 다기능 회로판 검출 모듈을 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0004] 본 발명은 PCB 테스트 보드를 포함하고, 상기 PCB 테스트 보드는 다층 회로판이며, 상층으로부터 하층으로 순차적으로 설치되는 제1 내지 제N 구리층을 포함하고, 총 N층 구리층이며, N은 6보다 큰 짝수이고;

[0005] PCB 테스트 보드에 한 개 또는 다수 개의 테스트 블록이 설치되어 있으며, 상기 테스트 블록은 제1 관통홀 그룹 및 제2 관통홀 그룹을 포함하고, 상기 제1 관통홀 그룹은 3라인으로 배열된 6 내지 12개의 테스트 홀을 포함하며, 상기 테스트 홀은 홀 직경이 동일한 관통홀이고; 제2 관통홀 그룹은 제1 연결홀 내지 제N-1 연결홀을 포함하며, 총 N-1개 연결홀이고, 상기 연결홀은 홀 직경이 동일한 관통홀이며; 상기 테스트 홀과 연결홀에 모두 홀 구리가 설치되어 있고;

[0006] 제1 구리층에 제1 관통홀 그룹과 대응되는 제1 팩 구리 블록이 설치되어 있으며; 제N 구리층에 제1 관통홀 그룹과 대응되는 제N 팩 구리 블록이 설치되어 있고; 상기 제1 및 제N 팩 구리 블록은 모든 테스트 홀의 홀 구리와 연결되며;

[0007] 상기 제2 내지 제N-1 구리층에 제1 관통홀 그룹과 대응되는 제2 내지 제N-1 구리 스트립이 각각 순차적으로 설치되어 있고, 총 N-2개 구리 스트립이며, 제2 구리층에 제1 관통홀 그룹과 대응되는 제2 구리 스트립이 설치되어 있고, 제3 구리층에 제1 관통홀 그룹과 대응되는 제3 구리 스트립이 설치되어 있으며, 순차적으로 유추하고; 동일한 테스트 블록 내부의 구리 스트립이 가장 좁은 곳의 폭은 동일하며; 상기 제2 내지 제N-1 구리 스트립은 모두 제1 관통홀 그룹 내부의 각 라인의 테스트 홀의 상하측을 따라 휘어지게 둘러싸고, 각각 제2 내지 제N-1 구리층에서 각 하나의 테스트 홀에 대응되게 고리형 구리 프리 영역이 형성되며; 동일한 테스트 블록의 고리형 구리 프리 영역의 폭은 동일하고; 상기 제2 내지 제N-1 구리 스트립의 일단은 모두 제1 연결홀과 연결되며, 타단은 각각 순차적으로 제2 내지 제N-1 연결홀과 연결되고, 제2 구리 스트립의 타단은 제2 연결홀과 연결되며, 제3 구리 스트립의 타단은 제3 연결홀과 연결되고, 순차적으로 유추한다.

[0008] 바람직하게, 제1 및 제N 구리층에 제2 관통홀 그룹의 모든 연결홀에 대응되게 구리 홀 링이 설치되어 있고; 상기 제2 내지 제N-1 구리층에 모두 제1 연결홀에 대응되게 구리 홀 링이 설치되어 있으며; 제2 내지 제N-1 구리층에 제2 내지 제N-1 연결홀에 각각 순차적으로 대응되게 구리 홀 링이 설치되어 있고, 제2 구리층에 제2 연결홀에 대응되게 구리 홀 링이 설치되어 있으며, 제3 구리층에 제3 연결홀에 대응되게 구리 홀 링이 설치되어 있고, 순차적으로 유추하며; 상기 구리 홀 링은 상응한 연결홀의 홀 구리와 연결되고; 상기 제2 내지 제N-1 구리 스트립의 양단은 구리층에 대응되게 설치되는 두 개의 구리 홀 링과 각각 연결된다.

[0009] 바람직하게, 상기 제2 내지 제N-1 구리 스트립에서 제1 관통홀 그룹 내부의 각 라인의 테스트 홀 사이에 위치하는 부분에 구리 브릿지가 각각 형성되고; 동일한 구리 스트립에서 서로 인접한 구리 브릿지 사이의 최소 거리는 0.1mm보다 크거나 같다.

[0010] 또한, 제 1항 내지 제 3항 중 어느 한 항에 있어서, 서로 인접한 연결홀의 홀 간격은 1.0 내지 1.1mm이고; 테스트 홀과 연결홀의 홀 직경은 모두 0.2mm이며; 테스트 홀과 연결홀 사이의 거리는 1mm보다 크다.

[0011] 또한, 상기 제1 관통홀 그룹은 3라인으로 배열된 9개의 테스트 홀을 포함한다.

[0012] 또한, PCB 테스트 보드에 6개의 테스트 블록이 설치되어 있다.

[0013] 또한, 상기 6개의 테스트 블록에서 고리형 구리 프리 영역의 폭은 각각 0.075mm, 0.1mm, 0.127mm, 0.15mm, 0.178mm, 0.2mm이다.

[0014] 또한, 상기 6개의 테스트 블록에서 구리 스트립이 가장 좁은 곳의 폭은 각각 0.075mm, 0.1mm, 0.127mm, 0.15mm, 0.178mm, 0.2mm이다.

[0015] 본 발명은 다기능 회로판 검출 모듈을 사용하는 검출 방법을 더 제공하며, 내층, 라미네이션, 드릴링 공정을 완료한 후의 제조된 다기능 회로판 검출 모듈에 대해, 하기의 테스트 항목을 진행하는 바,

[0016] 각 하나의 테스트 블록을 각각 테스트하고, 각 하나의 테스트 블록에서 제2 내지 제N-1 구리 스트립이 도통하는

지의 여부를 순차적으로 테스트하며, 구체적으로는 제1 연결홀과 기타 연결홀 사이에 도통하는 지의 여부를 검출하고, 도통하지 않으면, 내층 공정을 진행할 시 과도하게 에칭한 것으로 판정하고, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 구리 스트립이 가장 좁은 곳의 폭을 결합하여 과도한 에칭량을 판정하는 단계;

[0017] 각 하나의 테스트 블록을 각각 테스트하고, 각 하나의 테스트 블록에서 제2 내지 제N-1 구리층 사이에 도통하는 지의 여부를 순차적으로 테스트하며, 구체적으로는 제2 내지 제N-1 연결홀 사이에 도통하는 지의 여부를 검출하고, 도통하면, 라미네이션을 진행할 시 층 편이가 발생한 것으로 판정하고; 모든 구리층이 모두 도통하면, 드릴링할 시 홀 편이가 발생한 것으로 판정하며, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록의 고리형 구리 프리 영역의 폭을 결합하여 홀 편이의 편이량을 판정하는 단계를 포함한다.

[0018] 바람직하게, 각 하나의 테스트 블록에서 제2 내지 제N-1 구리층 사이에 도통하는 지의 여부를 순차적으로 테스트할 시, 제2 내지 제N-1 구리층에서 임의의 두 개의 구리층이 도통하면, 층 편이가 상기 두 개의 구리층 사이에서 발생하는 것으로 판정할 수 있고, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 고리형 구리 프리 영역의 폭을 결합하여 층 편이의 편이량을 판정하며;

[0019] 제2 내지 제N-1 구리층에서 임의의 다수의 구리층이 도통하면, 모든 구리층에서 모두 층 편이가 발생하는 것으로 판정할 수 있고, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 고리형 구리 프리 영역의 폭을 결합하여 각 구리층의 층 편이의 편이량을 판정한다.

발명의 효과

[0020] 본 발명은 내층, 라미네이션, 드릴링 공정의 제어 요구에 한하여 테스트 블록을 설계하고, 내층 공정 중의 에칭량, 라미네이션 공정 중의 층 편이, 드릴링 공정 중의 홀 편이를 간편하고 신속하게 판단할 수 있으며, 이로써 회로판 제품이 정식으로 제작되기 전에 신빙성 있는 참조를 제공할 수 있고, 엔지니어링 자료 및 공정 실시의 조절을 진행하여, 제조 공정 능력을 향상시키며, 제품의 품질을 향상시킨다.

도면의 간단한 설명

- [0021] 도 1은 다기능 회로판 검출 모듈의 실시예의 구조도이다.
- 도 2는 다기능 회로판 검출 모듈의 실시예의 제1 구리층 중 테스트 블록 모식도이다.
- 도 3은 다기능 회로판 검출 모듈의 실시예의 제2 구리층 중 테스트 블록 모식도이다.
- 도 4는 다기능 회로판 검출 모듈의 실시예의 제3 구리층 중 테스트 블록 모식도이다.
- 도 5는 다기능 회로판 검출 모듈의 실시예의 제4 구리층 중 테스트 블록 모식도이다.
- 도 6은 다기능 회로판 검출 모듈의 실시예의 제5 구리층 중 테스트 블록 모식도이다.
- 도 7은 다기능 회로판 검출 모듈의 실시예의 제6 구리층 중 테스트 블록 모식도이다.
- 도 8은 다기능 회로판 검출 모듈의 실시예의 제7 구리층 중 테스트 블록 모식도이다.
- 도 9는 다기능 회로판 검출 모듈의 실시예의 제8 구리층 중 테스트 블록 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 기술분야의 통상의 기술자가 본 발명의 기술내용을 간편하게 이해하도록 하기 위해, 이하 도면 및 실시예를 결부하여 본 발명을 더욱 상세하게 설명한다.

[0023] 도 1에 도시된 다기능 회로판 검출 모듈은, PCB 테스트 보드(1)를 포함하고, 상기 PCB 테스트 보드는 다층 회로판이며, 상측으로부터 하측으로 순차적으로 설치되는 제1 구리층(L1), 제2 구리층 L2...제8 구리층(L8)을 포함하고, 총 8층 구리층이다.

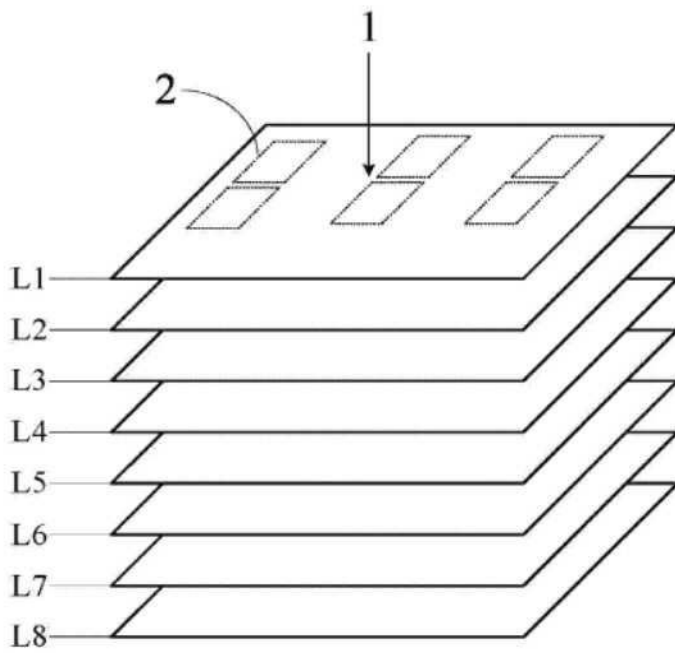
[0024] PCB 테스트 보드(1)에 6개의 테스트 블록(2)이 설치되어 있고, 그중의 하나의 테스트 블록은 도 2 내지 도 9에 도시된 바와 같으며, 각 하나의 테스트 블록은 제1 관통홀 그룹(A1) 및 제2 관통홀 그룹(A2)을 포함하고, 제1 관통홀 그룹(A1)은 3라인으로 배열된 9개의 테스트 홀(B)을 포함하며; 제2 관통홀 그룹(A2)은 제1 연결홀(C1), 제2 연결홀(C2)...제7 연결홀(C7)을 포함하고, 총 7개의 연결홀이며, 테스트 홀과 연결홀은 모두 홀 직경이 동일한 관통홀이고, 홀 내부에 모두 홀 구리가 설치되어 있다. 서로 인접한 연결홀의 홀 간격은 1.1mm이고; 테스트

홀과 연결홀의 홀 직경은 모두 0.2mm이며; 테스트 홀과 연결홀 사이의 거리는 1mm보다 크다.

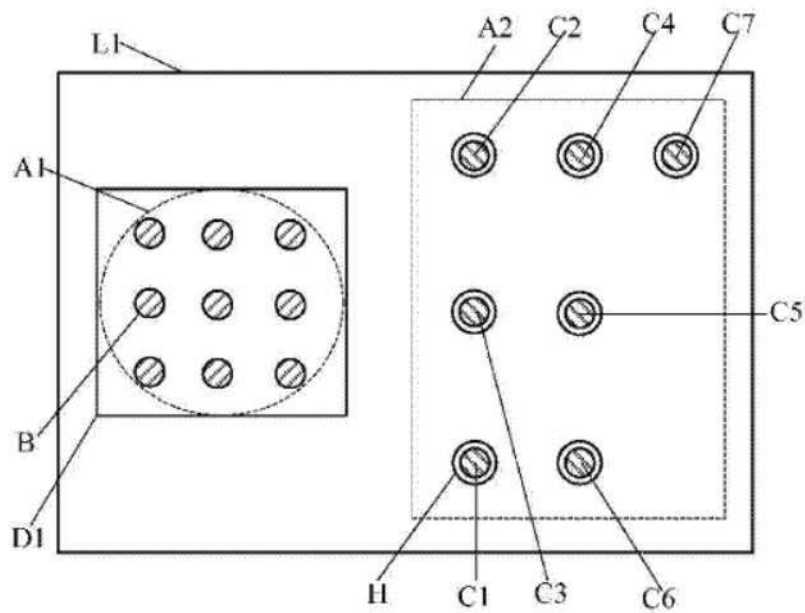
- [0025] 제1 구리층(L1)에 제1 관통홀 그룹(A1)과 대응되는 제1 팩 구리 블록(D1)이 설치되어 있고; 제8 구리층(L8)에 제1 관통홀 그룹(A1)과 대응되는 제8 팩 구리 블록(D8)이 설치되어 있으며; 제1 및 제8 팩 구리 블록은 모든 테스트 홀 내부의 홀 구리와 연결되고; 제2 내지 제7 구리층에 제1 관통홀 그룹과 대응되는 제2 구리 스트립(E2), 제3 구리 스트립(E3)···제7 구리 스트립(E7)이 각각 순차적으로 설치되어 있으며, 6개의 테스트 블록에서 구리 스트립이 가장 좁은 곳의 폭은 각각 0.075mm, 0.1mm, 0.127mm, 0.15mm, 0.178mm, 0.2mm로 설치된다. 내층이 상이한 구리 두께에 따라, 상이한 구리 스트립 폭을 설계할 수 있고, 구리 스트립의 폭이 내층 에칭 능력을 검증하기 위한 것이기에, 내층 구리 두께가 상이하고, 에칭량이 같지 않다.
- [0026] 제2 내지 제7 구리 스트립에서 제1 관통홀 그룹 내부의 각 라인의 테스트 홀 사이에 위치하는 부분에 구리 브릿지(F)가 각각 형성되고; 동일한 구리 스트립에서 서로 인접한 구리 브릿지(F) 사이의 최소 거리는 0.1mm이다.
- [0027] 제2 내지 제7 구리 스트립은 모두 제1 관통홀 그룹 내부의 각 라인의 테스트 홀의 상하측을 따라 휘어지게 둘러싸고, 제2 내지 제7 구리층에서 각 하나의 테스트 홀에 대응되게 고리형 구리 프리 영역(G)을 각각 형성하며; 6개의 테스트 블록에서 고리형 구리 프리 영역의 폭은 각각 0.075mm, 0.1mm, 0.127mm, 0.15mm, 0.178mm, 0.2mm로 설치된다.
- [0028] 제2 내지 제7 구리 스트립의 일단은 모두 제1 연결홀과 연결되고, 타단은 제2 내지 제7 연결홀과 각각 순차적으로 연결되며, 제2 구리 스트립의 타단은 제2 연결홀과 연결되고, 제3 구리 스트립의 타단은 제3 연결홀과 연결되며, 순차적으로 유추한다.
- [0029] 구리 스트립 및 상응한 연결홀의 간편한 연결과 테스트할 시의 간편 신속을 위해, 제1 및 제8 구리층에서 제2 관통홀 그룹의 모든 연결홀에 대응되게 구리 홀 링(H)이 설치되어 있고; 제2 내지 제7 구리층에 모두 제1 연결홀에 대응되게 구리 홀 링(H)이 설치되어 있으며; 제2 내지 제7 구리층에서 제2 내지 제7 연결홀에 각각 순차적으로 대응되게 구리 홀 링(H)이 설치되어 있고, 제2 구리층에 제2 연결홀에 대응되게 구리 홀 링이 설치되어 있으며, 제3 구리층에 제3 연결홀에 대응되게 구리 홀 링이 설치되어 있고, 순차적으로 유추하며; 구리 홀 링은 상응한 연결홀의 홀 구리와 연결되고; 제2 내지 제7 구리 스트립의 양단은 각각 구리층에 대응되게 설치되는 두 개의 구리 홀 링(H)과 연결된다.
- [0030] 상기 실시예에 언급되는 다기능 회로판 검출 모듈을 이용하여 검출을 진행할 시, 내층, 라미네이션, 드릴링 공정을 완료한 후의 제조된 다기능 회로판 검출 모듈에 대해, 하기의 테스트 항목을 진행하는 바,
- [0031] 각 하나의 테스트 블록을 각각 테스트하고, 각 하나의 테스트 블록에서 제2 내지 제7 구리 스트립이 도통하는지의 여부를 순차적으로 테스트하며, 구체적으로는 제1 연결홀과 기타 연결홀 사이에 도통하는지의 여부를 검출하고, 도통하지 않으면, 내층 공정을 진행할 시 과도하게 에칭한 것으로 판정하고, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 구리 스트립이 가장 좁은 곳의 폭을 결합하여 과도한 에칭량을 판정한다.
- [0032] 각 하나의 테스트 블록을 각각 테스트하고, 각 하나의 테스트 블록에서 제2 내지 제7 구리층 사이에 도통하는지의 여부를 순차적으로 테스트하며, 구체적으로는 제2 내지 제7 연결홀 사이에 도통하는지의 여부를 검출하고, 도통하면, 라미네이션을 진행할 시 층 편이가 발생한 것으로 판정하고; 제2 내지 제7 구리층에서 임의의 두 개의 구리층이 도통하면, 층 편이가 상기 두 개의 구리층 사이에서 발생하는 것으로 판정할 수 있고, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 고리형 구리 프리 영역의 폭을 결합하여 층 편이의 편이량을 판정하며; 제2 내지 제7 구리층의 임의의 다수의 구리층이 도통하면, 모든 구리층에서 모두 층 편이가 발생하는 것으로 판정할 수 있고, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록에서 고리형 구리 프리 영역의 폭을 결합하여 각 층의 층 편이의 편이량을 판정한다.
- [0033] 모든 구리층이 모두 도통하면, 드릴링할 시 홀 편이가 발생한 것으로 판정하며, 상이한 테스트 블록의 테스트 결과 및 각 테스트 블록의 고리형 구리 프리 영역의 폭을 결합하여 홀 편이의 편이량을 판정한다.
- [0034] 상기 내용은 본 발명의 구체적인 실시예로서, 그 묘사는 비교적 구체적이고 상세하지만, 이로써 본 발명의 특허 범위를 한정한다고 할 수 없다. 반드시 지적해야 하는 바, 본 기술분야의 통상의 기술자에게 있어서, 본 발명의 구상을 벗어나지 않는 전제하에서, 약간의 변형과 개선을 진행할 수 있는 바, 이러한 자명한 교체 형식은 본 발명의 보호범위에 속한다.

도면

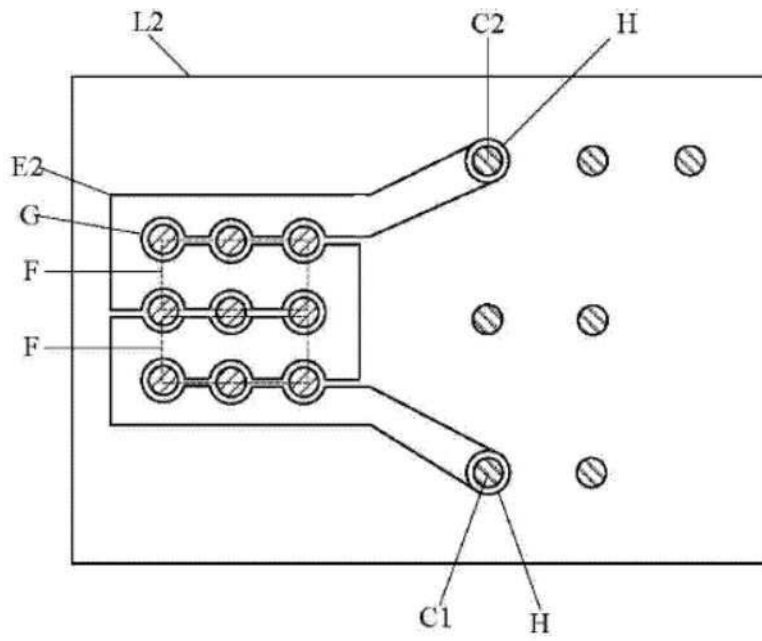
도면1



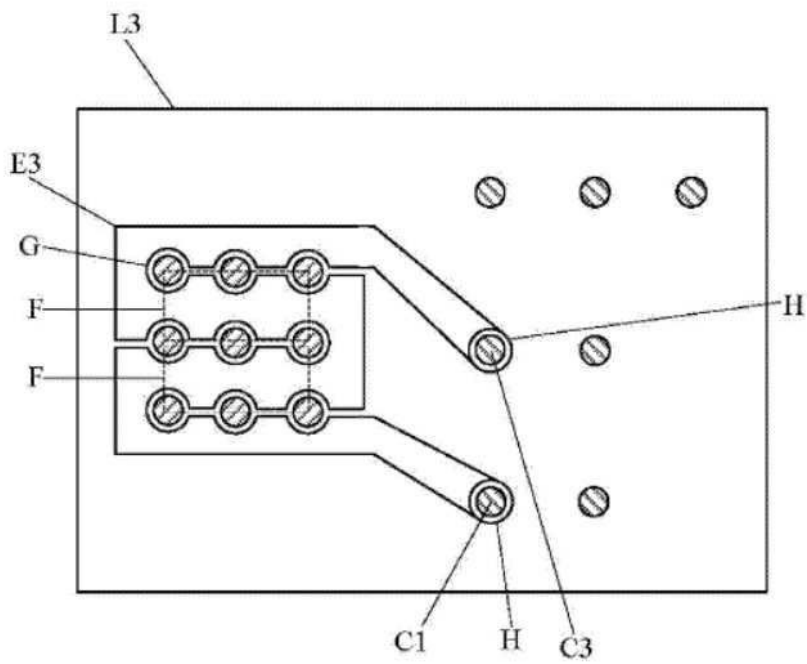
도면2



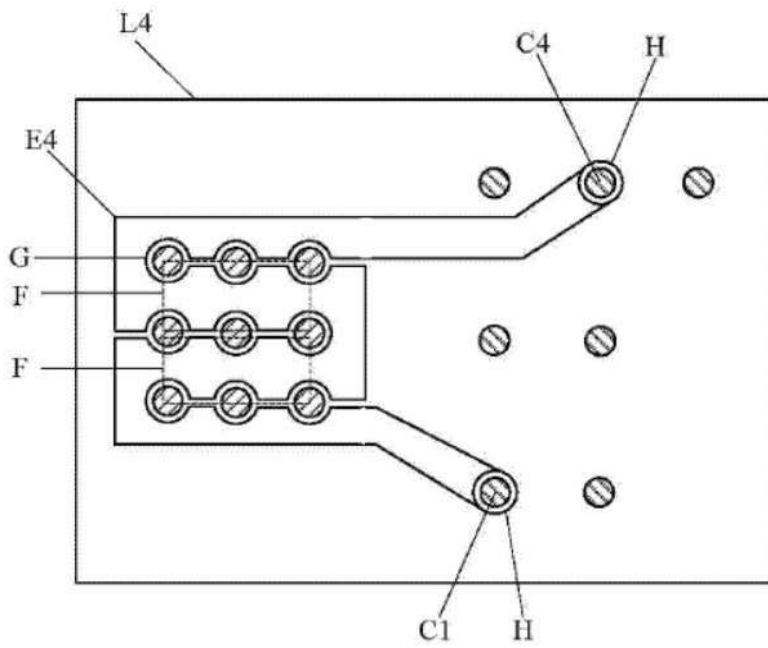
도면3



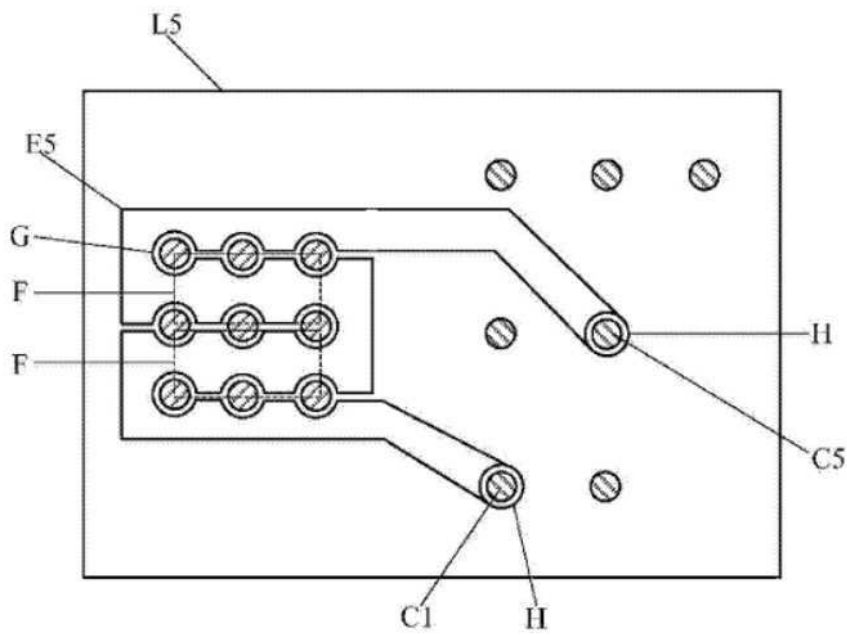
도면4



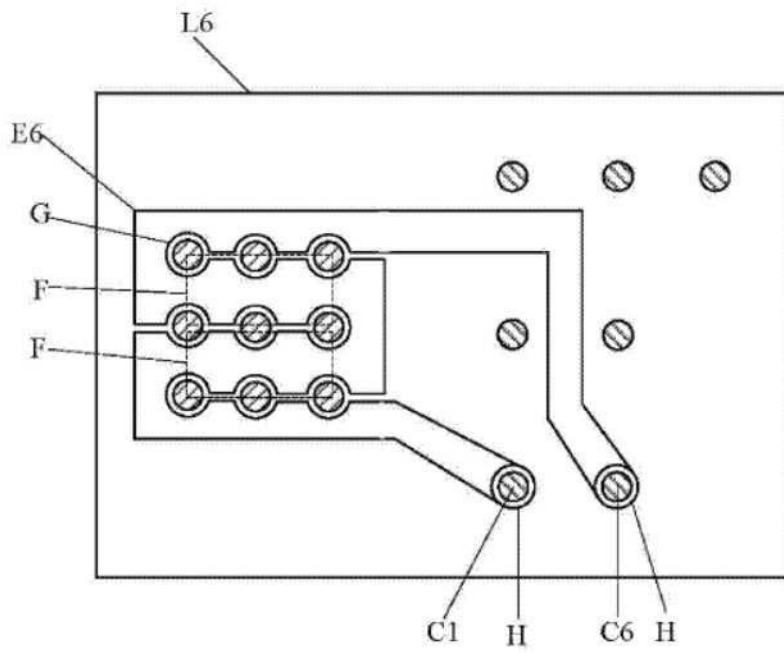
도면5



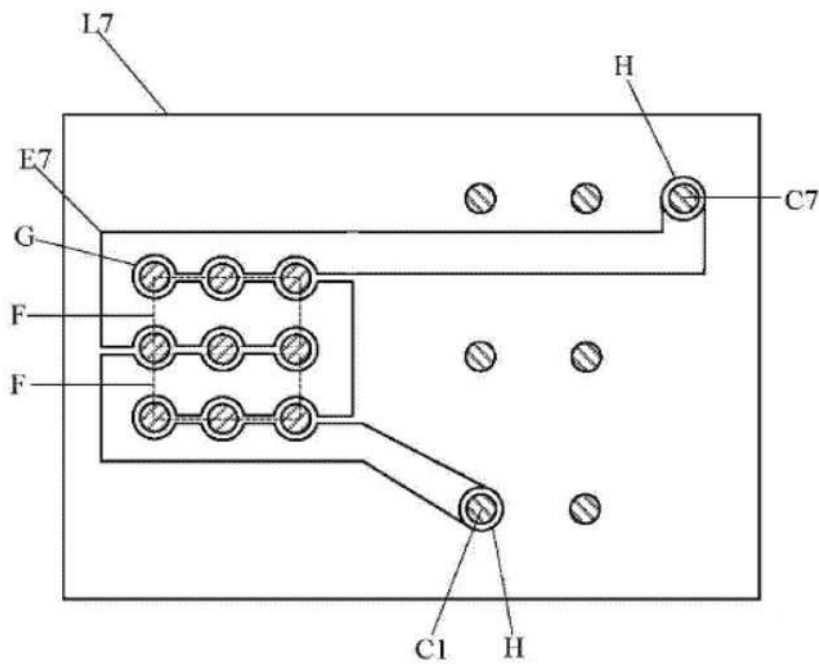
도면6



도면7



도면8



도면9

