



(12) 发明专利申请

(10) 申请公布号 CN 115051697 A

(43) 申请公布日 2022. 09. 13

(21) 申请号 202110256939.4

(22) 申请日 2021.03.09

(71) 申请人 长鑫存储技术(上海)有限公司
地址 200051 上海市长宁区虹桥路1438号1
幢801、802、805单元(名义楼层9层)

(72) 发明人 王佳

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260
专利代理师 成丽杰

(51) Int.Cl.
H03K 17/28 (2006.01)
H03K 19/0175 (2006.01)

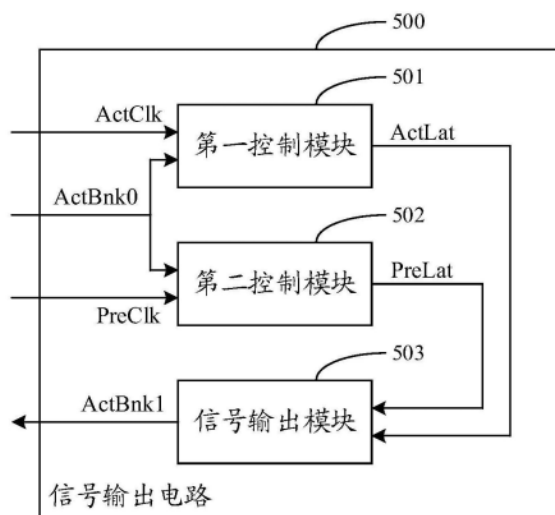
权利要求书3页 说明书10页 附图7页

(54) 发明名称

信号输出电路和延时信号输出电路

(57) 摘要

本申请实施例提供一种信号输出电路和延时信号输出电路,其中,信号输出电路,包括:第一控制模块,接收第一脉冲信号和输入信号,并输出第一调整信号,第一调整信号的第一预设沿相对于输入信号的上升沿具有第一延迟;第二控制模块,接收第二脉冲信号和输入信号,并输出第二调整信号,第二调整信号的第二预设沿相对于输入信号的下降沿具有第二延迟;信号输出模块,接收第一调整信号和第二调整信号,并输出延时输出信号,延时输出信号的上升沿基于第一调整信号的第一预设沿产生,延时输出信号的下降沿基于第二调整信号的第二预设沿产生;本申请实施例以产生延迟可控的延时信号,且电路版图面积小,电路的功耗小。



1. 一种信号输出电路,其特征在于,包括:

第一控制模块,接收第一脉冲信号和输入信号,并输出第一调整信号,所述第一调整信号的第一预设沿相对于所述输入信号的上升沿具有第一延迟,所述第一延迟为所述第一脉冲信号的脉冲周期;

第二控制模块,接收第二脉冲信号和所述输入信号,并输出第二调整信号,所述第二调整信号的第二预设沿相对于所述输入信号的下降沿具有第二延迟,所述第二延迟为所述第二脉冲信号的脉冲周期;

信号输出模块,接收所述第一调整信号和所述第二调整信号,并输出延时输出信号,所述延时输出信号的上升沿基于所述第一调整信号的第一预设沿产生,所述延时输出信号的下降沿基于所述第二调整信号的第二预设沿产生。

2. 根据权利要求1所述的信号输出电路,其特征在于,所述第一脉冲信号的脉冲周期和所述第二脉冲信号的脉冲周期相等。

3. 根据权利要求1所述的信号输出电路,其特征在于,所述第一脉冲信号的其中一个脉冲与所述输入信号的上升沿对齐,所述第二脉冲信号存在一个脉冲与所述输入信号的下降沿对齐。

4. 根据权利要求3所述的信号输出电路,其特征在于,所述第一脉冲信号与所述第二脉冲信号为交错脉冲信号。

5. 根据权利要求1所述的信号输出电路,其特征在于,所述信号输出模块包括:

第一接收单元,接收所述第一脉冲信号和所述第一调整信号,并在所述第一调整信号为有效电平期间,生成第一脉冲控制信号,所述第一脉冲控制信号的脉冲相位与所述第一脉冲信号的脉冲相位相同;

第二接收单元,接收所述第二脉冲信号和所述第二调整信号,并在所述第二调整信号为有效电平期间,生成第二脉冲控制信号,所述第二脉冲控制信号的脉冲相位与所述第二脉冲信号的脉冲相位相同;

锁存单元,接收所述第一脉冲控制信号和所述第二脉冲控制信号,并生成所述延时输出信号。

6. 根据权利要求5所述的信号输出电路,其特征在于,所述第一接收单元还用于接收第一控制信号,所述第一接收单元用于在所述第一调整信号和所述第一控制信号为有效电平期间,根据所述第一脉冲信号生成所述第一脉冲控制信号。

7. 根据权利要求5所述的信号输出电路,其特征在于,所述第一接收单元包括第一接收与非门,所述第一接收与非门包括第一输入端、第二输入端和第一输出端,所述第一输入端用于接收所述第一调整信号,所述第二输入端用于接收所述第一脉冲信号,所述第一输出端用于输出所述第一脉冲控制信号。

8. 根据权利要求5所述的信号输出电路,其特征在于,所述第二接收单元还用于接收第二控制信号,所述第二接收单元用于在所述第二调整信号和所述第二控制信号为有效电平期间,根据所述第二脉冲信号生成所述第二脉冲控制信号。

9. 根据权利要求5所述的信号输出电路,其特征在于,所述第二接收单元包括第二接收与非门,所述第二接收与非门包括第三输入端、第四输入端和第二输出端,所述第三输入端用于接收所述第二调整信号,所述第四输入端用以接收所述第二脉冲信号,所述第二输出

端用于输出所述第二脉冲控制信号。

10. 根据权利要求5所述的信号输出电路,其特征在于,所述锁存单元包括:锁存器,所述锁存器包括第五输入端、第六输入端和第三输出端,所述第五输入端用于接收所述第一脉冲控制信号,所述第六输入端用于接收所述第二脉冲控制信号,所述第三输出端用于输出所述延时输出信号。

11. 根据权利要求10所述的信号输出电路,其特征在于,所述锁存单元被配置为:

所述第一脉冲控制信号和所述第二脉冲控制信号为不同电平时,所述延时输出信号与所述第二脉冲控制信号为相同电平;

所述第一脉冲控制信号和所述第二脉冲控制信号为高电平时,所述锁存单元保持状态。

12. 根据权利要求1所述的信号输出电路,其特征在于,所述第一控制模块包括:第一D触发器,时钟端用于接收所述第一脉冲信号,复位端用于接收第一复位信号,输入端用于接收所述输入信号,输出端用于输出所述第一调整信号。

13. 根据权利要求1所述的信号输出电路,其特征在于,所述第二控制模块包括:第二D触发器,时钟端用于接收所述第二脉冲信号,复位端用于接收第二复位信号,输入端用于接收所述输入信号,输出端串联反相器后输出所述第二调整信号。

14. 根据权利要求1所述的信号输出电路,其特征在于,还包括:偶数个反相器,所述反相器与所述信号输出模块的输出端串联。

15. 一种延时信号输出电路,其特征在于,包括G个权利要求1~14任一项所述的信号输出电路,所述G为大于等于2的整数;

每一级信号输出电路用于接收前一级信号输出电路输出的延时输出信号,并基于第一脉冲信号、第二脉冲信号和前一级信号输出电路输出的延时输出信号,生成当前级的延时输出信号;

其中,非第一级信号输出电路均接收前一级信号输出电路输出的延时输出信号作为当前级信号输出电路的输入信号,第一级信号输出电路接收初始输入信号作为第一级信号输出电路的输入信号;

信号输出电路生成的所述延时输出信号的上升沿,与接收的前一级信号输出电路输出的延时输出信号的上升沿,具有第一延迟;

信号输出电路生成的所述延时输出信号的下降沿,与接收的前一级信号输出电路输出的延时输出信号的下降沿,具有第二延迟。

16. 根据权利要求15所述的延时信号输出电路,其特征在于,所述第一脉冲信号和所述第二脉冲信号的脉冲周期相等。

17. 根据权利要求15所述的延时信号输出电路,其特征在于,所述信号输出电路的第一控制模块还用于接收第一控制信号,所述信号输出电路的第二控制模块还用于接收第二控制信号,所述第一控制信号与所述第二控制信号为反相信号;

每一级信号输出电路用于根据所述第一控制信号、所述第二控制信号、所述第一脉冲信号、所述第二脉冲信号和前一级信号输出电路输出的延时输出信号生成当前级的所述延时输出信号。

18. 根据权利要求15所述的延时信号输出电路,其特征在于,还包括:

初始信号输出电路,包括第一控制模块、第二控制模块和信号输出模块;

所述第一控制模块,用于接收第一脉冲信号和第一电源信号,并根据所述第一脉冲信号和所述第一电源信号,生成所述第一调整信号;

所述第二控制模块,用于接收第二脉冲信号和第二电源信号,并根据所述第二脉冲信号和所述第二电源信号,生成所述第二调整信号;

所述信号输出模块,用于根据所述第一调整信号和所述第二调整信号,生成所述初始输入信号。

信号输出电路和延时信号输出电路

技术领域

[0001] 本申请涉及半导体电路设计领域,特别涉及一种信号输出电路和延时信号输出电路。

背景技术

[0002] 在半导体电路设计中,经常会用到等间距交错(Stagger)信号,等间距交错信号指每间隔固定延迟产生的信号。

[0003] 对于同步信号而言,通常借助时钟信号来产生等间距交错信号;对于异步信号而言,通过插入延时单元(delay cell)来产生所需的等间距交错信号,信号之间的延迟可以根据需求插入相应的延时单元实现。其中,采用同步信号产生等间距交错信号的方式,等间距交错信号之间的延迟是时钟周期的整数倍,等间距交错信号之间延迟大小的可控性差;采用异步信号产生等间距交错信号的方式,虽然信号之间的延迟可控性好,但会明显增大形成的电路版图的面积和电路的功耗。

[0004] 然而申请人发现,通过脉冲信号的周期来调整等间距交错信号的信号延迟可以减小电路版图的面积和电路的功耗,且信号之间的延迟无需为时钟周期的整数倍,如何根据脉冲信号产生延时输出信号,是优化等间距交错信号产生方式的前提条件。

发明内容

[0005] 本申请实施例提供一种信号输出电路和延时信号输出电路,用于根据第一脉冲信号和第二脉冲信号产生延迟可控的延时信号,且电路版图的面积小,电路的功耗小。

[0006] 为解决上述技术问题,本申请实施例提供了一种信号输出电路,包括:第一控制模块,接收第一脉冲信号和输入信号,并输出第一调整信号,第一调整信号的第一预设沿相对于输入信号的上升沿具有第一延迟,第一延迟为第一脉冲信号的脉冲周期;第二控制模块,接收第二脉冲信号和输入信号,并输出第二调整信号,第二调整信号的第二预设沿相对于输入信号的下降沿具有第二延迟,第二延迟为第二脉冲信号的脉冲周期;信号输出模块,接收第一调整信号和第二调整信号,并输出延时输出信号,延时输出信号的上升沿基于第一调整信号的第一预设沿产生,延时输出信号的下降沿基于第二调整信号的第二预设沿产生。

[0007] 与相关技术相比,根据第一脉冲信号和第二脉冲信号产生延迟可控的延时输出信号,延时输出信号相对于输入信号而言,上升沿存在第一延迟,下降沿存在第二延迟;第一延迟为第一脉冲信号的脉冲周期,第二延迟为第二脉冲信号的脉冲周期,因此可以通过调整第一脉冲信号和第二脉冲信号脉冲周期的方式,调整延时输出信号的延迟时间;同时,调整延时输出信号的延迟时间无需接入更多延时单元,从而简化电路结构,使得电路版图的面积小,电路的功耗小。

[0008] 另外,第一脉冲信号的脉冲周期和第二脉冲信号的脉冲周期相等。通过控制第一脉冲信号的脉冲周期和第二脉冲信号的脉冲周期一致,保证产生的延时输出信号的上升沿

和下降沿的延迟时间一致,从而保证延时输出信号是对输入信号的延迟。

[0009] 另外,第一脉冲信号的其中一个脉冲与输入信号的上升沿对齐,第二脉冲信号存在一个脉冲与输入信号的下降沿对齐。

[0010] 另外,第一脉冲信号与第二脉冲信号为交错脉冲信号。

[0011] 另外,信号输出模块包括:第一接收单元,接收第一脉冲信号和第一调整信号,并在第一调整信号为有效电平期间,生成第一脉冲控制信号,第一脉冲控制信号的脉冲相位与第一脉冲信号的脉冲相位相同;第二接收单元,接收第二脉冲信号和第二调整信号,并在第二调整信号为有效电平期间,生成第二脉冲控制信号,第二脉冲控制信号的脉冲相位与第二脉冲信号的脉冲相位相同;锁存单元,接收第一脉冲控制信号和第二脉冲控制信号,并生成延时输出信号。

[0012] 另外,第一接收单元还用于接收第一控制信号,第一接收单元用于在第一调整信号和第一控制信号为有效电平期间,根据第一脉冲信号生成第一脉冲控制信号。通过第一控制信号的调控,保证第一接收单元输出的稳定性。

[0013] 另外,第一接收单元包括第一接收与非门,第一接收与非门包括第一输入端、第二输入端和第一输出端,第一输入端用于接收第一调整信号,第二输入端用于接收第一脉冲信号,第一输出端用于输出第一脉冲控制信号。

[0014] 另外,第二接收单元还用于接收第二控制信号,第二接收单元用于在第二调整信号和第二控制信号为有效电平期间,根据第二脉冲信号生成第二脉冲控制信号。通过第二控制信号的调控,保证第二接收单元输出的稳定性。

[0015] 另外,第二接收单元包括第二接收与非门,第二接收与非门包括第三输入端、第四输入端和第二输出端,第三输入端用于接收第二调整信号,第四输入端用以接收第二脉冲信号,第二输出端用于输出第二脉冲控制信号。

[0016] 另外,锁存单元包括:锁存器,锁存器包括第五输入端、第六输入端和第三输出端,第五输入端用于接收第一脉冲控制信号,第六输入端用于接收第二脉冲控制信号,第三输出端用于输出延时输出信号。

[0017] 另外,锁存单元被配置为:第一脉冲控制信号和第二脉冲控制信号为不同电平时,延时输出信号与第二脉冲控制信号为相同电平;第一脉冲控制信号和第二脉冲控制信号为高电平时,锁存单元保持状态。

[0018] 另外,第一控制模块包括:第一D触发器,时钟端用于接收第一脉冲信号,复位端用于接收第一复位信号,输入端用于接收输入信号,输出端用于输出第一调整信号。

[0019] 另外,第二控制模块包括:第二D触发器,时钟端用于接收第二脉冲信号,复位端用于接收第二复位信号,输入端用于接收输入信号,输出端串联反相器后输出第二调整信号。

[0020] 另外,信号输出电路还包括:偶数个反相器,反相器与信号输出模块的输出端串联,以增强信号输出模块的驱动能力。

[0021] 本申请实施例还提供了一种延时信号输出电路,包括G个上述信号输出电路,G为大于等于2的整数;每一级信号输出电路用于接收前一级信号输出电路输出的延时输出信号,并基于第一脉冲信号、第二脉冲信号和前一级信号输出电路输出的延时输出信号,生成当前级的延时输出信号;其中,非第一级信号输出电路均接收前一级信号输出电路输出的延时输出信号作为当前级信号输出电路的输入信号,第一级信号输出电路接收初始输入信

号作为第一级信号输出电路的输入信号;信号输出电路生成的延时输出信号的上升沿,与接收的前一级信号输出电路输出的延时输出信号的上升沿,具有第一延迟;信号输出电路生成的延时输出信号的下降沿,与接收的前一级信号输出电路输出的延时输出信号的下降沿,具有第二延迟。

[0022] 另外,第一脉冲信号和第二脉冲信号的脉冲周期相等。

[0023] 另外,信号输出电路的第一控制模块还用于接收第一控制信号,信号输出电路的第二控制模块还用于接收第二控制信号,第一控制信号与第二控制信号为反相信号;每一级信号输出电路用于根据第一控制信号、第二控制信号、第一脉冲信号、第二脉冲信号和前一级信号输出电路输出的延时输出信号生成当前级的延时输出信号。

[0024] 另外,延时信号输出电路还包括:初始信号输出电路,包括第一控制模块、第二控制模块和信号输出模块;第一控制模块,用于接收第一脉冲信号和第一电源信号,并根据第一脉冲信号和第一电源信号,生成第一调整信号;第二控制模块,用于接收第二脉冲信号和第二电源信号,并根据第二脉冲信号和第二电源信号,生成第二调整信号;信号输出模块,用于根据第一调整信号和第二调整信号,生成初始输入信号。采用初始信号输出电路产生的输入信号,以降低电路结构引起的信号延迟误差,保证产生的延时输出信号的准确性。

[0025] 相比于相关技术而言,一个信号输出电路用于根据第一脉冲信号和第二脉冲信号产生延迟可控的延时信号,延时信号相对于输入信号而言,上升沿存在第一延迟,下降沿存在第二延迟;其他信号输出电路再对产生的延时信号的继续延迟,从而产生等间距交错(Stagger)信号;同时,调整延时信号的延迟时间无需接入更多延时单元,从而简化电路结构,使得电路版图的小,电路的功耗小。

附图说明

[0026] 图1为本申请一实施例提供的信号输出电路的结构示意图;

[0027] 图2为本申请一实施例提供的第一控制模块的具体电路示意图;

[0028] 图3为本申请一实施例提供的第二控制模块的具体电路示意图;

[0029] 图4为本申请一实施例提供的信号输出模块的结构示意图;

[0030] 图5和图6为本申请一实施例提供的信号输出模块的具体电路示意图;

[0031] 图7为本申请一实施例提供的信号输出电路中信号的时序示意图;

[0032] 图8和图9为本申请另一实施例提供的延时信号输出电路的结构示意图;

[0033] 图10为本申请另一实施例提供的延时信号输出电路的具体电路示意图;

[0034] 图11为本申请另一实施例提供的延时信号输出电路中信号输出电路的具体电路示意图;

[0035] 图12为本申请另一实施例提供的延时信号输出电路中信号的时序示意图。

具体实施方式

[0036] 采用同步信号产生等间距交错信号的方式,等间距交错信号之间的延迟必须是时钟周期的整数倍,等间距交错信号之间延迟大小的可控性差;采用异步信号产生等间距交错信号的方式,虽然信号之间的延迟可控性好,但会明显增大形成的电路版图的面积和电路的功耗。

[0037] 为解决上述问题,本申请一实施例提供了一种信号输出电路,包括:第一控制模块,接收第一脉冲信号和输入信号,并输出第一调整信号,第一调整信号的第一预设沿相对于输入信号的上升沿具有第一延迟,第一延迟为第一脉冲信号的脉冲周期;第二控制模块,接收第二脉冲信号和输入信号,并输出第二调整信号,第二调整信号的第二预设沿相对于输入信号的下降沿具有第二延迟,第二延迟为第二脉冲信号的脉冲周期;信号输出模块,接收第一调整信号和第二调整信号,并输出延时输出信号,延时输出信号的上升沿基于第一调整信号的第一预设沿产生,延时输出信号的下降沿基于第二调整信号的第二预设沿产生。

[0038] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合附图对本申请各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,在本申请各实施例中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施例的种种变化和修改,也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便,不应对本申请的具体实现方式构成任何限定,各个实施例在不矛盾的前提下可以相互结合,相互引用。

[0039] 图1为本实施例提供的信号输出电路的结构示意图,图2为本实施例提供的第一控制模块的具体电路示意图,图3为本实施例提供的第二控制模块的具体电路示意图,图4为本实施例提供的信号输出模块的结构示意图,图5和图6为本实施例提供的信号输出模块的具体电路示意图,图7为本实施例提供的信号输出电路中信号的时序示意图,以下结合附图对本实施例提供的信号输出电路作进一步详细说明。

[0040] 参考图1,信号输出电路500包括:第一控制模块501,接收第一脉冲信号ActClk和输入信号ActBnk0,并输出第一调整信号ActLat,第一调整信号ActLat的第一预设沿相对于输入信号ActBnk0的上升沿具有第一延迟,第一延迟为第一脉冲信号ActClk的脉冲周期。

[0041] 在一个例子中,可以利用第一脉冲信号ActClk的上升沿或下降沿去采样输入信号ActBnk0,然后输出第一调整信号ActLat;或检测到第一脉冲信号ActClk的上升沿或下降沿后延迟输出输入信号ActBnk0,从而获取第一调整信号ActLat。

[0042] 在本实施例中,以第一预设沿为上升沿为例进行举例说明;具体地,输入信号ActBnk0为外部输入信号(相比信号输出电路500来说),信号输出电路500用于根据输入信号ActBnk0产生延时输出信号ActBnk1;其中,延时输出信号ActBnk1的上升沿基于第一调整信号ActLat的上升沿产生,第一调整信号ActLat的上升沿与输入信号ActBnk0的上升沿具有第一延迟;即延时输出信号ActBnk1的上升沿与输入信号ActBnk0的上升沿具有第一延迟,第一延迟为第一脉冲信号ActClk的脉冲周期,由此可知,外部输入的第一脉冲信号ActClk用于调整延时输出信号ActBnk1的上升沿的延迟。需要说明的是,在其他实施例中,第一预设沿还可以为下降沿。

[0043] 需要注意的是,此处描述的“延时输出信号ActBnk1的上升沿基于第一调整信号ActLat的第一预设沿产生”中,“基于”的含义包括但不限于:检测到第一调整信号ActLat的第一预设沿即产生延时输出信号ActBnk1的上升沿,或者检测到第一调整信号ActLat由低电平变为高电平(高电平变为低电平)后产生延时输出信号ActBnk1的上升沿。

[0044] 在一个例子中,参考图2,第一控制模块501包括第一D触发器511,时钟端用于接收第一脉冲信号ActClk,复位端用于接收第一复位信号fnActEn,输入端用于接收输入信号

ActBnk0,输出端用于输出第一调整信号ActLat。

[0045] 继续参考图1,信号输出电路500还包括:第二控制模块502,接收第二脉冲信号PreClk和输入信号ActBnk0,并输出第二调整信号PreLat,第二调整信号PreLat的第二预设沿相对于输入信号ActBnk0的下降沿具有第二延迟,第二延迟为第二脉冲信号PreClk的脉冲周期。

[0046] 在本实施例中,以第二预设沿为上升沿为例进行举例说明;具体地,延时输出信号ActBnk1的下降沿基于第二调整信号PreLat的上升沿产生,第二调整信号PreLat的上升沿与输入信号ActBnk0的下降沿具有第二延迟;即延时输出信号ActBnk1的下降沿与输入信号ActBnk0的下降沿具有第二延迟,第二延迟为第二脉冲信号PreClk的脉冲周期,由此可知,外部输入的第二脉冲信号PreClk用于调整延时输出信号ActBnk1的下降沿的延迟。需要说明的是,在其他实施例中,第二预设沿还可以为下降沿。

[0047] 需要注意的是,此处描述的“延时输出信号ActBnk1的下降沿基于第二调整信号PreLat的第二预设沿产生”中,“基于”的含义包括但不限于:检测到第二调整信号PreLat的第二预设沿即产生延时输出信号ActBnk1的下降沿,或者检测到第二调整信号PreLat由低电平变为高电平(高电平变为低电平)后产生延时输出信号ActBnk1的下降沿。

[0048] 在一个例子中,参考图3,第二控制模块502包括第二D触发器512,时钟端用于接收第二脉冲信号PreClk,复位端用于接收第二复位信号fnPreEn,输入端用于接收输入信号ActBnk0,输出端串联反相器后输出第二调整信号PreLat。

[0049] 在本实施例中,第一脉冲信号ActClk的脉冲周期和第二脉冲信号PreClk的脉冲周期相等,第一调整信号ActLat的上升沿的延迟程度与第二调整信号PreLat的上升沿的延迟程度相同。在其他实施例中,第一脉冲信号和第二脉冲信号的脉冲周期可以不同。

[0050] 另外,在本实施例中,第一脉冲信号ActClk的其中一个脉冲与输入信号ActBnk0的上升沿对齐,第二脉冲信号PreClk的其中一个脉冲与输入信号ActBnk0的下降沿对齐。需要说明的是,此处描述的“对齐”并不一定是理想情况下的完全对齐,可以包括由于电路延迟等因素导致的上升沿/下降沿存在细微差别。通过第一脉冲信号ActClk的其中一个脉冲与输入信号ActBnk0的上升沿对齐,以保证对第一调整信号ActLat的第一信号沿与输入信号ActBnk0的上升沿的第一延迟的准确性;通过第二脉冲信号PreClk的其中一个脉冲与输入信号ActBnk0的下降沿对齐,以保证对第二调整信号PreLat的第二信号沿与输入信号ActBnk0的下降沿的第二延迟的准确性。继续参考图1,信号输出电路500还包括:信号输出模块503,接收第一调整信号ActLat和第二调整信号PreLat,并输出延时输出信号ActBnk1,延时输出信号ActBnk1的上升沿基于第一调整信号ActLat的第一预设沿产生,延时输出信号ActBnk1的下降沿基于第二调整信号PreLat的第二预设沿产生。

[0051] 具体地,参考图4,信号输出模块503包括:第一接收单元513,接收第一脉冲信号ActClk和第一调整信号ActLat,并在第一调整信号ActLat为有效电平期间,生成第一脉冲控制信号ActN,第一脉冲控制信号ActN的脉冲相位与第一脉冲信号ActClk的脉冲相位相同,第二接收单元523,接收第二脉冲信号PreClk和第二调整信号PreLat,并在第二调整信号PreLat为有效电平期间,生成第二脉冲控制信号PreN,第二脉冲控制信号PreN的脉冲相位与第二脉冲信号PreClk的脉冲相位相同。锁存单元533,接收第一脉冲控制信号ActN和第二脉冲控制信号PreN,并延时输出信号ActBnk1。

[0052] 在一个例子中,当检测到第一调整信号ActLat为有效电平,基于反相器通过第一脉冲信号ActClk生成第一脉冲控制信号ActN;当检测到第二调整信号PreLat为有效电平,基于反相器通过第二脉冲信号PreClk生成第二脉冲控制信号PreN。

[0053] 在一个例子中,参考图5,第一接收单元513包括第一接收与非门601,第一接收与非门601包括第一输入端、第二输入端和第一输出端,第一输入端用于接收第一调整信号ActLat,第二输入端用于接收第一脉冲信号ActClk,第一输出端用于输出第一脉冲控制信号ActN。第二接收单元523包括第二接收与非门602,第二接收与非门602包括第三输入端、第四输入端和第二输出端,第三输入端用于接收第二调整信号PreLat,第四输入端用于接收第二脉冲信号PreClk,第二输出端用于输出第二脉冲控制信号PreN。锁存单元533包括锁存器603,锁存器603包括第五输入端、第六输入端和第三输出端,第五输入端用于接收第一脉冲控制信号ActN,第六输入端用于接收第二脉冲控制信号PreN,第三输出端用于输出延时输出信号ActBnk1。

[0054] 锁存单元603被配置为:第一脉冲控制信号ActN和第二脉冲控制信号PreN为不同电平时,延时输出信号ActBnk1与第二脉冲控制信号PreN为相同电平;第一脉冲控制信号ActN和第二脉冲控制信号PreN为高电平时,锁存单元603保持状态。

[0055] 具体地,第一脉冲信号ActN和第二脉冲控制信号PreN为高电平时,锁存单元603保持状态;当第一脉冲控制信号ActN为高电平,第二脉冲信号控制信号PreN为低电平时,锁存单元603输出低电平;当第一脉冲控制信号ActN为低电平,第二脉冲信号控制信号PreN为高电平时,锁存单元603输出高电平。

[0056] 在另一例子中,第一接收单元513还用于接收第一控制信号ActEn,第一接收单元513用于在第一调整信号ActLat和第一控制信号ActEn为有效电平期间,根据第一脉冲信号ActClk生成第一脉冲控制信号ActN。第二接收单元523还用于接收第二控制信号PreEn,第二接收单元523用于在第二调整信号PreLat和第二控制信号PreEn为有效电平期间,根据第二脉冲信号PreClk生成第二脉冲控制信号PreN。

[0057] 参考图6,第一接收与非门601还用于接收第一控制信号ActEn,第一接收与非门601根据第一时钟信号ActClk、第一控制信号ActEn和第一调整信号ActLat生成第一脉冲控制信号ActN。第二接收与非门602还用于接收第二控制信号PreEn,第二接收与非门602根据第二时钟信号PreClk、第二控制信号PreEn和第二调整信号PreLat生成第二脉冲控制信号PreN。其中,第一控制信号ActEn和第二控制信号PreEn为反相信号,第一脉冲信号ActClk在第一控制信号ActEn为有效电平期间存在,第二脉冲信号PreClk在第二控制信号PreEn为有效电平期间存在。通过第一接收与非门601和第二接收与非门分别接收第一控制信号ActEn和第二控制信号PreEn,保证第一接收与非门601和第二接收与非门602输出的稳定性。

[0058] 进一步地,第一脉冲信号ActClk和第二脉冲信号PreClk为交错脉冲信号,交错脉冲信号即根据反相的信号产生的脉冲信号;在本实施例中,第一脉冲信号ActClk在第一控制信号ActEn为有效电平期间存在,且第一脉冲信号ActClk的起始脉冲与第一控制信号ActEn的上升沿对齐;第二脉冲信号PreClk在第二控制信号PreEn为有效电平期间存在,且第二脉冲信号PreClk的起始脉冲与第二控制信号PreEn的上升沿对齐;需要说明的是,此处描述的“对齐”并不一定是理想情况下的完全对齐,可以包括由于电路延迟等因素导致的上升沿/下降沿存在细微差别。

[0059] 在一个例子中,参考图7,输入信号ActBnk0、第一脉冲信号ActClk和第二脉冲信号PreClk为外部输入信号;假设第一脉冲信号ActClk的周期为 t_1 ,第二脉冲信号PreClk的周期为 t_2 。结合图2,第一调整信号ActLat基于输入信号ActBnk0和第一脉冲信号ActClk产生,当第一脉冲信号ActClk为高电平时,第一调整信号ActLat的次态为输入信号ActBnk0的当前状态,造成第一调整信号ActLat的上升沿与输入信号ActBnk0的上升沿存在第一延迟,第一延迟为第一脉冲信号ActClk的周期,即第一调整信号ActLat的上升沿与输入信号ActBnk0的上升沿的延迟为 t_1 。结合图3,第二调整信号PreLat基于输入信号ActBnk0和第二脉冲信号PreClk产生,当第二脉冲信号PreClk为高电平时,第二调整信号PreLat的次态为输入信号ActBnk0的当前状态,造成第二调整信号PreLat的上升沿与输入信号ActBnk0的下降沿存在第二延迟,第二延迟为第二脉冲信号PreClk的周期,即第二调整信号PreLat的上升沿与输入信号ActBnk0的下降沿的延迟为 t_2 。结合图6,为了保证第一接收与非门601和第二接收与非门602输出的稳定性,第一接收与非门601还用于接收第一控制信号ActEn,第二接收与非门602还用于接收第二控制信号PreEn,第一控制信号ActEn和第二控制信号PreEn为反相信号。此时第一接收与非门601和第二接收与非门602分别产生的第一脉冲控制信号ActN和第二脉冲控制信号PreN。锁存单元603根据第一脉冲控制信号ActN和第二脉冲控制信号PreN产生延时输出信号ActBnk1,延时输出信号ActBnk1的上升沿与输入信号ActBnk0的上升沿具有第一延迟,第一延迟为第一脉冲信号ActClk的脉冲周期 t_1 ;延时输出信号ActBnk1的下降沿与输入信号ActBnk0的下降沿具有第二延迟,第二延迟为第二脉冲信号PreClk的脉冲周期 t_2 。在本实施例中,第一脉冲信号ActClk和第二脉冲信号PreClk的脉冲周期相等,即延时输出信号ActBnk1信号变化沿相对于输入信号ActBnk0的信号变化沿存在相等时间的延迟。需要说明的是,图7给出的各信号的时序图,仅用于对本实施例提供的信号输出电路500的电路功能进行解读,并不构成对本实施例的限定;在其他实施例中,可以根据其他输入信号生成对应的延时输入信号;另外,输入信号也可能和第一控制信号不一致。

[0060] 需要说明的是,在其他实施例中,信号输出电路还包括偶数个反相器,反相器与信号输出模块的输出端串联,以增强信号输出电路的驱动能力。

[0061] 相对于相关技术而言,根据第一脉冲信号和第二脉冲信号产生延迟可控的延时输出信号,延时输出信号相对于输入信号而言,上升沿存在第一延迟,下降沿存在第二延迟;第一延迟为第一脉冲信号的脉冲周期,第二延迟为第二脉冲信号的脉冲周期,因此可以通过调整第一脉冲信号和第二脉冲信号脉冲周期的方式,调整延时输出信号的延迟时间;同时,调整延时输出信号的延迟时间无需接入更多延时单元,从而简化电路结构,使得电路版图面积小,电路的功耗小。

[0062] 值得一提的是,本实施例中所涉及到的各单元均为逻辑单元,在实际应用中,一个逻辑单元可以是一个物理单元,也可以是一个物理单元的一部分,还可以以多个物理单元的组合实现。此外,为了突出本申请的创新部分,本实施例中并没有将与解决本申请所提出的技术问题关系不太密切的单元引入,但这并不表明本实施例中不存在其它的单元。

[0063] 本申请另一实施例涉及一种延时信号输出电路,包括G个上述信号输出电路,G为大于等于2的整数;每一级信号输出电路用于接收前一级信号输出电路输出的延时输出信号、并基于第一脉冲信号、第二脉冲信号和前一级信号输出电路输出的延时输出信号,生成

当前级的延时输出信号;其中,非第一级信号输出电路均接收前一级信号输出电路输出的延时输出信号作为当前级信号输出电路的输入信号,第一级信号输出电路接收初始输入信号作为第一级信号输出电路的输入信号;信号输出电路生成的延时输出信号的上升沿,与接收的前一级信号输出电路输出的延时输出信号的上升沿,具有第一延迟;信号输出电路生成的延时输出信号的下降沿,与接收的前一级信号输出电路输出的延时输出信号的下降沿,具有第二延迟。

[0064] 图8和图9为本实施例提供的延时信号输出电路的结构示意图,图10为本实施例提供的延时信号输出电路的具体电路示意图,图11为本实施例提供的延时信号输出电路中信号输出电路的具体电路示意图,图12为本实施例提供的延时信号输出电路中信号的时序示意图,以下将结合附图对本实施例提供的延时信号输出电路进行详细说明,与上述实施例相同或相应的部分,以下将不做详细赘述。

[0065] 延时信号输出电路,包括: G 个上述实施例的信号输出电路500, G 为大于等于2的整数;每一级信号输出电路用于接收前一级信号输出电路输出的延时输出信号,并基于第一脉冲信号ActClk、第二脉冲信号PreClk和前一级信号输出电路输出的延时输出信号,生成当前级的延时输出信号;其中,非第一级信号输出电路均接收前一级信号输出电路输出的延时输出信号作为当前级信号输出电路的输入信号,第一级信号输出电路接收初始输入信号作为第一级信号输出电路的输入信号;信号输出电路生成的延时输出信号的上升沿,与接收的前一级信号输出电路输出的延时输出信号的上升沿,具有第一延迟;信号输出电路生成的延时输出信号的下降延,与接收的前一级信号输出电路输出的延时输出信号的下降沿,具有第二延迟。

[0066] 在本实施例中,第一脉冲信号ActClk的脉冲周期为 t_1 ,第二脉冲信号PreClk的脉冲周期为 t_2 ,第一脉冲信号ActClk的脉冲周期和第二脉冲信号PreClk的脉冲周期相等;在其他实施例中,第一脉冲信号和第二脉冲信号的脉冲周期可以不同。

[0067] 参考图8,在本实施例中,以延时信号输出电路700包括7个上述实施例提供的信号输出电路500为例进行具体说明,并不构成对本实施例的限定,具体为第一级信号输出电路701、第二级信号输出电路702、第三级信号输出电路703、第四级信号输出电路704、第五级信号输出电路705、第六级信号输出电路706和第七级信号输出电路707。在其他实施例中,延时信号输出电路包括大于等于2个信号输出电路即可。

[0068] 具体地,第一级信号输出电路701根据初始输入信号ActBnk0、第一脉冲信号ActClk和第二脉冲信号PreClk生成第一级延时输出信号ActBnk1,第一级延时输出信号ActBnk1的上升沿相对于初始输入信号ActBnk0的上升沿存在第一延迟,第一延迟为第一脉冲信号ActClk的脉冲周期 t_1 ;第一级延时输出信号ActBnk1的下降沿相对于初始输入信号ActBnk0的下降沿存在第二延迟,第二延迟为第二脉冲信号PreClk的脉冲周期 t_2 。

[0069] 第二级信号输出电路702根据第一级延时输出信号ActBnk1、第一脉冲信号ActClk和第二脉冲信号PreClk生成第二级延时输出信号ActBnk2,第二级延时输出信号ActBnk2的上升沿相对于第一级延时输出信号ActBnk1存在第一延迟;第二级延时输出信号ActBnk2的下降沿相对于第一级延时输出信号ActBnk1存在第二延时。

[0070] 第三级信号输出电路703根据第二级延时输出信号ActBnk2、第一脉冲信号ActClk和第二脉冲信号PreClk生成第三级延时输出信号ActBnk3,第三级延时输出信号ActBnk3的

上升沿相对于第二级延时输出信号ActBnk2存在第一延迟;第三级延时输出信号ActBnk3的下降沿相对于第二级延时输出信号ActBnk2存在第二延时。

[0071] 第四级信号输出电路704根据第三级延时输出信号ActBnk3、第一脉冲信号ActClk和第二脉冲信号PreClk生成第四级延时输出信号ActBnk4,第四级延时输出信号ActBnk4的上升沿相对于第三级延时输出信号ActBnk3存在第一延迟;第四级延时输出信号ActBnk4的下降沿相对于第三级延时输出信号ActBnk3存在第二延时。

[0072] 第五级信号输出电路705根据第四级延时输出信号ActBnk4、第一脉冲信号ActClk和第二脉冲信号PreClk生成第五级延时输出信号ActBnk5,第五级延时输出信号ActBnk5的上升沿相对于第四级延时输出信号ActBnk4存在第一延迟;第五级延时输出信号ActBnk5的下降沿相对于第四级延时输出信号ActBnk4存在第二延时。

[0073] 第六级信号输出电路706根据第五级延时输出信号ActBnk5、第一脉冲信号ActClk和第二脉冲信号PreClk生成第六级延时输出信号ActBnk6,第六级延时输出信号ActBnk6的上升沿相对于第五级延时输出信号ActBnk5存在第一延迟;第六级延时输出信号ActBnk6的下降沿相对于第五级延时输出信号ActBnk5存在第二延时。

[0074] 第七级信号输出电路707根据第六级延时输出信号ActBnk6、第一脉冲信号ActClk和第二脉冲信号PreClk生成第七级延时输出信号ActBnk7,第七级延时输出信号ActBnk7的上升沿相对于第六级延时输出信号ActBnk6存在第一延迟;第七级延时输出信号ActBnk7的下降沿相对于第六级延时输出信号ActBnk6存在第二延时。

[0075] 参考图9,更具体地,在本实施例中,信号输出电路的第一控制模块还用于接收第一控制信号ActEn,信号输出电路的第二控制模块还用于接收第二控制信号PreEn,其中,第一脉冲信号ActClk和第二脉冲信号PreClk为反相信号;每一级信号输出电路用于根据第一控制信号ActEn、第二控制信号PreEn、第一脉冲信号ActClk、第二脉冲信号PreClk和前一级信号输出电路输出的延时输出信号生成当前级的延时输出信号,通过接收第一控制信号ActEn和第二控制信号PreEn,保证信号输出电路输出的稳定性。

[0076] 继续参考图9,本实施例中,延时信号输出电路700还包括:初始信号输出电路710,包括第一控制模块、第二控制模块和信号输出模块;第一控制模块,用于接收第一脉冲信号ActClk和第一电源信号Vdd,并根据第一脉冲信号ActClk和第一电源信号Vdd生成第一调整信号(未图示);输出信号输出电路的第二控制模块,用于接收第二脉冲信号PreClk和第二电源信号Vss,并根据第二脉冲信号PreClk和第二电源信号Vss生成第二调整信号(未图示);信号输出模块,用于根据第一调整信号(未图示)和第二调整信号(未图示)生成初始输入信号。根据第一电源信号Vdd和第二电源信号Vss生成的初始信号输出电路的延时输出信号,即根据初始信号输出电路710输出的初始输入信号ActBnk0相比于外部直接输入的初始输入信号ActBnk0可以避免信号输出电路的电路元件造成的延迟。这里的初始信号输出电路710的电路可以与前文描述的信号输出电路一致,在此不再赘述,但本实施例也不限于此。

[0077] 在一个例子中,参考图10和图11,该图以4个信号输出电路构成的延时信号输出电路700为例进行介绍。信号输出电路的第一时钟端ActClk用于接收第一脉冲信号ActClk;信号输出电路的第二时钟端PreClk用于接收第二脉冲信号PreClk;信号输出电路的第一控制端ActEn用于接收第一控制信号ActEn;信号输出电路的第二控制端PreEn用于接收第二控

制信号PreEn;信号输出电路的信号输出端ActBnk用于输出当前级的延时输出信号;信号输出电路还包括第一信号端ActEnPre和第二信号端PreEnPre(信号输出电路的信号输入端),结合图11,初始信号输出电路的第一信号端ActEnPre用于接收第一电源信号Vdd,初始信号输出电路的第二信号端PreEnPre用于接收第二电源信号Vss;其他信号输出电路的第一信号端ActEnPre和第二信号端PreEnPre,用于接收前一级信号输出电路输出的延时输出信号。

[0078] 参考图9和图12,根据前一实施例可知,第一级信号输出电路701根据初始输入信号ActBnk0生成第一级延时输出信号ActBnk1,第二级信号输出电路702根据第一级延时输出信号ActBnk1生成第二级延时输出信号ActBnk2,第三级信号输出电路703根据第二级延时输出信号ActBnk2生成第三级延时输出信号ActBnk3,第四级信号输出电路704根据第三级延时输出信号ActBnk3生成第四级延时输出信号ActBnk4(未图示),第五级信号输出电路705根据第四级延时输出信号ActBnk4生成第五级延时输出信号ActBnk5(未图示),第六级信号输出电路706根据第五级延时输出信号ActBnk5生成第六级延时输出信号ActBnk6(未图示),第七级信号输出电路707根据第六级延时输出信号ActBnk6生成第七级延时输出信号ActBnk7(未图示)。

[0079] 与相关技术相比,一个信号输出电路用于根据第一脉冲信号和第二脉冲信号产生延迟可控的延时信号,延时信号相对于输入信号而言,上升沿存在第一延迟,下降沿存在第二延迟;其他信号输出电路再对产生的延时信号的继续延迟,从而产生等间距交错(Stagger)信号;同时,调整延时信号的延迟时间无需接入更多延时单元,从而简化电路结构,使得电路版图的面积极小,电路的功耗小。

[0080] 值得一提的是,本实施例中所涉及到的各单元均为逻辑单元,在实际应用中,一个逻辑单元可以是一个物理单元,也可以是一个物理单元的一部分,还可以以多个物理单元的组合实现。此外,为了突出本申请的创新部分,本实施例中并没有将与解决本申请所提出的技术问题关系不太密切的单元引入,但这并不表明本实施例中不存在其它的单元。

[0081] 由于上述实施例与本实施例相互对应,因此本实施例可与上述实施例互相配合实施。上述实施例中提到的相关技术细节在本实施例中依然有效,在上述实施例中所能达到的技术效果在本实施例中也同样可以实现,为了减少重复,这里不再赘述。相应地,本实施例中提到的相关技术细节也可应用在上述实施例中。

[0082] 本领域的普通技术人员可以理解,上述各实施例是实现本申请的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本申请的精神和范围。

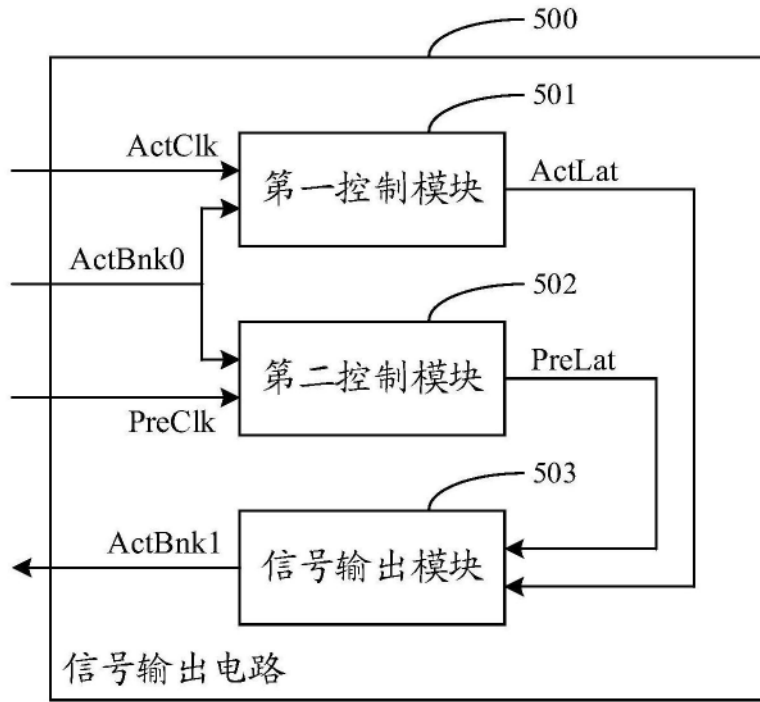


图1

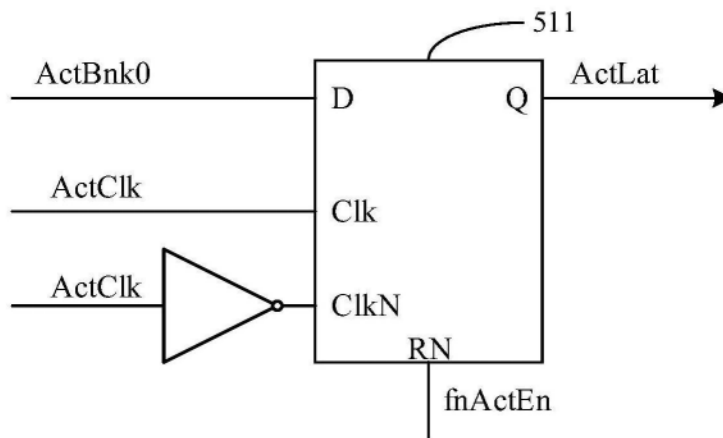


图2

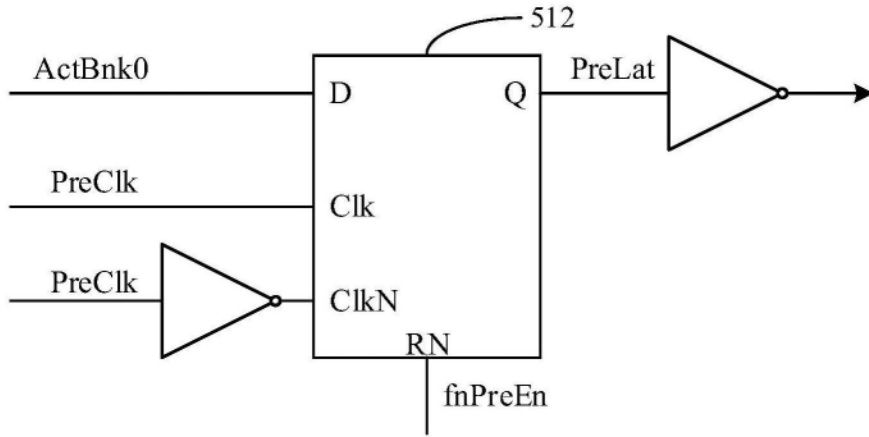


图3

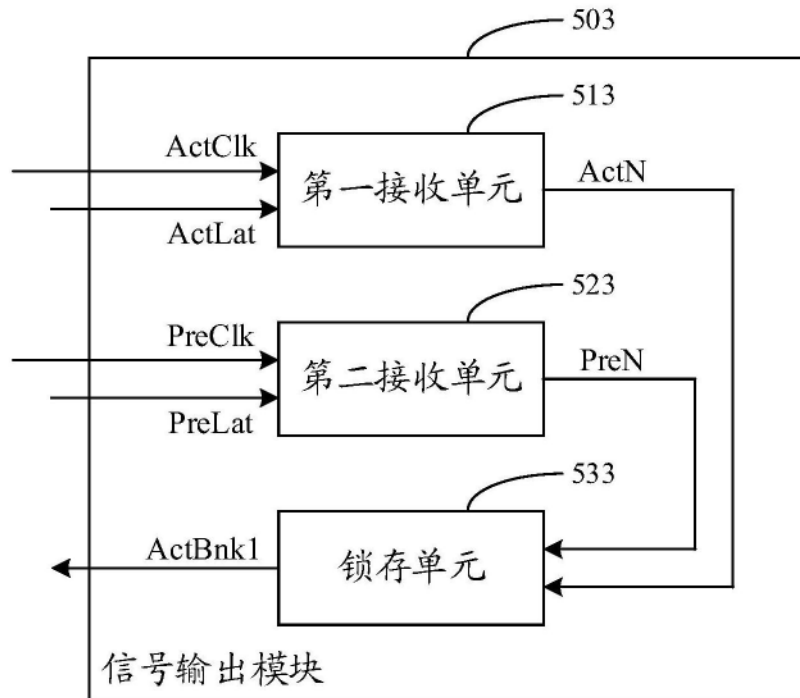


图4

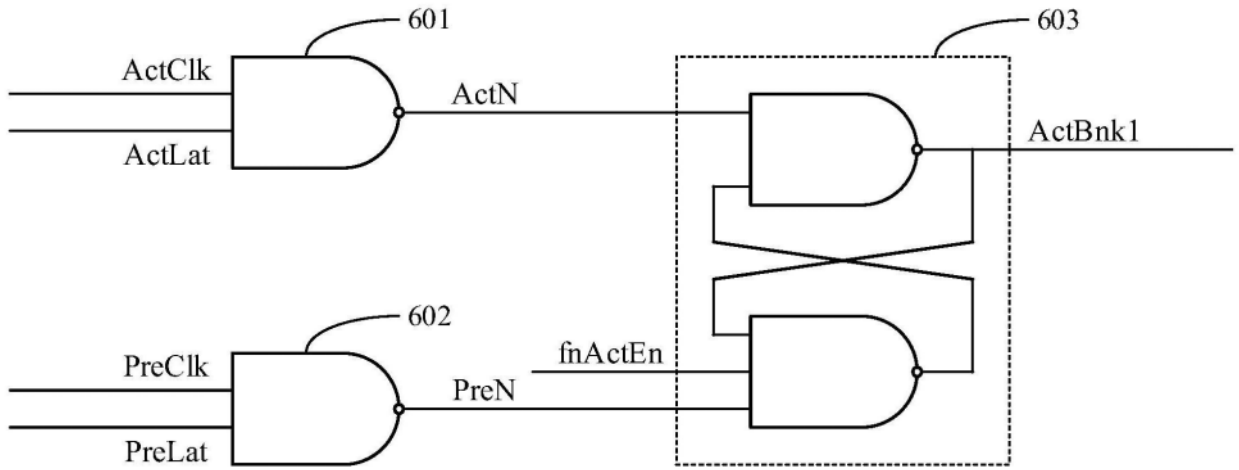


图5

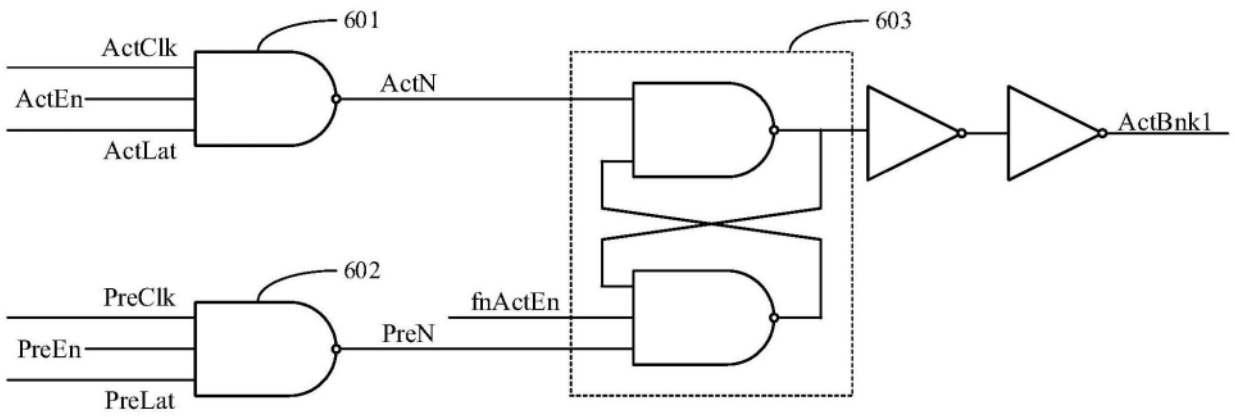


图6

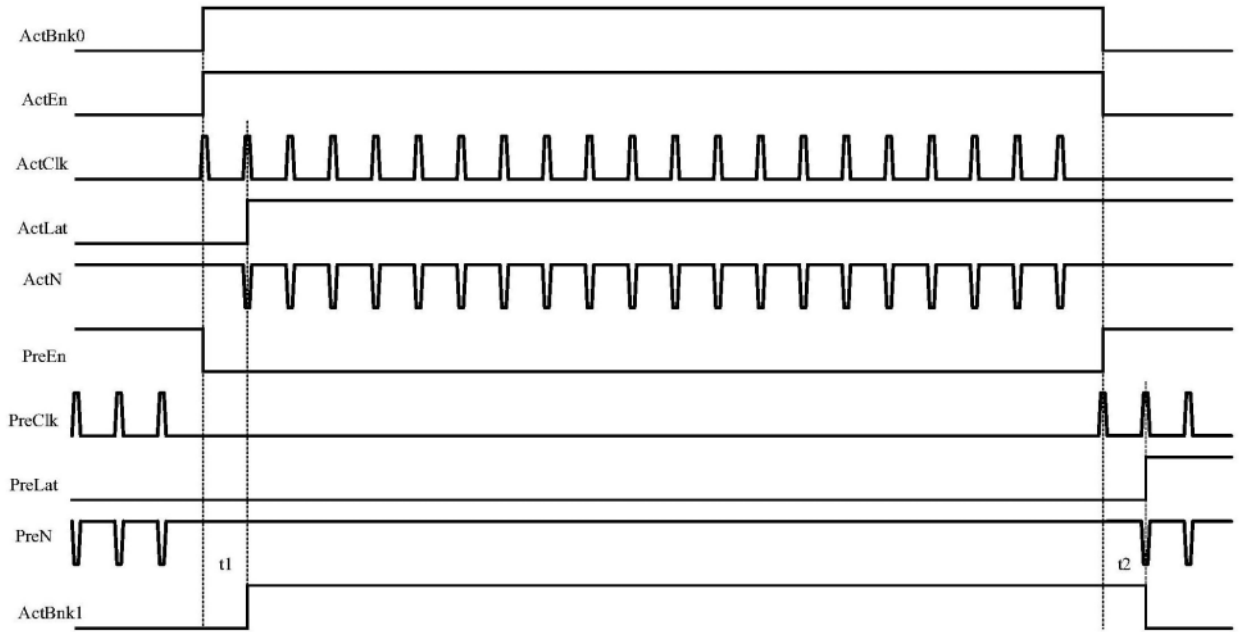


图7

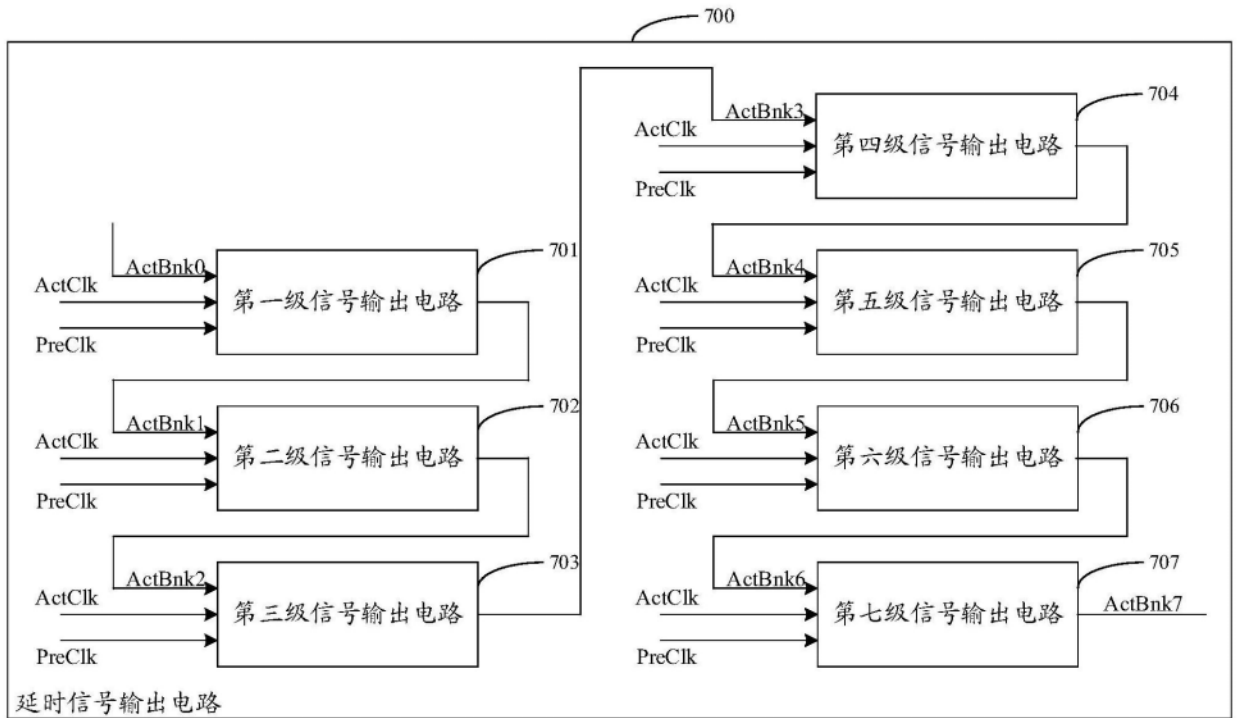


图8

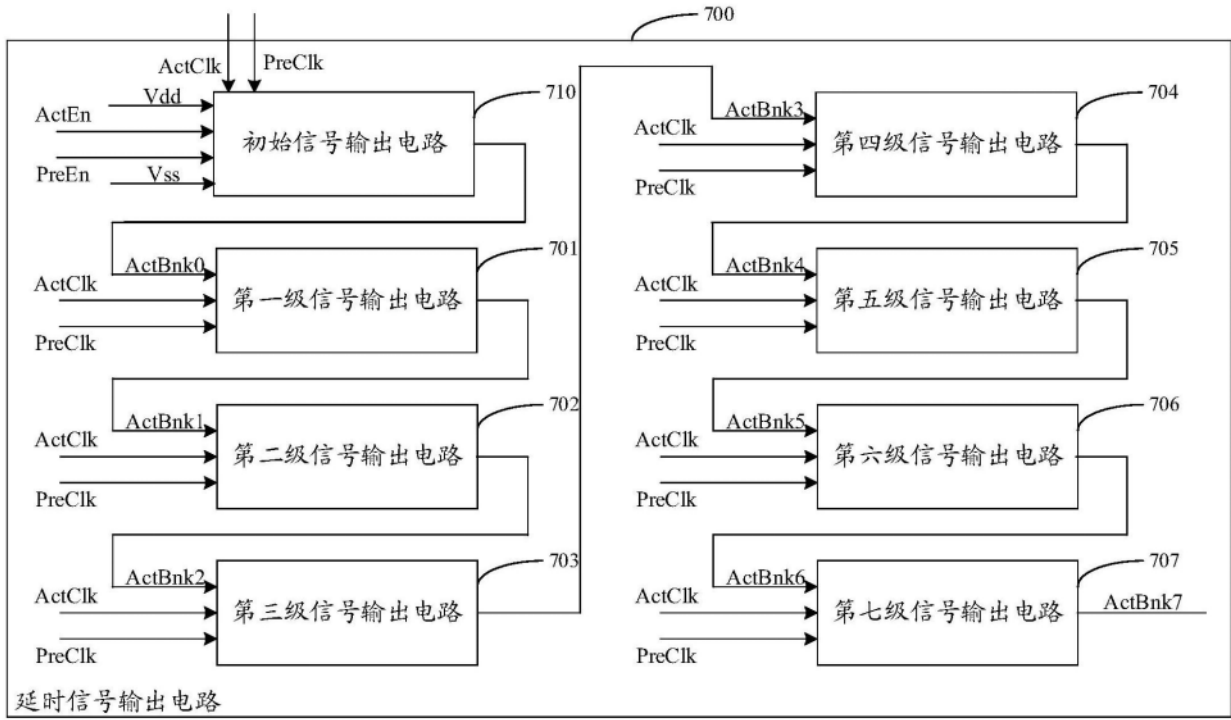


图9

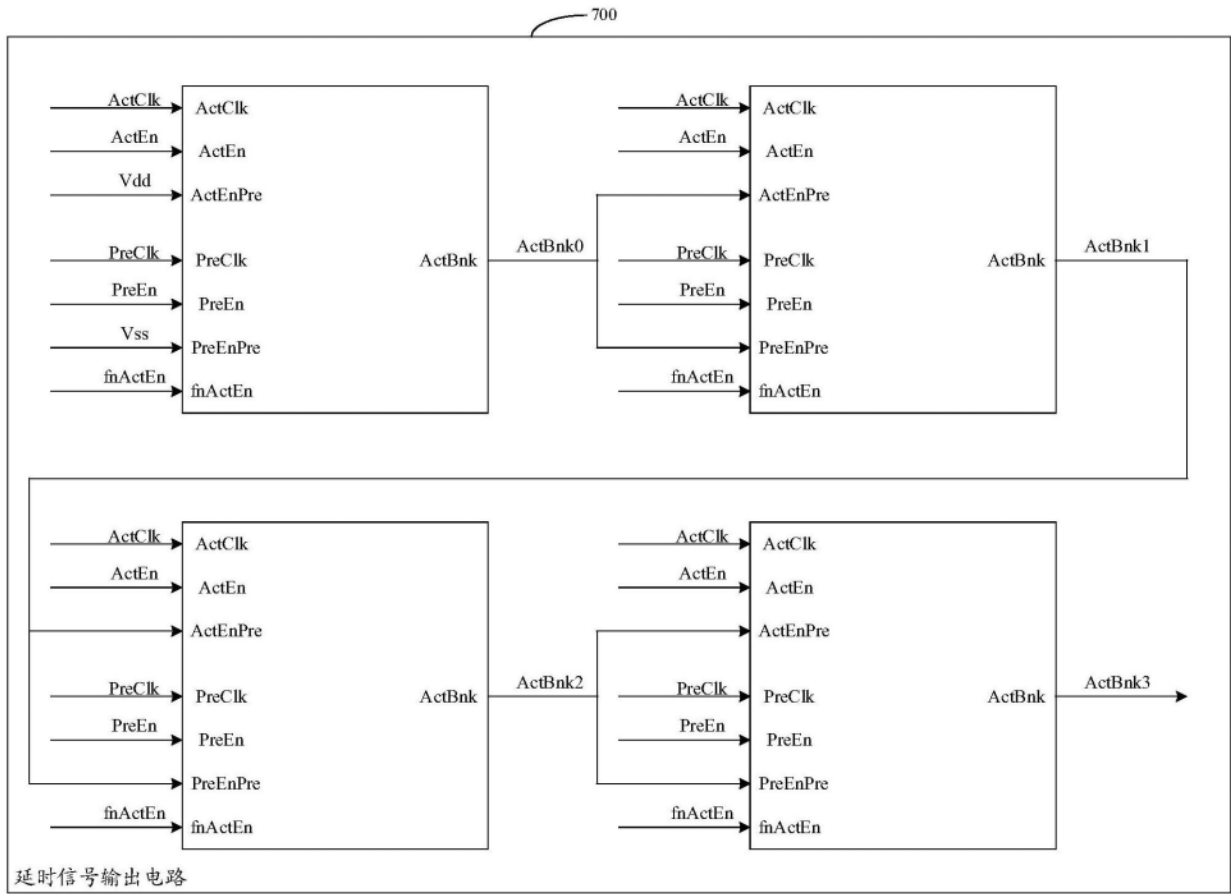


图10

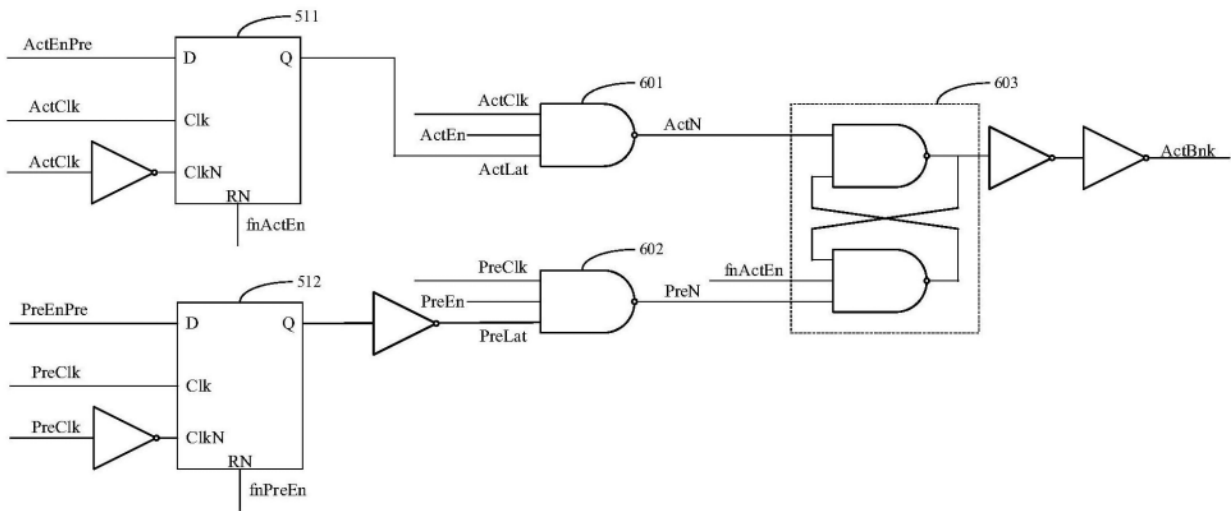


图11

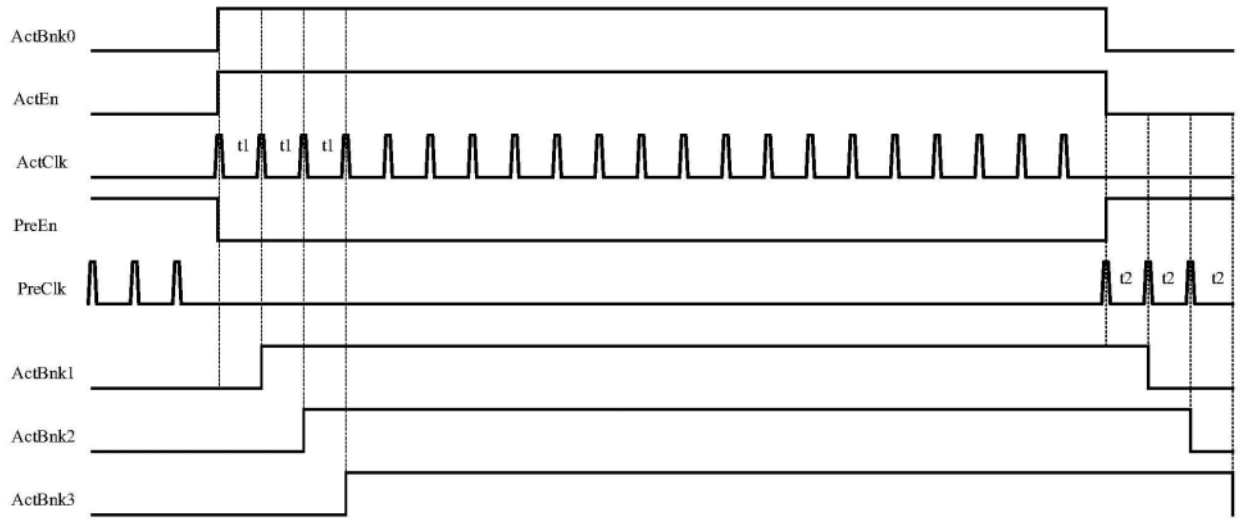


图12