



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I458129 B

(45) 公告日：中華民國 103 (2014) 年 10 月 21 日

(21) 申請案號：099144955

(22) 申請日：中華民國 99 (2010) 年 12 月 21 日

(51) Int. Cl. : H01L33/36 (2010.01)

H01L33/00 (2010.01)

(71) 申請人：隆達電子股份有限公司 (中華民國) LEXTAR ELECTRONICS CORPORATION
(TW)

新竹市科學園區工業東三路 3 號

(72) 發明人：陳俊榮 CHEN, JUN RONG (TW)；郭奇文 KUO, CHI WEN (TW)；黃坤富 HUANG,
KUN FU (TW)；朱瑞溢 CHU, JUI YI (TW)；方國龍 FANG, KUO LUNG (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 201017936A

US 7112456B2

US 7462867B2

審查人員：邱青松

申請專利範圍項數：17 項 圖式數：16 共 0 頁

(54) 名稱

發光二極體晶片結構及其製造方法

LIGHT EMITTING DIODE CHIP STRUCTURE AND FABRICATION METHOD THEREOF

(57) 摘要

一種發光二極體晶片結構包括導電基板、半導體堆疊層以及圖案化種晶層。導電基板具有一表面，此表面具有第一區及第二區，其中第一區與第二區交替分佈於此表面。半導體堆疊層配置於導電基板上，且導電基板的表面朝向半導體堆疊層。圖案化種晶層配置於導電基板之表面的第一區上，且位於導電基板與半導體堆疊層之間。圖案化種晶層將第一區與半導體堆疊層分隔，且暴露出第二區。半導體堆疊層覆蓋圖案化種晶層與第二區，且經由第二區與導電基板電性連接。一種發光二極體晶片結構的製造方法亦被提出。

A light emitting diode chip structure including a conductive substrate, a semiconductor stacking layer and a patterned seed crystal layer is provided. The conductive substrate has a surface. The surface has a first region and a second region. The first region and the second region are alternatively distributed over the surface. The semiconductor stacking layer is disposed on the conductive substrate, and the surface of the conductive substrate faces the semiconductor stacking layer. The patterned seed crystal layer is disposed on the first region of the surface of the conductive substrate and between the conductive layer and the semiconductor stacking layer. The patterned seed crystal layer separates the semiconductor stacking layer from the first region, and exposes the second region. The semiconductor stacking layer covers the patterned seed crystal layer and the second region, and is electrically connected to the conductive substrate by the second region. A fabrication method of the light emitting diode chip structure is also provided.

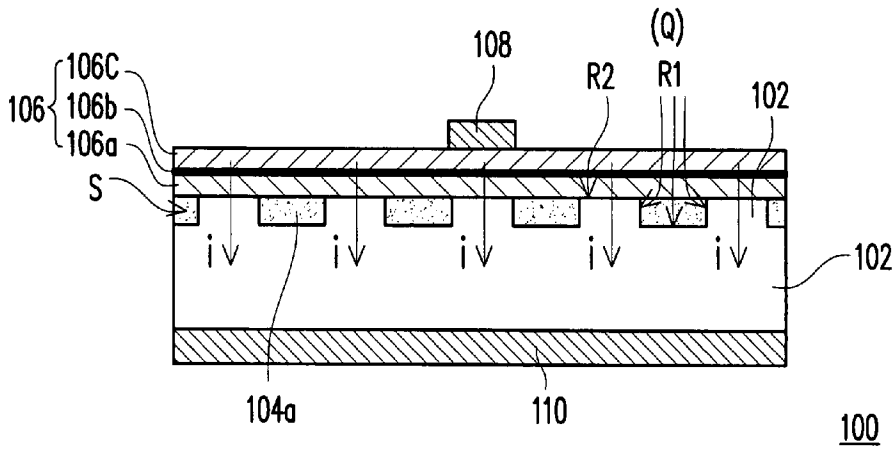
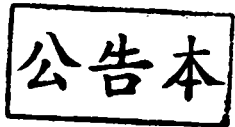


圖 1E

- 100 . . . 發光二極體晶片結構
- 102 . . . 導電基板
- 104a . . . 圖案化種晶層
- 106 . . . 半導體堆疊層
- 106a . . . 第一摻雜態半導體層
- 106b . . . 發光層
- 106c . . . 第二摻雜態半導體層
- 108 . . . 第一電極
- 110 . . . 第二電極
- S . . . 導電基板表面
- R1 . . . 第一區
- R2 . . . 第二區
- Q . . . 凹陷區
- i . . . 電流



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99144955

H01L 33/36

(2010.01)

※ 申請日：99.12.21

※IPC 分類：H01L 33/00

(2010.01)

一、發明名稱：

發光二極體晶片結構及其製造方法 /LIGHT
EMITTING DIODE CHIP STRUCTURE AND
FABRICATION METHOD THEREOF

二、中文發明摘要：

一種發光二極體晶片結構包括導電基板、半導體堆疊層以及圖案化種晶層。導電基板具有一表面，此表面具有第一區及第二區，其中第一區與第二區交替分佈於此表面。半導體堆疊層配置於導電基板上，且導電基板的表面朝向半導體堆疊層。圖案化種晶層配置於導電基板之表面的第一區上，且位於導電基板與半導體堆疊層之間。圖案化種晶層將第一區與半導體堆疊層分隔，且暴露出第二區。半導體堆疊層覆蓋圖案化種晶層與第二區，且經由第二區與導電基板電性連接。一種發光二極體晶片結構的製造方法亦被提出。

三、英文發明摘要：

A light emitting diode chip structure including a conductive substrate, a semiconductor stacking layer and a

patterned seed crystal layer is provided. The conductive substrate has a surface. The surface has a first region and a second region. The first region and the second region are alternatively distributed over the surface. The semiconductor stacking layer is disposed on the conductive substrate, and the surface of the conductive substrate faces the semiconductor stacking layer. The patterned seed crystal layer is disposed on the first region of the surface of the conductive substrate and between the conductive layer and the semiconductor stacking layer. The patterned seed crystal layer separates the semiconductor stacking layer from the first region, and exposes the second region. The semiconductor stacking layer covers the patterned seed crystal layer and the second region, and is electrically connected to the conductive substrate by the second region. A fabrication method of the light emitting diode chip structure is also provided.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1E

(二) 本代表圖之元件符號簡單說明：

100：發光二極體晶片結構

102：導電基板

104a：圖案化種晶層

- 106：半導體堆疊層
- 106a：第一摻雜態半導體層
- 106b：發光層
- 106c：第二摻雜態半導體層
- 108：第一電極
- 110：第二電極
- S：導電基板表面
- R1：第一區
- R2：第二區
- Q：凹陷區
- i：電流

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種晶片結構及其製造方法，且特別是有關於一種發光二極體晶片結構及其製造方法。

【先前技術】

發光二極體 (Light-Emitting Diode) 屬於半導體元件，其發光晶片之材料主要使用 III-V 族化學元素之化合物，例如磷化鎵 (GaP)、氮化鎵 (GaN) 或砷化鎵 (GaAs)，而其發光原理是將電能轉換為光能。詳細而言，發光二極體藉由對化合物半導體施加電流，以透過電子與電洞的結合而將能量以光的形式釋出。由於發光二極體的發光現象不是藉由加熱發光或放電發光，因此發光二極體的壽命長達十萬小時以上。此外，發光二極體更具有反應速度快、體積小、省電、低污染、高可靠度、適合量產等優點，所以發光二極體應用的領域十分廣泛，如大型看板、交通號誌燈、手機、掃描器、傳真機之光源以及平面燈具等，而近年來更有發展為室內主要照明的趨勢。

以氮化鎵發光二極體 (GaN Light-Emitting Diode) 為例，其有多種不同形式的結構，其中一種結構為台面氮化鎵發光二極體結構 (mesa-structure GaN Light-Emitting Diodes)。在台面氮化鎵發光二極體結構中，其二電極位於台面氮化鎵發光二極體結構的同一側面上，因此容易產生電流集中於一區域的現象，而使台面氮化鎵發光二極體

結構易發生發光不均勻及散熱效率不好的問題。因此，習知技術中亦有一種垂直式（vertical type）氮化鎵發光二極體結構以改善上述問題，但此垂直式氮化鎵發光二極體的製程繁複且需使用技術門檻較高之雷射剝離製程（laser lift-off process）技術，而使得垂直式氮化鎵發光二極體之製造成本較高。

【發明內容】

本發明提供一種發光二極體晶片結構，此發光二極體晶片結構具有較佳的光學特性，且其製造成本較低。此外，此發光二極體晶片結構較不易有發熱區域過於集中的問題。

本發明提供一種發光二極體晶片結構的製造方法，此製造方法較為簡單且成本較低。

本發明之一實施例提出一種發光二極體晶片結構。此發光二極體晶片結構包括導電基板、半導體堆疊層以及圖案化種晶層。導電基板具有一表面，此表面具有第一區及第二區，其中第一區與第二區交替分佈於此表面。半導體堆疊層配置於導電基板上，且導電基板的此表面朝向半導體堆疊層。圖案化種晶層配置於導電基板之此表面的第一區上，且位於導電基板與半導體堆疊層之間，其中圖案化種晶層將第一區與半導體堆疊層分隔，且暴露出第二區，半導體堆疊層覆蓋圖案化種晶層與第二區，且經由第二區與導電基板電性連接。

本發明之一實施例提出一種發光二極體晶片結構的製造方法。此製造方法包括下列步驟。提供導電基板，其中導電基板具有一表面，此表面具有第一區及第二區，第一區與第二區交替分佈於此表面。在第一區上形成圖案化種晶層，並使圖案化種晶層暴露出第二區。在導電基板及圖案化種晶層上形成半導體堆疊層，其中半導體堆疊層覆蓋圖案化種晶層與第二區，圖案化種晶層將第一區與半導體堆疊層分隔，且半導體堆疊層經由第二區與導電基板電性連接。

基於上述，由於本發明之實施例之發光二極體晶片結構採用了圖案化種晶層，且半導體堆疊層是從圖案化種晶層長出，因此發光二極體晶片結構具有良好的磊晶品質。另外，由於圖案化種晶層沒有全面覆蓋導電基板的表面，而是暴露出第二區而使半導體堆疊層與導電基板電性連接，因此可使發光二極體晶片結構中的電流不會過於集中，進而使發光二極體晶片結構具有較佳之光學特性，且不易有發熱區域過於集中的問題。

另外，由於本發明之實施例之發光二極體晶片結構的製造方法採用了圖案化種晶層，因此可在導電基板上成長出品質良好的半導體堆疊層，而可以不用透過暫時基板來形成品質良好的半導體堆疊層，因此此發光二極體晶片結構之製程較為簡單且成本較低。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

第一實施例

圖 1A 至圖 1E 為本發明之第一實施例之發光二極體晶片結構 100 的製造流程剖面示意圖。請參照圖 1A，首先，提供導電基板 102，其中導電基板 102 具有表面 S，此表面 S 具有第一區 R1 及第二區 R2，第一區 R1 與第二區 R2 交替分佈於表面 S。在本實施例中，第一區 R1 均勻地分佈於導電基板 102 之表面 S 上，兩第一區 R1 間有一第二區 R2，而第一區 R1 實質上與第二區 R2 相連接，其中第一區 R1 與第二區 R2 之形狀及面積大小(比例)可依實際產品的需求做適當的設計。

詳細而言，提供導電基板 102 的步驟可包括選擇性蝕刻導電基板 102，且在導電基板 102 上蝕刻出凹陷區 Q 以形成第一區 R1。本實施例之第一區 R1 例如為一矩形凹陷區，但本發明並不以此為限，在其他實施例中，第一區 R1 亦可為多邊形凹陷區、圓形凹陷區或是其他合適形狀之凹陷區。導電基板 102 的材質可為 n 型摻雜矽(n-Si)、n 型摻雜碳化矽(n-SiC)、n 型摻雜鉍化鎵(n-GaAs)、其他 p 型摻雜半導體、金屬、金屬氧化物、金屬氮化物或其他適當之導電材料。

接著，在第一區 R1 上形成圖案化種晶層 104a，並使圖案化種晶層 104a 暴露出第二區 R2。舉例而言，可先在導電基板 102 的表面 S 上形成整面覆蓋之種晶層 104，並使此整面覆蓋之種晶層 104 填入凹陷區 Q 中。在本實施例

中，整面覆蓋之種晶層 104 是填滿整個凹陷區 Q(第一區 R1)的同時，種晶層 104 亦覆蓋第二區 R2，如圖 1B 所示。形成整面覆蓋之種晶層 104 的方法可使用物理氣相沉積 (physical vapor deposition, PVD) 法，但本發明不限於此，在其他實施例中，亦可採用其他方法形成整面覆蓋之種晶層 104。

然後，再將此整面覆蓋之種晶層 104 的頂部移除，以暴露出第二區 R2，並形成圖案化種晶層 104a，如圖 1C 所示。舉例而言，在本實施例中，可透過機械研磨 (mechanical polishing) 或化學機械研磨 (chemical-mechanical polishing) 方法、或是利用一般光罩配合黃光微影的方式將種晶層 104 的頂部移除，以暴露出第二區 R2，並形成圖案化種晶層 104a，但本發明不限於此，在其他實施例中，亦可採用其他方法移除種晶層 104 的頂部。

在本實施例中，圖案化種晶層 104a 嵌入於凹陷區 Q 中。圖案化種晶層 104a 功用為使後續欲形成之半導體堆疊層 106 具有良好之磊晶品質。因此，圖案化種晶層 104a 材質可依照半導體堆疊層 106 的材質來做適當的選擇。舉例而言，當後續欲形成之半導體堆疊層 106 為氮化鎵 (GaN) 堆疊層時，圖案化種晶層 104a 的材質例如氮化鎵 (GaN)、氮化鋁 (AlN)、氮化鋁鎵 (AlGaN) 或其他合適之材質。在本實施例中，圖案化種晶層 104a 的材質例如為絕緣材質。

接著，請參照圖 1D，在導電基板 102 及圖案化種晶層 104a 上形成半導體堆疊層 106，其中半導體堆疊層 106

覆蓋圖案化種晶層 104a 與第二區 R2，圖案化種晶層 104a 將第一區 R1 與半導體堆疊層 106 分隔，且半導體堆疊層 106 經由第二區 R2 與導電基板 102 電性連接。在本實施例中，形成半導體堆疊層 106 的步驟可為先在導電基板 102 上形成第一摻雜態半導體層 106a，且使第一摻雜態半導體層 106a 覆蓋圖案化種晶層 104a 與第二區 R2。然後，在第一摻雜態半導體層 106a 上形成發光層 106b。之後，在發光層 106b 上形成第二摻雜態半導體層 106c。在本實施例中，第一摻雜態半導體層 106a 例如為 n 型氮化鎵(n-GaN)層，發光層 106b 例如為量子井(quantum well)層，第二摻雜態半導體層 106c 例如為 p 型氮化鎵(p-GaN)層。當然，在其他實施例中，第一摻雜態半導體層 106a 可為 p 型氮化鎵(p-GaN)層，第二摻雜態半導體層 106 可為 n 型氮化鎵(n-GaN)層。

值得一提的是，在本實施例之發光二極體晶片結構 100 的製造方法中，可透過圖案種晶層 104a 使導電基板 102 上之半導體堆疊層 106 具有良好的磊晶品質，同時間可使半導體堆疊層 106 可透過第二區 R2 與導電基板 102 電性連接。如此一來，本實施例之發光二極體晶片結構 100 便不需使用習知技術中的暫時基板來進行磊晶，且可省去習知技術中將種晶層及半導體堆疊層轉貼至導電基板上的步驟，此外，亦不需使用技術門檻較高之雷射剝離製程(laser lift-off process)技術將暫時基板剝離，因此本實施例之發光二極體晶片結構 100 的製造成本可大幅降低。此外，本

實施例之發光二極體晶片結構 100 的製造方法亦較為簡單，此有助於發光二極體晶片結構 100 的製造良率提昇。

另外，請參照圖 1E，本實施例之發光二極體晶片結構 100 的製造方法可進一步包括：在半導體堆疊層 106 上形成第一電極 108，其中半導體堆疊層 106 配置於第一電極 108 與導電基板 102 之間。如此一來，本實施例之發光二極體晶片結構 100 便可透過第一電極 108 與導電基板 102 之第二區 R2 來使半導體堆疊層 106 中之發光層 106b 發光。當然，亦可在導電基板 102 上形成第二電極 110，其中導電基板 102 的表面 S 背對第二電極 110，以使本實施例之發光二極體晶片結構 100 的電流 i 可流經第一電極 108、半導體堆疊層 106、第二區 R2、導電基板 102 與第二電極 110，進而驅使半導體堆疊層 106 發光。於此便完成了本實施例之發光二極體晶片結構 100。

值得一提的是，在本實施例之發光二極體晶片結構 100 中，其是透過分散於導電基板 102 之表面 S 各處之多個第二區 R2 來驅動的。換句話說，驅動發光二極體晶片結構 100 之電流 i 是分散在導電基板 102 表面 S 各處的。因此，在本實施例之發光二極體晶片結構 100 不易有習知技術之台面式發光二極體中因電流過於集中，且發熱區域過於集中，而導致發光二極體晶片結構的發光特性不佳、發光均勻度不高，且散率效率不佳的問題。

圖 1E 為本發明一實施例之發光二極體晶片結構 100 剖面示意圖。請參照圖 1E，本實施例之發光二極體晶片結

構 100 包括導電基板 102、半導體堆疊層 106、圖案化種晶層。導電基板 102 具有表面 S，其中表面 S 具有第一區 R1 及第二區 R2，第一區 R1 與第二區 R2 交替分佈於此表面 S。半導體堆疊層 106 配置於導電基板 102 上，且導電基板 102 的表面 S 朝向半導體堆疊層 106。圖案化種晶層 104a 配置於導電基板的表面 S 的第一區 R1 上，且位於導電基板 102 與半導體堆疊層 106 之間，其中圖案化種晶層 104a 將第一區 R1 與半導體堆疊層 106 分隔，且暴露出第二區 R2，半導體堆疊層 106 覆蓋圖案化種晶層 104a 與第二區 R2，且經由第二區 R2 與導電基板 102 電性連接。

本實施例之發光二極體晶片結構 100 之半導體堆疊層 106 可包括第一摻雜態半導體層 106a、發光層 106b 以及第二摻雜態半導體層 106c。第一摻雜態半導體層 106a 配置於導電基板 102 上，且覆蓋圖案化種晶層 104a 與第二區 R2。發光層 106b 配置於第一摻雜態半導體層 106a 上。第二摻雜態半導體層 106c 配置於發光層 106b 上。

本實施例之發光二極體晶片結構 100 可進一步包括第一電極 108 以及第二電極 110。第一電極 108 配置於半導體堆疊層 106 上，其中半導體堆疊層 106 配置於第一電極 108 與導電基板 102 之間。第二電極 110 配置於導電基板 102 上，其中導電基板 102 配置於第二電極 110 與半導體堆疊層 106 之間。

第二實施例

圖 2A 至圖 2E 為本發明第二實施例之發光二極體晶片結構 100A 的製造流程剖面示意圖。本實施例之發光二極體晶片結構 100A 與其製造流程與第一實施例發光二極體晶片結構 100 與其製造流程類似，因此相同的元件以相同的符號表示。以下就兩者相異之處做說明，相同之處就不再重述。

請參照圖 2A，首先，提供導電基板 102，其中導電基板 102 具有表面 S，此表面 S 具有第一區 R1 及第二區 R2，第一區 R1 與第二區 R2 交替分佈於表面 S。詳細而言，提供導電基板 102 的步驟可包括選擇性蝕刻導電基板 102，且在導電基板 102 上蝕刻出凹陷區 Q 以形成第一區 R1。

接著，在第一區 R1 上形成圖案化種晶層 104a，並使圖案化種晶層 104a 暴露出第二區 R2。舉例而言，可先在導電基板 102 的表面 S 上形成整面覆蓋之種晶層 104，並使此整面覆蓋之種晶層 104 填入凹陷區 Q 中。值得一提的是，在本實施例中，整面覆蓋之種晶層 104 是隨著凹陷區 Q 與第二區 R2 的形狀彎折或彎曲，而非填滿整個凹陷區 Q，如圖 2B 所示。形成整面覆蓋之種晶層 104 的方法可使用濺鍍(sputter)方法，但本發明不限於此，在其他實施例中，亦可採用其他方法形成整面覆蓋之種晶層 104。

然後，再將此整面覆蓋之種晶層 104 的頂部移除，以暴露出第二區 R2，並形成圖案化種晶層 104a，如圖 2C 所示。舉例而言，在本實施例中，可採用選擇性蝕刻的方式移除整面覆蓋之種晶層 104 的頂部，以暴露出第二區 R2，

並形成圖案化種晶層 104a，但本發明不限於此，在其他實施例中，亦可採用其他方法移除種晶層 104 的頂部。

接著，請參照圖 2D，在導電基板 102 及圖案化種晶層 104a 上形成半導體堆疊層 106，其中半導體堆疊層 106 覆蓋圖案化種晶層 104a 與第二區 R2，圖案化種晶層 104a 將第一區 R1 與半導體堆疊層 106 分隔，且半導體堆疊層 106 經由第二區 R2 與導電基板 102 電性連接。

類似地，請參照圖 2E，本實施例之發光二極體晶片結構 100A 的製造方法可進一步包括在半導體堆疊層 106 上形成第一電極 108，其中半導體堆疊層 106 配置於第一電極 108 與導電基板 102 之間。如此一來，本實施例之發光二極體晶片結構 100A 便可透過第一電極 108 與導電基板 102 之第二區 R2 來使半導體堆疊層 106 中之發光層 106b 發光。當然，亦可在導電基板 102 上形成第二電極 110，其中導電基板 110 的表面 S 背對第二電極 110，以使本實施例之發光二極體晶片結構 100A 可透過第一電極 108、第二電極 110 與導電基板 102 之第二區 R2 來驅動，而使得本實施例之發光二極體晶片結構 100A 之光學特性更佳。於此便完成了本實施例之發光二極體晶片結構 100A。

第三實施例

圖 3A 至圖 3F 為本發明第三實施例之發光二極體晶片結構 100B 的製造流程剖面示意圖。本實施例之發光二極體晶片結構 100B 與其製造流程與第一實施例發光二極體

晶片結構 100 與其製造流程類似，因此相同的元件以相同的符號表示。以下就兩者相異之處做說明，相同之處就不再重述。

請參照 3A，首先，提供導電基板 102，其中導電基板 102 具有表面 S，此表面 S 具有第一區 R1 及第二區 R2，第一區 R1 與第二區 R2 交替分佈於表面 S。

接著，在第一區 R1 上形成圖案化種晶層 104a，並使圖案化種晶層 104a 暴露出第二區 R2。舉例而言，可先在導電基板 102 的表面 S 上形成整面覆蓋之種晶層 104，如圖 3B 所示。然後，選擇性蝕刻整面覆蓋之種晶層 104，以暴露出第二區 R2，並形成圖案化種晶層 104a。詳細而言，可在與第一區 R1 對應之種晶層 104 部份區域上形成光阻層 105，如圖 3C 所示，然後對整面覆蓋之種晶層 104 進行蝕刻，接著除去光阻層 105，而形成圖案化種晶層 104a，如圖 3D 所示。值得一提的是，本實施例之圖案化種晶層 104a 是凸出於導電基板 102 的表面 S，且圖案化種晶層 104a 具有多個空隙 H。

接著，請參照圖 3E 在導電基板 102 及圖案化種晶層 104a 上形成半導體堆疊層 106，其中半導體堆疊層 106 覆蓋圖案化種晶層 104a 與第二區 R2，圖案化種晶層 104a 將第一區 R1 與半導體堆疊層 106 分隔，且半導體堆疊層 106 經由第二區 R2 與導電基板 102 電性連接。在本實施例中，半導體堆疊層 106 填入凸起之圖案化種晶層 104a 的空隙 H 中。

類似地，請參照圖 3F，本實施例之發光二極體晶片結構 100B 的製造方法可進一步包括在半導體堆疊層 106 上形成第一電極 108，其中半導體堆疊層 106 配置於第一電極 108 與導電基板 102 之間。如此一來，本實施例之發光二極體晶片結構 100B 便可透過第一電極 108 與導電基板 102 來使半導體堆疊層 106 中之發光層 106b 發光。當然，亦可在導電基板 102 上形成第二電極 110，其中導電基板 110 的表面 S 背對第二電極 110，以使本實施例之發光二極體晶片結構 100B 可透過第一電極 108、第二電極 110 與導電基板 102 來驅動，而使得本實施例之發光二極體晶片結構 100B 之光學特性更佳。於此便完成了本實施例之發光二極體晶片結構 100B。

綜上所述，由於本發明之實施例之發光二極體晶片結構採用了圖案化種晶層，且半導體堆疊層是從圖案化種晶層長出，因此發光二極體晶片結構具有良好的磊晶品質，同時間半導體堆疊層可透過第二區與導電基板電性連接。如此一來，本實施例之發光二極體晶片結構便不需使用習知技術中的暫時基板來進行磊晶，且可省去習知技術中將種晶層及半導體堆疊層轉貼至導電基板上的步驟，此外，亦不需使用技術門檻較高之雷射剝離製程 (laser lift-off process) 技術將暫時基板剝離，因此本實施例之發光二極體晶片結構的製造成本可大幅降低。此外，本實施例之發光二極體晶片結構的製造方法亦較為簡單，此有助於發光二極體晶片結構的製造良率提升。

另外，由於圖案化種晶層沒有全面覆蓋導電基板的表面，而是暴露出第二區而使半導體堆疊層與導電基板電性連接，因此可使發光二極體晶片結構中的電流不會過於集中，進而使發光二極體晶片結構具有較佳之光學特性，且不易有發熱區域過於集中的問題。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至圖 1E 為本發明第一實施例之發光二極體晶片結構的製造流程示意圖。

圖 2A 至圖 2E 為本發明第二實施例之發光二極體晶片結構的製造流程示意圖。

圖 3A 至圖 3F 為本發明第三實施例之發光二極體晶片結構的製造流程示意圖。

【主要元件符號說明】

100、100A、100B：發光二極體晶片結構

102：導電基板

104：種晶層

104a：圖案化種晶層

106：半導體堆疊層

106a：第一摻雜態半導體層

106b：發光層

106c：第二摻雜態半導體層

108：第一電極

110：第二電極

S：導電基板表面

R1：第一區

R2：第二區

Q：凹陷區

H：圖案化種晶層之空隙

i：電流

七、申請專利範圍：

1. 一種發光二極體晶片結構，包括：

一導電基板，具有一表面，其中該表面具有一第一區及一第二區，該第一區與該第二區交替分佈於該表面；

一半導體堆疊層，配置於該導電基板上，且該導電基板的該表面朝向該半導體堆疊層；以及

一圖案化種晶層，配置於該導電基板的該表面的該第一區上，且位於該導電基板與該半導體堆疊層之間，其中該圖案化種晶層將該第一區與該半導體堆疊層分隔，且暴露出該第二區，該半導體堆疊層覆蓋該圖案化種晶層與該第二區，且經由該第二區與該導電基板電性連接。

2. 如申請專利範圍第 1 項所述之發光二極體晶片結構，其中該第一區為一凹陷區，且該圖案化種晶層嵌入於該凹陷區中。

3. 如申請專利範圍第 2 項所述之發光二極體晶片結構，其中該圖案化種晶層實質上填滿該凹陷區。

4. 如申請專利範圍第 1 項所述之發光二極體晶片結構，其中該第一區為一凹陷區，且該圖案化種晶層沿著該凹陷區的表面形狀彎曲或彎折。

5. 如申請專利範圍第 1 項所述之發光二極體晶片結構，其中該圖案化種晶層從該導電基板的該表面凸起，且該半導體堆疊層填入凸起之該圖案化種晶層的空隙中。

6. 如申請專利範圍第 1 項所述之發光二極體晶片結構，其中該圖案化種晶層的材質為絕緣材質。

7. 如申請專利範圍第 1 項所述之發光二極體晶片結構，其中該半導體堆疊層包括：

一第一摻雜態半導體層，配置於該導電基板上，且覆蓋該圖案化種晶層與該第二區；

一發光層，配置於該第一摻雜態半導體層上；以及

一第二摻雜態半導體層，配置於該發光層上。

8. 如申請專利範圍第 1 項所述之發光二極體晶片結構，更包括：

一第一電極，配置於該半導體堆疊層上，其中該半導體堆疊層配置於該第一電極與該導電基板之間；以及

一第二電極，配置於該導電基板上，其中該導電基板配置於該第二電極與該半導體堆疊層之間。

9. 一種發光二極體晶片結構的製造方法，包括：

提供一導電基板，其中該導電基板具有一表面，該表面具有一第一區及一第二區，該第一區與該第二區交替分佈於該表面；

在該導電基板之該表面上形成一整面覆蓋之種晶層；

選擇性蝕刻該整面覆蓋之種晶層，以在該第一區上形成一圖案化種晶層，並使該圖案化種晶層暴露出該第二區；以及

在該導電基板及該圖案化種晶層上形成一半導體堆疊層，其中該半導體堆疊層覆蓋該圖案化種晶層與該第二區，該圖案化種晶層將該第一區與該半導體堆疊層分隔，且該半導體堆疊層經由該第二區與該導電基板電性連接。

10. 如申請專利範圍第 9 項所述之發光二極體晶片結構的製造方法，其中提供該導電基板的步驟包括選擇性蝕刻該導電基板，且在該導電基板上蝕刻出一凹陷區以形成該第一區。

11. 如申請專利範圍第 10 項所述之發光二極體晶片結構的製造方法，其中在該導電基板之該表面上形成該整面覆蓋之種晶層的步驟包括將該整面覆蓋之種晶層填入該凹陷區中，且其中選擇性蝕刻該整面覆蓋之種晶層的步驟包括將該整面覆蓋之種晶層的頂部移除，以暴露出該第二區，並形成該圖案化種晶層。

12. 如申請專利範圍第 11 項所述之發光二極體晶片結構的製造方法，其中該整面覆蓋之種晶層填滿整該凹陷區。

13. 如申請專利範圍第 11 項所述之發光二極體晶片結構的製造方法，其中該整面覆蓋之種晶層隨著該凹陷區與該第二區的形狀彎折或彎曲。

14. 如申請專利範圍第 9 項所述之發光二極體晶片結構的製造方法，其中該圖案化種晶層凸出於該導電基板的該表面。

15. 如申請專利範圍第 9 項所述之發光二極體晶片結構的製造方法，其中形成該半導體堆疊層的步驟包括：

在該導電基板上形成一第一摻雜態半導體層，且使該第一摻雜態半導體層覆蓋該圖案化種晶層與該第二區；

在該第一摻雜態半導體層上形成一發光層；以及

在該發光層上形成一第二摻雜態半導體層。

16. 如申請專利範圍第 9 項所述之發光二極體晶片結構的製造方法，更包括：

在該半導體堆疊層上形成一第一電極，其中該半導體堆疊層配置於該第一電極與該導電基板之間；以及

在該導電基板上形成一第二電極，其中該導電基板的該表面背對該第二電極。

17. 如申請專利範圍第 9 項所述之發光二極體晶片結構的製造方法，其中該圖案化種晶層的材質為絕緣材質。

八、圖式：

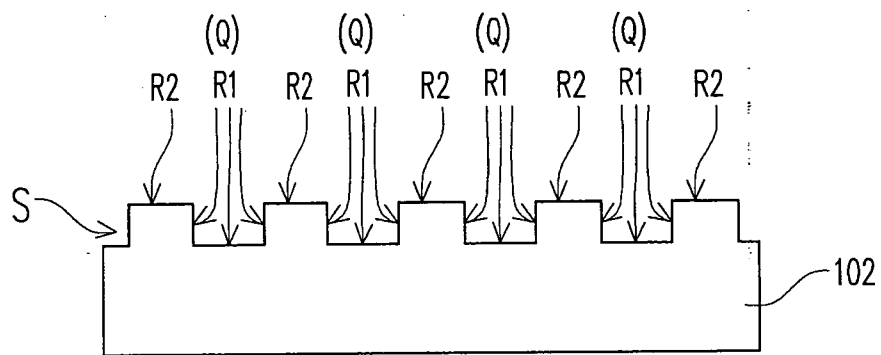


圖 1A

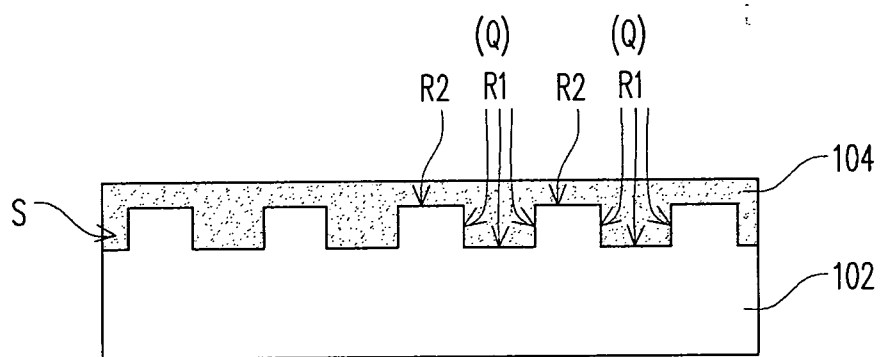


圖 1B

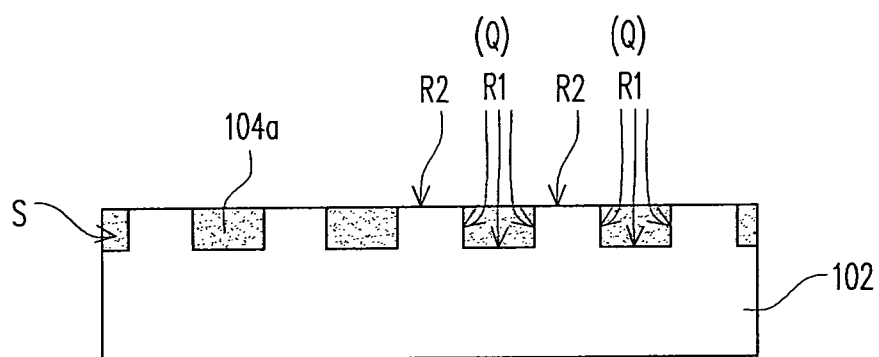


圖 1C

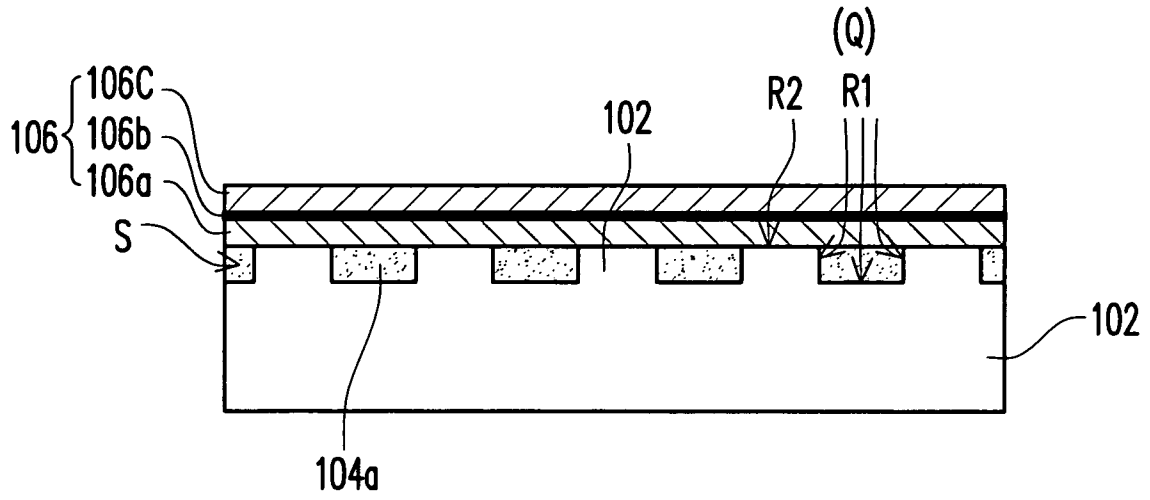


圖 1D

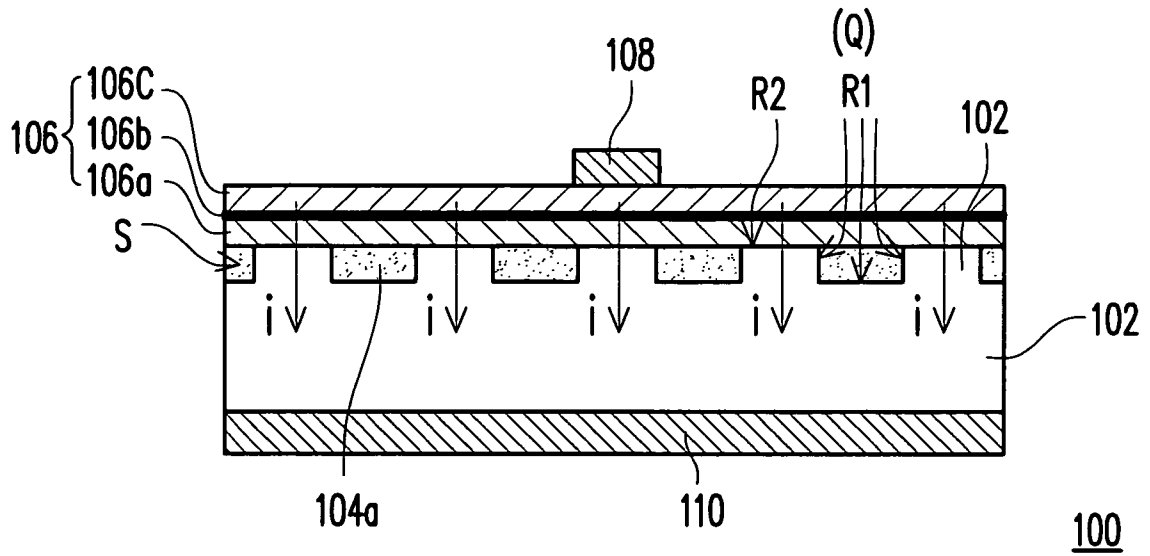


圖 1E

35498TW_W

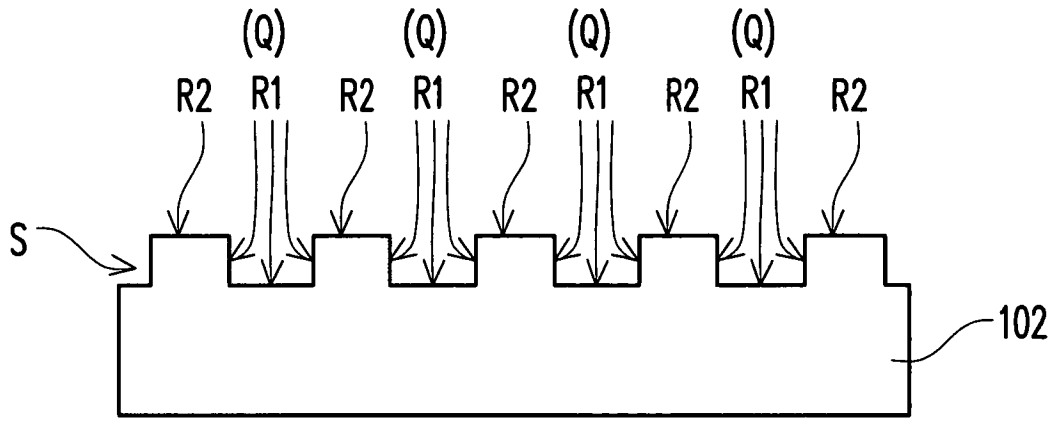


圖 2A

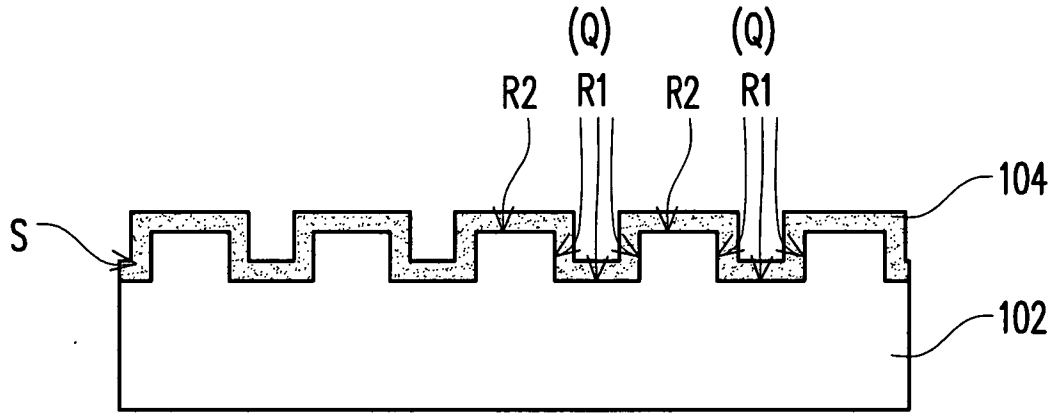


圖 2B

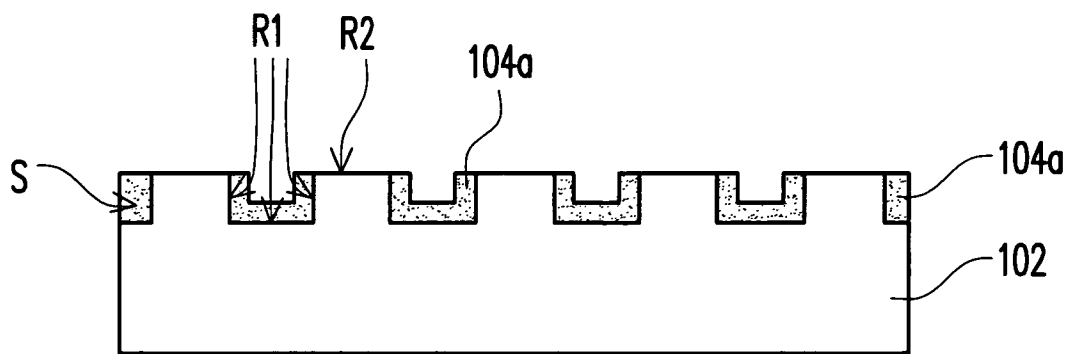


圖 2C

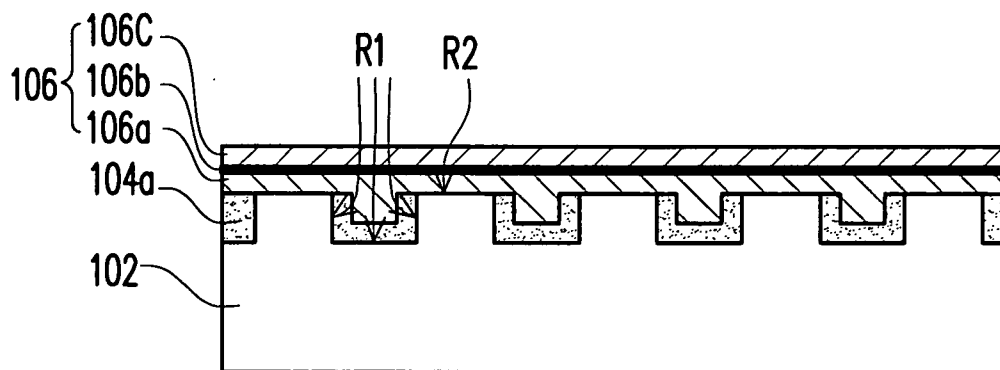
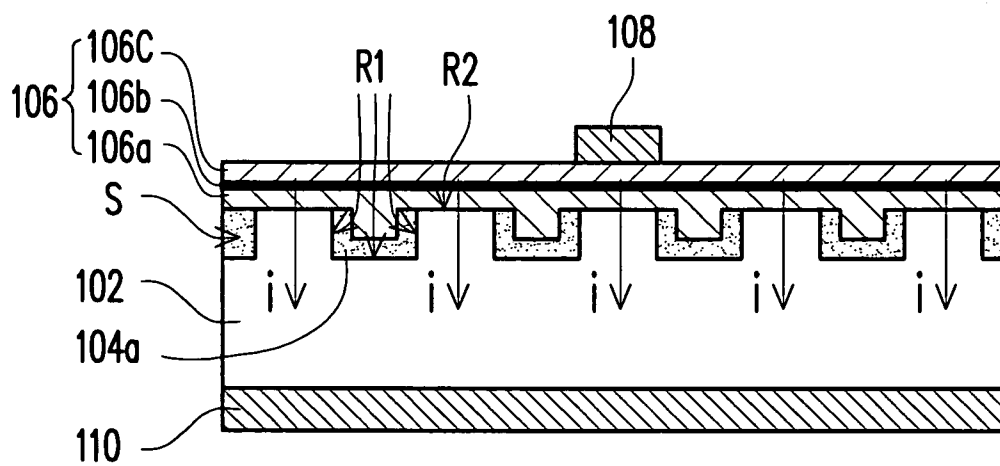


圖 2D



100A

圖 2E

35498TW_W

S

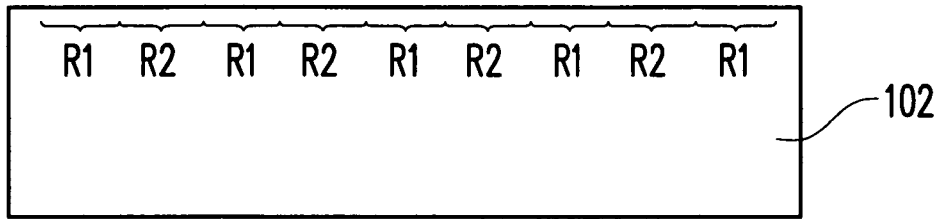


圖 3A

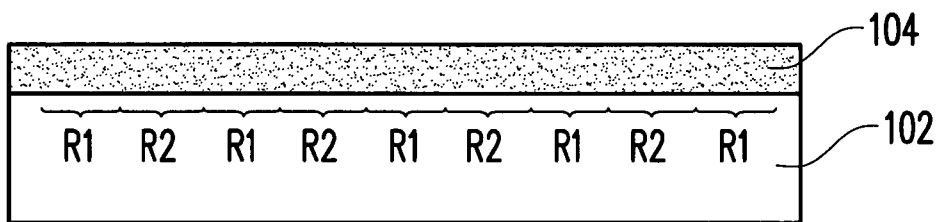


圖 3B

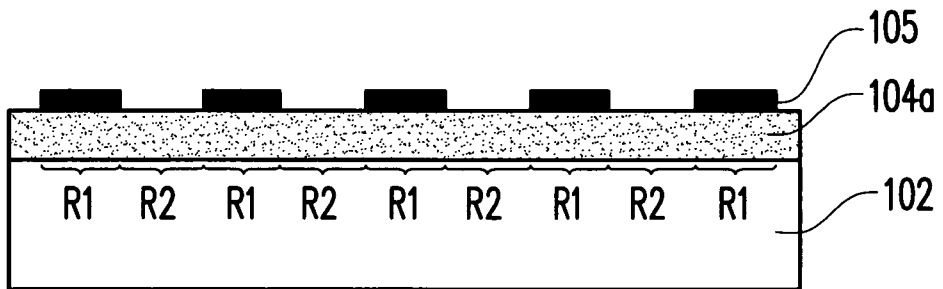


圖 3C

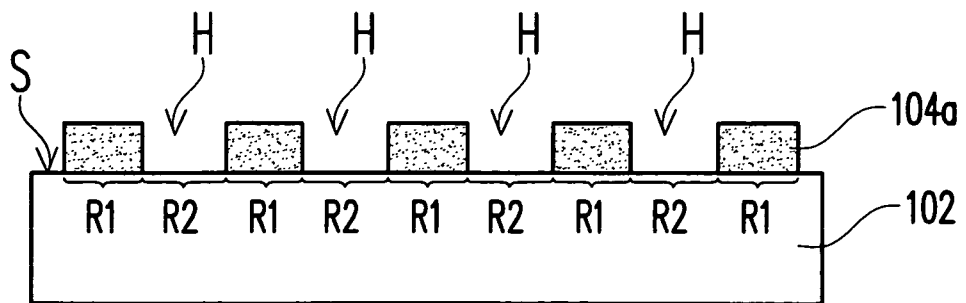


圖 3D

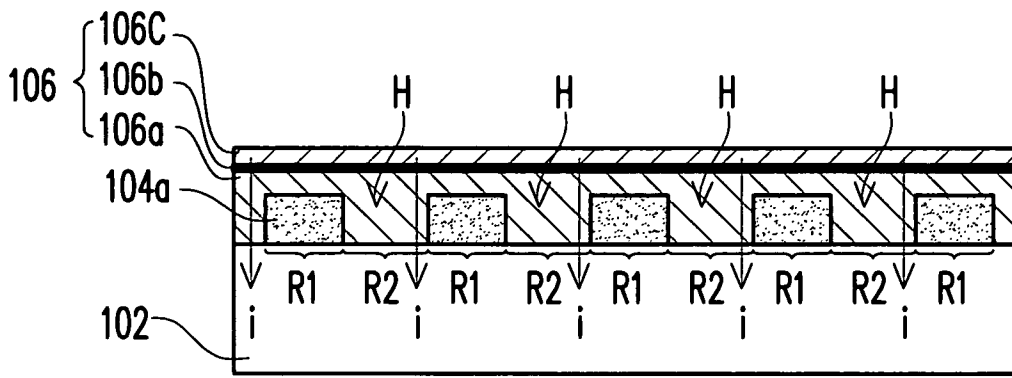
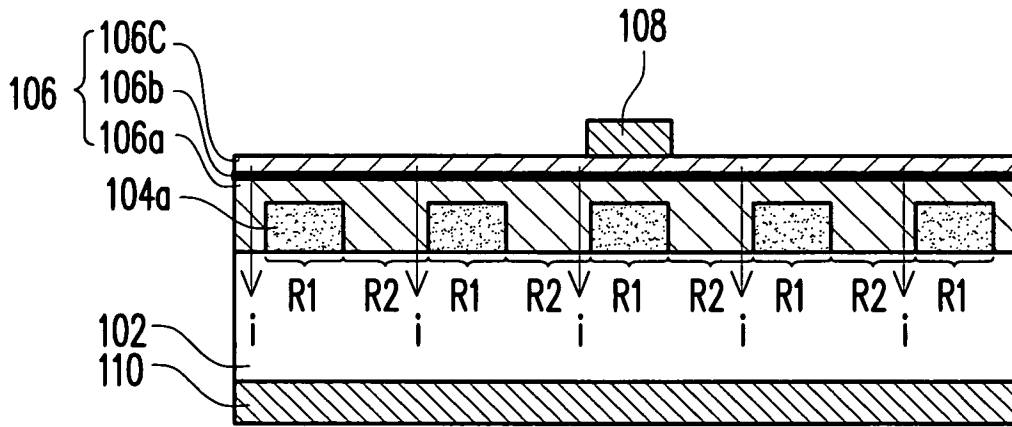


圖 3E



100B

圖 3F