



(12)发明专利申请

(10)申请公布号 CN 110275101 A

(43)申请公布日 2019.09.24

(21)申请号 201810906927.X

(22)申请日 2018.08.10

(30)优先权数据

2018-048362 2018.03.15 JP

(71)申请人 株式会社东芝

地址 日本东京都

申请人 东芝电子元件及存储装置株式会社

(72)发明人 前川智之

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 房永峰

(51)Int.Cl.

G01R 31/28(2006.01)

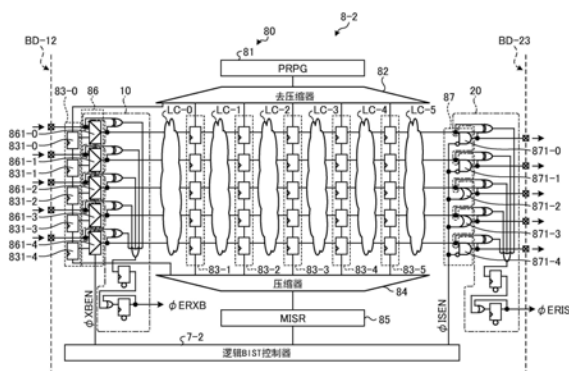
权利要求书3页 说明书7页 附图7页

(54)发明名称

半导体装置以及故障诊断方法

(57)摘要

实施方式涉及半导体装置以及故障诊断方法。根据实施方式,提供一种具有第1模块和第2模块的半导体装置。第2模块被配置在第1模块的输入侧。第1模块具有逻辑电路、自测试电路、输入接口电路以及故障监视电路。自测试电路与逻辑电路连接。输入接口电路被配置在第2模块与自测试电路之间。故障监视电路与输入接口电路连接。



1. 一种半导体装置,其中,
具备第1模块和与上述第1模块邻接的第2模块,
上述第1模块具有:
逻辑电路;
自测试电路,与上述逻辑电路连接;
接口电路,配置在上述第2模块与上述自测试电路之间;以及
故障监视电路,与上述接口电路连接。
2. 根据权利要求1所述的半导体装置,其中,
上述第2模块与上述第1模块的输入侧邻接,
上述接口电路是输入接口电路。
3. 根据权利要求2所述的半导体装置,其中,
上述输入接口电路具有:
第1选择器,具有与上述第2模块连接的第1输入节点、与第1虚设电路连接的第2输入节点、以及输出节点;以及
第2选择器,具有与上述第2模块连接的第1输入节点、与第2虚设电路连接的第2输入节点、以及输出节点,
上述故障监视电路具有:
第1比较电路,与上述第1选择器的上述第1输入节点和上述第1选择器的上述输出节点连接;
第2比较电路,与上述第2选择器的上述第1输入节点和上述第2选择器的上述输出节点连接;以及
故障信号生成电路,与上述第1比较电路和上述第2比较电路连接。
4. 根据权利要求3所述的半导体装置,其中,
上述故障信号生成电路具有:
第1逻辑或电路,与上述第1比较电路和上述第2比较电路连接;
第1触发器,与上述第1逻辑或电路连接;
第2触发器;以及
第2逻辑或电路,配置在上述第1触发器以及上述第2触发器之间,输入侧与上述第1触发器的输出端子以及上述第2触发器的输出端子连接,输出侧与上述第2触发器的输入节点连接。
5. 根据权利要求4所述的半导体装置,其中,
上述第1比较电路具有第1排他逻辑或电路,该第1排他逻辑或电路的输入侧与上述第1选择器的上述第1输入节点和上述第1选择器的上述输出节点连接,输出侧与上述第1逻辑或电路连接,
上述第2比较电路具有第2排他逻辑或电路,该第2排他逻辑或电路的输入侧与上述第2选择器的上述第1输入节点和上述第2选择器的上述输出节点连接,输出侧与上述第1逻辑或电路连接。
6. 根据权利要求2所述的半导体装置,其中,
上述故障监视电路在不进行上述自测试电路的测试动作的期间动作,在进行上述自测

试电路的测试动作的期间不动作。

7. 根据权利要求4所述的半导体装置,其中,

在进行上述自测试电路的测试动作的期间,上述第1触发器以及上述第2触发器被复位,并且停止向上述第1触发器以及上述第2触发器供给时钟。

8. 根据权利要求1所述的半导体装置,其中,

上述第2模块与上述第1模块的输出侧邻接,
上述接口电路是输出接口电路。

9. 根据权利要求8所述的半导体装置,其中,

上述输出接口电路具有:

第1逻辑或电路,具有配置在上述自测试电路的输出侧的第1输入节点、接受第1控制电位的第2输入节点以及与上述第2模块连接的输出节点;以及

逻辑与电路,具有配置在上述自测试电路的输出侧的第1输入节点、接受与上述第1控制电位对应的第2控制电位的第2输入节点以及与上述第2模块连接的输出节点,

上述故障监视电路具有:

第1比较电路,与上述第1逻辑或电路的上述第1输入节点和上述第1逻辑或电路的上述输出节点连接;

第2比较电路,与上述逻辑与电路的上述第1输入节点和上述逻辑与电路的上述输出节点连接;以及

故障信号生成电路,与上述第1比较电路和上述第2比较电路连接。

10. 根据权利要求9所述的半导体装置,其中,

上述故障信号生成电路具有:

第2逻辑或电路,与上述第1比较电路和上述第2比较电路连接;

第1触发器,与上述第2逻辑或电路连接;

第2触发器;以及

第3逻辑或电路,配置在上述第1触发器以及上述第2触发器之间,输入侧与上述第1触发器的输出节点以及上述第2触发器的输出节点连接,输出侧与上述第2触发器的输入节点连接。

11. 根据权利要求10所述的半导体装置,其中,

上述第1比较电路具有第1排他逻辑或电路,该第1排他逻辑或电路的输入侧与上述第1选择器的上述第1输入节点和上述第1选择器的上述输出节点连接,输出侧与上述第1逻辑或电路连接,

上述第2比较电路具有第2排他逻辑或电路,该第2排他逻辑或电路的输入侧与上述第2选择器的上述第1输入节点和上述第2选择器的上述输出节点连接,输出侧与上述第1逻辑或电路连接。

12. 根据权利要求2所述的半导体装置,其中,

上述故障监视电路在不进行上述自测试电路的测试动作的期间动作,在进行上述自测试电路的测试动作的期间不动作。

13. 根据权利要求10所述的半导体装置,其中,

在进行上述自测试电路的测试动作的期间,上述第1触发器以及上述第2触发器被复

位,并且停止向上述第1触发器以及上述第2触发器供给时钟。

14. 根据权利要求1所述的半导体装置,其中,

上述第2模块邻接在上述第1模块的输出侧,上述接口电路是输出接口电路,上述故障监视电路配置在上述输出接口电路与上述第2模块之间。

15. 根据权利要求14所述的半导体装置,其中,

上述输出接口电路具有:

第1逻辑或电路,具有配置在上述自测试电路的输出侧的第1输入节点、与第1控制电位连接的第2输入节点以及与上述第2模块连接的输出节点;以及

逻辑与电路,具有配置在上述自测试电路的输出侧的第1输入节点、与对应于上述第1控制电位的第2控制电位连接的第2输入节点以及与上述第2模块连接的输出节点,

上述故障监视电路具有故障信号生成电路,该故障信号生成电路与上述第1控制电位、上述第1逻辑或电路的上述输出节点以及上述逻辑与电路的上述输出节点连接。

16. 根据权利要求15所述的半导体装置,其中,

上述故障信号生成电路具有:

触发器,具有与上述第1控制电位连接的复位端子;

第2逻辑或电路,与上述逻辑与电路的上述输出节点连接;

逻辑与非电路,与上述第1逻辑或电路的上述输出节点连接;

第3逻辑或电路,与上述第2逻辑或电路的上述输出节点和上述逻辑与非电路的上述输出节点连接;以及

锁存电路,具有与上述触发器的上述输出节点连接的输入节点和与上述第3逻辑或电路的上述输出节点连接的时钟节点。

17. 根据权利要求16所述的半导体装置,其中,

上述故障信号生成电路具有多级的上述触发器,

上述多级的触发器中的初级的触发器的数据输入端子与固定电位连接。

18. 根据权利要求14所述的半导体装置,其中,

上述故障监视电路在进行上述自测试电路的测试动作的期间动作,在不进行上述自测试电路的测试动作的期间不动作。

19. 一种故障诊断方法,其中,包括:

将具有第1模块和第2模块的半导体装置的上述第1模块中的输入接口电路所包含的选择器的与上述第2模块连接的输入节点的信号和输出节点的信号进行比较,其中,上述第2模块配置在上述第1模块的输入侧,上述输入接口电路配置于上述第2模块与自测试电路之间;以及

根据上述比较而得到的结果,来进行上述输入接口电路的故障诊断。

20. 一种故障诊断方法,其中,包括:

将从具有第1模块和第2模块的半导体装置的上述第1模块中的输入接口电路所包含的逻辑电路输出的值与期待值进行比较,其中,上述第2模块配置在上述第1模块的输入侧,上述输入接口电路配置于上述第2模块与自测试电路之间;以及

根据上述比较而得到的结果,来进行上述输出接口电路的故障诊断。

半导体装置以及故障诊断方法

[0001] 本申请基于2018年3月15日申请的日本国专利申请编号2018-48362主张优先权，该日本国专利申请的全部内容被援引到本申请中。

技术领域

[0002] 本实施方式涉及半导体装置以及故障诊断方法。

背景技术

[0003] 在搭载有逻辑电路以及自测试电路(BIST:Built In Self Test:内建自测试)的半导体装置中,通过使用自测试电路来进行逻辑电路的检查,能够进行逻辑电路的优劣判定。此时,为了恰当地进行逻辑电路的优劣判定,希望恰当地进行半导体装置中的故障诊断。

发明内容

[0004] 实施方式提供能够恰当地进行故障诊断的半导体装置以及故障诊断方法。

[0005] 根据实施方式,提供具有第1模块和第2模块的半导体装置。第2模块被配置在第1模块的输入侧。第1模块具有逻辑电路、自测试电路、输入接口电路以及故障监视电路。自测试电路与逻辑电路连接。输入接口电路被配置在第2模块与自测试电路之间。故障监视电路与输入接口电路连接。

附图说明

[0006] 图1是表示实施方式涉及的半导体装置的构成的图。

[0007] 图2是表示实施方式中的逻辑BIST模块的构成的图。

[0008] 图3是表示实施方式涉及的半导体装置的动作的图。

[0009] 图4是表示实施方式中的输入接口电路以及故障监视电路的构成的图。

[0010] 图5是表示实施方式中的输出接口电路以及故障监视电路的构成的图。

[0011] 图6是表示实施方式中的逻辑BIST模块间的构成(逻辑BIST诊断时)的图。

[0012] 图7是表示实施方式中的输出接口电路以及故障监视电路的构成的图。

具体实施方式

[0013] 以下参照附图,对实施方式涉及的半导体装置详细进行说明。其中,本发明并不由该实施方式限定。

[0014] (实施方式)

[0015] 实施方式涉及的半导体装置被应用于要求高可靠性的系统(例如,车载产品、医疗设备等的系统),例如,如图1所示那样构成。图1是表示半导体装置1的构成的图。

[0016] 可在半导体装置1中搭载用于进行系统中的规定的控制的逻辑电路。即便是在半导体装置1的出厂前通过测试工序判定为良好的逻辑电路,有时也会在出厂后因老化或受

到软错误(soft error)而发生故障。为了满足来自系统的高可靠性的要求,在半导体装置1中,可安装用于对在逻辑电路可能产生的后发性故障进行自我诊断的两种结构。

[0017] 在第一个结构中,使逻辑电路双重化,将两个逻辑电路中的一个逻辑电路(主侧的逻辑电路)用于规定的控制,并使另一个逻辑电路(子侧的逻辑电路)与一个逻辑电路同样地动作,通过利用控制器等监视是否准确地动作来进行逻辑电路的故障诊断。在第二个结构中,与逻辑电路一起将对该逻辑电路进行测试的自测试(BIST:Built In Self Test)电路组装到半导体装置中。而且,在逻辑电路不动作的期间,通过自测试(BIST)电路测试逻辑电路来进行故障诊断。将通过自测试(BIST)电路对逻辑电路的测试称为逻辑BIST。

[0018] 双重化虽然诊断准确性高,但由于电路成倍增加,所以从安装面积的观点出发存在成本变高的可能性。例如,在半导体装置1中,针对CPU等实质上不存在休止期间而被要求进行时间连续的故障诊断的逻辑电路,设置有双重化用的电路区域2。另外,基于逻辑BIST的电路开销(OverHead)与双重化相比非常小,在成本方面是有利的,但从诊断覆盖的观点出发不及双重化。另外,在逻辑BIST诊断时对象电路的系统无法运转。例如,在半导体装置1中,针对在CPU的控制下被要求时进行规定的控制处理(例如,图像处理)那样的存在休止期间(例如,图像处理的消隐期间)的逻辑电路,设置有逻辑BIST用的电路区域5。

[0019] 电路区域2具有多个双重化模块4-1~4-4以及始终诊断控制部3。各双重化模块4-1~4-4包括主侧的逻辑电路和与主侧的逻辑电路对应的子侧的逻辑电路。在主侧的逻辑电路动作的状态下,始终诊断控制部3将各双重化模块4-1~4-4中的主侧的输出与从(子)侧输出进行比较,如果主侧的输出与从侧输出不一致,则诊断为存在故障。始终诊断控制部3若诊断为存在故障,则向外部(系统的控制器)通知双重化错误。即,始终诊断控制部3能够在系统(主侧的逻辑电路)保持运转状态的同时实现子侧的逻辑电路的故障诊断。

[0020] 电路区域5具有多个逻辑BIST模块8-1~8-4、多个逻辑BIST控制器7-1~7-4、以及始终诊断控制部6。多个逻辑BIST控制器7-1~7-4与多个逻辑BIST模块8-1~8-4对应。各逻辑BIST控制器7在始终诊断控制部6的控制下,控制对应的逻辑BIST模块8中的逻辑BIST。

[0021] 例如,逻辑BIST模块8-2如图2所示那样构成。图2是表示逻辑BIST模块8的构成的图。在图2中,例示了逻辑BIST模块8-2的构成,但其他的逻辑BIST模块8-1、8-3、8-4的构成也与逻辑BIST模块8-2的构成相同。

[0022] 逻辑BIST模块8-2具有多个逻辑电路LC-0~LC-5以及自测试电路80。自测试电路80与多个逻辑电路LC-0~LC-5连接,按照逻辑BIST控制器7的控制,对各逻辑电路LC-0~LC-5进行逻辑BIST。

[0023] 自测试电路80具有伪随机模式产生电路(PRPG:Pseudo.Random Pattern Generator)81、去压缩器(decompressor)82、多个扫描总线83-0~83-5、压缩器84、测试结果压缩用寄存器(MISR:Multiple Input Signature Register)85。多个扫描总线83-0~83-5与多个逻辑电路LC-0~LC-5对应。自测试电路80使PRPG81产生已知的随机数据并在去压缩器82中展开,作为扫描测试数据转入(Shift in)各扫描总线83-0~83-5来向对应的逻辑电路LC-0~LC-5供给。自测试电路80在各扫描总线83-0~83-5中捕获来自对应的逻辑电路LC-0~LC-5的返回值(扫描结果),利用压缩器84压缩各扫描总线83-0~83-5的捕获值并依次蓄积于MISR85。逻辑BIST控制器7将在以规定的扫描图案数实施了

扫描测试后被蓄积于MISR85的值与期待值进行比较,如果一致则诊断为没有错误,如果不一致则诊断为有错误,并将诊断结果通知给始终诊断控制部6。始终诊断控制部6在根据被通知的诊断结果而存在故障的情况下,向外部(系统的控制器)通知逻辑BIST错误。

[0024] 在要求高可靠性的系统(例如,车载产品、医疗设备等的系统)中,自己诊断的执行除了在系统启动前被要求以外,在启动后也可能被要求(所谓的始终诊断)。因此,始终诊断控制部6如图3所示那样进行控制,以系统不运转的模块为对象按时分方式实现始终诊断。例如,在图3中,例示了在逻辑BIST模块8-1进行逻辑BIST的期间逻辑BIST模块8-2进行系统动作,在逻辑BIST模块8-2进行逻辑BIST的期间逻辑BIST模块8-1进行系统动作的情况。

[0025] 对于逻辑BIST模块8的各输入信号而言,希望在自身的逻辑BIST执行中不向MISR85传播不定值(X)。因此,在逻辑BIST模块8中的输入侧,如图2所示,可设置输入接口电路86。输入接口电路86包括多个选择器861-0~861-4。多个选择器861-0~861-4与扫描总线83-0所包含的多个虚设的触发器(flip flop)831-0~831-4对应。各选择器861-0~861-4具有与外部(逻辑BIST模块8-1)连接的第1输入节点和与虚设的触发器831-0~831-4连接的第2输入节点。各选择器861-0~861-4在接收到非激活(non-active)电平(例如,L电平)的控制信号 ϕ XBEN时选择来自外部(逻辑BIST模块8-1)的输入信号,在接收到激活(active)电平(例如,H电平)的控制信号 ϕ XBEN时选择来自虚设的触发器831-0~831-4的输入信号。

[0026] 即,在执行逻辑BIST时,输入接口电路86接受激活电平(例如,H电平)的控制信号 ϕ XBEN,进行取代来自外部(逻辑BIST模块8-1)的输入信号而设为来自虚设的触发器831-0~831-4的输入信号的X-bound处理。虚设的触发器831-0~831-4能够由自测试电路80控制,通过将输入信号替换为已知的数据而不向MISR85传输不定值(X)。输入接口电路86也被称为X-bound电路。

[0027] 另外,希望逻辑BIST模块8的各输出信号针对系统运转中的其他逻辑BIST模块8不输出激活(active)逻辑。因此,在逻辑BIST模块8中的输出侧,如图2所示,可设置输出接口电路87。输出接口电路87具有AND门871-0、871-1、OR门872-2、872-3、以及AND门871-4。AND门871-0、871-1、871-4分别具有配置在自测试电路80的输出侧并与逻辑电路LC-5连接的第1输入节点、接受使控制信号 ϕ ISEN逻辑反转的 ϕ ISEN的第2输入节点以及与其他逻辑BIST模块8连接的输出节点。OR门872-2、872-3分别具有配置在自测试电路80的输出侧并与逻辑电路LC-5连接的第1输入节点、接受控制信号 ϕ ISEN的第2输入节点以及与其他逻辑BIST模块8连接的输出节点。AND门871-0、871-1、871-4分别在接收到激活电平(例如,H电平)的控制信号 ϕ ISEN时使其输出固定为L电平,在接收到非激活电平(例如,L电平)的控制信号 ϕ ISEN时将来自逻辑电路LC-5的信号向其他逻辑BIST模块8侧转送。OR门872-2、872-3分别在接收到激活电平(例如,H电平)的控制信号 ϕ ISEN时使其输出固定为H电平,在接收到非激活电平(例如,L电平)的控制信号 ϕ ISEN时将来自逻辑电路LC-5的信号向其他逻辑BIST模块8侧转送。

[0028] 即,在执行逻辑BIST时,输出接口电路87接受激活电平(例如,H电平)的控制信号 ϕ ISEN,进行将输出信号固定为复位时的逻辑的隔离(isolation)处理。输出接口电路87也被称为隔离单元电路。

[0029] 此时,在输入接口电路86存在故障时,如果在系统运转时输入信号未准确地传播,则来自与输入侧邻接的其他逻辑BIST模块8的不定值(X)有可能向MISR85传播。如果不定值(X)向MISR85传播,则被MISR85压缩的值(MISR结果)不再作为期待值而成立。由此,由于逻辑BIST的测试结果的可靠性可能降低,所以难以恰当地进行逻辑电路LC的优劣判定。

[0030] 另外,如果输出接口电路87存在故障,则在系统运转时输出信号有可能无法准确地向与输出侧邻接的其他双重化模块4或者其他逻辑BIST模块8传播。另外,在逻辑BIST诊断中,有可能导致向系统运转中的其他逻辑BIST模块8传播激活逻辑。由此,存在使系统运转中的双重化模块4或者逻辑BIST模块8误动作的可能性,系统难以恰当地运转。

[0031] 鉴于此,在实施方式中,通过半导体装置1的逻辑BIST模块8中,设置与输入接口电路86连接的故障监视电路10和与输出接口电路87连接的故障监视电路20,能够实现输入接口电路86以及输出接口电路87的故障诊断。

[0032] 具体而言,在系统动作时,输入接口电路86中的各选择器861-0~861-4如果没有故障,则应该接受非激活电平的控制信号 ϕ XBEN来将来自前级的逻辑BIST模块8的输入信号向自测试电路80的输入侧转送。因此,图2所示的故障监视电路10在系统动作时,监视为在各选择器861-0~861-4中的第1输入节点与输出节点信号的逻辑一致。第1输入节点是与前级的逻辑BIST模块8连接的输入节点。

[0033] 故障监视电路10例如如图4所示那样构成。图4是表示输入接口电路86以及故障监视电路10的构成的图。故障监视电路10具有多个比较电路11-0~11-4以及故障信号生成电路12。

[0034] 多个比较电路11-0~11-4与多个选择器861-0~861-4对应。各比较电路11-0~11-4与对应的选择器861的第1输入节点和输出节点连接。例如,各比较电路11-0~11-4具有EXOR门11a,该EXOR门11a具有与选择器861的第1输入节点连接的第1输入节点和与选择器861的输出节点连接的第2输入节点。

[0035] 故障信号生成电路12与多个比较电路11-0~11-4连接。例如,故障信号生成电路12具有OR门12a、触发器12b、触发器12c以及OR门12d。OR门12a的输入侧与多个比较电路11-0~11-4(多个EXOR门11a)连接,输出侧与触发器12b连接。触发器12b的数据输入端子与OR门12a的输出侧连接,输出端子与OR门12d的输入侧连接。OR门12d配置在触发器12b与触发器12c之间。OR门12d的输入侧与触发器12b的输出端子和触发器12c的输出端子连接。

[0036] 各比较电路11-0~11-4将对应的选择器861的第1输入节点所展现的信号的逻辑与输出节点所展现的信号的逻辑进行比较并将比较结果向故障信号生成电路12输出。即,如果选择器861的第1输入节点所展现的信号的逻辑与选择器861的输出节点所展现的信号的逻辑一致,则EXOR门11a将L电平的比较结果向故障信号生成电路12输出。如果选择器861的第1输入节点所展现的信号的逻辑与选择器861的输出节点所展现的信号的逻辑不一致,则EXOR门11aH将电平的比较结果向故障信号生成电路12输出。故障信号生成电路12根据从各比较电路11-0~11-4接收到的比较结果,生成表示关于输入接口电路86有无故障的故障信号 ϕ ERXB并向外部(例如,系统的控制器)输出。

[0037] 即,OR门12a在多个EXOR门11a的输出都为L电平的期间输出L电平。此时,触发器12b以规定的时钟定时保持L电平并向OR门12d输出。与之对应,触发器12c使故障信号 ϕ ERXB为L电平(无故障)并向外部输出。

[0038] 另一方面,只要在多个EXOR门11a的输出中的一个存在H电平,则OR门12a输出H电平。如果接收到H电平,则触发器12b以规定的时钟定时保持H电平并向OR门12d输出。与之对应,触发器12c使故障信号 ϕ ERXB为H电平(有故障)并向外部输出。即使被从触发器12b输入一次H电平,触发器12c也继续使故障信号 ϕ ERXB为H电平(有故障)并向外部输出,直到之后被复位为止。

[0039] 由此,由于如果输入接口电路86中的多个选择器861-0~861-4中的至少一个即使暂时性产生故障,则也继续向外部输出H电平(有故障)的故障信号 ϕ ERXB,所以能够将故障的产生可靠地向外部通知。

[0040] 此外,也可以在执行逻辑BIST时,例如触发器12b、12c被复位并且停止向触发器12b、12c供给时钟,以使故障监视电路10不动作。或者,可以在外部侧,忽略或者放弃在执行逻辑BIST时从故障监视电路10供给的故障信号 ϕ ERXB。

[0041] 另外,在系统动作时,如果输出接口电路87中的AND门871-0、871-1、OR门872-2、872-3以及AND门871-4不故障,则应该接受非激活电平的控制信号 ϕ ISEN将来自自测试电路80的输出侧的输出信号向外部(其他逻辑BIST模块8)侧转送。因此,图2所示的故障监视电路20在系统动作时,监视为在AND门871-0、871-1、871-4或者OR门872-2、872-3中的第1输入节点与输出节点信号的逻辑值一致。第1输入节点是与自测试电路80的输出侧连接的输入节点。

[0042] 故障监视电路20例如如图5所示那样构成。图5是表示输入接口电路86以及故障监视电路20的构成的图。故障监视电路20具有多个比较电路21-0~21-4以及故障信号生成电路22。

[0043] 多个比较电路21-0~21-4与AND门871-0、871-1、OR门872-2、872-3以及AND门871-4对应。各比较电路21-0~21-4与所对应的AND门871或者OR门872的第1输入节点和输出节点连接。例如,各比较电路21-0~21-4具有EXOR门21a,该EXOR门21a具有与AND门871或者OR门872的第1输入节点连接的第1输入节点和与AND门871或者OR门872的输出节点连接的第2输入节点。

[0044] 故障信号生成电路22与多个比较电路21-0~21-4连接。例如,故障信号生成电路22具有OR门22a、触发器22b、触发器22c以及OR门22d。OR门22a的输入侧与多个比较电路21-0~21-4(多个EXOR门21a)连接,输出侧与触发器22b连接。触发器22b的数据输入端子与OR门22a的输出侧连接,输出端子与OR门22d的输入侧连接。OR门22d被配置在触发器22b与触发器22c之间。OR门22d的输入侧与触发器22b的输出端子和触发器22c的输出端子连接。

[0045] 各比较电路21-0~21-4将对应的AND门871或者OR门872的第1输入节点所展现的信号的逻辑值与输出节点所展现的信号的逻辑值(期待值)进行比较并将比较结果向故障信号生成电路22输出。即,如果AND门871或者OR门872的第1输入节点所展现的信号的逻辑值与AND门871或者OR门872的输出节点所展现的信号的逻辑值(期待值)一致,则EXOR门21a将L电平的比较结果向故障信号生成电路22输出。如果AND门871或者OR门872的第1输入节点所展现的信号的逻辑值与AND门871或者OR门872的输出节点所展现的信号的逻辑值(期待值)不一致,则EXOR门21a将H电平的比较结果向故障信号生成电路22输出。故障信号生成电路22根据从各比较电路21-0~21-4接收到的比较结果,生成表示关于输出接口电

路87有无故障的故障信号 ϕ ERIS1并向外部(例如,系统的控制器)输出。

[0046] 即,OR门22a在多个EXOR门21a的输出都为L电平的期间输出L电平。此时,触发器22b以规定的时钟定时保持L电平并向OR门22d输出。与之对应,触发器22c使故障信号 ϕ ERIS1为L电平(无故障)并向外部输出。

[0047] 另一方面,如果多个EXOR门21a的输出中的即使一个存在H电平,则OR门22a也输出H电平。如果接收到H电平,则触发器22b以规定的时钟定时保持H电平并向OR门22d输出。与之对应,触发器22c使故障信号 ϕ ERIS1为H电平(有故障)并向外部输出。即使被从触发器22b输入一次H电平,则触发器22c也继续使故障信号 ϕ ERIS1为H电平(有故障)并向外部输出,直到之后被复位为止。

[0048] 由此,由于如果输出接口电路87中的AND门871-0、871-1、OR门872-2、872-3以及AND门871-4中的至少一个即使暂时产生故障,则也继续向外部输出H电平(有故障)的故障信号 ϕ ERIS1,所以能够将故障的产生可靠地向外部通知。

[0049] 此外,也可以在执行逻辑BIST时,例如复位触发器22b、22c并且停止向触发器22b、22c供给时钟,以使故障监视电路20不动作。或者,可以在外部侧,忽略或者放弃在执行逻辑BIST时从故障监视电路20供给的故障信号 ϕ ERIS1。

[0050] 另外,在执行逻辑BIST时,如果输出接口电路87中的AND门871-0、871-1、OR门872-2、872-3以及AND门871-4没有故障,则应该接受激活电平的控制信号 ϕ ISEN而将输出信号固定为复位时的逻辑值。因此,故障监视电路30监视为输出信号的逻辑值与复位时的逻辑值(期待值)一致。故障监视电路30如图6所示,主要配置在边界BD-23的外侧(即,输出接口电路87与后级的逻辑BIST模块8之间)。图6是表示逻辑BIST模块8间的构成(参照图1)的图。在图6中,为了简化图示,省略了故障监视电路10、20的图示。

[0051] 故障监视电路30例如如图7所示那样构成。图7是表示输出接口电路87以及故障监视电路30的构成的图。故障监视电路30具有故障信号生成电路32。故障信号生成电路32与控制信号 ϕ ISEN的供给节点31和AND门871-0、871-1、OR门872-2、872-3以及AND门871-4各自的输出节点连接。

[0052] 故障信号生成电路32具有多个触发器32a、32b、32c、OR门32d、32e、NAND门(与非门)32f、OR门32g以及锁存(latch)电路32h。多个触发器32a、32b、32c相互串联连接,初级的触发器32a的数据输入端子被固定为H电平,最终级的触发器32c的输出端子与锁存电路32h的数据输入端子连接。各触发器32a、32b、32c的复位端子与控制信号 ϕ ISEN的供给节点31连接。OR门32d、32e与输出接口电路87中的AND门871-0、871-1、871-4对应。OR门32d的输入侧与AND门871-1的输出节点和AND门871-4的输出节点连接,输出侧与OR门32e连接。OR门32e的输入侧与AND门871-0的输出节点和OR门32d的输出节点连接,输出侧与OR门32g连接。NAND门32f与输出接口电路87中的OR门872-2、872-3对应。NAND门32f的输入侧与OR门872-2的输出节点和OR门872-3的输出节点连接,输出侧与OR门32g连接。OR门32g的输入侧与OR门32e的输出节点和OR门32f的输出节点连接,输出侧与锁存电路32h的时钟端子G连接。

[0053] 在执行逻辑BIST时,故障信号生成电路32监视输出接口电路87的输出信号,根据监视结果生成表示关于输出接口电路87有无故障的故障信号 ϕ ERIS2并向外部(例如,系统的控制器)输出。

[0054] 即,如果成为开始逻辑BIST的定时而控制信号 ϕ ISEN变为激活电平(例如,H电平),则多个触发器32a~32c中的初级的触发器32a以规定的时钟定时保持H电平并向下一级的触发器32b输出。下一级的触发器32b以接下来的时钟定时保持H电平并向最终级的触发器32c输出。最终级的触发器32c以再下一个的时钟定时保持H电平并向锁存电路32h输出。

[0055] 此时,OR门32d、32e以及NAND门32f在对应的AND门871或者OR门872的输出节点所展现的信号的逻辑都与复位时的逻辑一致的期间输出L电平。此时,OR门22g将L电平向锁存电路32h的时钟端子G输出。与之对应,锁存电路32h保持初始状态(L电平的状态)并进行输出。即,锁存电路32h使故障信号 ϕ ERIS2为L电平(无故障)并向外部输出。

[0056] 另一方面,若对应的AND门871或者OR门872的输出节点所展现的信号的逻辑值中即使一个与复位时的逻辑值(期待值)不一致,则OR门32d、32e以及NAND门32f也输出H电平。如果接收到H电平,则OR门22g将H电平向锁存电路32h的时钟端子G输出。与之对应,锁存电路32h保持H电平并进行输出。即,锁存电路32h使故障信号 ϕ ERIS2为H电平(有故障)并向外部输出。即使从OR门22g输出一次H电平,则锁存电路32h也继续使故障信号 ϕ ERIS2为H电平(有故障)并向外部输出,直到之后被复位为止。

[0057] 由此,由于如果输出接口电路87中的AND门871-0、871-1、OR门872-2、872-3以及AND门871-4中的至少一个即使暂时产生故障,则也继续向外部输出H电平(有故障)的故障信号 ϕ ERIS2,所以能够将故障的产生可靠地向外部通知。

[0058] 此外,也可以在系统动作时,例如复位锁存电路32h,以使故障监视电路30不动作。或者,可以在外部侧,忽略或者放弃在系统动作时从故障监视电路30供给的故障信号 ϕ ERIS2。

[0059] 综上所述,在实施方式中,在半导体装置1中,设置与逻辑BIST模块8的输入接口电路86连接的故障监视电路10和与输出接口电路87连接的故障监视电路20、30。由此,能够进行逻辑BIST模块8中的输入接口电路86以及输出接口电路87的故障诊断。因此,能够将输入接口电路86以及输出接口电路87的故障诊断的结果向系统的控制器等通知,能够防止因输入接口电路86以及/或者输出接口电路87的故障引起的系统的误动作。即,能够恰当地进行半导体装置1中的故障诊断。

[0060] 对本发明的几个实施方式进行了说明,但这些实施方式只是例示,并不意图限定发明的范围。这些新的实施方式能够通过其他的各种方式加以实施,在不脱离发明主旨的范围,能够进行各种省略、置换、变更。这些实施方式及其变形包含在发明的范围及主旨中,并且,包含在技术方案所记载的发明及其等同的范围。

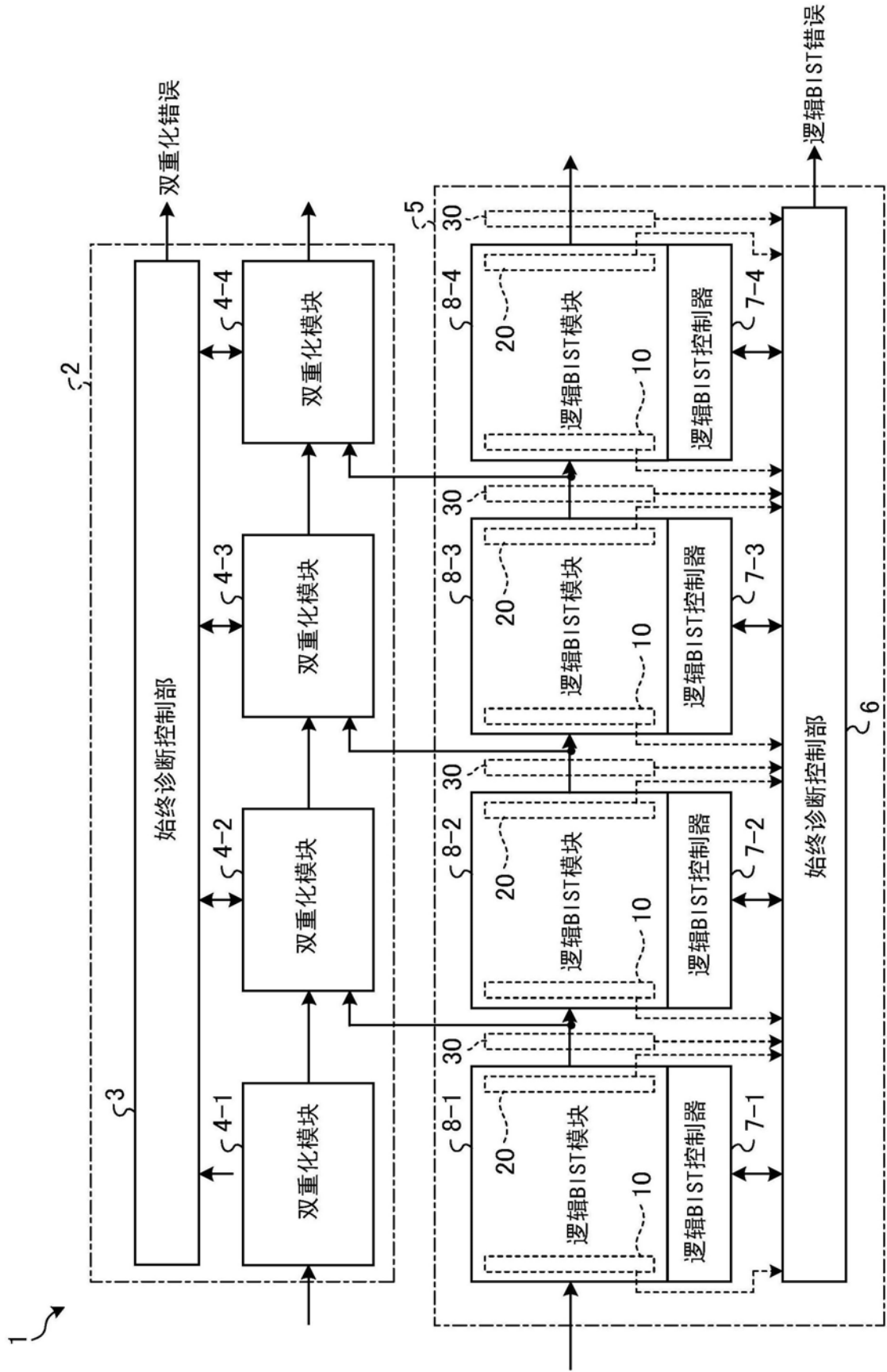


图1

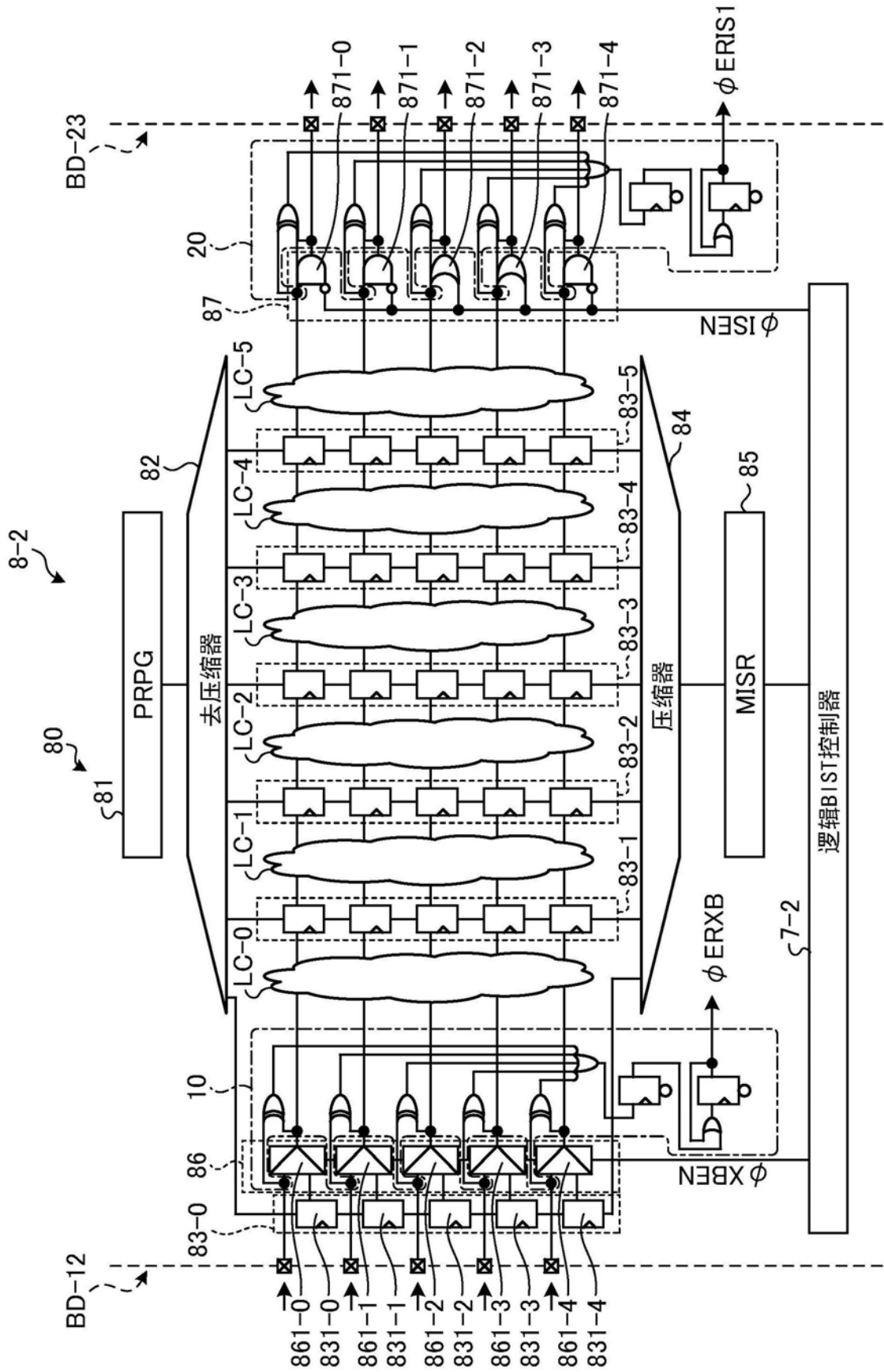


图2

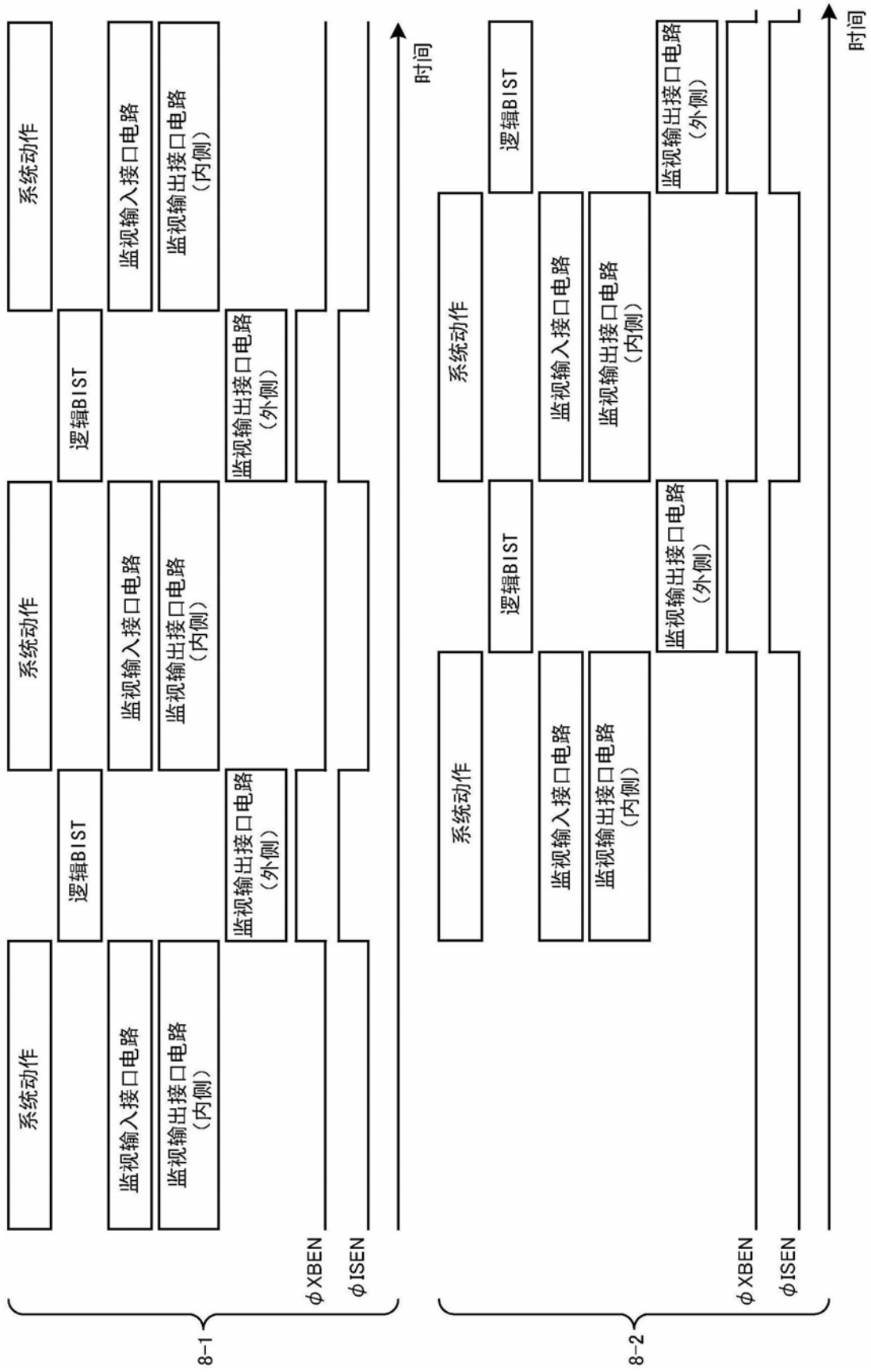


图3

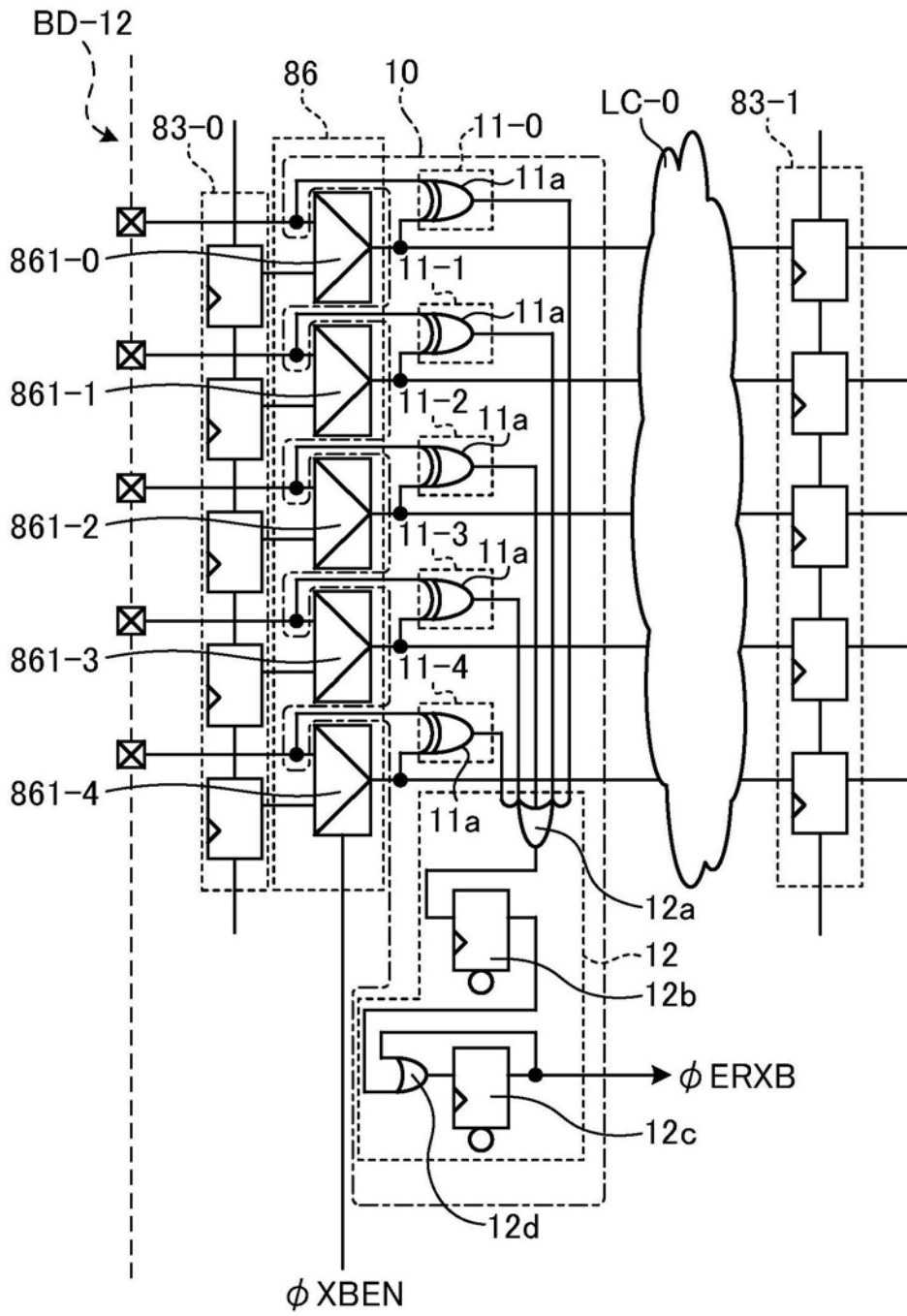


图4

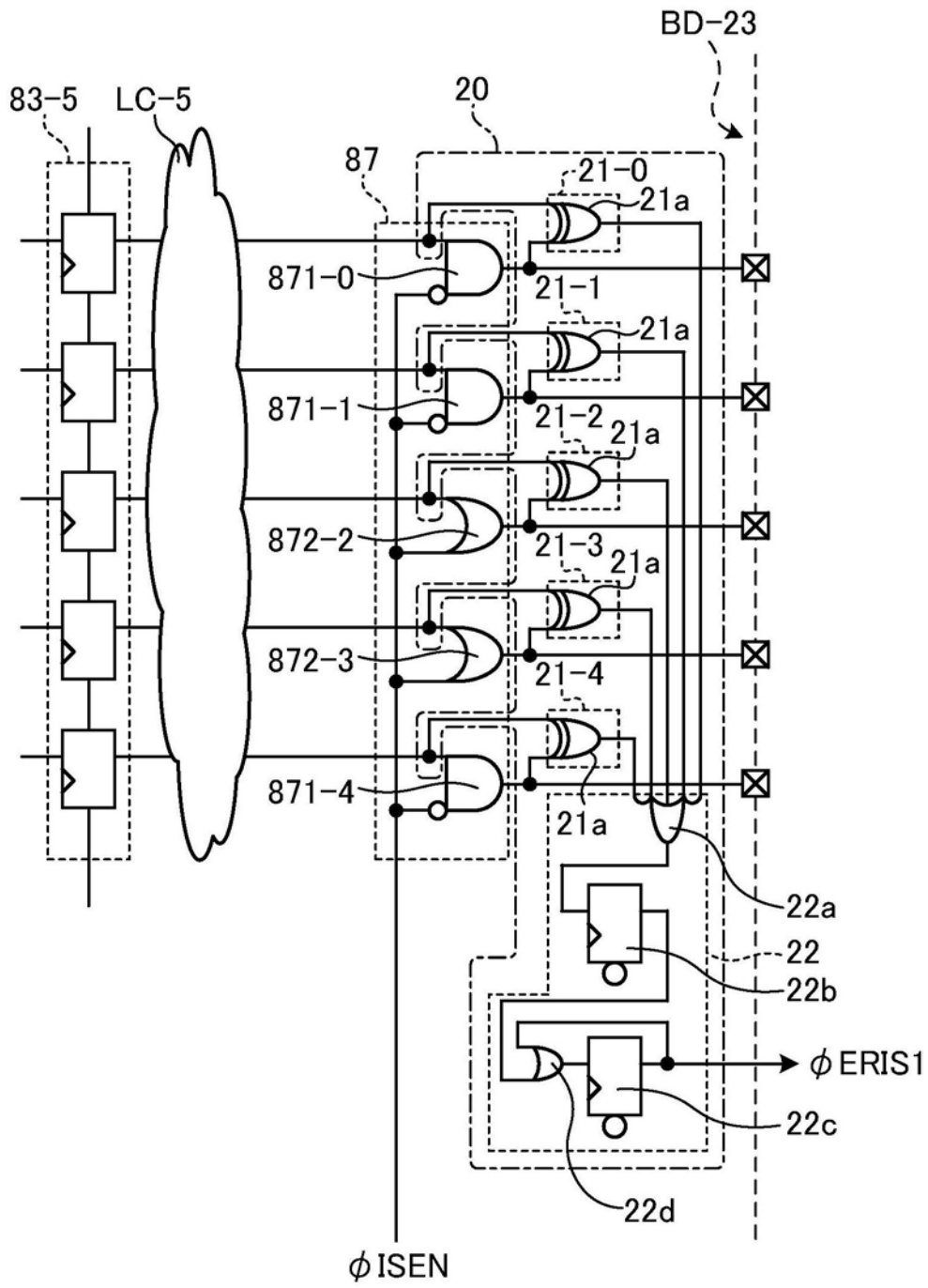


图5

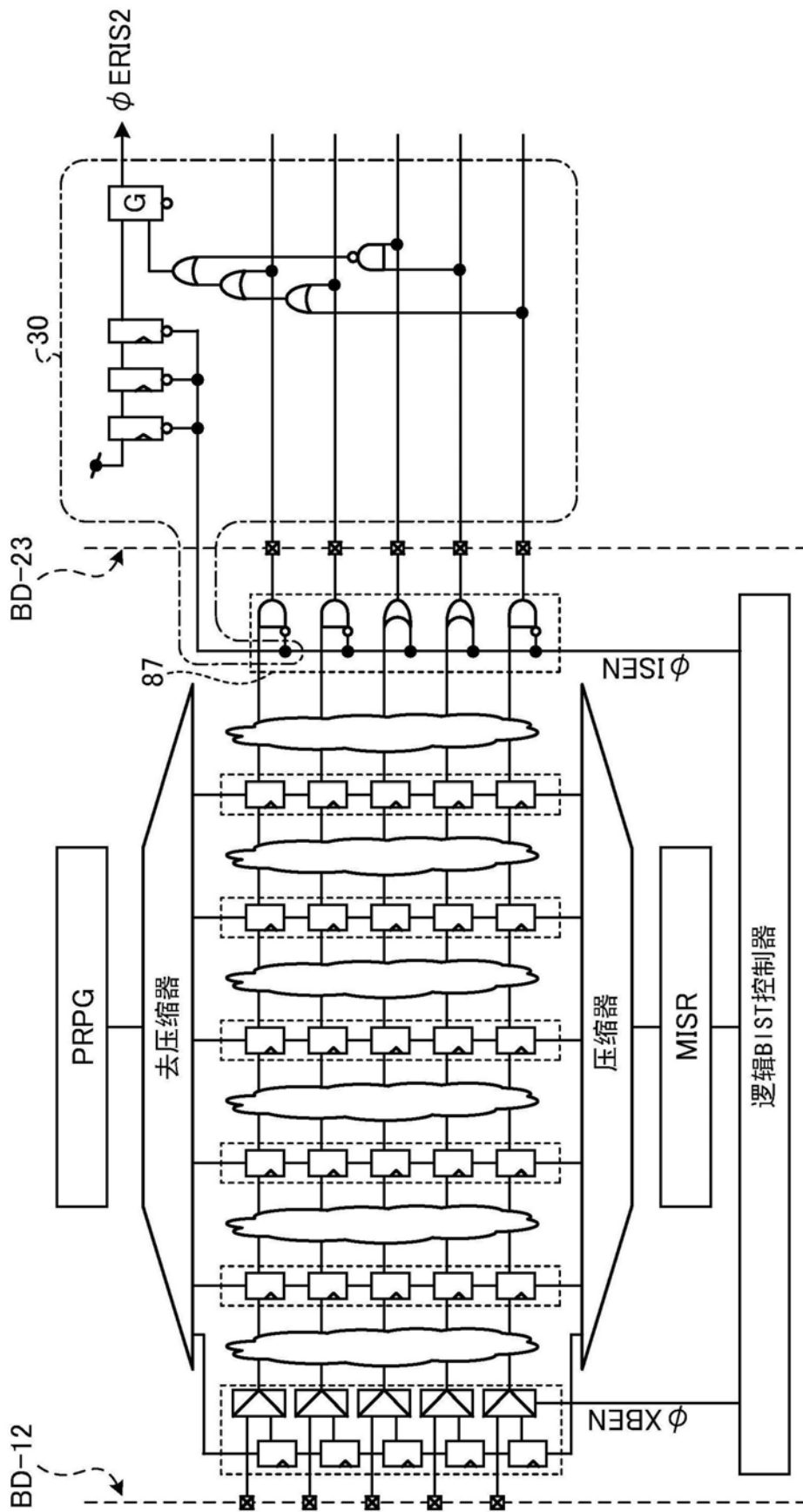


图6

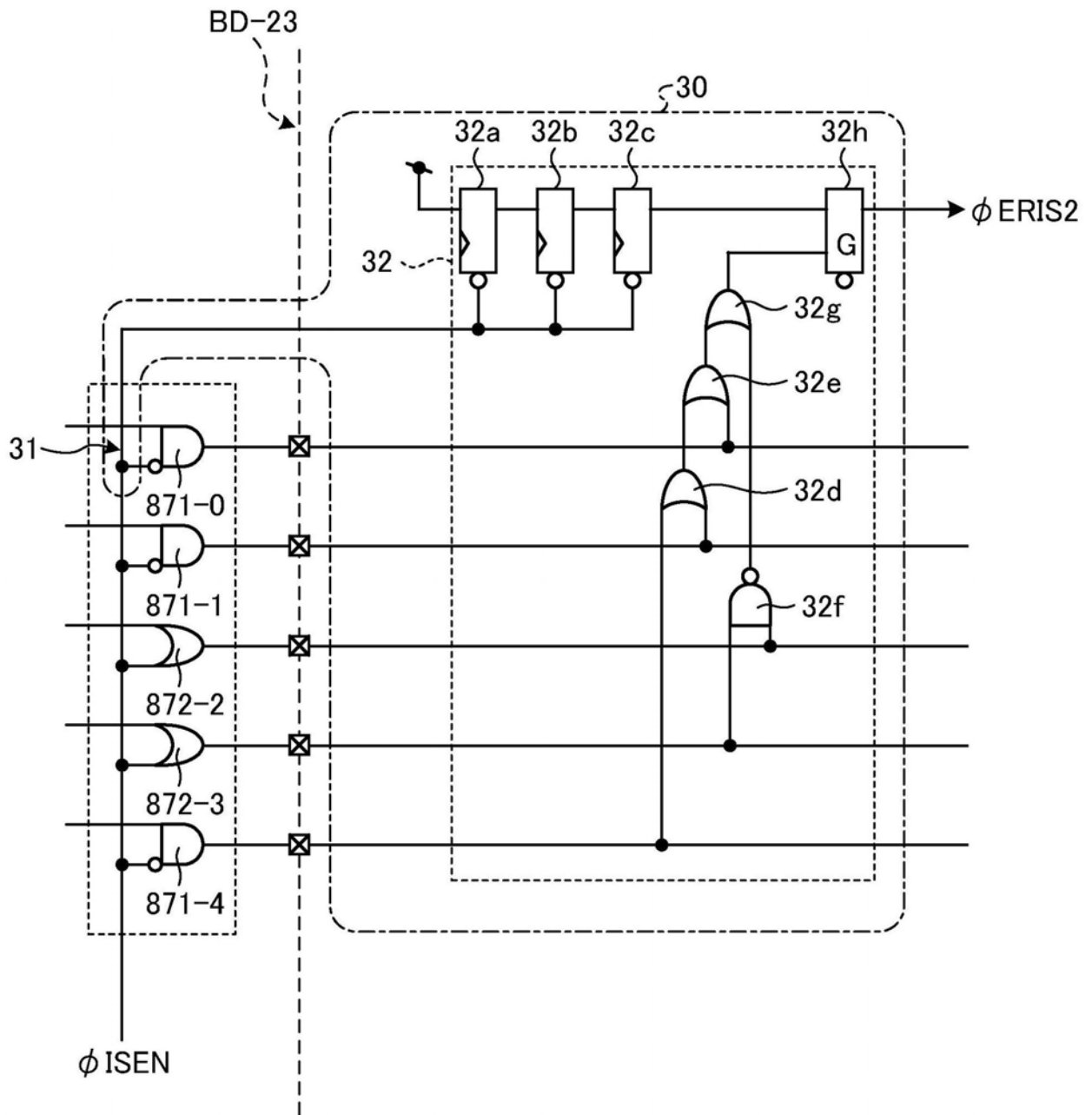


图7